

五、發明說明()

〔產業上之利用領域〕

本發明係有關資料處理系統，尤其是關於將動態型記憶器以交錯及非交錯雙方存取之記憶器控制器者。

〔習知技術〕

交錯方式之記憶存取主要為被採用於大型電腦，但即使是個人電腦為了提昇動態型系統記憶器之實質存取速度起見有時也採用交錯方式之記憶存取。然而，在個人電腦係備有裝設記憶器用之多數槽(slot)而使使用者可視其需要適當增設記憶器，然而，採用交錯方式之習知個人電腦，對於記憶器之裝設方法受到限制。例如，裝設用記憶器槽分成偶數記憶庫側與奇數記憶庫側，而在裝設在偶數記憶庫側之記憶器模組與裝設在奇數記憶庫之記憶器模組間，在可交錯存取時，裝設在偶數記憶庫側之第1個槽之記憶器模組與裝設在奇數記憶庫側第1個槽之記憶器模組若並非相同容量則不能做交錯存取。

〔本發明所欲解決之問題〕

本發明之目的係在於提供，做為系統記憶器即使多數之記憶器模組以任何狀態由使用者加以裝設或增設，經常與以最適當裝設狀態加以裝設或增設時同樣之範圍可做交錯存取之記憶器控制器及資料處理系統者。

〔本發明之解決手段〕

為了達成上述目的起見，有關於本發明之記憶器控制器係在可交錯之多數記憶庫分開裝設有記憶器單元時，將所有記憶庫內之記憶單元，形成以與相當記憶庫數之不同種

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

類之規定順序排列而成之多數記憶器圖表，而包括上述 CPU 位址之規定範圍之位址領域在各上述多數記憶器圖表內檢測究竟屬於那一個記憶器單元，而具有將被檢測之各記憶器單元檢測是否屬於可交錯之記憶庫之檢測功能者。

〔實施例〕

茲就依據圖式說明本發明實施例如下。

在圖 2 表示有關本發明之資料處理系統之一實施例。圖中，資料處理系統係具有：微處理機(CPU) 10，直接記憶位址(DMA) 控制器 12，記憶 POST (Power on Self test Program) 1 BIOS (基本輸出入系統) 所需之 ROM 16，記憶器控制器 18，系統控制器 30，資料匯流排緩衝器 (data bus buffer) 32，系統時鐘振盪器 20，系統匯流排 22，擴充卡用之多數擴充槽(slot) 24，記憶器匯流排 26，及增設記憶器所需之多數記憶器槽(memory slot) 28。記憶器槽 28 係具有偶數記憶庫(bank) 28A 之 4 個記憶器槽 28A-0，28A-1，28A-2，及 28A-3，與奇數記憶庫 28B 之 4 個記憶器槽 28B-0，28B-1，28B-2 及 28B-3。在此等各個記憶器槽做為記憶器模組裝設有 SIMM (Single inline Memory Module)。SIMM 係具有兩面裝設型與單面裝設型，而各單面個別地分配有 RAS 信號。並將 SIMM 之單面記憶體稱之為記憶器單元(memory unit)

在圖 3 表示有 SIMM 之裝設狀態之一例。圖中，記憶器單元 0 及 1 係分別對應於記憶器槽 28A-0 之一邊之面及所剩餘之面。以下同樣地，一個記憶器單元係對應於 1 個記憶

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

器槽之單面。在圖3之情況時，在偶數記憶庫28A之記憶體槽28A-0（記憶器單元0及1），係在各兩面裝設有裝設4M位元組（byte）記憶器模組之8M位元組之SIMM。在記憶體槽28A-1（記憶器單元2及3）係在各兩面裝設有裝設1M位元組記憶器模組之2M位元組之SIMM，而在記憶器槽28A-2及28A-3（記憶器單元從4到7）未裝有SIMM。又，在奇數記憶庫28B之記憶器槽28B-0（記憶器單元8及9），裝設有只在單面裝設4M位元組記憶器模組之4M位元組之SIMM，在記憶器槽28B-1（記憶器單元10及11），裝設有各兩面裝了1M位元組記憶器模組之2M位元組之SIMM，而在記憶器槽28A-2及28A-3（記憶器單元從12到15）則並未裝有SIMM。

在圖1表示記憶器控制器18之內部構造。在圖1，暫存器（register）40係儲存有有關SIMM裝設狀態之資料。更詳情係如圖3所示，在從記憶器0到15儲存有表示裝設有那一種容量（大小）之記憶器模組之資料。SIMM係儲存有自己之識別資料，當接通系統電源時藉由POST（Power On Self Test）程式讀出上述識別資料同時依據所讀出之識別資料，對於暫存器40，如圖3所示，寫入有關記憶器裝設狀態（有關記憶器單元之記憶容量及在各記憶庫內之安裝位置資料）之資料。

在圖1，記憶器圖表（memory map）形成裝置42係依據暫存器40內之資料，將記憶器單元0到15，形成為以相當於上述記憶庫數之不同種類順序排列而成之多段記憶器圖表

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明()

所需之裝置。記憶器圖表形成裝置42，係由第1記憶器圖表形成裝置42A與第2記憶器圖表形成裝置42B所構成。第1記憶器形成裝置42A係依據暫存器40內之資料，而形成將偶數記憶庫28A內之記憶器單元，從小的記憶器單元號碼到大的記憶器單元號碼之順序排列之後，將奇數記憶庫28B內之記憶器單元，從小的記憶器單元號碼到大的記憶器單元號碼之順序排列而成之第1記憶器圖表60A（參閱圖4）所用者。又，第2記憶器圖表形成裝置42B，係依據暫存器40之資料，而形成將奇數記憶庫28B內之記憶器單元，從大的記憶器連接器號碼到小的記憶器連接器號碼之順序排列之後，將偶數記憶庫28A內之記憶器單元，從大的記憶器連接器號碼到小的記憶器連接器號碼之順序排列而成之第2記憶器圖表60B（參閱圖4）所用者。

記憶器單元特定裝置44，係包括從CPU 10之CPU位址或從DMA控制器12之DMA位址（將此等位址稱為來自CPU等側之位址。）之規定範圍之位址領域為分別在多數記憶器圖表60A及60B內究竟屬於那一個記憶器單元而加以指定所用之裝置。在本實施例，上述規定範圍係1M之位址範圍。為了處理1M之位址範圍起見，例如即使CPU位址為從A0到A31之32位元寬度而也忽視了從下位A0到A19之20位元。記憶器單元特定裝置44，係由第1及第2記憶單元特定裝置44A及44B所構成，第1記憶單元特定裝置44A將指定包括來自CPU等之某位址之1M位址範圍領域遵從第1記憶器圖表60A時會歸屬之記憶器單元。又，第2記憶

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明()

器單元特定裝置 44B 係指定同樣位址範圍之領域遵從第 2 記憶器圖表 60B 時會歸屬之記憶器單元。

控制裝置 46 係具有分別由第 1 及第 2 記憶單元特定裝置 44A 及 44B 所指定之記憶器單元是否屬於不同記憶庫而加以檢測之功能，再者，若檢測到屬於不同記憶庫時則對於兩記憶庫 28A 及 28B 以進行交錯存取(interleave access)之形態產生物理位址信號，若檢測出屬於同樣記憶庫時，則只對兩記憶庫 28A 及 28B 之一邊產生遵從非交錯存取之物理位址信號。

在此，所謂進行交錯存取之型態，係供兩記憶庫中合計 16 個之各個記憶單元裝設之 16 支 RAS 信號線內之 2 支同時使其成為有效。同時對供各記憶庫使用之 2 組 4 支 CAS 信號線（合計 8 支）同時皆成為有效。按，1 組（4 支）CAS 信號線之中究竟將幾支同時成為有效，係由來自 CPU 等側之位址之最下位 2 位元（對應於 A0 及 A1 之位元組有效(byte enable)線 BE0, BE1, BE2, 及 BE3）之值而決定，而 1 組之中變成 1 支到 4 支之任一情形。又，所謂實施非交錯存取之形態，係 16 支 RAS 信號線之中只將 1 支變成有效，同時，對於屬於已成為有效之 RAS 信號線一邊之記憶庫之只有一組（4 支）CAS 信號線變成有效。按，1 組（4 支）CAS 信號線之中究竟將幾支同時變成有效，係由來自 CPU 等側之位址最下位之 2 位元（對應於 A0 及 A1 之位元組有效線 BE0, BE1, BE2, 及 BE3）之值而決定，而 1 組之中變成 1 支到 4 支之任一情形。在控制裝置 46 係只從

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明()

CPU 等之位址信號之中之 A11, A3, A2, 與輸入對應於 A0 及 A1 之位元有效線 BE0, BE1, BE2, 及 BE3, 而依據此等合計 7 位元之信號進行上述 RAS/CAS 信號線之選擇〔解碼 (decode)〕。

RAS/CAS 發生器 48 係依據來自 CPU 10 之狀態信號 (控制信號線之一部分) 與時鐘信號, 而發生從控制裝置 46 輸出 RAS/CAS 信號所需之定時信號。又, 位址多路轉接器 (address multiplex) 50 係配合來自控制裝置 46 之 RAS/CAS 信號之輸出而發生 10 位元之位址信號所用者。即, 藉由配合 RAS 信號所輸出之 10 位元位址信號與配合 CAS 信號之輸出所輸出之 10 位元之位址信號之合計 20 位元而指定 1M 位址範圍內之特定記憶位置。

在圖 5 表示構成記憶器圖表形成裝置 42A 之邏輯電路之一例。第 1 記憶器圖表形成裝置 42A 係具有排列成串聯之加法器 42A-1 至 42A-16。加法器 42A-1 係藉由對於屬於第 1 記憶器圖表 60A 之起始位址之 00000000Hex 加上記憶器單元 0 之位址大小 (容量或位址範圍), 而求取在第 1 記憶器圖表 60A 上之記憶器單元 1 之“起始”位址。又, 加法器 42A-2 係藉由對記憶器單元 1 之起始位址上記憶器單元 1 之位址大小, 以求取在第 1 記憶器圖表 60A 上之記憶器單元 2 之起始位址。同樣地加法器 42A-3 至 42A-15 其功能相似。加法器 42A-16 則係藉由對記憶器單元 15 之起始位址加上記憶器單元 15 之位址大小, 求取在第 1 記憶器圖表 60A 上之記憶器單元 15 之“最終”位址。各記憶器單元之位址

五、發明說明()

大小係由暫存器(register) 40給與。

在圖6，表示有構成第2記憶器圖表形成裝置42B之邏輯電路之一例。第2記憶器形成裝置42B係具有排列成串聯之加法器42B-1至42B-16。加法器42B-1係藉由對於屬於第2記憶器圖表60B之起始位址之00000000Hex加上記憶器單元15之位址大小，求取第2記憶器圖表60B上之記憶器單元14之起始位址。又，加法器42B-2係藉由對於記憶器單元14之起始位址加上記憶器單元14之位址大小，以求取在第2記憶器圖表60B上之記憶單元13之起始位址。以下同樣地，加法器42B-16係藉由對記憶器單元0之起始位址加上記憶器單元0之位址大小，以求取在第2記憶器圖表60B上之記憶器單元0之最終位址。各記憶器單元之位址大小係由暫存器40給與。

在圖7表示構成第1記憶器單元特定裝置44A之邏輯電路之一例。第1記憶器單元特定裝置44A係具有排列成並聯之比較器44A-0至42A-16。在比較器44A-n(但， $n = 0, 1, \dots, 15$)之X輸入，輸入有CPU位址，在Y輸入有第1記憶圖表形成裝置42A之第n個加法器，即輸入有加法器42A-n之輸出。上述加法器之輸出，係表示在第1記憶器60A之記憶器單元n之起始位址。因此，比較器44A-n係比較在來自CPU等之位址(X)與第1記憶器圖表60A之記憶器單元n之起始位址(Y)，而從CPU等之位址(X)在與第1記憶圖表60A之記憶器單元n之起始位址(Y)相等或大時將輸出($X \geq Y$)成為真，若CPU位址(X)為

五、發明說明()

較在第 1 記憶器圖表 60A 之記憶器單元 n 之起始位址 (Y) 更小時將 ($X < Y$) 之輸出成為真。

同樣地，比較器 44A-($n+1$) 係比較來自 CPU 等之位址 (X) 與在第 1 記憶器圖表 60A 之記憶器單元 ($n+1$) 之起始位址 (Y)，如來自 CPU 等之位址 (X) 較在第 1 記憶器圖表 60A 之記憶器單元 ($n+1$) 之起始位址 (Y) 相等或較大時，則把 ($X \geq Y$) 之輸出成為真，若來自 CPU 等之位址 (X) 較在第 1 記憶器圖表 60A 之記憶器單元 ($n+1$) 之起始位址 (Y) 為小時，則將 ($X < Y$) 之輸出成為真。AND 電路 54A- n 係若比較器 44A- n 之 ($X \geq Y$) 輸出與比較器 44A-($n+1$) 之 ($X < Y$) 輸出皆為真時將選擇記憶器單元 n 之信號線成為有效。其他之比較器及 AND 電路亦同樣地將選擇各記憶器單元之信號線成為有效。

在圖 8，表示有構成第 2 記憶器單元特定裝置 44B 之邏輯電路之一例。第 2 記憶器單元特定裝置 44B 係具有排列成並聯之比較器 44B-0 至 42B-16。在比較器 44B-($n+1$) (但， $n=15, 14, \dots, 0$) 之 X 輸入輸入有來自 CPU 等之位址，在 Y 輸入則輸入第 2 記憶器圖表形成手段 42B 之第 ($15-n$) 個加法器，即，加法器 42B-($15-n$) 之輸出。上述加法器之輸出係表示在第 2 記憶器圖表 60B 之記憶器單元 n 之起始位址。因此，比較器 44B-($n+1$) 係比較來自 CPU 等之位址 (X) 與在第 2 記憶器圖表 60B 之記憶器單元 n 之起始位址 (Y)，若來自 CPU 等之位址 (X) 較第 2 記憶器圖表 60B 之記憶器單元 n 之起始位置 (Y) 相等或大時將

五、發明說明()

($X > Y = Y$) 之輸出成為真，而若來自 CPU 等之位址 (X) 較在第 2 記憶器圖表 60B 之記憶器單元 n 之起始位址 (Y) 為小時把 ($X < Y$) 之輸出成為真。

同樣地，比較器 44B-n 係比較來自 CPU 等之位址 (X) 與第 2 記憶器 60B 之記憶器單元 (n-1) 之起始位址 (Y)，若來自 CPU 等之位址 (X) 較在第 2 記憶器圖表 60B 之記憶器單元 (n-1) 之起始位址 (Y) 相等或大時將 ($X \geq Y$) 之輸出成為真，若來自 CPU 等之位址 (X) 較在第 2 記憶器圖表 60B 之記憶器單元 (n-1) 之起始位址 (Y) 為小時將 ($X < Y$) 之輸出成為真。AND 電路 54B-n 係比較器 44B-n 之 ($X < Y$) 輸出與比較器 44B-(n-1) 之 ($X \geq Y$) 輸出皆為真時將選擇記憶器單元 n 之信號線成為有效，其他之比較器及 AND 電路亦同樣將選擇各記憶器單元之信號線成為有效。

在圖 9，表示有分別由第 1 及第 2 記憶器單元特定裝置 44A 及 44B 所指定之記憶器單元輸出表示是否屬於不同記憶庫信號線之交錯非交錯選擇電路 80，而此電路 80 係包括在控制裝置 46 內。在圖 9，於 8 輸入 OR 電路 80A-1 輸入有來自第 1 記憶器單元特定裝置 44A 之 16 支記憶器單元選擇線之中偶數記憶庫 28A 內關於記憶器單元 0 至 7 之 8 支選擇線，而在 8 輸入 OR 電路 80B-1 輸入有來自第 2 記憶器單元特定裝置 44B 之 16 支記憶器單元選擇線之中之奇數記憶庫 28B 內關於記憶器單元 8 至 15 之 8 支選擇線。OR 電路 80A-1 與 OR 電路 80B-1 之輸出係連接於 AND 電路 80C 之輸入側。因此，當 AND 電路 80C 之輸出為真時，是為 OR 電路

五、發明說明()

80A-1 之輸出與 OR 電路 80B-1 之輸出皆為真時，所以包括某 CPU 位址之 1M 位址領域（位址大小）當遵從第 1 記憶器圖表 60A 時所歸屬之記憶器單元與遵從第 2 記憶器圖表 60B 時所歸屬之記憶器單元，係被配置在圖 4 位址圖表 60C 之物理位址為 00600000 Hex 以下之位址領域之情況，並表示其第 2 個記憶器單元係歸屬於各個不同之記憶庫。

在 8 輸入 OR 電路 80A-2 輸入有來自第 1 記憶器單元特定裝置 44A 之 16 支記憶器單元選擇線之中之奇數記憶庫 28B 內有關記憶器單元 8 至 15 之 8 支選擇線，而在 8 輸入 OR 電路 80B-2 輸入有來自第 2 記憶器單元特定裝置 44B 之 16 支記憶器單元選擇線之中之偶數記憶庫 28A 內有關於記憶器單元 0 至 7 之 8 支選擇線。OR 電路 80A-2 與 OR 80B-2 之輸出係連接於 AND 電路 80D 之輸入側。因此，當 AND 電路 80D 之輸出為真時，為 OR 電路 80A-2 之輸出與 OR 電路 80B-2 之輸出皆為真時，所以包括某 CPU 位址之 1M 位元組 (byte) 之位址領域（位址大小）遵從第 1 記憶器圖表 60A 時所歸屬之記憶器單元與遵從第 2 記憶器圖表 60B 時所歸屬之記憶器單元，被配置在圖 4 之物理位址圖表 60C 下半部之相同物理位址領域時，表示其等 2 個記憶器單元係分別歸屬於不同之記憶庫。因此，表示 OR 電路 80E 之輸出係可交錯者。

在圖 10 係表示控制裝置 46 中之 RAS 產生電路 90，此電路 90 係依據交錯 / 非交錯選擇電路 80 之輸出，當可交錯時對於屬於分別不同記憶庫之 2 個記憶器單元同時輸出 RAS 信

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

號，而不能交錯時只對1個記憶器單元輸出RAS信號。

在圖11表示有位址多路傳輸表(multiplex address table)之一例。當出現於記憶器單元之10支地址銷(address pin) MA0至MA9之信號在RAS信號下降處被門鎖時則可獲得列位址(row address)，而在CAS信號之下降處被門鎖時則可獲得行位址(Column address)。進行交錯存取時，同時選擇2個記憶庫28A及28B中之記憶器單元。圖11之表係進行交錯存取時，具體地表示，將來自CPU等之位址，如何分配給偶數記憶庫28A中之記憶器單元與奇數記憶庫28B中之記憶器單元。即，具體地表示，將來自CPU等之位址分配給第1記憶器圖表60A中之記憶器單元與第2記憶器圖表60B中之記憶器單元。若依據圖11之表時，來自CPU等之位址之A2為0時，選擇第1記憶器圖表60A中之記憶器單元，當A2為1時，選擇第2記憶器圖表60B中之記憶器單元。

又，圖11之表係具體地表示，進行非交錯存取時，如何將來自CPU等之位址分配給偶數記憶庫28A中之記憶器單元與奇數記憶庫28B中之記憶器單元，即，具體地表示，將來自CPU等之位址如何分配給第1記憶器圖表60A中之記憶器單元與第2記憶器圖表60B中之記憶器單元。進行非交錯存取時，只選擇第1記憶器圖表60A中之一個記憶器單元與第2記憶器圖表60B中之一個記憶器單元之任一邊。若依據圖11之時，究竟選擇第1記憶器圖表60A中之記憶器單元或第2記憶器圖表60B中之記憶器單元，係由

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

來自 CPU 等側之位址 A11 之值而定。當 A11=0 時選擇第 1 記憶器圖表 60A 中之記憶器單元，而 A11=1 時則選擇第 2 記憶器圖表 60B 中之記憶器單元。

如依據此種本實施例，即使以任何順序裝設 SIMM 於偶數記憶庫 28A 與奇數記憶庫 28B 之記憶器槽 (memory slot) 經常可將最大限度範圍之記憶器位址做交錯存取。即，不管 SIMM 之裝設狀態如何，偶數記憶庫 28A 與奇數記憶 28B 之記憶容量之中較少容量之 2 倍容量範圍具有一定可交錯存取之效果。

又，DOS 係被配置於系統記憶器之物理位址內之下位，而 OS/2 係配置於上位等，一般運作系統係配置在系統記憶器之物理位址下位或上位，但在上述實施例，係亦如圖 4 之物理位址圖表 60C 所示，在總位址範圍之下上位置皆配置可交錯之位址範圍。因此，如運作系統就記憶有頻繁執行之程式之位址範圍進行交錯存取，所以提高程式執行速度之效果為高。

按，在上述實施例，係形成將偶數記憶庫內之記憶庫以昇高順序排列之後，將奇數記憶庫內之記憶器單元以昇高順序排列而成之第 1 記憶器圖表，與和上述第 1 記憶器圖表相反順序排列記憶器單元而成之第 2 記憶器圖表，但，記憶器圖表之構成為並不限於似此情況，只要各記憶器圖表內之記憶器單元之排列不相同即可，但，如形成將偶數記憶庫內之記憶器單元以昇高順序排列之後將奇數記憶庫內之記憶器單元以昇高順序排列而成之第 1 記憶器圖表，

五、發明說明()

與和上述第1記憶器圖表相反相順序排列記憶器單元而成之第2記憶器圖表時，如上述，因在總位址範圍之下上位置配置可交錯之位址範圍，所以，如就運作系統記憶有頻繁執行之程式之位址範圍具有可做交錯之效果。

又，可適用本發明並不限制於2道交錯(two way interleave)，亦可適用可交錯之記憶庫(memory bank)2個以外數目的情況。

〔發明效果〕

如上述據本發明，做為系統記憶器即使如何將多數記憶器模組以何種狀態由使用者加以裝設或增設，經常可與最適當裝設狀態所裝設或增設情況相同範圍提供可做交錯存取之記憶器控制器及資料處理系統。

〔圖式之簡單說明〕

圖1係表示有關本發明之記憶器控制器一實施例構成之方塊圖。

圖2係表示有關本發明之資料處理系統一實施例之全體構成之方塊圖。

圖3係表示儲存在上述實施例之記憶器控制器之暫存器(register)內之資料內容之一例之方塊圖。

圖4係表示上述實施例之記憶器圖表之一例之方塊圖。

圖5係表示上述實施例記憶器控制器之第1記憶器圖表形成裝置一例之方塊圖。

圖6係表示上述實施例之記憶器控制器之第2記憶器圖表形成裝置一例之方塊圖。

五、發明說明()

圖 7 係表示上述實施例之記憶器控制器之第 1 記憶器單元特定裝置一例之方塊圖。

圖 8 係表示上述實施例之記憶器控制器之第 2 記憶器單元特定裝置一例之方塊圖。

圖 9 係表示具有上述實施例之記憶器控制器之控制裝置之交錯 / 非交錯檢測機能部分一例之方塊圖。

圖 10 係表示具有選擇上述實施例之記憶器控制器之控制裝置 RAS 信號線之機能之部分一例之方塊圖。

圖 11 係表示上述實施例之記憶器位址多路傳輸表之一例。

〔符號之說明〕

- 10: CPU (Microprocessor)
- 12: DMA 控制器
- 14: NVRAM
- 16: ROM
- 18: 記憶器控制器
- 20: 系統時鐘振盪器
- 22: 系統匯流排 (System bus)
- 24: 擴充槽 (extension slot)
- 26: 記憶器匯流排 (Memory bus)
- 28: 記憶器 (memory)
- 28A: 偶數記憶庫
- 28B: 奇數記憶庫
- 30: 系統控制器 (system controller)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 ()

- 32: 資料匯流排緩衝器 (data bus buffer)
- 40: 暫存器 (register)
- 42: 記憶體圖表形成裝置
- 42A: 第 1 記憶體圖表形成裝置
- 42B: 第 2 記憶體圖表形成裝置
- 44: 記憶體單元特定裝置
- 44A: 第 1 記憶體單元特定裝置
- 44B: 第 2 記憶體單元特定裝置
- 46: 控制裝置
- 48: RAS/CAS 信號產生器
- 50: 位址信號產生器
- 80: 交錯 / 非交錯選擇電路
- 90: RAS 產生電路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：

記憶體控制器

〔目的〕

做為系統記憶體即使以多數之記憶體模組以任何狀態由使用者加以裝設或增設，亦經常可與最適當裝設狀態加以裝設或增設時同樣之位址範圍加以交錯存取(interleave access)者。

〔構成〕

在可交錯之多數記憶體庫分開設有記憶體單元時，將所有記憶體庫內之記憶體單元，而形成為以相當於上述記憶體庫數之不同種類之規定順序排列而成之多數記憶體圖表(memory map)，包括上述CPU位址之規定範圍之位址領域為在上述各多數之記憶體圖表內檢測屬於那一個記憶體單元，而具有檢出被檢測之各記憶體單元是否屬於互相可交錯之記憶體庫之檢測功能者。

英文發明摘要(發明之名稱：

MEMORY CONTROLLER

〔目的〕

システム・メモリとして複数のメモリ・モジュールがどのような状態でユーザにより実装或は増設されても、常に最適な実装状態で実装或は増設された場合と同様のアドレス範囲でインタリーブ・アクセスできるようにする。

〔構成〕

インタリーブ可能な複数のバンクにメモリ・ユニットが振り分けて設けられている場合に、全てのバンク内のメモリ・ユニットを、前記バンクの数に相当する異なる種類の所定の順序で並べて成る複数のメモリ・マップを形成し、前記CPUアドレスを含む所定の範囲のアドレス領域が前記複数のメモリ・マップ内の夫々において何れのメモリ・ユニットに属するかを検出し、検出された各メモリ・ユニットが互いにインタリーブ可能なバンクに属するかどうかを検出する機能を持たせる。

〔送附図〕 図1

附註：本件已向

國(地區) 申請專利・申請日期：

案號：

日本

1991.10.11.

91/0290408

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種記憶體控制器，因應於一來自中央處理單元(CPU)或直接記憶體位址(DMA)控制器之位址而產生一實體位址信號，該實體位址信號於多個記憶體單元內指定一儲存位置，而該多個記憶體單元係設置於多個可交錯記憶體庫內，該記憶體控制器包括：
圖表裝置，用以定義與該記憶體庫同數目之多個記憶體圖表，每一記憶體圖表指示連續之位址空間以供該記憶體單元之用，而該記憶體單元係以一每一記憶體圖表皆不同之預定順序予以邏輯排列；
連接至該圖表裝置且適於接收該位址之裝置，用以根據每一記憶體圖表，選擇一具有一已指示位址空間之記憶體單元，而該已指示位址空間係屬於包含該位址之一固定大小之位址範圍，藉而選擇全體多個記憶體單元以供該多個記憶體圖表之用；以及
連接至該選擇裝置且適於接收該位址之裝置，用以依據是不該多個正選擇記憶體單元分別屬於各自不同之記憶體庫而決定以一交錯存取方式或一非交錯存取方式來提供該實體位址信號。
2. 根據申請專利範圍第1項之記憶體控制器，其中該多個可交錯記憶體庫係兩個記憶體庫而該記憶體圖表裝置定義第一及第二記憶體圖表，該第一記憶體圖表指示連續之位址空間以供該記憶體單元之用，該記憶體單元係以一在該第一記憶體庫之記憶體單元與在該第二記憶體庫之記憶體單元連續排列之預先順序予以邏輯排列，而該第二圖表

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

指示連續位址空間以供該記憶體單元之用，該記憶體單元係以一與該預先順序相反之順序予以邏輯排列。

3. 一種記憶體控制器，因應於一來自CPU或DMA控制器之位址而產生一實體位址信號，該實體位址信號於多個記憶體單元內指定一儲存位置，而該多個記憶體單元係設置於多個可交錯記憶庫內，該記憶體控制器包括：

暫存器裝置，用以儲存記憶體狀態資料，該記憶體狀態資料指示記憶庫中每一記憶體單元之位址大小以及每一記憶體單元之位置；

圖表裝置，連接至該暫存器裝置以根據該記憶體狀態資料定義與記憶庫同數目之多個記憶體圖表，每一記憶體圖表指示連續之位址空間以供該記憶體單元之用，而該記憶體單元係以一於每一記憶體圖表皆不同之預定順序予以邏輯排列；

記憶體單元選擇裝置，連接至該圖表裝置且適於接收該位址，用以將該位址與每一記憶體圖表相比較以就每一記憶體圖表選擇一具有一已指示位址空間之記憶體單元，而該已指示位址空間係屬於包含該位址之一固定大小之位址範圍，藉而選擇全體多個記憶體單元以供該多個記憶體圖表之用；以及

控制裝置，連接至該記憶體單元選擇裝置且適於接收該位址，用以依據是否該多個已選擇記憶體單元分別屬於各自不同之記憶庫而選擇一交錯存取方式或非交錯存取方式，以及用以依所選擇之方式提供該實體位址信號

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

200577

A7
B7
C7
D7

六、申請專利範圍

4. 根據申請專利範圍第3項之記憶體控制器，其中

該多個可交錯記憶體庫係兩個記憶體庫；

該圖表裝置包含第一圖表裝置用以定義第一記憶體圖表，該第一記憶體圖表指示連續之位址空間以供該記憶體單之用，該記憶體單元係以一在該第一記憶體庫之記憶體單元與在該第二記憶體庫之記憶體單元連續排列之預先順序予以邏輯排列，而第二圖表裝置係用以定義一第二圖表，該第二圖表指示連續之位址空間以供該記憶體單元之用，而該記憶體單元係以一與該預先順序相反之順序予以邏輯排列；

該記憶體單元選擇裝置包含第一記憶體單元選擇裝置用以根據該第一記憶體圖表選擇一具有一已指示位址空間之記憶體單元，該已指示位址空間係屬於包含該位址之一固定大小之位址範圍，而第二記憶體單元選擇裝置係用以根據該第二記憶體圖表選擇一具有一已指示位址空間之記憶體單元，該已指示位址空間係屬於包含該位址之一固定大小之位址範圍；以及

該控制裝置依據是否該兩個所選擇之記憶體單元分別屬於該兩記憶體庫而選擇一交錯存取所方式或一非交錯存取方式。

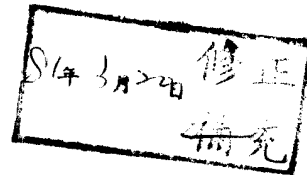
(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

20057 若 本



申請日期	80. 10. 16.
案 號	80108172
類 別	G06F ¹² / ₁₀₀ , 13/ ₁₀₀

A4
C4

(修正本) 89.3

(以上各欄由本局填註)

發明
新型專利說明書

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

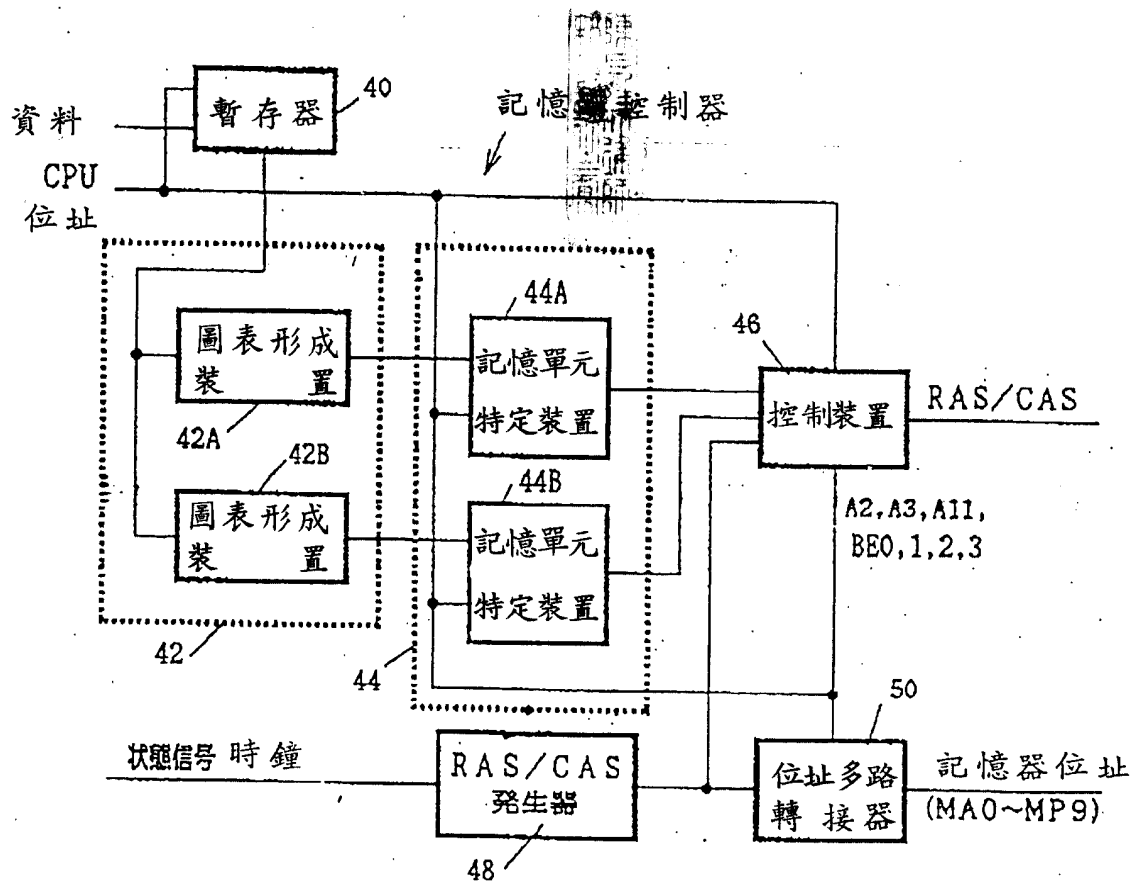
訂

線

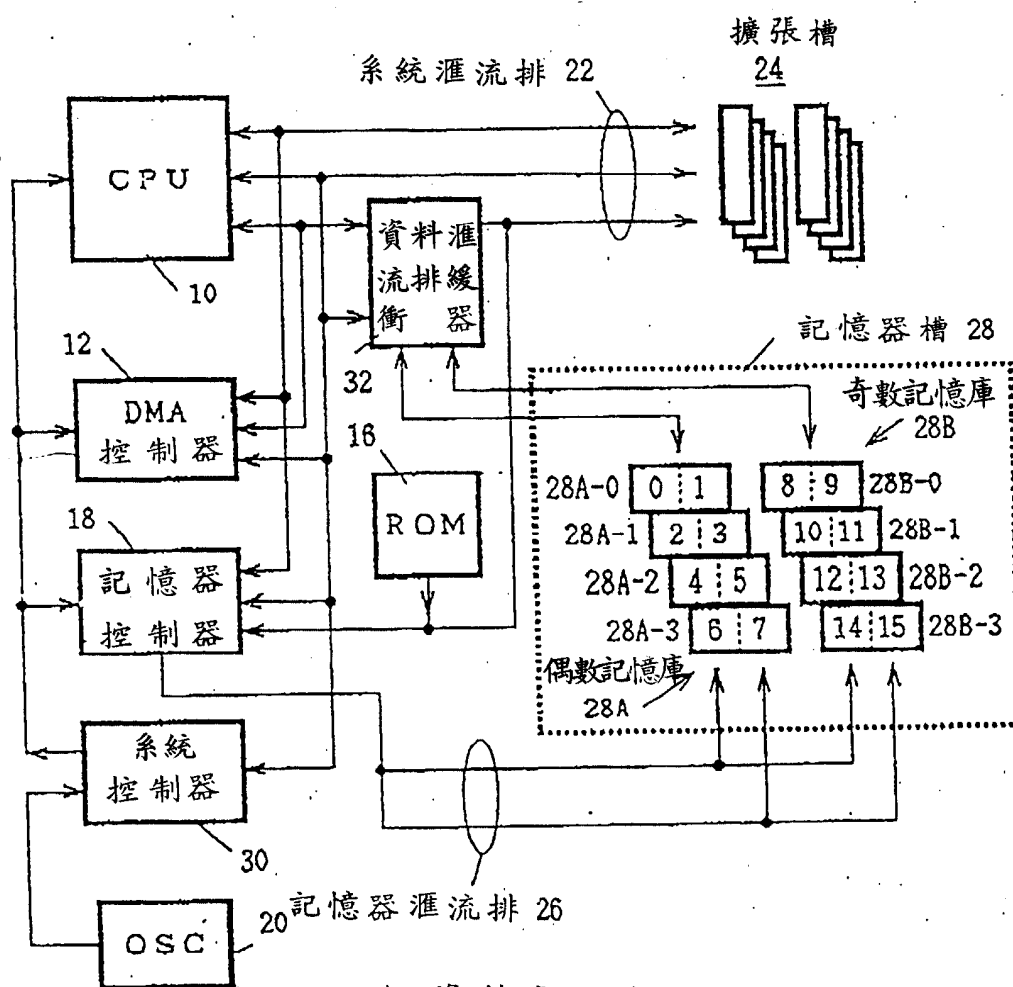
一、發明 名稱	中 文	記憶體控制器
	英 文	MEMORY CONTROLLER
二、發明人 創作	姓 名	1. 藤田 則男 2. 合田 三碩
	籍 貫 (國籍)	均日本
	住、居所	1. 日本滋賀縣甲賀郡水口町佐口堂782 2. 日本神奈川縣座間市雲雀岡1丁目5517-18號 太平洋大廈南林間506
三、申請人	姓 名 (名稱)	美商萬國商業機器公司
	籍 貫 (國籍)	美國
	住、居所 (事務所)	美國紐約川阿蒙市
	代表人 姓 名	好渥德·基·夫格柔亞

經濟部中央標準局製

第 1 圖



第 2 圖



資料處理系統

第 3 圖

記憶器構成	偶數記憶器 28A	奇數記憶器 28B
記憶器單元號碼	0 1 2 3 4 5 6 7	8 9 10 11 12 13 14 15
記憶器大小	4 4 1 1 0 0 0 0	4 0 1 1 0 0 0 0

第 5 圖

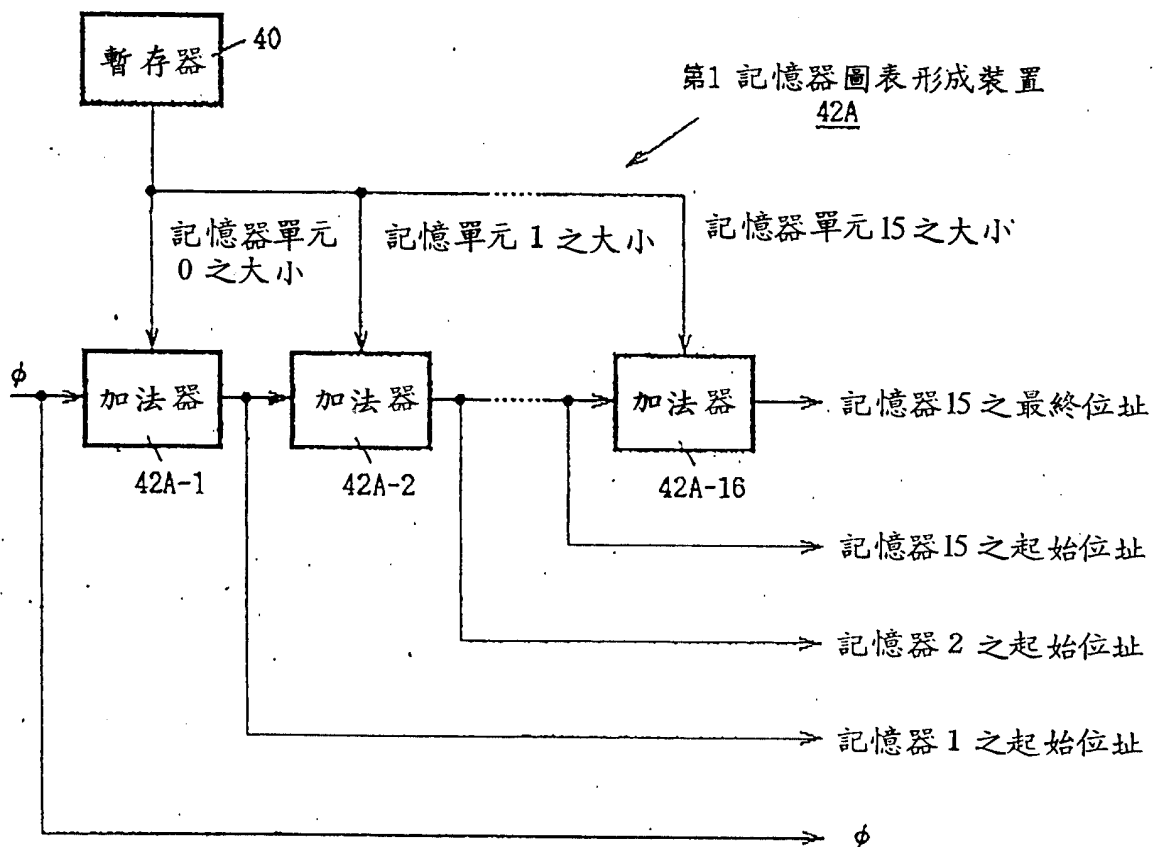
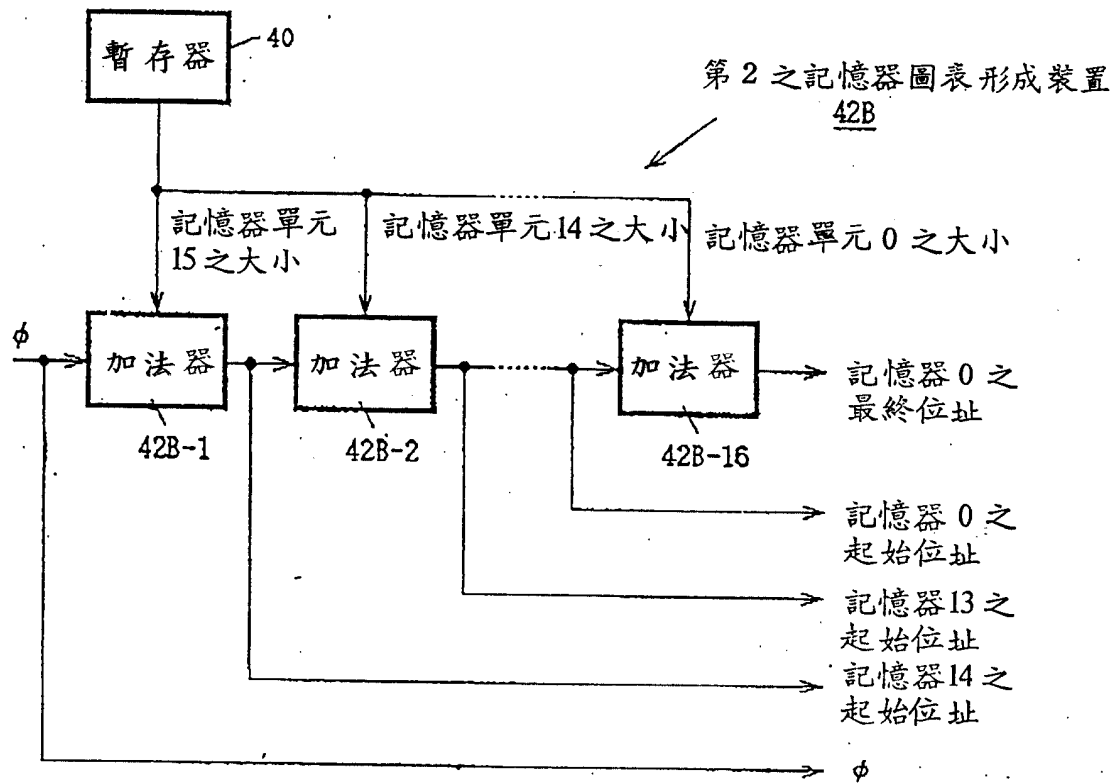


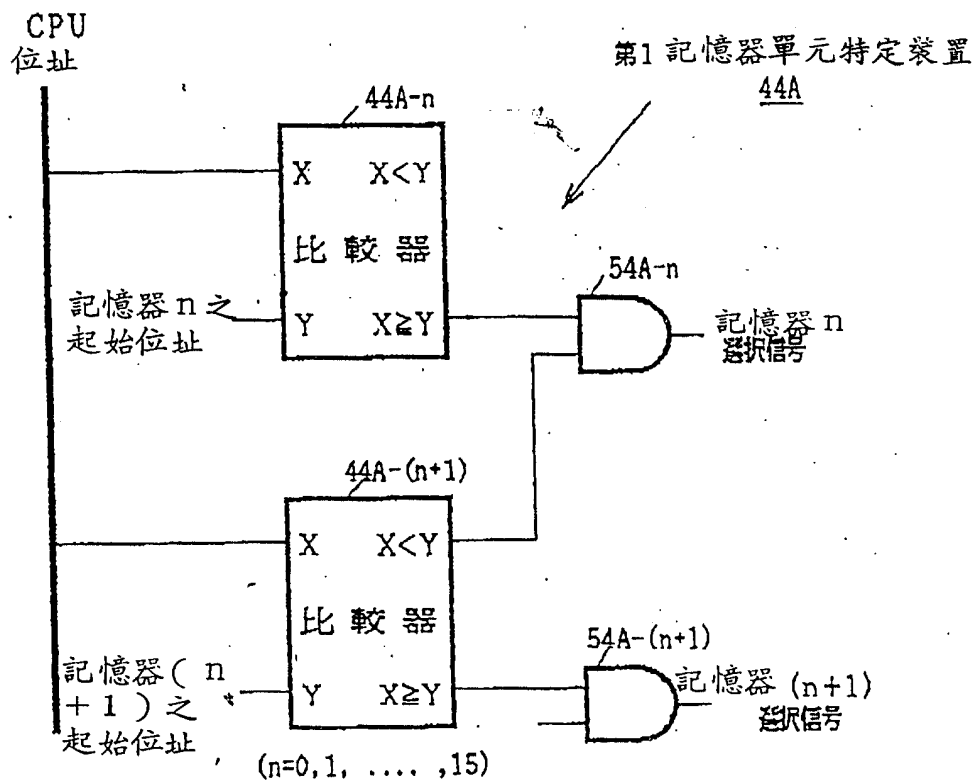
圖 4 解

物理位址	60A	物理位址	60B	物理位址	60C
01000000	1MB 記憶體單元 11	01000000	4MB 記憶體單元 0	01000000	交錯記憶體單元及記憶體單元 0
00F00000	1MB 記憶體單元 10			00F00000	交錯記憶體單元及記憶體單元 0
00E00000				00E00000	交錯記憶體單元及記憶體單元 0
	4MB 記憶體單元 8	00C00000		00C00000	交錯記憶體單元及記憶體單元 0
00A00000			4MB 記憶體單元 1	00A00000	非交錯記憶體單元 3 及記憶體單元之任一
00900000	1MB 記憶體單元 3			00900000	非交錯記憶體單元 3 及記憶體單元之任一
00800000	1MB 記憶體單元 2	00800000		00800000	非交錯記憶體單元 3 及記憶體單元之任一
	4MB 記憶體單元 1	00700000	1MB 記憶體單元 3	00700000	非交錯記憶體單元 3 及記憶體單元之任一
		00600000		00600000	交錯記憶體單元 1 及記憶體單元 8
00400000			1MB 記憶體單元 8	00400000	交錯記憶體單元 0 及記憶體單元 8
	4MB 記憶體單元 0	00200000		00200000	交錯記憶體單元 0 及記憶體單元 10
		00100000	1MB 記憶體單元 10	00100000	交錯記憶體單元 0 及記憶體單元 11
00000000		00000000	1MB 記憶體單元 11	00000000	

第 6 圖

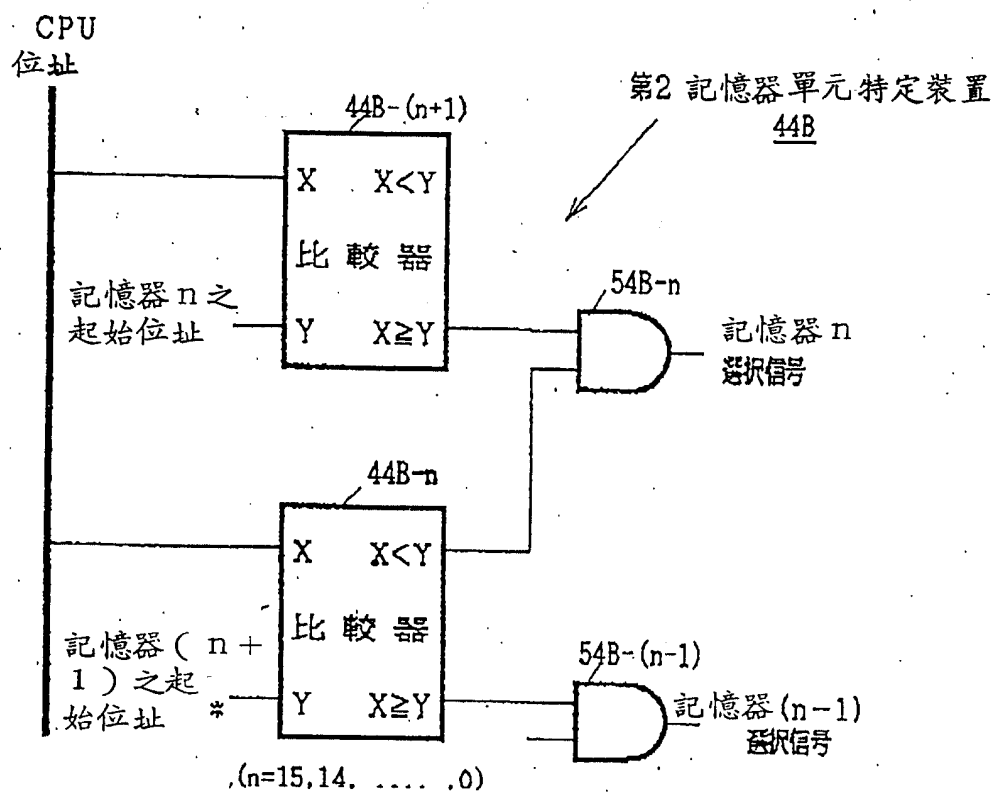


第 7 圖



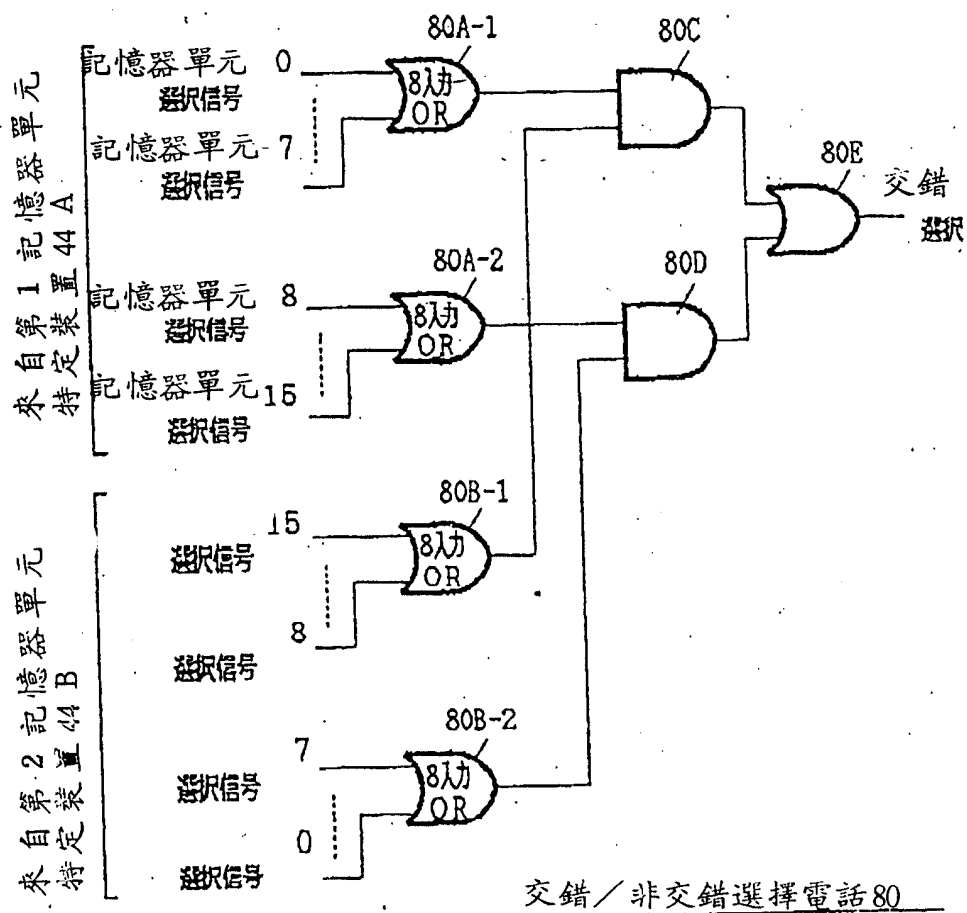
* : n=15 時表示記憶器單元 15 之最終位址 + 1。

第 8 圖

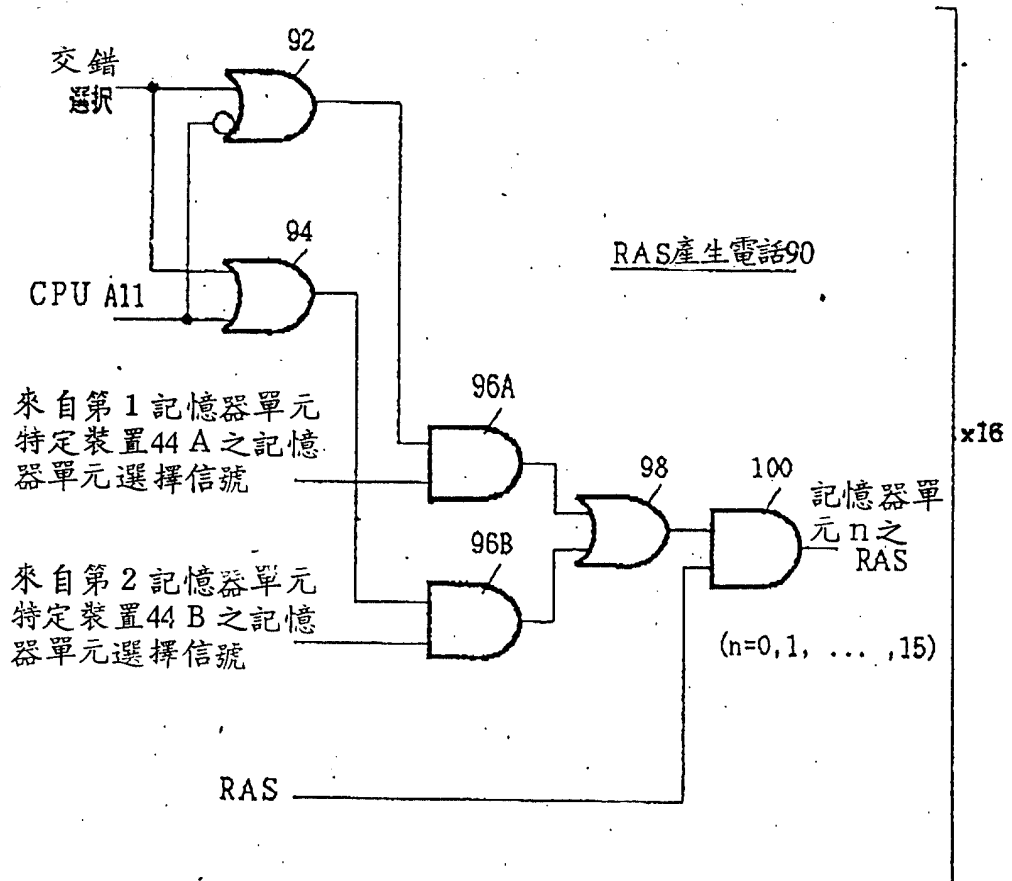


*: $n=0$ 時係表示記憶體 0 之最終位址 + 1。

第 9 圖



第 10 圖



第 11 圖

位址多路傳輸表 (multiplex Address Table)

記憶體 位 址	行 位 址		縱 列 位 址	
	交 錯 時	非交錯時	交 錯 時	非交錯時
MA0	A2*1	A11*2	A11	A2
MA1	A12	A12	A3	A3
MA2	A13	A13	A4	A4
MA3	A14	A14	A5	A5
MA4	A15	A15	A6	A6
MA5	A16	A16	A7	A7
MA6	A17	A17	A8	A8
MA7	A18	A18	A9	A9
MA8	A19	A19	A10	A10
MA9	A21	A21	A20	A20
*1 : A2=0 時，係選擇第 1 記憶體圖表 60 A 之記憶體單元 A2=1 時，係選擇第 2 記憶體圖表 60 B 之記憶體單元。				
*2 : A11=0 時，係選擇第 1 記憶體圖表 60 A 之記憶體單元 A11=1 時，係選擇第 2 記憶體圖表 60 B 之記憶體單元。				