

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H01L 21/28	(45) 공고일자 2000년12월01일
	(11) 등록번호 10-0272989
	(24) 등록일자 2000년08월31일
(21) 출원번호 10-1998-0018300	(65) 공개번호 특 1999-0036498
(22) 출원일자 1998년05월21일	(43) 공개일자 1999년05월25일
(30) 우선권 주장 97-297230 1997년10월29일 일본(JP)	
(73) 특허권자 미쓰비시 덴키 가부시카가이샤 일본국 도쿄도 지요다구 마루노우치 2초메 2반 3고	다니구찌 이찌로오, 기타오카 다카시
(72) 발명자 도미따 가즈오 일본국 도쿄도 지요다구 마루노우치 2쵸메 2-3 미쓰비시 덴기 가부시카가이샤 내	
(74) 대리인 구영창, 이상희, 주성민	

심사관 : 김동원

(54) 반도체 장치 및 그 제조 방법

요약

중첩 어긋남에 의해 콘택트와 콘택트 상에 배치하는 배선간에 양호한 전기적 접속이 얻어지지 않는 경우가 있었다.

콘택트 상에 배치하고자 하는 배선의 측면에 도전성 물질로 이루어지는 측벽을 부착 형성함으로써, 중첩 어긋남이 생기는 경우에도 측벽을 통해 전기적으로 양호한 접속 상태를 얻는 것이 가능하다.

또한, 배선과 측벽을 스토리지 노드로 하고, 유전체막, 셀 플레이트를 적층함으로써 캐패시터가 얻어지며 스토리지 노드의 상부가 측벽을 형성함으로써 둥글게 되어 있기 때문에 전계 집중을 억제할 수 있는 구조가 된다.

대표도

도1

명세서

도면의 간단한 설명

제1도는 본 발명의 실시예 1의 반도체 장치를 나타낸 도면.

제2도는 본 발명의 실시예 1의 반도체 장치의 제조 방법을 나타낸 도면.

제3도는 본 발명의 실시예 2의 반도체 장치를 나타낸 도면.

제4도는 본 발명의 실시예 3의 반도체 장치를 나타낸 도면.

제5도는 본 발명의 실시예 3의 반도체 장치의 제조 방법을 나타낸 도면.

제6도는 종래 기술을 나타낸 도면.

제7도는 종래 기술을 나타낸 도면.

제8도는 종래 기술을 나타낸 도면.

*** 도면의 주요부분에 대한 부호의 설명**

1 : 반도체 기판	2, 2a, 10, 10a, 11, 11a : 홈
3 : 실리콘 산화막	4, 4a : 매립 산화막
4aa, 4bb : 전극	5a, 5b, 5c, 5d : 측벽
6 : 질화막	7, 7a, 7b : 측벽 산화막
8 : 게이트 산화막	9 : 게이트 전극
10, 20 : 레지스트 패턴	11, 16 : 도프트 폴리실리콘막
12a, 12b, 12aa, 12bb : 스토리지 노드	

지는 측벽을 포함하고, 상기 도전체 패턴과 상기 콘택트는 직접적으로 혹은 상기 측벽을 개재하여 전기적으로 접속되는 것이다.

또한, 본 발명의 청구항 2에 따른 반도체 장치는, 청구항 1에 대응하는 구성에 부가하여, 도전체 패턴의 측면에 프레임처럼 형성된 측벽이 콘택트 위에 배치되고, 상기 측벽의 일부가 콘택트 홀 내에 매립되어 있는 것이다.

또한, 본 발명의 청구항 3에 따른 반도체 장치의 제조 방법은, 기판에 적층된 절연막에 상기 절연막의 상면으로부터 저면에 걸쳐 콘택트 홀을 형성하는 공정, 상기 절연막 위에 도전성 물질을 적층함과 함께 상기 콘택트 홀의 내부를 상기 도전성 물질로 매설하여 콘택트를 얻는 공정, 상기 도전성 물질 위에 사진 제판 공정을 행함으로써 상기 콘택트의 상측에 레지스트 패턴을 형성하는 공정, 상기 레지스트 패턴을 에칭 마스크로서 사용하여 상기 도전성 물질에 대해 선택적으로 이방성 에칭을 행하여 도전체 패턴을 얻어 상기 레지스트 패턴을 제거하는 공정, 상기 도전체 패턴의 표면 및 상기 콘택트를 포함하는 상기 절연막의 표면에 도전막을 적층하는 공정, 및 상기 절연막의 표면을 에칭 스톱퍼로서 사용하고 상기 도전막에 대해 이방성 에칭을 행하여 상기 도전체 패턴의 측면에 부착하는 도전성의 측벽을 남기는 공정을 포함하는 것이다.

또한, 본 발명의 청구항 4에 따른 반도체 장치의 제조 방법은, 청구항 3의 반도체 장치의 제조 방법에 부가하여, 콘택트의 상면의 적어도 일부와 도전체 패턴이 중첩되지 않는 경우, 상기 도전체 패턴의 측면에 프레임처럼 형성된 측벽을 개재함으로써 상기 콘택트와 상기 도전체 패턴을 전기적으로 접속하는 것이다.

발명의 구성 및 작용

[실시예 1]

본 발명의 실시예 1에 대해 설명한다.

제1도는 본 발명에 의한 반도체 장치의 단면도이고, 도면에서, 참조 부호 1은 반도체 기판, 2는 반도체 기판(1)위에 적층된 실리콘 산화막으로 이루어지는 절연막, 3a, 3b는 각각 절연막(2) 내에 매설되고 반도체 기판(1)의 표면 영역에 형성된 도전 영역에 맞닿는 콘택트, 4a 4b는 각각 콘택트(3a, 3b)에 직접적으로 혹은 다른 도전성막을 거쳐 전기적으로 접속되는 배선, 5a, 5b는 배선(4a)의 측단면에 부착 형성된 도전 물질로 이루어지는 측벽, 5c, 5d는 배선(4b)의 측단면에 부착 형성된 도전 물질로 이루어지는 측벽을 각각 나타내고 있다.

배선(4a)과 콘택트(3a), 배선(4b)과 콘택트(3b)는 각각 중첩 어긋남 상태로 형성되어 있고, 콘택트(3a)의 상면과 배선(4a)의 저면은 일부가 접하고 있을 뿐이며, 측벽(5b)을 설치함으로써 콘택트(3a)와 배선(4a)의 전기적 접속을 양호한 상태로 하고 있다. 또한 콘택트(3b)와 배선(4b)은 중첩되지 않고, 각각의 형성 위치가 인접한 상태에 배치되어 있으며, 측벽(5d)을 거쳐 전기적 접속을 꺾고 있다.

또한, 배선(4a, 4b)과의 간격은 최소 샘플링 치수, 예를 들면 $0.25\mu\text{m}$ 의 치수이고, 따라서 배선(4a)에 부착되는 측벽(5b)의 외주 단부와 인접하는 배선(4b)에 부착되는 측벽(5c)의 외주 단부간의 사이의 거리는 최소 샘플링 치수보다도 작은 치수로 되어 있다.

또한, 측벽(5b, 5d)의 하부가 절연막(2) 내에 매설된 상태로 되어 있고, 콘택트(3a, 3b)의 상측에 위치하는 측벽(5b, 5d)의 표면은 절연막(2)의 표면과 동일한 높이 또는 그 이상의 높이로 배치되어 있다.

다음에 제1도의 반도체 장치의 제조 방법에 대해 설명한다.

최초로, 제2(a)도 내지 제2(c)도에 도시한 바와 같이, 폴리마스크 개구법에 의해, 최소 샘플링 치수보다도 개구 지름이 작은 홀을 절연막(2)내에 형성한다.

우선, 제2(a)도에 도시한 바와 같이, 반도체 기판(P형 실리콘 기판, 비저항 : $10\Omega \cdot \text{cm}$)(1) 위에 실리콘 산화막으로 이루어지는 $6,000\text{\AA}$ 정도의 막 두께의 절연막(2), $3,000\text{\AA}$ 정도의 막 두께의 폴리실리콘막(6a), $3,000\text{\AA}$ 정도의 막 두께의 실리콘 산화막(7)을 순차 적층하고, 또한 실리콘 산화막(7)을 패터닝하기 위한 에칭 마스크로서 사용하여 레지스트 패턴(8)을 형성한다. 인접하는 2개의 레지스트 패턴(8) 사이의 거리는, 예를 들면 최소 샘플링 치수의 $0.25\mu\text{m}$ 로 한다. 이 레지스트 패턴(8)을 에칭 마스크로서 사용하여 실리콘 산화막(7)에 대해 이방성 에칭을 행하고 패턴 형성한다.

다음에, 제2(b)도에 도시한 바와 같이, 레지스트 패턴(8)을 제거하고, 실리콘 산화막을 CVD법에 의해 적층한 후, 이방성 에칭을 행함으로써 패터닝된 실리콘 산화막(7)의 측단면에 측벽(7a)을 프레임처럼 형성한다. 그 후 실리콘 산화막(7)과 측벽(7a)을 에칭 마스크로서 사용하여, 폴리실리콘막(6a)에 대해 이방성 에칭을 행하고 패터닝하여, 폴리실리콘으로 이루어지는 마스터 패턴(6)을 얻는다.

그 후, 제2(c)도에 도시한 바와 같이, 마스터 패턴(6)을 이용하여 절연막(2)에 대해 이방성 에칭을 행하여 콘택트 홀(9)을 형성한다. 이 때 동시에 실리콘 산화막(7)과 측벽(7a)도 에칭 제거해도 좋고, 마스크 패턴(6)을 패터닝한 후, 콘택트 홀 형성 전에 실리콘 산화막(7) 및 측벽(7a)을 제거해도 좋다. 콘택트 홀(9)을 형성한 후, 예를 들면 콘택트 홀(9)의 개구부 내에 레지스트를 매립하는 등의 처리를 행하며 마스크 패턴(6)도 에칭 제거한다.

이와 같이 하여 얻어진 콘택트 홀(9)은 최소 샘플링 치수보다도 측벽(7a)의 2배의 폭만큼 미세화된 개구 지름으로 되어 있다.

또, 최소 샘플링 치수보다도 미세한 개구 지름의 콘택트 홀(9)은 다른 제조방법에 의해 형성된 개구부이어도 문제 없다.

다음에, 제2(d)도에 도시한 바와 같이, 절연막(2) 위에 CVD법에 의해 도프트 폴리실리콘막(3)을 $6,000\text{\AA}$ 정도의 막 두께가 되도록 적층하고, 콘택트 홀(9)의 내부에 도프트 폴리실리콘을 매설하여 콘택트(3a, 3b)를 형성한다.

또한 도프트 폴리실리콘막(3)의 표면에 배선(4a, 4b)의 형상에 상당하는 레지스트 패턴(10)을 에칭 마스크로서 형성한다.

인접하는 두 개의 레지스트 패턴(10)간의 거리는 최소 샘플링 치수에 상당하는 치수로 한다.

또, 이 레지스트 패턴(10)은 콘택트(3a, 3b)에 완전히 중첩되도록 배치되는 것이 이상적이지만, 중첩 어긋남 때문에, 각각 콘택트(3a, 3b)와 레지스트 패턴(10)은 완전하게는 중첩되지 않은 배치로 되는 경우가 있다. 이 실시 예에서는 중첩 어긋남이 있는 경우에 대해 설명한다.

그 후, 제2(e)도에 도시한 바와 같이, 레지스트 패턴(10)을 에칭 마스크로서 사용하여 도프트 폴리실리콘막(3)에 대해 이방성 에칭을 행하여 배선(4a, 4b)을 얻는다. 이 때, 실리콘 산화막에 대해 충분히 에칭의 선택비를 확보할 수 있는 에칭 조건, 예를 들면 ECR 장치로 Cl_2 와 O_2 의 혼합 가스를 이용하여 도프트 폴리실리콘막(3)을 에칭한다. 레지스트 패턴(10)은 습식 에칭 등의 방법에 의해 제거한다.

이 에칭에 의해, 콘택트(3a, 3b)의 상부의 레지스트 패턴(10)과 중첩되어 지지 않은 영역은 오버 에칭되고, 리세스(recess; 오목부)(A, B)가 형성된 상태가 된다.

다음에, 제2(f)도에 도시한 바와 같이, 배선(4a, 4b) 및 절연막(2)의 표면, 리세스(A, B)의 내부에 도프트 폴리실리콘막(11)을 1,500Å 정도의 막 두께가 되도록 적층한다. 도프트 폴리실리콘막(11)의 성막 방법은, 예를 들면 CVD법 또는 스퍼터링법으로 한다.

그 후, 절연막(2)을 에칭 스톱퍼로서 사용하여 RIE 이방성 에칭을 행함으로써, 제1도에 도시한 바와 같이, 도프트 폴리실리콘막(11)을 배선(4a, 4b)의 측면면에 부착되는 측벽(5a, 5b, 5c, 5d)으로 가공한다. 이 때, 리세스(A, B) 내에도 측벽(5b, 5d)의 일부가 매설되어, 콘택트(3a, 3b)에 리세스(A, B)가 생기지 않은 경우와 마찬가지로의 상태가 효과적으로 달성된다.

이와 같이 형성된 반도체 장치는, 도전 물질로 이루어지는 측벽(5a, 5b, 5c, 5d)을 배선(4a, 4b)의 측면면에 프레임처럼 형성함으로써, 최소 샘플링 치수보다도 작은 지름으로 형성된 콘택트(3a, 3b)와 미세화된 배선(4a, 4b)의 각각의 접합을 확실하게 할 수 있어 양호한 전기 특성을 얻는 것이 가능해진다.

또한 배선(4a, 4b)을 패터닝할 때에 행하는 이방성 에칭에 있어서, 콘택트(3a, 3b)의 상부에 형성되는 리세스(A, B)를 측벽(5a, 5b, 5c, 5d)의 형성에 의해 매설할 수 있어 실효적인 콘택트 지름의 감소를 억제하고 있다.

또한, 이와 같이 형성된 반도체 장치는, 배선(4a, 4b)간의 간격이 최소 샘플링 치수에 상당하고 있고, 배선의 피치를 크게 하지 않고 실효적인 배선 폭을 증대시킬 수 있으며, 소자 형성 면적을 확대하지 않고 소자의 고집적화를 행할 수 있다. 바꿔 말하면, 배선간의 간격을 감소시킴으로써 고집적화가 가능해진다. 여기서 실효적인 배선폭이란, 예를 들면 배선(4a)과 측벽(5a, 5b)의 수평 방향의 치수의 합계를 말한다. 배선(4b) 측에 대해서도 마찬가지이다.

또한, 상기만 설명에 있어서는, 소자의 치수는 일 예를 나타낸 것에 불과하다. 예를 들면, 막 두께 6,000Å 정도의 도프트 폴리실리콘막(3)으로부터 배선(4a, 4b)을 형성하는 예를 나타내었지만, 적용되는 디바이스에 따라 100 내지 20,000Å 정도의 막 두께의 도프트 폴리실리콘막으로 하여도 좋다. 마찬가지로, 측벽(5a, 5b, 5c, 5d)을 얻기 위해 적층된 도프트 폴리실리콘막(11)에 대해서도 50 내지 3,000Å 정도의 막 두께로 하여도 좋다.

또한, 배선(4a, 4b)을 구성하는 물질에 대해서도 도프트 폴리실리콘에 의해 구성된다고 한정되지 않으며, 다른 도전 물질, 예를 들면 WSi, TiSi, MoSi, Al, AlCu, TiN, Ti, Pt, Ru, RuO_2 등으로 구성하여도 좋다.

또한, 소자의 미세화가 진행된 예로서, 콘택트 지름이 최소 샘플링 치수보다 작은 경우를 나타내었지만 이것에 한정되는 것은 아니다.

또한, 콘택트(3a, 3b)와 배선(4a, 4b)에 중첩 어긋남이 생기지 않는 경우에는 양호한 전기적 접속이 가능한 물론이다.

[실시예 2]

다음에, 본 발명의 실시예 2에 대해 설명한다.

실시예 1에서는, 배선(4a)과 측벽(5a, 5b), 또는 배선(4b)과 측벽(5c, 5d)이 실효적으로 배선으로서 기능하는 예를 나타내었다.

이 실시예 2에서는 배선(4a)에 상당하는 전극(4aa)과 그 측면면에 프레임처럼 형성된 도전 물질로 이루어지는 측벽(5a, 5b)이 실효적으로 캐패시터의 한쪽 전극인 스토리지 노드로서 이용되는 경우를 나타낸다.

제3(a)도는 본 발명의 실시예 2의 반도체 장치의 단면도를 나타내고 있다. 이 도면에서 참조 부호 4aa, 4bb는 절연막(2)의 내부에 매설된 콘택트(3a, 3b)에 전기적으로 접속되는 전극, 12a, 12b는 각각 전극(4aa, 4bb)의 측면면에 부착 형성된 측벽(5a, 5b, 5c, 5d)으로 구성되는 스토리지 노드, 13은 스토리지 노드(12a, 12b)의 표면에 적층된 유전체막, 14는 유전체막(13)의 표면에 적층된 셀 플레이트, 15a, 15b는 스토리지 노드(12a, 12b), 유전체막(13), 및 셀 플레이트(14)로 이루어지는 캐패시터를 각각 나타낸 것으로, 앞서 설명을 위해 이용한 참조 부호와 동일 부호는 동일하거나 혹은 상당하는 부분을 나타낸 것이다.

다음에, 제3(a)도의 반도체 장치의 제조 방법을 설명한다.

우선 실시예 1의 제2(a)도 내지 제2(c)도의 공정순에 따라 제조를 행하고, 반도체 기판(1) 상의 절연막(2)에 콘택트 홀(7)을 형성한다. 그 후, 제2(c)도의 경우와 마찬가지로 도프트 폴리실리콘막(3)을 6,000Å 정도의 막 두께가 되도록 적층한다. 다음에, 실시예 1에 있어서는 배선(4a, 4b)에 상당하는 형상의 레지스트 패턴(10)을 형성하였지만, 본 실시예 2에서는 레지스트 패턴은 스토리지 노드를 구성하는 전극(4aa, 4bb)의 형상에 상당하는 형상으로 한다.

그 후, 실시예 1의 제2(e)도 내지 제2(f)도의 공정순에 따라 처리를 행하고, 또한 전극(4aa, 4bb)의 측면면에 도전 물질로 이루어지는 측벽(5a, 5b, 5c, 5d)을 형성한다. 다음에, 적어도 전극(4aa, 4bb), 측벽(5a, 5b, 5c, 5d)의 표면에 실리콘 산화막, 실리콘 질화막, 산화막과 질화막의 복합막(ON막)으로 이루어지는 유전체막(13)을 50Å 정도의 막 두께가 되도록 적층한다. 또한 이 유전체막(13)의 표면에 1,500Å 정도의 막 두께의 도프트 폴리실리콘으로 이루어지는 셀 플레이트(14)를 형성함으로써 제3(a)도에 도시한 바와 같은 캐패시터(15a, 15b)를 얻을 수 있게 된다.

제3(a)도에 도시한 바와 같은 반도체 장치를 얻음으로써, 스토리지 노드를 전극(4aa, 4bb)만으로 구성하는 경우와 비교하여, 측벽(5a, 5b, 5c, 5d)을 형성함으로써 표면적을 확대할 수 있어, 이에 따라 캐패시터(15a, 15b)의 용량을 증대시킬 수 있게 된다.

측벽(5a, 5b, 5c, 5d)을 형성한 후, 스토리지 노드(12a, 12b)의 노출면을 조면화(粗面化)하여 표면적을 증대시켜 캐패시터(15a, 15b)의 용량을 증가시키는 것도 가능하다.

또한, 스토리지 노드(12a, 12b)의 상단부가 둥글게 되어 있기 때문에, 전계 집중에 의한 내압 열화 및 누설 전류를 억제할 수 있게 된다고 하는 효과가 있다.

또한, 후막(厚膜) 스택형의 스토리지 노드(12a, 12b)와 콘택트(3a, 3b)의 중첩 여유가 없는 경우에도, 도전 물질로 이루어지는(5a, 5b, 5c, 5d)을 형성하고 있음으로써 양호한 접속 상태를 얻을 수 있는 것은 실시예 1의 설명으로 나타낸 바와 같다.

상기한 설명에서는, 측벽(5a, 5b, 5c, 5d)은 도프트 폴리실리콘에 의해 구성되어 있는 것을 나타내었지만, 다른 물질 예를 들면 도프트 비정질 실리콘이어도 좋고, Ta, Ti, TiN, Pt, Ru, RuO 등의 메탈로 구성할 수도 있다. 또한, 불순물을 포함하지 않는 폴리실리콘에 의해 측벽(5a, 5b, 5c, 5d)을 형성한 후, 예를 들면 비소(P형의 경우)를 50keV , $4 \times 10^{15}/\text{cm}^2$, 주입 각도 7° 의 조건으로 주입함으로써 도전성 물질로 하는 방법을 이용하여도 좋다.

유전체막(13)에 대해서는, 실리콘 산화막, 실리콘 질화막, ON막 외에, 예를 들면 Ta_2O_5 , $(\text{Ba}, \text{Sr})\text{TiO}_3$ 등의 고유전체막이어도 좋고, 또한 BaTiO_3 , SrTiO_3 , PbTiO_3 , PbZrO_3 , LiNbO_3 , PZT, PLZT 등의 강유전체막의 경우이어도 좋다.

또한, 제3(b)도에 도시한 바와 같이, 표면을 조면화한 스토리지 노드(12aa, 12bb)를 형성함으로써 캐패시터(15a, 15b)의 대용량화를 꾀하는 것도 가능하다.

그 밖에, 적용되는 디바이스에 따라, 구성 요소의 치수를 변화시킬 수 있음은 물론이다.

[실시예 3]

다음에, 본 발명의 실시예 3에 대해 설명한다.

이 실시예 3에서는, 실시예 2에서 나타낸 캐패시터(15a, 15b)보다도 더욱 대용량의 캐패시터를 갖는 반도체 장치에 대해 설명한다.

제4도에서, 참조 부호 16a, 16b는 측면에 부착되는 측벽(5a, 5b, 5c, 5d)의 높이 방향의 치수보다도 작은 막 두께의 도전 물질로 형성된 전극, 17a는 전극(16a) 및 그 측단면에 부착 형성된 측벽(5a, 5b)으로 구성되는 통형 스토리지 노드, 17b는 전극(16b) 및 측벽(5c, 5d)으로 이루어지는 통형 측벽을 나타내고 있다.

또, 도면에는 측벽(5a, 5b, 5c, 5d)에 각각 별도의 부호를 붙이고 있지만, 예를 들면 측벽(5a, 5b)은 일련의 물질이고, 전극(16a)의 외주를 따라 높이 방향으로 연장되는 통형체로 형성되어 있다. 측벽(5c, 5d)에 대해서도 마찬가지이다.

또한 참조 부호 18a, 18b는 각각 스토리지 노드(17a, 17b)와 유전체막(13), 셀 플레이트(14)로 구성되는 캐패시터를 나타내고 있다.

다음에, 제4도에 도시한 바와 같은 반도체 장치의 제조 방법에 대해 설명한다.

우선, 실시예 1에서 도시한 제조 방법의, 제2(a)도 내지 제2(c)도의 공정순으로 처리를 행하고, 반도체 기판(1) 상의 절연막(2)에 콘택트 홀(9)을 형성한다.

그 후, 제5(a)도에 도시한 바와 같이, CVD법에 의해 도프트 폴리실리콘막(16)을 1,500Å 정도의 막 두께가 되도록 적층하고 콘택트 홀(9)의 내부를 매립하여 콘택트(3a, 3b)를 얻는다. 또한 BPTEOS 막(19)을 6,000Å 정도의 막 두께가 되도록 적층하고, 그 표면에 전극(16a, 16b)에 상응하는 형상의 레지스트 패턴(20)을 형성한다. 인접하는 두 개의 레지스트 패턴(20)간의 거리는 최소 샘플링 치수($0.25\mu\text{m}$)로 한다.

다음에, 제5(b)도에 도시한 바와 같이, 레지스트 패턴(20)을 에칭 마스크로서 사용하여 BPTEOS막(19)과 도프트 폴리실리콘막(16)에 대해 에칭을 행한다. 이 에칭에 있어서는 예를 들면 ECR 장치를 이용하여 CHF_3 , Ar, O_2 의 혼합 가스를 이용하여 실리콘 산화쪽에 대해 에칭 선택비를 충분히 확보할 수 있는 조건으로 처리를 행하고, BPTEOS 패턴(19a, 19b)과 전극(16a, 16b)을 얻는다.

이 에칭에 의해, 콘택트(3a, 3b)의 상부의 레지스트 패턴(20)과 중첩되어 있지 않았던 영역, 즉 중첩 어긋남에 상응하는 영역이 오버 에칭되어, 리세스(A, B)가 형성된다. 레지스트 패턴(20)은 제거된다.

그 후, 제5(c)도에 도시한 바와 같이, 절연막(2), BPTEOS 패턴(19a, 19b), 전극(16a, 16b), 콘택트(3a, 3b)의 노출된 표면 위에 도프트 폴리실리콘을 1,500Å 정도의 막 두께가 되도록 적층하고, 예를 들면 RIE법에 의해 에치백함으로써 측벽(5a, 5b, 5c, 5d)을 형성한다.

이 실시예 3의 반도체 장치에 대해서도 실시예 1로 나타낸 경우와 마찬가지로 이 측벽(5b, 5d)을 형성함으로써, 콘택트(3a, 3b)의 상부의 리세스(A, B)는 매설되고, 실효적인 콘택트(3a, 3b)의 표면은 절연막

(2)의 표면보다도 높은 위치가 된다. 또한 중첩 어긋남에 의해 중첩되지 않은 상태에 있던 전극(16b)과 콘택트(3b)에 대해서도, 도전 물질로 이루어지는 측벽(5d)을 통해 양호한 전기적 접속이 가능해지고 있다.

이 단계에서 측벽(5a, 5b)과 전극(16a)으로 구성되는 통형 스토리지 노드(17a)와, 측벽(5c, 5d)과 전극(16b)으로 구성되는 스토리지 노드(17b)를 얻을 수 있다.

그 후, 전극(16a, 16b) 위의 BPTEOS 패턴(19a, 19b)을 에칭에 의해 선택적으로 제거한다. 또, 디바이스에 의해서는 다른 구성 요소와의 선택비를 확보하기 위해, BPTEOS 이외의 물질을 이용하여 BPTEOS 패턴(19a, 19b)에 상당하는 패턴을 형성하여도 문제 없다.

이후의 공정은 실시예 2의 유전체막(13) 및 셀 플레이트(14)의 형성 공정과 동일하며, 적어도 측벽(5a, 5b, 5c, 5d), 전극(16a, 16b)의 노출된 표면 위에 유전체막(13), 셀 플레이트(14)를 순차 형성함으로써 제4도에 도시한 바와 같은 캐패시터(18a, 18b)를 포함하는 반도체 장치를 얻는 것이 가능하다.

이와 같은 반도체 장치는, 스토리지 노드(17a, 17b)의 전극(17a, 16b) 측의 측면을 노출시키고, 통형으로 되어 있기 때문에, 표면적을 크게 할 수 있다. 따라서, 스토리지 노드(17a, 17b)간의 거리를 최소 샘플링 치수보다 작은 치수로 하여, 고집적화된 상태로 효율적으로 캐패시터(18a, 18b)의 용량을 중대시키는 것이 가능해진다고 하는 효과가 있다.

또한, 실시예 2에 있어서 제3(b)도에 도시한 경우와 마찬가지로 스토리지 노드(17a, 17b)의 표면을 조면 화함으로써, 보다 대용량의 캐패시터(18a, 18b)를 얻을 수 있음은 물론이다.

발명의 효과

이하에, 본 발명의 각 청구항의 효과에 대해 기재한다.

본 발명의 청구항 1 및 청구항 2의 반도체 장치에 따르면, 콘택트와 도전체 패턴이 사진 제판의 중첩 어긋남 때문에 중첩되지 않게 된 경우에도, 도전성 물질로 이루어지는 측벽을 도전체 패턴의 측면에 부착시키고 있기 때문에, 실효적으로 도전체 패턴의 폭을 중대시킬 수 있어, 이 측벽을 통해 양자의 전기적 접속을 양호하게 행할 수 있다고 하는 효과가 있다. 또한, 중첩 어긋남으로 인하여 콘택트의 상부가 오버 에칭되어 리세스가 생긴 경우, 측벽을 구성하는 도전 물질이 리세스 부분을 매설하기 위해, 양호한 전기 특성을 얻는 것이 가능해진다.

또한, 본 발명의 청구항 3의 반도체 장치의 제조 방법에 따르면, 콘택트와 도전체 패턴의 중첩 어긋남을 도전성의 측벽을 형성함으로써 보정할 수 있고, 배선의 피치를 크게 하지 않아도 배선평을 크게 할 수 있게 된다고 하는 효과가 있다.

또한, 본 발명의 청구항 4의 반도체 장치에 따르면, 중첩 어긋남에 의해 콘택트 상면과 도전체 패턴 혹은 스토리지 노드가 중첩되어 있지 않은 경우에도, 도전체 패턴 혹은 스토리지 노드의 측면에 프레임처럼 형성된 도전성의 측벽을 통해 콘택트와의 양호한 전기적 접속이 가능해진다.

(57) 청구의 범위

청구항 1

기판 위에 적층된 절연막, 상기 절연막의 내부에 형성되고, 상기 절연막의 저면으로부터 상면에 걸쳐 형성된 콘택트 홀에 매설된 도전 물질로 이루어지는 콘택트, 상기 절연막 위에 형성된 도전체 패턴, 및 상기 도전체 패턴의 측면에 프레임처럼 형성된 도전 물질로 이루어지는 측벽을 포함하고, 상기 도전체 패턴과 상기 콘택트는 직접적으로 혹은 상기 측벽을 개재하여 전기적으로 접속되는 것을 특징으로 하는 반도체 장치.

청구항 2

제1항에 있어서, 도전체 패턴의 측면에 프레임처럼 형성된 측벽이 콘택트 위에 배치되고, 상기 측벽의 일부가 콘택트 홀 내에 매립되어 있는 것을 특징으로 하는 반도체 장치.

청구항 3

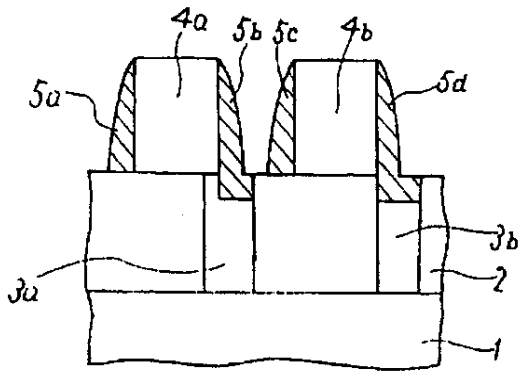
기판에 적층된 절연막에 상기 절연막의 상면으로부터 저면에 걸쳐 콘택트 홀을 형성하는 공정, 상기 절연막 위에 도전성 물질을 적층함과 함께 상기 콘택트 홀의 내부를 상기 도전성 물질로 매설하여 콘택트를 얻는 공정, 상기 도전성 물질 위에 사진 제판 공정을 행함으로써 상기 콘택트의 상측에 레지스트 패턴을 형성하는 공정, 상기 레지스트 패턴을 에칭 마스크로서 사용하여 상기 도전성 물질에 대해 선택적으로 이방성 에칭을 행하여 도전체 패턴을 얻어 상기 레지스트 패턴을 제거하는 공정, 상기 도전체 패턴의 표면 및 상기 콘택트를 포함하는 상기 절연막의 표면에 도전막을 적층하는 공정, 및 상기 절연막의 표면을 에칭 스톱퍼로서 사용하여 상기 도전막에 대해 이방성 에칭을 행하여 상기 도전체 패턴의 측면에 부착되는 도전성의 측벽을 남기는 공정을 포함하는 반도체 장치의 제조 방법.

청구항 4

제3항에 있어서, 콘택트의 상면의 적어도 일부와 전체 패턴이 중첩되지 않는 경우 상기 도전체 패턴의 측면에 프레임처럼 형성된 측벽을 개재함으로써 상기 콘택트와 상기 도전체 패턴을 전기적으로 접속하는 것을 특징으로 하는 반도체 장치의 제조 방법.

도면

도면1



1: 반도체 기판

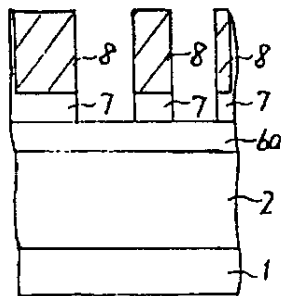
2: 질연층

3a, 3b: 콘택트

4a, 4b: 배선

5a, 5b, 5c, 5d: 측벽

도면2a

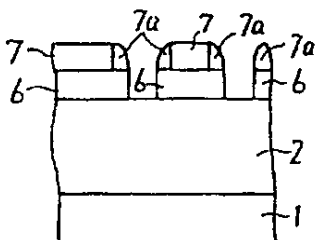


6a: 폴리실리콘막

7: 실리콘 산화막

8: 레지스트 패턴

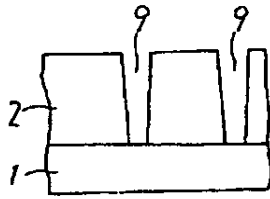
도면2b



7a: 측벽

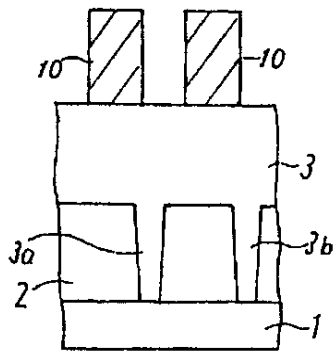
6: 마스크 패턴

도면2c



9: 콘택트홀

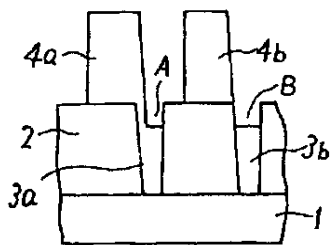
도면2d



3: 도핑된 폴리실리콘막

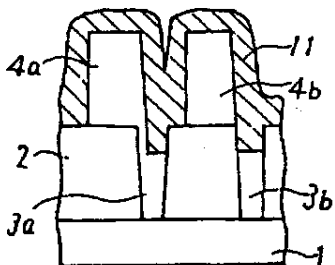
10: 레지스트 패턴

도면2e



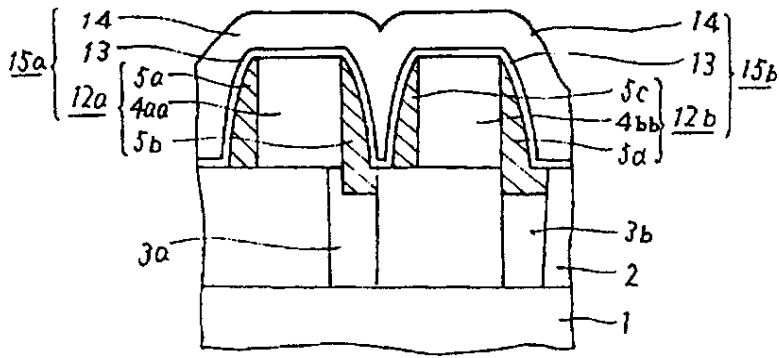
A, B: 리세스

도면2f



11: 도핑된 폴리실리콘막

도면3a



4aa, 4bb: 전극

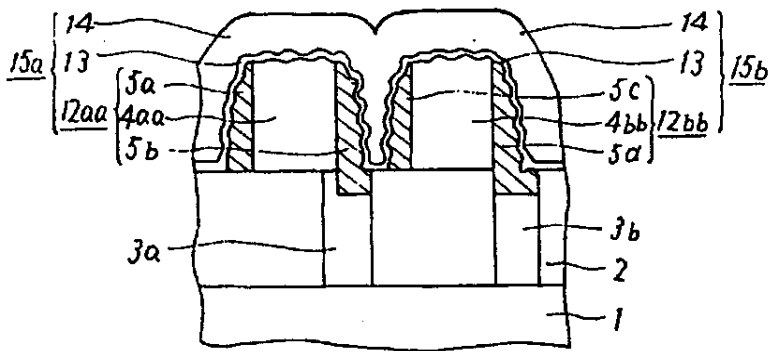
12a, 12b: 스토리지 노드

13: 유전체막

14: 셀 플레이트

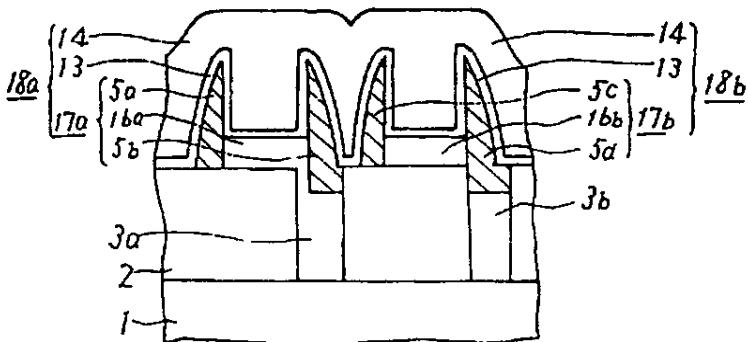
15a, 15b: 캐패시터

도면3b



12aa, 12bb: 스토리지 노드

도면4

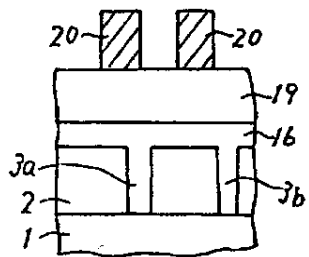


16a, 16b: 전극

17a, 17b: 통형 스토리지 노드

18a, 18b: 캐패시터

도면5a

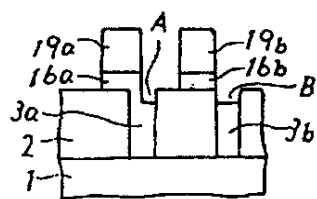


16: 도핑된 폴리실리콘막

19: BPTEOS막

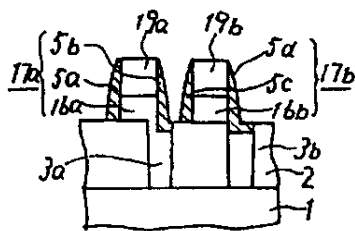
20: 레지스트 패턴

도면5b

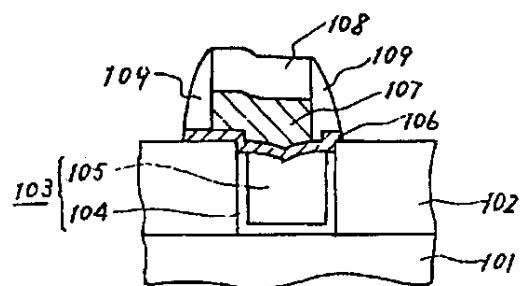


19a, 19b: BPTEOS 패턴

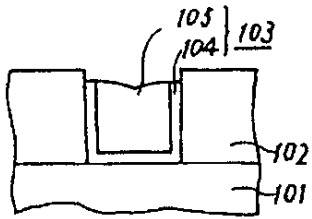
도면5c



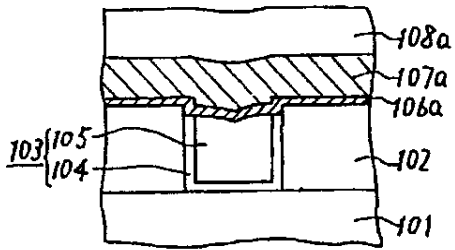
도면6



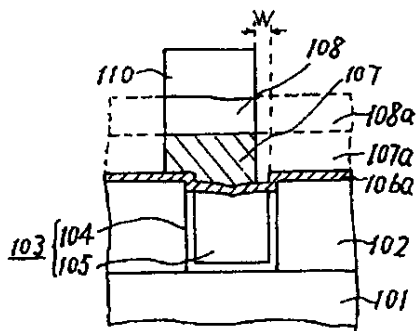
도면7a



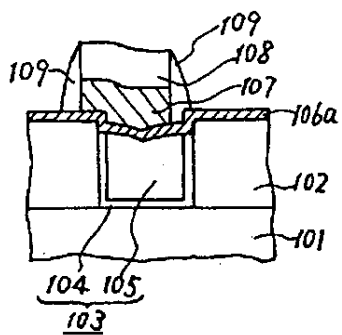
도면7b



도면7c



도면7d



도면8

