

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁷ G11C 7/00	(45) 공고일자 2001년02월 15일
	(11) 등록번호 10-0281812
	(24) 등록일자 2000년11월21일
(21) 출원번호 10-1997-0702103	(65) 공개번호 특 1997-0706579
(22) 출원일자 1997년03월31일	(43) 공개일자 1997년11월03일
번역문제출일자 1997년03월31일	
(86) 국제출원번호 PCT/US 96/12237	(87) 국제공개번호 WO 97/05620
(86) 국제출원일자 1996년07월24일	(87) 국제공개일자 1997년02월 13일
(81) 지정국 AP ARIPO특허 : 케냐 레소토 말라위 수단 스와질랜드 우간다 케냐 EA 유라시아특허 : 아르메니아 아제르바이잔 벨라루스 EP 유럽특허 : 오스트리아 벨기에 스위스 독일 덴마크 스페인 프랑스 영국 그리스 이탈리아 룩셈부르크 모나코 네덜란드 포르투갈 스웨덴 오스트리아 스위스 독일 덴마크 스페인 핀란드 영국 국내특허 : 아일랜드 알바니아 오스트레일리아 바베이도스 불가리아 브 라질 캐나다 중국 체코 에스토니아 그루지야 헝가리 아이슬란드 일 본	
(30) 우선권주장 8/509,348 1995년07월31일 미국(US)	
(73) 특허권자 인퍼메이션 스토리지 디바이스 인코퍼레이티드 팔머 카알 알 .	
(72) 발명자 미국 캘리포니아 95134 산 호세 노스 퍼스트 스트리트 2727 브라이스, 트레버	
(74) 대리인 장용식	
	미국 캘리포니아 85035 밀피타스 슈퍼어리어 로드 782 심코, 리차드 티. 미국 캘리포니아 94022 로스 알토스 힐즈 블랙-틴 로드 27861

심사관 : 이철희

(54) 아날로그및디지털저장을위한비휘발성전기적변환기능반도체메모리

요약

비휘발성 메모리 어레이에 아날로그 기억장소를 달성하는 방법 및 장치.

이 메모리 어레이는 소거를 위해 파울러-노드하임 터널링을 이용하고 프로그래밍을 위해 열 전자 주입을 이용하는 메모리 셀로 이루어진다. 셀로의 기입은 셀이 미소증가로 프로그램되는 프로그램 동작에 대한 제어 시퀀스가 뒤따르는 초기 소거에 의해 수행된다. 저장전압은 각각의 프로그래밍 스텝 후에 판독되고 셀로부터의 판독전압이 소망 아날로그 레벨과 같거나 약간 높을 때 프로그램 스텝의 시퀀스가 종료된다. 셀에 대한 판독조건은 포지티브 전압을 드레인 또는 공통선에 인가하고 포지티브전압을 제어게이트에 인가한다. 소스는 부하 디바이스를 통해 네거티브(점지) 파워 공급에 접속된다. 셀로부터의 출력은 소스 노드에 존재하는 실제전압이다.

명세서

기술분야

발명의 분야

본 발명은 메모리 어레이에서 아날로그 신호 샘플 및 다중 레벨 디지털 신호의 집적 회로 기억 장치에 관한 것이다.

배경기술

종래의 기술

현재까지, 집적회로의 비휘발성 아날로그 기억장치는 주로 소거(erase) 및 프로그램 모드에 대해 파울러-노드하임(Fowler-Nordheim) 전자 터널링을 이용하는 EEPROM 메모리 셀로 수행되어왔다. 이 EEPROM 메모리 셀은 일반적으로 채널과 상부 폴리실리콘 제어게이트 사이에 위치한 중간 폴리실리콘 게이트를 갖춘 MOS 트랜지스터로 구성된다. 중간 폴리실리콘 게이트는 어떠한 오믹 전기접촉도 갖지않고, 절연체에 의해 완전히 포위되며 흔히 부동(floating)게이트로 불리운다. 전하가 트랜지스터의 4개의 이용가능 단자(소스, 드레인, 게이트; 기판)에 전압을 인가하여 부동게이트에 추가되거나 부동게이트로부터 감해지므로써, 흔히 터널 산화물로 불리우며 부동게이트를 포위하는 유전체로 된 특정영역에 걸쳐서 전계가 형성된다. 셀의 3차원 설계를 보정하고 인가전압의 선택을 보정하므로써 터널 산화물에 걸치는 전계는 유전체를 통하여 전자 터널링을 유도할 수 있을 만큼 충분히 높다. 전자를 부동게이트로 또는 부동게이트로부터 추가 또는

제거는 전압을 상주 제어 게이트에 인가함으로써 측정되는 바와 같은 트랜지스터의 문턱값에 대한 수정을 야기한다. NMOS 트랜지스터가 사용된다고 가정할 때, 그 전계의 방향은 전자터널이 부동게이트로 향하는지 부동게이트로부터 멀어지는지를 판정하므로써 문턱값 전압의 변화 결과가 증가인지 또는 감소인지를 판정한다.

부동게이트 디지털 메모리에 대한 상당수의 예가 있으며, 부동게이트 트랜지스터의 문턱값 전압은 수 볼트 정도로 상당량이 변화된다. 하나의 논리상태는 문턱값 전압의 넓은 범위로 표현되고 타 논리상태는 문턱값 전압의 넓은 범위와는 다른 범위로 표현된다. 정보는 일반적으로 트랜지스터가 소정 판독 상태로 바리어스되었을 때 트랜지스터가 전도시키는지의 여부를 판정하므로써 셀로부터 판독된다. 반면에, 아날로그 저장의 부동게이트 트랜지스터의 문턱값에 대해 작은 변화 또는 연속적인 변화가 일어나는 것을 필요로 하며, 트랜지스터의 판독은 트랜지스터로부터의 실제 전압의 판정을 제공하거나 트랜지스터가 전도시키는 방식에 대한 표시를 나타낼 것을 필요로 한다. 아날로그 저장의 예로는 미합중국 특허 제 4,627,027호(라이) 제 4,890,259호(심코), 제 4,989,179호(심코), 제5,220,531호(브라이스), 제 5,241,494호(브라이스) 및 제 5,294,819호(심코)에서 검색할 수 있다.

미합중국 특허 제 4,627,027호에 이용된 기술은 소스에 인가된 아날로그 레벨에 비해 부동게이트가 충분히 높도록 충전될 때 부동게이트 트랜지스터가 전도를 개시하도록, 프로그래밍전압이 고 전압값을 통하여 부동게이트 트랜지스터의 드레인에 인가되는 사실에 의존한다. 전도의 개시시 드레인 전류는 레지스터에 걸쳐 전압강하의 증가를 야기시키므로 드레인에 인가된 프로그래밍 전압을 감소시킨다. 따라서, 터널 전류가 감소하며 부동게이트는 소스에서 입력전압과 거의 근사관계를 갖는 레벨에 도달한다.

미합중국 특허 제 4,890,259호 및 제 4,989,179호는 아날로그 또는 다중레벨 신호가 신호를 연속적으로 샘플링하고 한 세트의 샘플 및 홀드 회로에 샘플을 순차적으로 임시저장하므로써 저장되는 셀로 된 비휘발성 메모리 어레이를 설명한다. 샘플 및 홀드회로로부터의 병렬출력은 그후 메모리 셀의 수와 동일 횡수를 위한 반복 기입 시퀀스를 제어하는데 사용되며 이 반복 기입 시퀀스는 각각의 샘플 및 홀드 회로출력에 의해 반복적으로 각각의 셀에 독립적이다. 반복 기입 시퀀스는 각각에 대해 판독 동작이 뒤따르는 일련의 기입 프로그래밍 전압 펄스이며, 이 프로그래밍 전압펄스는 셀로부터 판독된 전압레벨이 대응하는 샘플 및 홀드회로로부터의 소망 아날로그 레벨과 매치될 때까지 진폭이 증가하며, 이때 상기 셀에 대한 일련의 프로그래밍 펄스가 종료된다. 미합중국 특허 제 5,220,531호 및 제 5,241,494호는 개선된 성능 및 제조가능성을 허용하는 반복적 아날로그 저장을 위한 방법 및 장치가 개시되어있다. 미합중국 특허 제 5,294,819호는 단일 트랜지스터를 포함하는 EEPROM셀에서 아날로그 저장을 제공하기 위한 방법이다. 상기 종래 셀의 공통적인 특징은 동작의 소거 동작모드 및 프로그램 동작모드에 대해 파울러-노드하임 터널링을 이용하는 EEPROM 셀을 이용하는 것이다.

비휘발성 메모리의 또다른 부류는 프로그램 동작을 위해 열전자 주입에 의존한다. 소거는 집적 회로의 표면을 자외선에 노출시킴으로써 수행될 수 있거나 또는 대안으로 파울러-노드하임 터널링에 의해 전기적으로 수행될 수 있다. 어느 경우에도 프로그램 기능은 열 전자주입에 의해 수행되므로써, 선택된 셀의 부동게이트 트랜지스터는 바이어스되어 채널을 드레인 시키기위한 소스의 전자는 고 전계에 의해 영향을 받는다. 전자에 부여된 에너지는 산화물층의 에너지 갭을 뛰어 넘을 수 있도록 전자를 위해 충분히 높으며 부동게이트에서 소진된다. 부동게이트에서 종료하는 전자의 비율은 부동게이트와 같은 특정 바이어스 조건에 종속하며 따라서 전계는 부동게이트하에서 산화물층에 걸친다. 일반적으로 말해서, 높은 소스 전류는 적절한 시간 주기로 적절한 문턱값 변화 즉, 수십 또는 수백 마이크로초에서 수 볼트의 변화를 프로그램하기 위해 충분한 전하 전달을 제공할 것이 요구된다. 따라서, 전하 전달효율은 매우 낮으며 10^6 또는 10^7 채널전하에 대해 부동게이트상에서 종료하는 전자는 1 전자 정도이다. 프로그래밍은 고전류 및 고전압을 필요로 하기 때문에 EEPROM에서 발견되는 바와 같은 단일 파워 공급 소스로부터 온-칩 전압 증대에 사용되는 기술은 실제적인 기술이 아니며, 프로그램 전류를 공급하기위해 외부파워 소스를 사용할 것이 요구된다. 매우 고전력일 수 있는 특정 외부파워 공급은 커다란 결점이다. 그러나, 이에 대한 최근의 몇몇 개선사항은 이러한 결점들을 극복하였다. 일례로서, 미합중국 특허 제 5,029,130호, 제 5,067,108호 및 제 5,289,411호에는 열전자 주입에 대한 개선된 기술이 설명되어있으며, 여기서 프로그래밍 전달효율이 상당히 개선되었으며, 온-칩 전압 증대가 실제적인 기술로 되었다. 상기 특허는 개선된 디바이스의 제조 및 그 기술과 디지털 데이터를 위한 사용을 개시하였지만, 본 발명은 아날로그 데이터의 저장에 대한 바람직한 실시예에 관련되며, 또한 셀내부의 기입 및 셀로부터의 판독을 위한 상이한 기술을 소개한다. 본 발명은 또한 열전자 주입을 이용하는 비휘발성 셀의 다른 유형에도 적용될 수 있다. 부가하여, 본 발명은 미합중국 특허 제 4,890,259호, 제 4,989,179호 및 제 5,241,494호에 개시된 샘플 및 홀드회로와 반복 프로그래밍 기술을 사용하지만, 상기 미합중국 특허와는 상당한 차이점을 가지고 있다.

요약하면, 프로그램 제어는 기입회로에서의 중요한 구조상의 차이점뿐만 아니라, 전압 대신 스위칭 전류에 의해 수행된다는 것이다.

발명의 상세한 설명

발명의 요약

본 발명은 비휘발성 메모리 어레이에 아날로그 저장을 달성하기 위한 방법 및 장치를 개시한다. 상기 어레이는 프로그래밍을 위한 소거 및 열전자 주입을 의해 파울러-노드하임 터널링을 이용하는 메모리셀로 이루어진다.

저장되어야 할 입력 레벨은 프로그래밍 주기동안 연속적으로 인가되는 전압일 수 있거나, 본 발명의 전형적인 응용에선, 연속적으로 아날로그 신호를 샘플링하여 안정 전압을 제공하는 다수의 샘플 및 홀드회로 중의 하나일 수 있다. 셀 내부로의 기입은 제어된 프로그램 동작 시퀀스가 후속하고 그 동안 셀이 미소증가로 프로그램되는 초기 소거에 의해 수행된다. 저장된 전압은 각각의 프로그램 스텝후에 판독되며 셀로부터 판독된 전압이 소망 아날로그 레벨보다 약간 높거나 같을 때 프로그램 스텝의 시퀀스가 종료된다. 프로그램 스텝의 수는 각각의 셀 또는 상이한 소망전압에 대해 다를 수 있다. 프로그램 구성 및 조건은 사용되는 셀의 유형에 종속하지만, 어떠한 경우에도 각각의 프로그램 스텝동안 부동게이트 트랜지스터 문

턱 값은 반드시 미소해야한다. 이것은 인가전압, 소스에서 드레인으로의 전압 및 소스전류 흐름시간을 제어하므로써 달성된다. 상기 모든 제어 변수의 조합은 특정 셀 유형에 필요하다.

셀에 대한 판독조건은 전형적 디지털 구성에 사용되는 것과는 다르다. NMOS 디바이스를 가정하면, 일반적으로 종래기술에서 셀의 소스 측, 공통선은 네거티브(접지) 파워 공급에 접속되고 제어게이트 및 드레인에 인가된 전압은 소스에 대해 포지티브이다. 셀의 저장상태는 최종 드레인 전류를 센싱하므로써 판정된다. 대안으로, 부하 디바이스가 드레인과 포지티브 파워공급간에 접속되며 데이터상태 또는 상태들은 기준전압 또는 기준전압 셋트보다 크거나 작은 드레인 전압에 의해 판정된다. 반면에, 본 발명은 드레인 또는 공통선에 포지티브 전압을 인가하며 제어게이트에 포지티브 전압을 인가한다. 소스는 부하 디바이스를 통하여 네거티브(접지)파워공급에 접속된다. 셀로부터의 출력은 소스노드에 존재하는 실제전압이다. 출력상태를 판정하기 위해 기준전압과의 어떠한 전류센싱 또는 비교도 없다.

상기한 바와 같이, 본 발명의 전형적인 응용은 아날로그 파형을 샘플링 및 저장하는 것이다. 특히, 본 발명은 오디오 파형의 재생 및 레코딩에 효과적이다. 적절한 음성의 재현질을 달성하기위해 6KHz 또는 그 이상의 샘플링 속도가 요구된다. 170 마이크로초 이하의 결과시간 주기는 반복적 프로그래밍 스텝의 긴 시퀀스를 허용하기엔 지나치게 부족하며, 특히 고 레졸루션인 경우엔 더욱 그러하므로 다수의 스텝이 필요하다. 종래 기술의 미합중국 특허 제 4,890,529호는 충분한 프로그래밍 시간을 허용하기 위해 샘플링 및 홀드회로와 병렬 기입 회로를 사용하는 반면에, 미합중국 특허 제 5,220,531호는 병렬 기입 회로의 수를 더욱 실질적인 수로 감소시킨다. 상기 제 5,220,531호의 개선된 기술은 셀 바이어싱에 의해 셀 상의 프로그래밍 전압의 임시 저장에 의존하며 열 전자 프로그래밍으로 용이하게 도움이 되지 않는다. 그러나, 본 발명은 열 전자 프로그래밍에 적합한 병렬기입 회로의 수를 감소시키는 방법 및 구조를 소개하므로써 회로복잡도, 대역의 크기 및 제조비용을 감소시킨다.

디지털 정보 저장은 본 발명의 또다른 응용이다. 디지털 수는 특정 아날로그 레벨을 디지털 수에 할당하므로써 표현될 수 있다. 표현될 수 있는 디지털 수의 범위는 아날로그 전압이 저장되고 신뢰성있게 검색될 수 있는 정확도에 의해 분할되는 아날로그 전압범위에 의해 판정된다. 디지털워드가 아날로그-디지털(A/D) 변환기에 입력되며 이 A/D 변환기의 출력이 아날로그 메모리에 저장된다. 디바이스의 출력에서, 아날로그 레벨은 메모리로부터 출력되고 디지털-아날로그(D/A)변환기에 입력된다. D/A 변환기의 출력은 이 디바이스에 최초로 입력되었던 디지털 수에 대응하는 디지털 수이다. 본 발명의 실시예는 아날로그 메모리셀의 어레이이다. 디지털 정보의 결합은 디지털 정보를 위한 매우 고밀도의 저장을 제공한다.

도면의 간단한 설명

도 1a는 본 발명의 바람직한 실시예의 판독, 소거 및 프로그램 동작을 설명하고 예시하는 트랜지스터의 예시도.

도 1b는 도 1a의 회로를 반복하므로써 획득가능한 본 발명에 따른 전형적인 메모리 어레이의 일부분의 회로도.

도 2는 도 1a 및 도 1b의 회로에 사용될 수 있는 종래의 단일 트랜지스터 전기적 프로그램 및 소거 가능 메모리 셀의 단면도.

도 3은 본 발명의 바람직한 실시예의 메모리 어레이 구조를 예시하는 블록도.

도 4는 본 발명의 바람직한 실시예의 프로그램 제어회로의 세부 사항을 나타내는 회로도.

도 5는 도 4의 프로그램 제어회로를 위한 타이밍도.

도 6은 본 발명의 바람직한 실시예의 전체 아날로그 메모리 구성을 예시하는 개략도로서 특히, 드레인 스트랩과 ISUMz 선을 도시한 도.

도 7은 ISUMz 선을 대응 트랜지스터 스위치를 통해 드레인 선에 결합한 것을 도시하는 본 발명에 따른 전형적인 메모리 어레이의 일부분을 도시한 회로도.

도 8은 단일 아날로그 전압으로서 다중 비트 디지털 값의 재생 및 기억장소를 제공하도록 데이터 변환기가 아날로그 메모리에 결합된 것을 도시하는 도.

실시예

바람직한 실시예의 상세한 설명

도 1a는 본 발명의 바람직한 실시예의 다양한 동작모드를 예시하는 것으로 의도된 트랜지스터 구성의 회로도로서, 2행과 2열 구성으로 접속된 4개의 단일 트랜지스터를 도시한다. 본 특정 구성회로는 매우 제한적인 응용을 가지지만, 대표적으로 비록 최소 사이즈의 메모리 어레이를 판독, 소거 및 프로그래밍하는 방법을 설명하며, 도 1b에 도시된 바와 같이 도 1a의 구성회로를 반복함으로써 임의의 소정 수의 큰 어레이를 달성할 수 있다. 특히, 도 1b에서, 도 1a의 어레이는 인접한 행들의 각각의 쌍으로 된 드레인 접속이 각각의 구동기 선에 공통으로 결합된 것과 함께, 4행 x 4열 셀로된 어레이를 제공하기 위해 수평 및 수직으로 2배씩 반복되었다. 이것은 물론 임의의 소정 사이즈 및 구성으로 된 어레이를 제공하기 위해 도 1a의 기본 어레이가 반복적으로 반복될 수 있는 대표적인 방식을 나타내는 것이다.

단순성의 관점에서, 다음의 설명은 모든 부동 게이트 트랜지스터가 PMOS 트랜지스터이기 보단 NMOS 트랜지스터임을 가정한다. 또한, 예로써 다음 설명에선 미합중국 특허 제 5,029,130호에 개시된 셀 구조를 이용한다. 이 셀 구조는 도 2에 단면도로서 예시되어 있다. 도시된 바와 같이, P기판(10)은 N+ 소스 및 드레인 영역(12및14)을 갖는다. 이 소스 및 드레인 영역은 채널 영역(16)과 마찬가지로 그들 사이엔 약 70 내지 80 옴스트롬의 두께로 된 제 1 절연층(18)에 의해 피복된다. 절연층(18)상부에 걸쳐 배치된 부동게이트(20)는 채널 영역(16)과 드레인 영역(14)의 일부분의 상부에 걸쳐 위치된다. 부동게이트(20)의 상부와 인접부분에 배치된 것은, 부동게이트(20)의 상부, 제어게이트(24)의 인접부 및 채널영역(16)과 소스영역

역(12)의 상부를 확장시키기 위해 절연층(22) 상부에 배치된 제어게이트(24) 및 상기 절연층(22)이다. 이 특정 셀의 추가 상세사항 및 구성은 상기 참조된 미합중국 특허에 개시되어 있다.

그러나 본 발명에 소개된 기술은 반드시 아니지만 바람직하게 고 프로그램 전류 효율을 갖는 다른 열 전자 셀 구조에 의해 이용될 수 있다. 만일 상이한 유형의 셀이 사용 된다면, 소거, 프로그램 및 판독 동작을 위한 바이어싱 조건은 수정될 필요가 있을 것이다. 저 효율을 갖는 셀은 여분의 외부 파워공급, 더욱 정교한 파형 조절 회로 및 커다란 스위칭 트랜지스터를 필요로 할 수 있으며, 실제로 병렬로 프로그램 될 수 있는 셀의 수가 제한될 수 있으므로, 샘플링 속도 및 디바이스 구조에 영향을 준다. 따라서 고 전달 효율을 갖는 셀 유형이 바람직하다.

도 1A의 트랜지스터(T1)가 소거, 프로그램 및 판독 동작을 위해 선택된 셀이라고 가정한다. 표 1은 대표적 응용 노드 전압 리스트를 제공한다. 소거동작은 약 15V의 고전압을 제어 게이트(WL1)에 인가하고 나머지를 모든 단자에 0V를 인가함으로써 수행된다. 이러한 유형의 셀에 대해, 제어 게이트와 부동 게이트간의 용량성 결합은 부동 게이트와 다른 단자간의 용량성 결합의 합보다 작으며 따라서 제어 게이트와 부동 게이트간의 유전체에 걸쳐 고전계가 생성된다. 부동 게이트로부터 제어 게이트로의 전자터널은 제어 게이트가 로우 레벨로 복귀된 후 부동게이트상의 순 포지티브 전하가 된다. 1msec동안 15V의 소거펄스의 인가에 대해, T1의 문턱값은 약 -1V로 감소된다. 제어 게이트는 행에 있는 모든 트랜지스터에 공통이므로, 트랜지스터(T1 및 T3)는 모두 소거된다. T2 및 T4에는 인가된 어떠한 전압도 없으므로, 각각의 부동 게이트상의 전하에 대한 어떠한 변화도 없다. 따라서 T2 및 T4의 문턱값에 대해서도 어떠한 변화도 없다.

미합중국 특허 제 4,698,787 호에 개시된 바와 같은 대안 셀 유형은 제어 게이트를 로우 레벨로 유지하면서 드레인 전압을 하이 레벨로 상승시킴으로써 마찬가지로의 결과를 달성할 것이다. 소거 동작은 또 다시 부동 게이트로부터 전자 터널링 결과로 되며, 이때 터널 방향은 드레인을 향한다.

셀(T1)은 약 5V의 전압을 WL1에 접속하고, 0볼트 내지 Col1에 약 1 마이크로암페어의 부하전류를 접속하고, 2.5V를 드레인 선에 접속함으로써 판독된다. 이러한 구성은 부동게이트상의 전압변화가 소거 및 프로그램동안 생성되고, 판독동안 소스 전압이 변화됨에 따라 직접적으로 나타나는 소스 플로워어 작용을 생성한다. 이 부하전류는 부동게이트의 주어진 변화에 대해 소스상에서의 전압범위를 최대화하고, 사용가능 어레이를 구현하기 위해 필요한 스위칭 트랜지스터와 부동 트랜지스터에서의 전류 로딩에 의해 생성될 수 있는 왜곡효과를 감소시키기 위해 로우로 유지된다.

[표 1]

동 작	WL1	WL2	Col1	Col2	드레인
소 거	15V	0V	0V	0V	0V
판 독	5V	0V	1 μ A 내지 0V	개방	2.5V
프로그램	2V	0V	1 μ A 내지 0V	3V-5V	6V-12V
프로그램 금지	2V	0V	3V-5V	3V-5V	6V-12V

셀(WL1/Col1)이 선택되고, 그 밖의 셀은 비선택됨.

기판전위는 모든 동작에 대해 0V임.

표1: 동작조건

프로그래밍은 소스/ 드레인 채널을 흐르는 전자가 고전계에 영향을 받도록 부동 게이트 트랜지스터를 바이어싱 시킴으로써 수행되며, 이들이 에너지 갭을 통과하기에 충분한 에너지를 획득할 수 있게 한다. 이러한 "열전자"의 임의의 비율은 셀 효율에 의존되어, 부동게이트상에서 포획된다. 본 예에서의 셀은, 제어 게이트와 부동게이트사이의 인터페이스 바로 아래인, 채널의 짧은 영역에 고전계를 집중시킴으로써 고 효율을 달성한다. 제어게이트에는 하부 채널을 매우 약하게 인버트시키기위해 약 1내지 2볼트가 취해진다. 이와 동시에 드레인에는 6V 내지 12V의 고전압이 인가된다.

부동 게이트는 소거 동작으로부터 포지티브하게 충전되고 또한, 드레인은 부동게이트상에 추가의 포지티브 전하를 결합시키므로, 부동게이트는 매우 강하게 인버트된다. 미합중국 특허 제 5,029,130호에 개시된 바와 같이, 소스와 드레인간의 전압강하는 촉박산화물 아래의 짧은 거리에 집중되어, 제어 게이트와 부동 게이트를 분리함으로써 고전계로 되고 따라서 고전달 효율결과로 된다. 약 1 μ A의 전류제어 싱크(sink)에 결합되고 수 마이크로초 정도의 짧은 주기동안 인가된다. 소스전류를 최소화하고 로우 드레인 전압으로 개시하며 또한 소스 전류 흐름의 시간길이를 최소화함으로써, 본 발명은 산화물을 통과하는 프로그래밍 전하의 양을 감소시키며 따라서 문턱값 전압하의 변화를 수밀리볼트정도의 작은 값으로 감소시킨다. 각각이 문턱값 전압을 소량 변화시키는 프로그래밍 동작이 수행된다. 프로그램 이벤트 사이에, 셀은 프로그래밍이 계속 되어야 하는지 또는 중단되어야 하는지를 판정하기 위해 일정 간격으로 판독된다.

프로그래밍이 계속됨에 따라, 부동 게이트는 점차 네거티브로 충전되며 주입 효율을 감소시키는 경향을 띠게 된다. 효율 손실에 대한 보상은 프로그램 스텝간에 드레인 전압을 증가시킴으로써 달성된다. 프로그램 스텝당 증가하는 드레인 전압의 양은 프로그램 스텝당 부동 게이트 전압의 변화가 전체전압 범위에 걸쳐 반드시 일정하도록 부동게이트 감소와 동일한 정도이다. 본 예에서, 증가된 전압은 작은 프로그램 스텝에서 약 6V로부터 약 12V까지이다. T1의 문턱값 전압은 -1V내지 약 5V의 시작점으로부터 문턱값 전압이 증가하는 프로그래밍 시퀀스의 중단 까지 작은 스텝으로 대응하여 증가한다. 판독모드에서 전압출력은 약 2.5V로부터 0V로 변화한다. 따라서, 아날로그 전압이 T1에 저장된다. 프로그램 종료는 드레인으로부터 고 전압을 제거하거나 Col1선을 3V 내지 5V로 취함으로써 달성될 수 있고, 따라서 완전히 소거된 상태에서 T1상의 유효게이트 구동보다 더 높은 양 만큼 제어게이트 위의 T1의 소스전압을 상승시킨다. T1 채널의 전류전도는 턴 오프되고 프로그램이 정지된다.

T1의 프로그래밍 동안 존재가능한 교란조건은 도 1a의 T2,T3 및 T4를 고려함으로써 분석될 수 있다. 이러

한 3개 트랜지스터는 T1의 프로그래밍동안 프로그래밍을 위해 선택되지 않으며, 문턱값의 임의의 변화는 바람직하지 못하다. WL2가 0V에 있으므로 T2 및 T4의 채널 전도를 턴 오프시킨다. 프로그램 금지조건과 마찬가지로 방식으로 Co12는 WL1에 비해 고전압 상태에 있고, 어떠한 채널 전류도 없으며 따라서 트랜지스터(T3)를 위한 문턱값의 변화 또는 주입도 없다.

프로그램 반복 횟수는 저장되어야 할 전압의 동적 신호범위 또는 전압범위와 함께 프로그램 스텝당 전압 출력변화 또는 소망 레졸루션에 의해 판정된다. 작은 레졸루션 증가와 큰 동적 범위의 조합은 양호한 노이즈 성능 및 양호한 오디오 재현에 바람직하다. 이것은 바람직하지 못하게 다수의 프로그램 횟수를 필요로 한다. 예를 들어, 2.5V의 신호 범위와 10mV의 레졸루션은 250프로그램 펄스를 필요로 한다. 부가하여, 정확한 셀 특성은 셀에서 셀로 변화하며 단일 집적회로 다이 또는 웨이퍼 뿐만 아니라, 웨이퍼에서 웨이퍼로 변화하며 특히상이한 제조로트에 걸쳐 변화한다. 고전압 드레인 전압의 확장범위를 따라서 상이한 셀특성을 고려하기 위해 사용된다. 드레인 노드상의 시작전압은 최대 저장전압을 프로그램하기 요구되는 최저 명목 값인 것으로 고려되는 것보다 낮은 값으로 되도록 선택된다. 이러한 방법으로, 제1프로그램 스텝이 소망 스텝사이즈보다 큰 부동 게이트 전하로의 변화를 야기시키지 않는 것을 보장하기 위해 마진이 추가된다. 마찬가지로, 프로그램 하기가 훨씬 곤란한 셀들이 최소 저장전압에 프로그램될 수 있도록 프로그래밍이 증가되는 동안 최대 드레인 전압이 도달된다. 만일 셀 특성이 $\pm 30\%$ 만큼 변화하는 것으로 가정된다면, 전체 400프로그램 펄스가 필요로 될 것이다.

또 다른 고려사항은 입력파형이 샘플되는 속도이고, 재현질의 관점에서 고 샘플 속도가 바람직하다. 그러나, 샘플속도가 주어진 수의 샘플 및 홀드 회로에 대해 샘플속도가 증가함에 따라, 샘플된 전압의 저장속도를 위한 이용가능 시간 주기가 감소한다. (오디오 레코딩 이외의 다른 응용에 대해, 등가 파라미터는 기입속도 또는 기입 액세스 시간이다.) 이제, 저장은 셀이 프로그램 구성 및 판독구성간에 교대로 접속되기 때문에, 셀이 일 구성으로부터 다른 구성으로 재구성될 수 있는 동안 실제적인 최소 시간 한계가 존재한다. 대형 메모리어레이는 실제적인 주변회로가 임의의 유한시간주기에서 필요한 바이어스 전압에 대해 방전 및 충전만 할 수 있는 상당한 부하 커패시턴스를 갖는다. 셀판독 동작은 또한 역판독 전압이 안정화되기 위한 임의의 정착 시간 주기를 필요로 한다. 단일 프로그램 스텝에 필요한 시간과 전체프로그램 스텝수에 필요한 시간의 곱은 반드시 샘플 주기시간과 샘플 및 홀드 회로 또는 열 구동기의 수의 곱보다 작거나 같아야 한다.

이 개념은 미합중국 특허 제 4,890,259호와 마찬가지로 방식으로, N행, M열 및 X 샘플 및 홀드 회로로 된 일 메모리 어레이 구조를 도시하는 도 3을 고려하므로써 더욱 잘 이해 될 수 있다. 오디오 신호가 듀얼 샘플 및 홀드 회로의 일 커패시터 뱅크내부로 연속적으로 샘플링 됨에 따라, 다른 뱅크는 상기 어레이에 병렬로 기입되어진다. 일 뱅크의 기입이 완료되는 시간마다, 열 멀티플렉스 회로는 열 선의 다음 그룹을 열 구동기에 접속시킨다. 행의 모든 셀이 기입되어졌을 때, 샘플 및 홀드 회로의 뱅크를 로드하기 위해 취해진 시간은 이전 뱅크를 상기 어레이에 기입하는데 이용할 수 있는 최대 시간이다.

프로그램 스텝수의 증가 및/또는 프로그램 /판독/비교 시퀀스를 위한 시간 길이가 증가 됨에 따라, 열 구동기의 수, X, 는 주어진 샘플속도를 위해 증가할 것이 요구된다. 바람직한 결과는 다음 2가지 사항이다. 첫째는 여분의 열구동기를 유지하는데 요구되는 실리콘 영역이 더욱 커지는 것이고, 둘째는 샘플 및 유지 회로에서 증가된 유지시간이 증가된 커패시터 영역, 회로 복잡도 또는 신호누설 및 왜곡에 기인한 감소된 성능이 되게 하는 것이다. 본 발명의 추가 특성은 프로그램 스텝을 수행하기 위해 평균시간을 감소시킴으로써 이러한 문제점을 감소시키는 방법을 포함한다. 기본 개념은 셀을 판독하는 것이며 그후, 셀을 또다시 판독하기 전에 이 셀에 여러 프로그램 펄스 그룹을 인가하는 것이다. 셀에 현재 저장된 전압이 판독됨에 따라, 최대 프로그램 스텝 수로부터 얼마나 많은 스텝수가 다음 그룹동안 인가되어야 하는지에 대한 판정이 내려진다. 이러한 방식에 의해, 셀 구성이 판독으로부터 프로그램으로 그리고 프로그램으로부터 판독으로 변화되는 횟수가 약 그룹에서 최대 프로그램 펄스의 최대 수 만큼 감소된다. 전압이 안정되게 하는데 소비된 전체 시간 뿐만 아니라 노드를 방전 및 충전시키는데 소비된 시간이 감소되며, 따라서 기입 프로시저의 전체효율을 개선시킨다.

상기 설명된 사항을 수행하기 위한 회로가 도 5에 도시된 대응 타이밍도와 함께 도 4에 도시되어 있다. 본 특정 구현에서 프로그램 그룹은 4펄스로 이루어진다. 활성 워드선 및 활성 열 멀티플렉서에 의해 주소지정된 셀은 이미 클리어 되어 있는 것으로 가정한다. 펄스는 CLRES에 인가되었으며, 결과적으로 Q1 내지 Q4를 출력하는 모든 램치(30)는 논리 "0"에 있다. 입력 아날로그 전압은 C1에서 샘플링 및 홀드된다. 버퍼된 전압은 감소된 램프전압과 합쳐져서 비교기(32)에 입력된다. 램프전압과 감쇠기(34)는 감쇠후에 교산노드로의 피크입력이 3프로그램 펄스에 의해 달성된 셀에서의 변화와 동일하게 되도록 설계된다. 비교기의 또다른 입력은 아날로그 출력 신호 즉, 주소지정된 셀로 부터의 전압판독이다. 램프 전압이 증가함에 따라, 신호(L1,L2,L3 및 L4)(이들 신호는 AND게이트(36)로의 신호(L1',L2',L3' 및 L4')를 구성할 수 있다.)는 순차적으로 램치를 인에이블시키며, 만일 셀전압이 홀드전압과 감소된 램프전압의 합보다 작다면, Q1,Q2,Q3 또는 Q4를 출력하는 대응 램치(30)는 셋트된다. 따라서 수행되어야 할 아날로그 프로그래밍의 양은 비교기(32)와 프로그램전류 조정 스위치사이에 위치한 디지털 논리회로의 출력에 의해 표현된다. 만일, 주소지정된 셀이 충분히 프로그램되지 않을 때의 경우에서처럼 어떠한 비교도 없고 모든 램치(32)가 리셋트 상태에 있으면, 다음 드레인 고전압 펄스동안, 금지(INHIBIT)신호는 로우 상태로 남아있다. 논리신호(CIEN)에 의해 제어되는 스위칭 트랜지스터(M2)는 $1\mu\text{A}$ 전류 소스로서 바이어스된 트랜지스터(M1)로부터의 $1\mu\text{A}$ 고정전류를 4개 CIEN 펄스의 각각동안 M3를 통하여 선택된 열 선에 연결한다. 셀은 전체 4 프로그램 전류 펄스에 영향을 받으며 이에 따라 그 문턱값이 증가한다. 각각의 연속적인 CIEN펄스 동안 드레인 전압이 프로그램 레졸루션에 대응한 양만큼 높게 되도록 드레인 전압이 증가한다. 드레인 노드는 도5에 도시된 바와같이 증가하거나 또는 4 연속적인 CIEN펄스로 된 그룹동안 램프에서 점진적으로 증가한다.

반복 프로그램/판독 프로시저는, 후속 판독동작에서 셀이 최후에 도달할 때 까지 반복하며, 소망 전압 및 비교가 L1 내지 L4중의 하나 동안 획득된다. 특정펄스는 홀드된 전압과 동일한 셀 전압을 달성하기 위해 필요한 추가 프로그래밍 양에 의존한다. 예를 들어, 램프전압은 L1동안 제로이고, 따라서 이 시간에 비교가 달성된다면, 이것은 셀 전압이 타겟에 도달되었음을 의미한다. 모든 램치(30)는 셋트될 것이며 따라서, 다음 프로그램 사이클동안 INHIBIT신호는 모든 추가 프로그램 전류 펄스를 디스에이블시킨다. 도

5의 타이밍도에 도시된 예는, 램프가 2프로그램 스텝과 동등레벨에 도달했을 때 즉 L3동안의 비교를 도시한다. 다음 프로그램 사이클에서 셀은 2전류펄스를 수신하고, 저장된 전압을 소망 레벨로 되게한다. 일단 소망 레벨이 도달되면, 모든 추가 프로그램 펄스는 다음 셀이 선택될 때까지 금지된다. 도4에 도시된 특정 회로 구현에서 다음 램치의 입력에 출력하는 램치의 교차결합은 일단 임의의 램치가 셋트되면, 모든 후속 스트로브 주기도 또한 대응 램치를 셋트시키는 것을 보장한다. 램치는 다음 셀이 주소 지정될 때까지 셋트 상태로 있으며, 이때 램치는 CLRES에 의해 리셋된다.

다양한 방법으로 램칭 및 교차결합(cross-coupling)의 구현이 가능하다. 전반적인 목적은 몇몇 히스테리시스 파형을 부가함으로써, 일단 비교가 이루어져서 프로그램 펄스가 금지되면, 펄스는 다음셀이 선택될 때까지 금지상태로 남아있도록 하는 것이다. 디지털 또는 아날로그 형태로 이러한 히스테리시스를 구현하는 많은 방법이 있다. 사실상, 만일 노이즈 레벨이 충분히 낮다면, 램치사이의 결함을 제거하는 것이 전반적으로 가능하므로써, 일단 제1비교가 이루어지면, 회로는 모든 다른 램치가 출력되는 것을 보장하기 위해 비교기 출력에 의존한다. 다른 변경도 가능하다. 예를 들어, 그룹내의 펄스의 수는 수정될 수 있다. 다수의 프로그램 펄스수는 주어진 레졸루션에 대해 감소된 전체 프로그램시간면에서 커다란 장점을 제공하지만, 프로그래밍동안 드레인상에서의 전압증가와 프로그래밍동안의 램프간의 정확한 대응을 요구하며 이것은 다음 프로그래밍 사이클에서 사용되어야 할 그룹 내에서의 프로그램 펄스의 수를 정한다. 이러한 정확성을 획득하는데 도움을 주기위해, 적절한 파라미터의 제작시 조정이 프로그래밍 동안 드레인상에서의 전압증가와 판독동안 램프간의 정확한 대응을 획득하도록 프로그램 가능성이 회로에 추가될 수 있다. 제작시, 프로그램/ 판독/ 비교 시퀀스의 판독 페이지동안 사용된 램프의 기율기에 대한 프로그래밍을 허용하거나, 프로그래밍동안 드레인에 인가된 프로그램 펄스의 전압증가 속도에 대한 프로그래밍을 허용하기 위해 칩에 일 이상의 디지털 부동게이트 저장셀이 추가 될 수 있다. 이러한 셀은 소망결과를 달성하기 위해 회로 콘택트가 직접 이루어 질수 있을 때 다이 또는 웨이퍼 스테이지에서 프로그램 될 수 있다. 대안으로 이러한 셀들은 핀 기능을 판정하는 온-칩 스위치를 리셋시키기 위해 셀의 일반적인 동작 범위 밖의 전압에 다른 핀을 구동시킴으로써 집적회로상의 이미 존재하는 핀을 통하여 전기적으로 접근가능하도록 될 수 있다. 회로 파라미터를 트리밍하기 위한 이러한 트리밍 비트의 일반적인 사용은 종래기술에서 잘 알려져 있으며, 본 상세한 설명에서 추가의 설명이 필요치 않다.

각각의 드레인 선과 관련하여 도 1b에서 알수 있는 바와 같이, 또 다른 대안실시예로서, 드레인 위의 셀의 행과 드레인 선 아래의 또다른 셀의 행이 있다. 마스크 정렬은 반드시 불완전한 것만은 아니지만, "다운"셀과는 달리 "업"셀에 영향을 미친다. 이러한 사실을 보상하기 위해, 램프는 실제적으로, "업"셀을 위해 사용되는 램프와 "다운"셀을 위해 사용되는 램프로 이루어진다. 따라서 출수행 및 짝수행 간의 셀 특성에서의 마스크 정렬관련 차이를 위한 허용량이 이루어질 수 있다. 각각의 램프가 별개로 조정되어 질 수 있거나, 또는 일조정이 평균램프 경사도에 대해 행해지고 다른 조정이 차동램프 경사도에 대해 행해질 수 있다.

도4의 개략도는 상세회로도가 아니며, 어떤 명백한 신호 반전을 필요로 하는 실제적 MOS 구현으로서 논리 기능을 표현하는 도이다. 또한 다음 펄스그룹에서 수행되어야 할 프로그램 펄스의 수는 램치 및 논리회로, 카운터와 함께 효과적으로 구현될 수 있다. 도4는 예시적인 실시예를 나타내지만, 당업자는 반드시 동일결과를 나타낼 여러 다른 변형이 가능함을 인식할 것이다.

프로그래밍이 금지되는 경우에도 프로그램전류가 메모리 어레이로 향하도록 하기 위해 전류 스위칭 회로에 규정이 부여된다. 트랜지스터(M3)가 턴 오프되고 트랜지스터(M4)가 턴 온 되었을 때, 전류는 열선으로 향하게 되지 않지만, 교대로 워드선(WLn)에 의해 구동되는 게이트를 갖는 트랜지스터를 통하여 선택된 행의 드레인 노드에 접속된다.(도6 및 도7을 참조하라) 여러 열 구동기 회로는 병렬로 접속된 이들 회로의 각각의 M4트랜지스터를 가지며 금지조건에서의 임의의 열구동기는 자신의 프로그램 전류를 ISUMz내에 더한다. 목적은 프로그램 동작의 진행동안 저항성 드레인 선을 따라 전압프로파일의 변화를 최소화하는 것이다. 전압변화는 셀이 소망 전압에 도달되고 프로그램 전류가 종료됨에 따라 드레인 선을 통한 전류흐름의 변화에 기인하여 발생할 수 있다. 이러한 전압변화는 어레이의 다른 부분의 셀이 이들의 소망 레벨에 도달하고 이들의 프로그램이 종료됨에 따라, 특정셀에서 예상치 못한 대량의 프로그래밍을 야기시킬 수 있다. 전류를 ISUMz로 재전송하므로써, 드레인 노드를 통하여 흐르는 전체 전류는 일정하다. 따라서, M3 트랜지스터의 스위칭에 기인한 국부 전압 프로파일 변화는 ISUMz를 사용하지 않는 구조에 비해 최소화된다. 도3 및 도6은 메모리 구성을 예시한다. 전체 M열로 되어 있으며, 열 구동기 마다 Y열로 구성되어 있다. 만일 노드(ISUMz)의 Z 경우가 있는 경우에, M/Z열 및 M/(Z×Y)열 구동기가 있다. 예를 들어, 열구동기당 16열이고, 전체 128열구동기로 구성된 전체 2048열이 있는 경우에, 16 ISUMz노드로 된 각각에 대해 8개 열 구동기를 할당할 수 있다. 상이한 셀 또는 셀 그룹에 대해 획득된 프로그래밍 증가의 균일성과 관련된 이러한 결과를 주목해야 한다. 일 예는 프로그래밍되는 그룹의 모든 셀 대 프로그래밍 되는 최후(하나)의 셀의 경우 및, 행의 제1뱅크 셀 대 프로그래밍 되는 최후 뱅크셀의 경우이다. 최대 프로그래밍 증가가 단지 소망증가에 한정되는 한 비균일성은 허용될 수 있다.

본 발명의 또다른 이점은 임의의 일 시간에 충전되는 감소된 드레인 용량이다. 이러한 감소는 행의 각각의 셀 쌍에 대해 드레인 노드를 별개의 노드로 분리함으로써 달성된다. 프로그램/판독/비교 아날로그 저장 시퀀스의 프로그램노드와 판독노드간에 정역방향으로의 스위칭은 감소된 커패시턴스가 프로그램 시간보다 훨씬 신속하고 훨씬느리게 되는 것을 허용한다. 그러나, 아날로그 저장에 대한 심각한 결점은 상기한 바와 같이 드레인 선을 따라 전압 프로파일상에서의 소망스럽지 못한 결과를 가질 수 있고, 프로그래밍 증가에서 원치않는 증가로되는 결과가 될 수 있는 증가된 드레인선 저항이다.

이러한 효과를 보상하기위해, 드레인 접속의 유효한 저항이 감소되는 결과로 되는 추가의 개선사항이 본 발명에서 소개된다. 특히, 여러 드레인선이 열 방향에 평행하게 뺀고 열에 수직으로 뺀 여러 드레인 선과 접촉하는 금속연결에 의해 함께 접속된다. 이러한 드레인 스트랩이 도6 및 도7에 개략적으로 예시되어 있다. 더 많은 행이 함께 접속됨에 따라, 어레이에 걸치는 유효드레인 저항은 증가된 병렬 연결에 의해 감소된다. 이것은 드레인 선을 따라 전압변화의 감소에 기인하여 더욱 정확한 아날로그 프로그래밍을 허용한다. 물론, 더욱 많은 드레인 선이 접속됨에 따라, 드레인 커패시턴스는 프로그램이 교란에서와 같이 증가된다. 아날로그 프로그래밍, 프로그램 교란 및 충전시간의 정확성간에 중재가 행해져야 한다. 함께 접속하기 위한 적절한 드레인선의 수는 32행이다. 1600행의 어레이에서, 커패시턴스 감소 및 프로그램 교란

감소의 이점은 단일 드레인 선에 비해 상당하지만 (모든행이 접속되는 경우 보다 약 50배정도), 여전히 저항 감소는 또한 무시하지 못한다.(약32배).

디지털 수의 표현은 입력에 A/D 변환기의 부가와 출력에서의 D/A변환기의 부가에 의해 달성된다. 도8은 아날로그 메모리에 데이터 변환기를 접속시킨 예시도이다. 디지털 워드의 비트의 수 또는 수의 크기는 저장된 아날로그 레벨의 전압 범위에 의해 주어지고, 보장된 저장 정확도에 의해 분할된다. 저장 정확도는 프로그래밍 시퀀스 동안의 증가뿐만 아니라, 노이즈, 최악의 경우의 프로그래밍 증가, 셀의 장기간의 전압보유특성, 주위 온도의 효과 및 동작 전압과 같은 여러 인자를 고려한다. 본 발명에 설명된 유형의 아날로그 메모리는 2.5볼트 범위를 약 10밀리볼트 넘는 전압을 해결할 수 있다. 이것은 약 250개 이산 레벨과 이진 정보에 대한 8비트 표현을 허용하지만, 상기 인자들에 대한 고려후에, 비트의 수는 4비트로 감소될 수 있다(약 150밀리볼트 간격을 이룬 16레벨). 그럼에도 불구하고, 단일 셀에 대한 4비트는, 셀당 1비트를 제공하는 종래의 디지털 저장에 비해, 정보저장 밀도의 상당한 개선이 메모리 어레이에서 달성될 수 있음을 제공한다.

본 발명의 바람직한 실시예가 개시되고 설명되었지만, 당업자에게는 본 발명의 범위 및 정신으로부터 벗어나지 않고 형태 및 세부사항에 대한 다양한 변경이 이루어질 수 있음이 명백할 것이다.

(57) 청구의 범위

청구항 1

아날로그 기록 및 후속 재생을 위한 아날로그 전압 저장 디바이스에 있어서,

각각이 게이트, 부동게이트, 소스 및 드레인으로 구성되며 각각의 오디오 파형 샘플을 표현하는 각각의 아날로그 전압을 저장하는 부동 게이트 저장 셀로 이루어진 부동 게이트 저장 셀 어레이로서, 상기 소스 및 드레인은 그들 사이에 채널이 정의되는 소스 및 드레인이고, 상기 부동게이트는 프로그래밍 동안 상기 채널을 따라 급격한 전압 변동을 제공하기 위해 소스 위에 위치됨이 없이 드레인의 일부분 및 채널의 일부분 위에만 위치되는, 상기 부동 게이트 저장 셀 어레이;

전자의 파울러-노드하임 터널링을 이용하여 상기 부동게이트 저장 셀 어레이의 부동게이트 저장 셀을 스거하는 회로;

오디오 파형을 복구하기 위해 부동게이트 저장 셀에 저장된 각각의 아날로그 전압을 순차적으로 판독하는 회로;와

각각의 아날로그 전압을 판독하기 위해 열 전자 주입을 제공하여 각각의 부동게이트 저장 셀을 통과하는 전류의 펄스를 사용하여 각각의 부동게이트 저장 셀을 프로그래밍하는 회로로 이루어진 것을 특징으로 하는 아날로그 전압 저장 디바이스.

청구항 2

제 1 항에 있어서, 상기 프로그래밍하는 회로는 판독동작이 상기 각각의 아날로그 전압과 실질적으로 동일한 전압을 판독할 때 까지 각각의 상기 부동 게이트 저장 셀을 증분방식으로 프로그래밍하는 다수의 프로그램/판독/비교 사이클을 수행하는 회로로 이루어진 것을 특징으로 하는 아날로그 전압 저장 디바이스.

청구항 3

제 2 항에 있어서, 열 전자 주입을 사용하여 부동게이트 저장 셀을 프로그래밍하는 회로는 다음 프로그램/판독/비교 사이클로 된 다음 판독동작 이전에 부동게이트 저장 셀에 최대 소정의 다수의 프로그래밍 펄스수 까지 제공하기 위해 다수의 프로그램/판독/비교 사이클로 된 각각의 프로그램 동작을 위한 회로로 이루어지며, 상기 프로그램/판독/비교 사이클의 각각의 비교동작을 위한 회로는 셀을 프로그래밍하기 위해 프로그램/판독/비교 사이클로 된 다음 프로그램 동작동안 사용될 다음 소정수의 다수 프로그래밍 펄스의 수가 얼마만큼 많은 수 인지를 판정하기 위해 행해져야 할 남아있는 셀 프로그래밍의 양에 응답하는 회로를 포함하는 것을 특징으로 하는 아날로그 전압 저장 디바이스

청구항 4

제 1 항에 있어서, 디지털-아날로그 변환기에 제공된 다중 비트 디지털 신호에 응답하여 각각의 저장 셀에 이산 아날로그 전압을 제공하기 위해 상기 각각의 저장을 프로그래밍 하는 회로에 접속된 상기 디지털-아날로그 변환기와, 각각의 상기 다중비트 디지털 신호에 상기 각각의 저장 셀로부터 판독된 아날로그 신호 레벨을 변환하기 위해 상기 각각의 저장 셀에 저장된 전압을 판독하는 회로에 결합된 아날로그-디지털 변환기를 더 포함하는 것을 특징으로 하는 아날로그 전압 저장 디바이스.

청구항 5

제 3 항에 있어서, 부동게이트 저장 셀의 어레이는 저장 셀로 이루어진 다수의 행 및 열을 갖는 부동게이트 저장 셀의 어레이이고, 상기 각각의 부동게이트 저장 셀은 게이트, 부동게이트 및 소스와 드레인을 가지며, 이 소스와 드레인 간엔 채널이 정의되고, 저장 셀로 이루어진 행의 인접한 쌍의 모든 저장 셀의 드레인은 공통 드레인 선에 연결되고, 각각의 상기 프로그래밍 펄스는 소정 전류 및 주기를 갖는 전류펄스를 포함하는 것을 특징으로 하는 아날로그 전압 저장 디바이스.

청구항 6

제 5 항에 있어서, 저장 셀로 이루어진 행 내의 다수의 부동게이트 저장 셀은 동시에 개시되는 병렬 프로그램/판독/비교 사이클로 프로그램 되고, 각각의 부동게이트 저장 셀을 위한 프로그래밍 펄스는, 이 셀에 대한 판독동작이 각각의 아날로그 전압과 실질적으로 동일한 전압을 판독한 후에, 공통 드레인 선에 결합됨으로써, 이 공통 드레인선 내의 전류는 추가의 프로그래밍이 필요하도록 프로그래밍 되는 다수의 부동

게이트 저장 셀의 수에 무관하게 실질적으로 일정한 것을 특징으로 하는 아날로그 전압 저장 디바이스.

청구항 7

제 6 항에 있어서, 상기 어레이내의 상이한 위치에 다수의 공통드레인 선을 함께 연결하는 다수의 금속 컨덕터를 더 포함하는 것을 특징으로 하는 아날로그 전압 저장 디바이스.

청구항 8

아날로그 기록 및 후속 재생을 위한 아날로그 전압 저장 디바이스에 있어서,

각각이 게이트와, 부동게이트와, 소스 및 드레인으로 구성되며 각각의 오디오 파형 샘플을 표현하는 각각의 아날로그 전압을 저장하는 부동 게이트 저장 셀로 이루어진 부동 게이트 저장 셀 어레이로서, 상기 소스 및 드레인은 그들 사이에 채널이 정의되는 소스 및 드레인이고, 상기 부동게이트는 프로그래밍 동안 상기 채널을 따라 급격한 전압 변동을 제공하기 위해 소스 위에 위치됨이 없이 드레인의 일부분 및 채널의 일부분 위에만 위치되는 상기 부동 게이트 저장 셀 어레이;

전자의 파울러-노드하임 터널링을 이용하여 상기 부동게이트 저장 셀의 어레이의 부동게이트 저장 셀을 소거하는 회로;

각각의 아날로그 전압을 판독하도록 부동 게이트에 열 전자 주입을 제공하여 각각의 부동게이트 저장 셀을 통과하는 전류의 펄스를 사용하여 각각의 부동게이트 저장 셀을 프로그래밍하는 회로; 및

오디오 파형을 복원하기 위해 부동게이트 저장 셀에 저장된 아날로그 전압을 순차적으로 판독하기 위한 소스 폴로우어로서 각각의 부동 게이트 저장 셀을 연결시키는 회로로 이루어지고, 프로그래밍 동안 부동 게이트의 전압에 대한 변동은 판독 동작 동안 부동 게이트 저장 셀의 소스 변동으로서 직접 표명되는 것을 특징으로 하는 아날로그 전압 저장 디바이스.

청구항 9

아날로그 기록 및 후속하는 재생을 위한 아날로그 전압 저장 디바이스에 있어서,

각각의 오디오 파형 샘플을 표현하는 아날로그 전압을 저장하며, 게이트와, 부동게이트와, 소스 및 드레인으로 구성되는 부동 게이트 저장 셀로서, 상기 소스 및 드레인은 그들 사이에 채널이 정의되는 소스 및 드레인이고, 상기 부동게이트는 프로그래밍 동안 상기 채널을 따라 급격한 전압 변동을 제공하기 위해 소스 위에 위치됨이 없이 드레인의 일부분 및 채널의 일부분 위에만 위치되는 상기 부동 게이트 저장 셀;

전자의 파울러-노드하임 터널링을 이용하여 부동 게이트 저장 셀을 소거하는 회로;

오디오 파형을 복원하기 위해 부동게이트 저장 셀에 저장된 아날로그 전압을 판독하는 회로; 및

아날로그 전압을 판독하도록 부동게이트에 열 전자 주입을 제공하기 위해 부동 게이트 저장 셀을 통하여 소정 전류의 펄스를 사용하여 부동 게이트 저장 셀을 프로그래밍 하는 회로로 이루어진 것을 특징으로 하는 아날로그 전압 저장 디바이스.

청구항 10

판독동작이 소정의 아날로그 전압과 실질적으로 동일한 전압을 판독할 때까지 프로그램 펄스에 의해 아날로그 전압 저장 셀을 증분 방식으로 프로그래밍하기 위한 다수의 프로그램/판독/비교 동작을 실행함으로써 소정의 아날로그 전압을 아날로그 전압 저장 셀 내부에 프로그래밍 하는 방법에 있어서,

(a) 프로그램/판독/비교 사이클의 각각의 비교 동작에 대해, 판독동작이 소정 아날로그 전압과 실질적으로 동일한 전압을 판독할 때까지 수행되어야 할 잔존 프로그래밍의 양을 산정하는 단계;와

(b) (a)단계의 비교동작에 뒤따르는 각각의 프로그램 동작에 대해, (a)단계에서 결정된 바와 같이 행해져야 할 잔존 프로그래밍의 산정된 양에 응답하여 펄스의 수만큼 아날로그 전압 저장 셀을 증가 방식으로 각각 프로그래밍하는, (a)단계의 비교동작에 뒤따르는 단계로 이루어진 것을 특징으로 하는 방법.

청구항 11

판독동작이 소정의 아날로그 전압과 실질적으로 동일한 전압을 판독할 때까지 프로그램 펄스에 의해 아날로그 전압 저장 셀을 증분 방식으로 프로그래밍 하기위한 다수의 프로그램/판독/비교 동작을 실행함으로써 소정의 아날로그 전압을상기 아날로그 전압 저장 셀 내부에 프로그래밍 하는 장치에 있어서,

판독동작이 소정 아날로그 전압과 실질적으로 동일한 전압을 판독할 때까지 프로그램/판독/비교 사이클의 각각의 비교 동작에 대해, 수행되어야 할 잔존 프로그래밍의 양을 산정하는 회로;와

행해져야 할 잔존 프로그래밍의 산정된 양에 응답하여 프로그램 펄스의 수만큼 비교동작이 뒤따르는 각각의 프로그램 동작을 위한 아날로그 전압저장 셀을 증분 방식으로 프로그래밍하는 회로로 이루어진 것을 특징으로 하는 장치.

청구항 12

제 11 항에 있어서, 프로그래밍 동안 드레인 상에서의 전압증분과 다음 프로그래밍 사이클에서 사용될 그룹내에서 프로그램 펄스의 수를 설정하는 판독동안에 판독전압에 추가될 신호간에 일치성의 정확도를 아날로그 전압 저장 셀의 제조시에 조정하는 프로그램가능한 회로를 더 포함하는 것을 특징으로 하는 장치.

청구항 13

다수의 행 및 열로 배열된 부동게이트 저장 셀로 이루어진 어레이로서, 상기어레이의 각각의 상기 부동 게이트 저장 셀을 게이트,부동게이트, 소스 및 드레인을 포함하고, 상기 다수의 행의 인접 쌍내의 상기

부동게이트 저장 셀의 각각의 드레인은 공통드레인 선에 결합되는 상기 어레이;와

상기 적어도 일 부동게이트 저장 셀의 상기 드레인에 제 1램프 전압레벨을 갖는 제1 다수의 펄스를 인가함으로써 상기 인접 쌍의 제 1행의 제1부동게이트 저장 셀을 프로그래밍하고, 상기 제 1램프 전압 레벨과 상이한 제 2 램프전압 레벨을 갖는 제2다수 펄스를 제2 부동게이트 저장 셀의 드레인에 인가함으로써 상기 인접 쌍의 제 2 행의 상기 제 2부동게이트 저장 셀을 프로그래밍하는 회로로 이루어진 것을 특징으로 하는 저장 디바이스.

청구항 14

제 13 항에 있어서, 상기 제 1 및 제 2 다수의 펄스의 상기 전압레벨은 서로에 대해 독립적으로 조정가능한 것을 특징으로 하는 저장 디바이스.

청구항 15

제 13 항에 있어서, 상기 회로는 상기 제 1 부동게이트 저장 셀과 상기 제 2부동게이트 저장 셀에 공통인 상기 소스에 부하 전류를 인가하기 위해 열전자 주입을 사용하고, 상기 부하전류는 약 1 마이크로암페어인 것을 특징으로 하는 저장 디바이스.

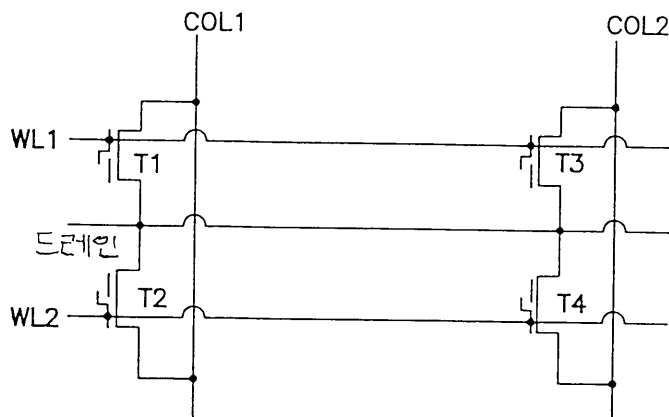
청구항 16

다수의 행 및 열로 배열된 부동게이트 저장 셀로 이루어진 어레이로서, 상기 어레이의 각각의 상기 부동게이트 저장 셀은 게이트, 절연층에 의해 상기 게이트로부터 분리된 부동게이트, 소스 및 드레인을 포함하고, 상기 다수의 행의 인접한 쌍내의 상기 부동게이트 저장 셀의 각각의 드레인은 공통드레인 선에 결합되는 상기 어레이;와

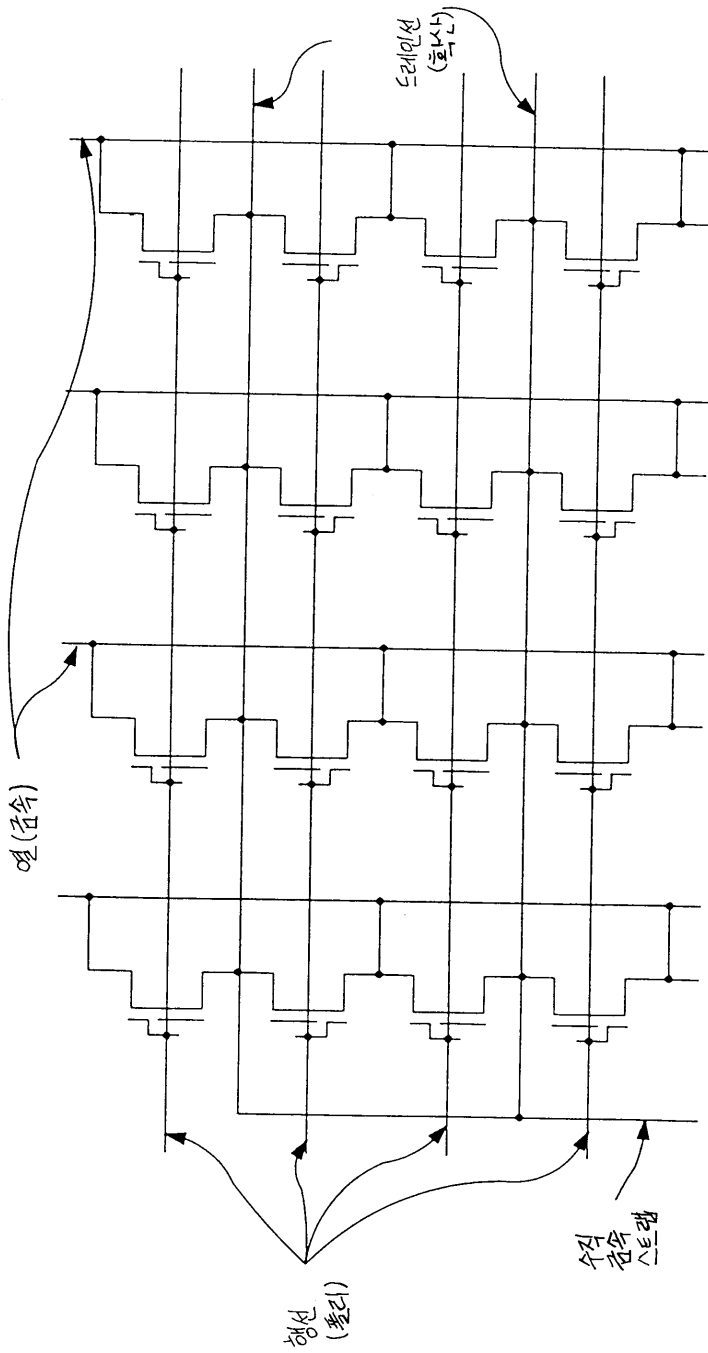
일련의 프로그래밍 펄스를 사용하여 상기 어레이의 적어도 하나의 부동게이트 저장을 프로그래밍하는 회로로서, 각각의 프로그래밍 펄스에 대해 상기 적어도 하나의 부동게이트 저장 셀의 증가하는 문턱값 전압 변화를 야기하기 위해 소정주기동안 상기 적어도 하나의 부동게이트 저장 셀의 상기 소스에 제한된 부하 전류를 인가하도록 각각의 프로그래밍 펄스를 위해 열 전자 주입을 이용하는 상기 회로로 이루어진 것을 특징으로하는 저장 디바이스.

도면

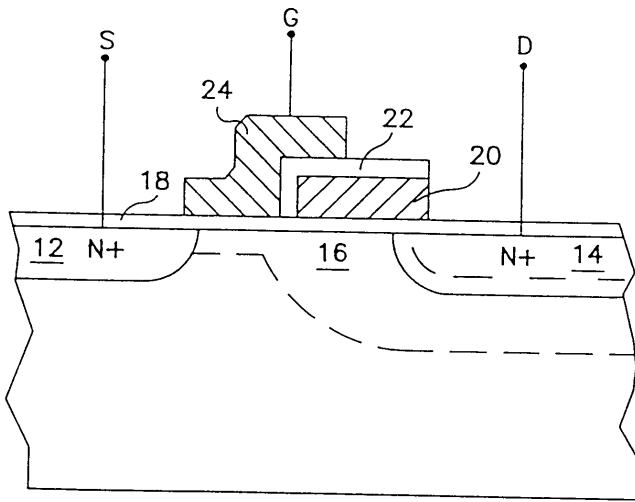
도면 1a



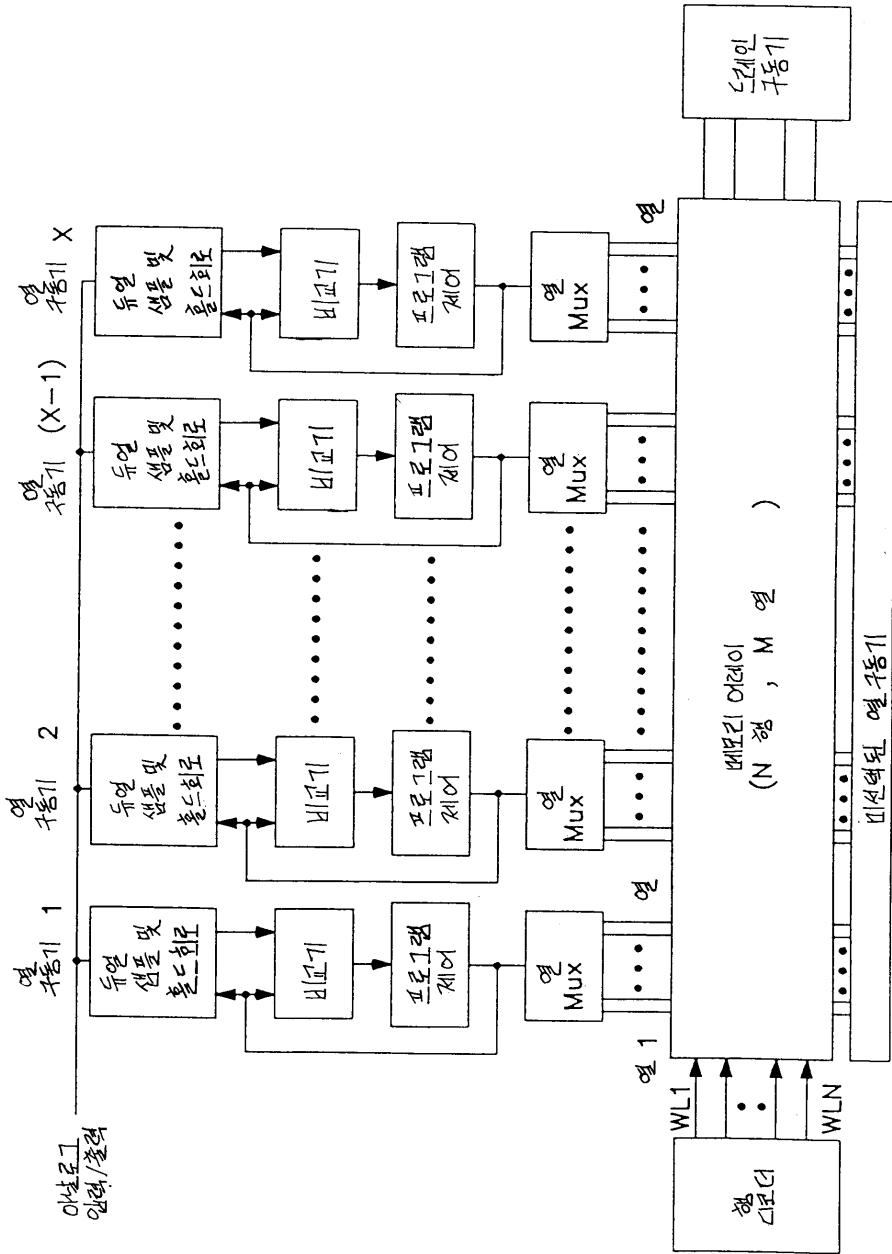
도면 1b



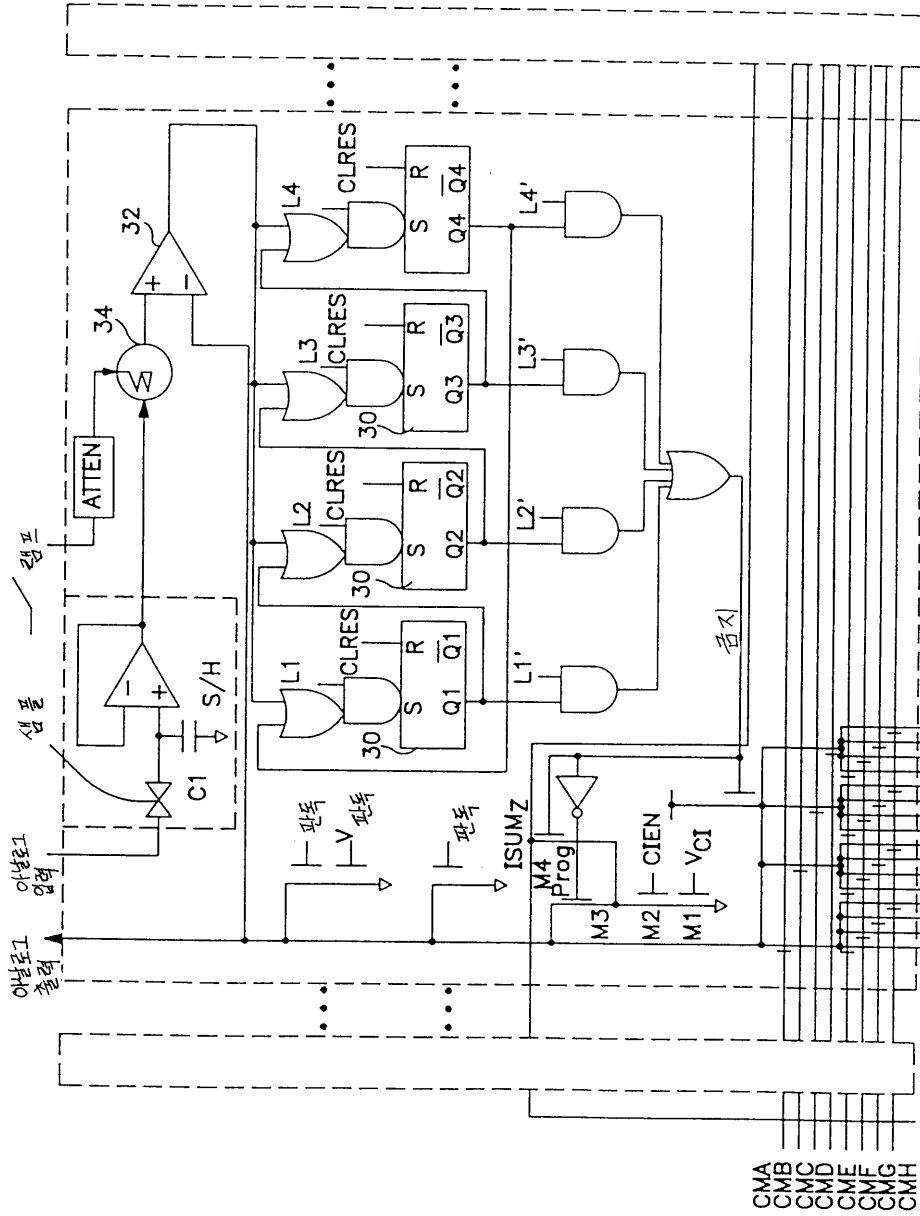
도면2



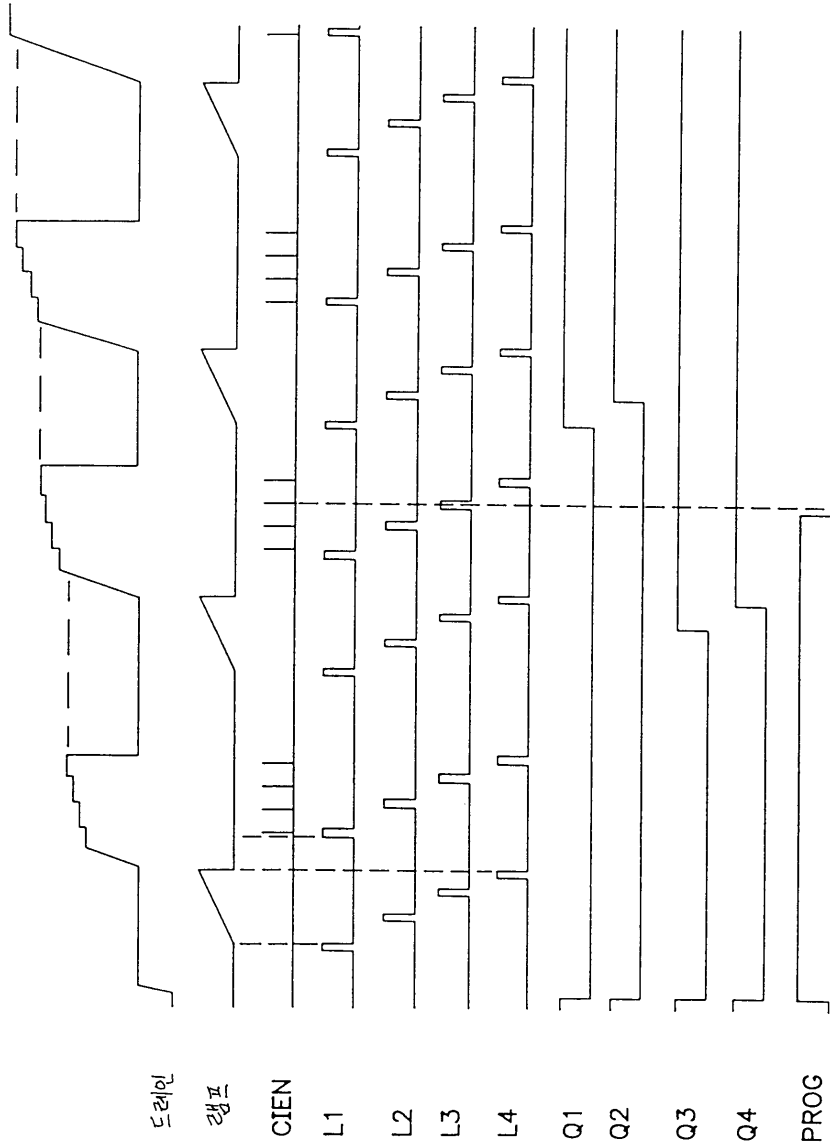
도면3



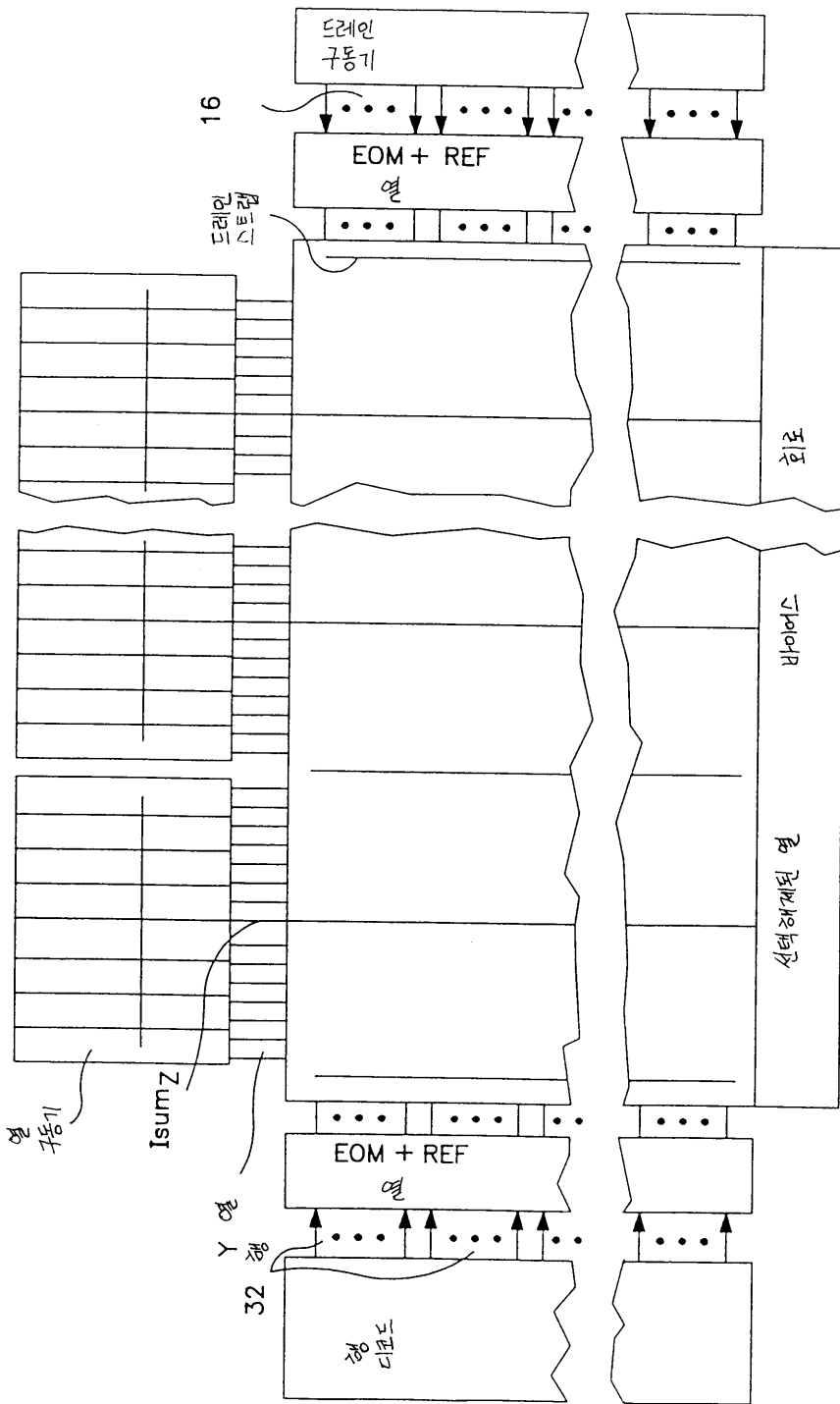
도면4



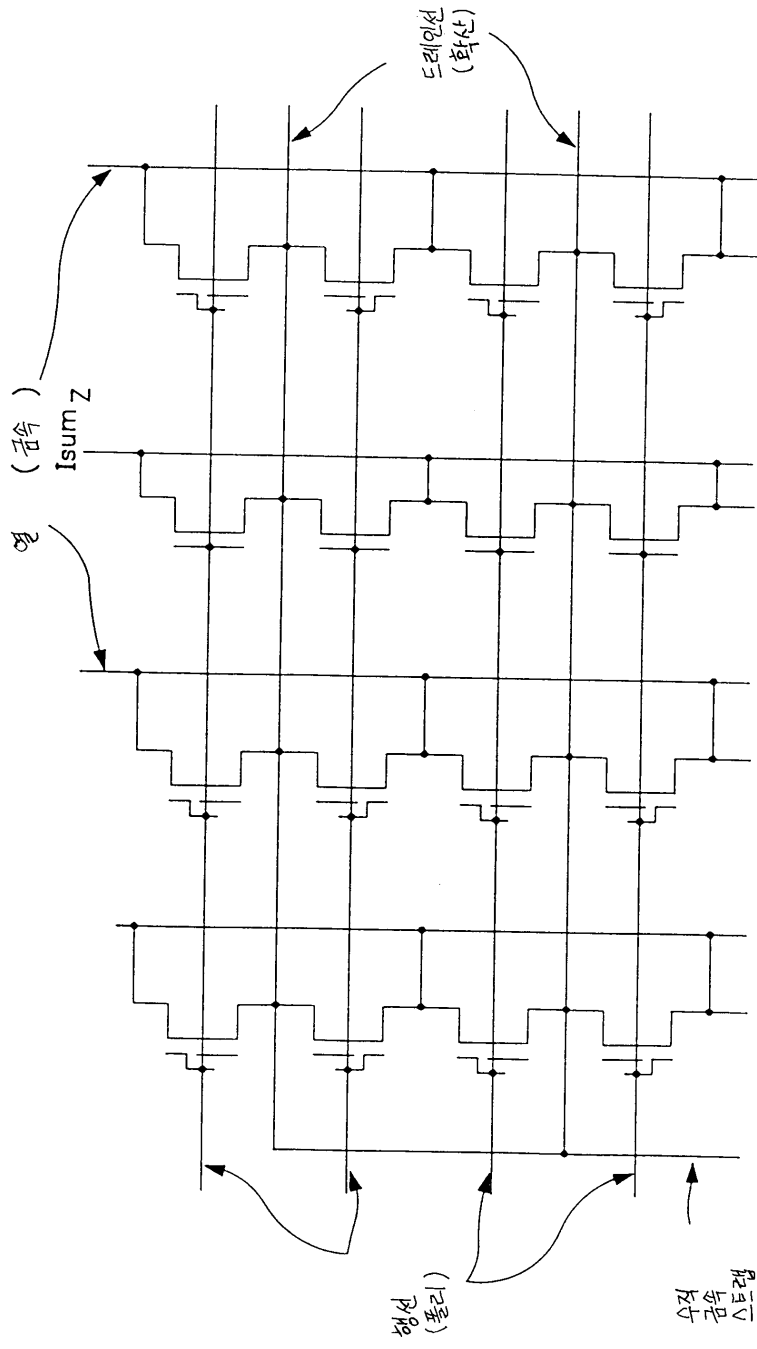
도면5



도면6



도면7



도면8

