I692812

(19)中華民國智慧財產局

(12)發明說明書公告本　**(11)證書號數：TW I692812 B**

(45)公告日： 中華民國 109 (2020) 年 05 月 01 日

(21)申請案號：104130187　(22)申請日： 中華民國 104 (2015) 年 09 月 11 日

(51)Int. Cl.：　*H01L21/336 (2006.01)*　*H01L21/31 (2006.01)*

H01L21/311 (2006.01)　*H01L21/3065(2006.01)*

(30)優先權：2014/09/19　日本　2014-191690

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD.　(JP)
日本

(72)發明人：笹川慎也 SASAGAWA, SHINYA (JP) ；下村明久 SHIMOMURA, AKIHISA (JP) ；栃林克明 TOCHIBAYASHI, KATSUAKI (JP) ；遠藤佑太 ENDO, YUTA (JP) ；山崎舜平 YAMAZAKI, SHUNPEI (JP)

(74)代理人：林怡芳；童啓哲

(56)參考文獻：

TW　200508412A　TW　200910423A

審查人員：于若天

申請專利範圍項數：6 項　圖式數：53　共 160 頁

(54)名稱

半導體裝置的製造方法

(57)摘要

本發明的目的之一是提供一種具有微細形狀的電晶體。本發明的目的之一是提供一種通道長度小的電晶體。本發明的一個實施方式是一種半導體裝置的製造方法，包括如下步驟：在基板上形成半導體；在半導體上形成第一導電體；在第一導電體上形成第一絕緣體；在第一絕緣體上形成光阻劑；對光阻劑進行曝光及顯影，以使光阻劑的第二區域及第三區域殘留並使第一絕緣體的一部分露出；施加垂直於基板的頂面的方向的偏壓並使用包含碳及鹵素的氣體生成電漿；使用電漿使有機物沉積並對其進行蝕刻。在第一絕緣體的露出部中，有機物的蝕刻速度比沉積速度快，而在第二區域的側面，有機物的沉積速度比蝕刻速度快。

A method for manufacturing a semiconductor device, including the steps of forming a semiconductor over a substrate; forming a first conductor over the semiconductor; forming a first insulator over the first conductor; forming a resist over the first insulator; performing light exposure and development on the resist to make a second region and a third region remain and expose part of the first insulator; applying a bias in a direction perpendicular to a top surface of the substrate and generating plasma using a gas containing carbon and halogen; and depositing and etching an organic substance with the plasma. The etching rate of the organic substance is higher than the deposition rate of the organic substance in an exposed part of the first insulator, and the deposition rate of the organic substance is higher than the etching rate of the organic substance in a side surface of the second region.

指定代表圖：

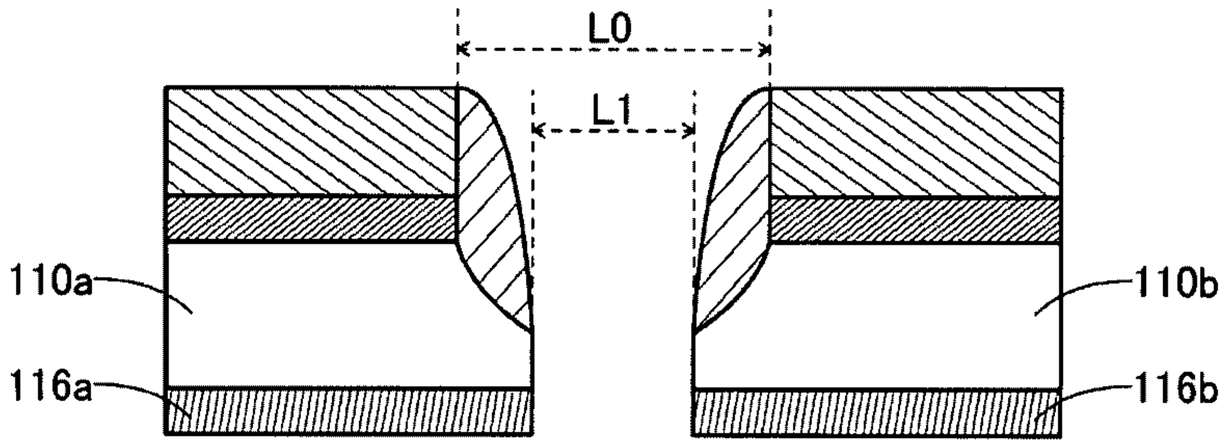

圖 1D

符號簡單說明：

110a・・・層

110b・・・層

116a・・・層

116b・・・層

公告本

I692812

發明摘要

※ 申請案號：104130187

※ 申請日：104年9月11日 ※IPC 分類：***H01L 21/336*** (2006.01)
H01L 21/31 (2006.01)
H01L 21/311 (2006.01)
H01L 21/3065 (2006.01)

【發明名稱】(中文/英文)

半導體裝置的製造方法/ METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

【中文】

本發明的目的之一是提供一種具有微細形狀的電晶體。本發明的目的之一是提供一種通道長度小的電晶體。本發明的一個實施方式是一種半導體裝置的製造方法，包括如下步驟：在基板上形成半導體；在半導體上形成第一導電體；在第一導電體上形成第一絕緣體；在第一絕緣體上形成光阻劑；對光阻劑進行曝光及顯影，以使光阻劑的第二區域及第三區域殘留並使第一絕緣體的一部分露出；施加垂直於基板的頂面的方向的偏壓並使用包含碳及鹵素的氣體生成電漿；使用電漿使有機物沉積並對其進行蝕刻。在第一絕緣體的露出部中，有機物的蝕刻速度比沉積速度快，而在第二區域的側面，有機物的沉積速度比蝕刻速度快。

【英文】

A method for manufacturing a semiconductor device, including the steps of forming a semiconductor over a substrate; forming a first conductor over the semiconductor; forming a first insulator over the first conductor; forming a resist over the first insulator; performing light exposure and development on the resist to make a second region and a third region remain and expose part of the first

insulator; applying a bias in a direction perpendicular to a top surface of the substrate and generating plasma using a gas containing carbon and halogen; and depositing and etching an organic substance with the plasma. The etching rate of the organic substance is higher than the deposition rate of the organic substance in an exposed part of the first insulator, and the deposition rate of the organic substance is higher than the etching rate of the organic substance in a side surface of the second region.

【代表圖】

【本案指定代表圖】：圖1D。

【本代表圖之符號簡單說明】：

110a 層

110b 層

116a 層

116b 層

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

發明專利說明書

[發明名稱]（中文/英文）

半導體裝置的製造方法/ METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

[技術領域]

[0001]

本發明例如係關於一種半導體、導電體、絕緣體、電晶體及半導體裝置。另外，本發明例如係關於一種半導體、導電體、絕緣體、電晶體及半導體裝置的製造方法。另外，本發明例如係關於一種半導體、導電體、絕緣體、顯示裝置、發光裝置、照明設備、蓄電裝置、記憶體裝置、處理器、電子裝置。另外，係關於一種半導體、導電體、絕緣體、顯示裝置、液晶顯示裝置、發光裝置、記憶體裝置、電子裝置的製造方法。另外，係關於一種半導體裝置、顯示裝置、液晶顯示裝置、發光裝置、記憶體裝置、電子裝置的驅動方法。

[0002]

注意，本發明的一個實施方式不侷限於上述技術領域。本說明書等所公開的發明的一個實施方式的技術領域係關於一種物體、方法或製造方法。或者，本發明的一個實施方式係關於一種製程（process）、機器（machine）、產品（manufacture）或者組合物（composition of matter）。

[0003]

注意，在本說明書等中，半導體裝置是指能夠藉由利用半導體特性而工作的所有裝置。顯示裝置、發光裝置、照明設備、電光裝置、半導體電路以及電子裝置有時包括半導體裝置。

[先前技術]

[0004]

使用在具有絕緣表面的基板上的半導體來形成電晶體的技術受到關注。該電晶體被廣泛地應用於如積體電路或顯示裝置等的半導體裝置。作爲可以應用於電晶體的半導體，已知有矽。

[0005]

作爲用於電晶體的半導體的矽，根據用途適當地使用非晶矽或多晶矽。例如，當應用於構成大型顯示裝置的電晶體時，較佳爲使用已確立了大面積基板上的成膜技術的非晶矽。另一方面，當應用於構成在同一基板上形成有驅動電路及像素電路的高功能的顯示裝置的電晶體時，較佳爲使用可以製造具有高場效移動率的電晶體的多晶矽。作爲多晶矽的形成方法，已知藉由對非晶矽進行高溫的熱處理或雷射處理來形成的方法。

[0006]

近年來，對使用氧化物半導體(典型的是 In-Ga-Zn 氧化物)的電晶體積極地進行了開發。

[0007]

氧化物半導體自早期就已開始被研究，於 1988 年公開了可應用於半導體元件的結晶 In-Ga-Zn 氧化物(參照專利文獻 1)。此外，於 1995 年發明了使用氧化物半導體的電晶體，並公開了其電特性(參照專利文獻 2)。

[0008]

使用氧化物半導體的電晶體具有與使用非晶矽的電晶體及使用多晶矽的電晶體不同的特徵。例如，已知應用了使用氧化物半導體的電晶體的顯示裝置的功耗低。氧化物半導體可以利用濺射法等形成，所以可以被用於構成大型顯示裝置的電晶體。另外，使用氧化物半導體的電晶體具有高場效移動率，所以可以實現在同一基板上形成有驅動電路及像素電路的高功能的顯示裝置。此外，因爲可以將使用非晶矽的電晶體的生產設備的一部分改良而利用，所以還具有可以抑制設備投資的優點。

[0009]

[專利文獻 1]日本專利申請公開昭 63-239117

[專利文獻 2]日本 PCT 國際申請翻譯平 11-505377

[發明內容]

[0010]

本發明的一個實施方式的目的之一是提供一種具有微細形狀的電晶體。另外，本發明的一個實施方式的目的之一是提供一種通道長度小的電晶體。另外，本發明的一個實施方式的目的之一是提供一種次臨界擺幅值小的電晶體。另外，本發明的一個實施方式的目的之一是提供一種短通道效應小的電晶體。另外，本發明的一個實施方式的目的之一是提供一種具有常關閉（normally-off）的電特性的電晶體。另外，本發明的一個實施方式的目的之一是提供一種關閉狀態（off-state）時的洩漏電流小的電晶體。另外，本發明的一個實施方式的目的之一是提供一種電特性優異的電晶體。另外，本發明的一個實施方式的目的之一是提供一種可靠性高的電晶體。另外，本發明的一個實施方式的目的之一是提供一種具有高頻率特性的電晶體。

[0011]

另外，本發明的一個實施方式的目的之一是提供一種包括該電晶體的半導體裝置。另外，本發明的一個實施方式的目的之一是提供一種包括該半導體裝置的模組。另外，本發明的一個實施方式的目的之一是提供一種包括該半導體裝置或該模組的電子裝置。另外，本發明的一個實施方式的目的之一是提供一種新穎的半導體裝置。另外，本發明的一個實施方式的目的之一是提供一種新穎的模組。另外，本發明的一個實施方式的目的之一是提供一種新穎的電子裝置。

[0012]

注意，上述目的的記載不妨礙其他目的的存在。本發明的一個實施方式並不需要實現所有上述目的。另外，可以從說明書、圖式、申請專利範圍等的記載得知並衍生上述以外的目的。

[0013]

本發明的一個實施方式是一種半導體裝置的製造方法，包括如下步驟：在基板上形成半導體；在半導體上形成第一導電體；在第一導電體上形成第一絕緣體；在第一絕緣體上形成光阻劑；對光阻劑進行曝光及顯影，以使光阻劑的第二區域及第三區域殘留並使第一絕緣體的一部分露出；施加垂直於基板的頂面的方向的偏壓並使用包含碳及鹵素的氣體生成電漿；使用電漿使有機物沉積並對其進行蝕刻；以有機物、第二區域及第三區域爲遮罩對第一絕緣體進行蝕刻來形成第二絕緣體及第三絕緣體，並使第一導電體露出；以第二絕緣體及第三絕緣體爲遮罩對第一導電體進行蝕刻來形成第二導電體及第三導電體，並使半導體露出；去除有機物、第二區域及第三區域；在半導體的露出部上形成第四絕緣體；以及在第四絕緣體上形成第四導電體。其中，在第一絕緣體的露出部中，有機物的蝕刻速度比沉積速度快，而在第二區域的側面，有機物的沉積速度比蝕刻速度快。

[0014]

在本發明的一個實施方式的上述結構中，第二導電體與第三導電體之間的距離是第二區域與第三區域之間的距離的 80%以下。

[0015]

本發明的一個實施方式可以提供一種具有微細形狀的電晶體。另外，本發明的一個實施方式可以提供一種通道長度小的電晶體。另外，本發明的一個實施方式可以提供一種次臨界擺幅值小的電晶體。另外，本發明的一個實施方式可以提供一種短通道效應小的電晶體。另外，本發明的一個實施方式可以提供一種具有常關閉的電特性的電晶體。另外，本發明的一個實施方式可以提供一種關閉狀態時的洩漏電流小的電晶體。另外，本發明的一個實施方式可以提供一種電特性優異的電晶體。另外，本發明的一個實施方式可以提供一種可靠性高的電晶體。另外，本發明的一個實施方式可以提供一種具有高頻率特性的電晶體。

[0016]

另外，本發明的一個實施方式可以提供一種包括該電晶體的半導體裝置。另外，本發明的一個實施方式可以提供一種包括該半導體裝置的模組。另外，本發明的一個實施方式可以提供一種包括該半導體裝置或該模組的電子裝置。另外，本發明的一個實施方式可以提供一種新穎的半導體裝置。另外，本發明的一個實施方式可以提供一種新穎的模組。另外，本發明的一個實施方式可以提供一種新穎的電子裝置。

[0017]

注意，上述效果的記載不妨礙其他效果的存在。本發明的一個實施方式並不需要實現所有上述效果。另外，可以從說明書、圖式、申請專利範圍等的記載得知並衍生上述以外的效果。

[圖式簡單說明]

[0018]

在圖式中：

圖 1A 至圖 1E 是說明根據本發明的一個實施方式的半導體裝置的製造方法的剖面圖；

圖 2A 至圖 2E 是說明根據本發明的一個實施方式的半導體裝置的製造方法的剖面圖；

圖 3A 至圖 3D 是說明根據本發明的一個實施方式的半導體裝置的製造方法的剖面圖；

圖 4A 至圖 4E 是說明根據本發明的一個實施方式的半導體裝置的製造方法的剖面圖；

圖 5A 至圖 5E 是說明根據本發明的一個實施方式的半導體裝置的製造方法的剖面圖；

圖 6A 至圖 6E 是說明根據本發明的一個實施方式的半導體裝置的製造方法的剖面圖；

圖 7A 至圖 7D 是說明根據本發明的一個實施方式的半導體裝置的製造方法的剖面圖；

圖 8A 和圖 8B 是說明根據本發明的一個實施方式的電晶體的製造方法的俯視圖及剖面圖；

圖 9A 和圖 9B 是說明根據本發明的一個實施方式的電晶體的製造方法的俯視圖及剖面圖；

圖 10A 和圖 10B 是說明根據本發明的一個實施方式的電晶體的製造方法的俯視圖及剖面圖；

圖 11A 和圖 11B 是說明根據本發明的一個實施方式的電晶體的製造方法的俯視圖及剖面圖；

圖 12A 至圖 12C 是說明根據本發明的一個實施方式的電晶體的製造方法的剖面圖；

圖 13A 至圖 13E 是示出根據本發明的一個實施方式的電晶體的剖面圖及能帶圖；

圖 14A 和圖 14B 是說明根據本發明的一個實施方式的電晶體的製造方法的俯視圖及剖面圖；

圖 15A 和圖 15B 是說明根據本發明的一個實施方式的電晶體的製造方法的俯視圖及剖面圖；

圖 16A 和圖 16B 是說明根據本發明的一個實施方式的電晶體的製造方法的俯視圖及剖面圖；

圖 17A 和圖 17B 是說明根據本發明的一個實施方式的電晶體的製造方法的俯視圖及剖面圖；

圖 18A 和圖 18B 是說明根據本發明的一個實施方式的電晶體的製造方法的俯視圖及剖面圖；

圖 19A 至圖 19C 是說明根據本發明的一個實施方式的電晶體的製造方法的剖面圖；

圖 20A 和圖 20B 是示出根據本發明的一個實施方式的半導體裝置的電路圖；

圖 21 是示出根據本發明的一個實施方式的半導體裝置的剖面圖；

圖 22 是示出根據本發明的一個實施方式的半導體裝置的剖面圖；

圖 23 是示出根據本發明的一個實施方式的半導體裝置的剖面圖；

圖 24A 和圖 24B 是示出根據本發明的一個實施方式的記憶體裝置的電路圖；

圖 25 是示出根據本發明的一個實施方式的半導體裝置的剖面圖；

圖 26 是示出根據本發明的一個實施方式的半導體裝置的剖面圖；

圖 27 是示出根據本發明的一個實施方式的半導體裝置的剖面圖；

圖 28A 和圖 28B 是示出根據本發明的一個實施方式的半導體裝置的俯視圖；

圖 29A 和圖 29B 是示出根據本發明的一個實施方式的半導體裝置的方塊圖；

圖 30A 和圖 30B 是示出根據本發明的一個實施方式的半導體裝置的剖面圖；

圖 31A 和圖 31B 是示出根據本發明的一個實施方式的半導體裝置的剖面圖；

圖 32A1 至圖 32A3 和圖 32B1 至圖 32B3 是示出根據本發明的一個實施方式的半導體裝置的透視圖及剖面圖；

圖 33 是示出根據本發明的一個實施方式的半導體裝置的方塊圖；

圖 34 是示出根據本發明的一個實施方式的半導體裝置的電路圖；

圖 35A 至圖 35C 是示出根據本發明的一個實施方式的半導體裝置的電路圖、俯視圖及剖面圖；

圖 36A 和圖 36B 是示出根據本發明的一個實施方式的半導體裝置的電路圖及剖面圖；

圖 37A 至圖 37F 是示出根據本發明的一個實施方式的電子裝置的透視圖；

圖 38A 至圖 38D 是 CAAC-OS 的剖面中的 Cs 校正高解析度 TEM 影像以及 CAAC-OS 的剖面示意圖；

圖 39A 至圖 39D 是 CAAC-OS 的平面的 Cs 校正高解析度 TEM 影像；

圖 40A 至圖 40C 是說明藉由 XRD 得到的 CAAC-OS 以及單晶氧化物半導體的結構分析的圖；

圖 41A 和圖 41B 是示出 CAAC-OS 的電子繞射圖案的圖；

圖 42 是示出電子照射所引起的 In-Ga-Zn 氧化物的結晶部的變化的圖；

圖 43A 和圖 43B 是說明 CAAC-OS 以及 nc-OS 的成膜模型的示意圖；

圖 44A 至圖 44C 是說明 $InGaZnO_4$ 的結晶及顆粒的圖；

圖 45A 至圖 45D 是說明 CAAC-OS 的成膜模型的示意圖；

圖 46A 和圖 46B 是剖面 STEM 影像；

圖 47A 和圖 47B 是剖面 STEM 影像；

圖 48A 和圖 48B 是電晶體的俯視圖及剖面圖；

圖 49A 和圖 49B 示出電晶體的 Id-Vg 特性；

圖 50A 和圖 50B 示出電晶體的 Id-Vg 特性；

圖 51A 至圖 51C 是示出根據本發明的一個實施方式的電晶體的剖面圖；

圖 52A 至圖 52C 是示出根據本發明的一個實施方式的電晶體的剖面圖；

圖 53A 至圖 53C 是示出根據本發明的一個實施方式的電晶體的剖面圖。

[實施方式]

[0019]

將參照圖式對本發明的實施方式進行詳細的說明。注意，本發明不侷限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式和詳細內容可以被變換爲各種形式。此外，本發明不應該被解釋爲僅限定在下面的實施方式所記載的內容中。注意，當利用圖式說明發明結構時，表示相同物件的元件符號在不同的圖式中共同使用。另外，有時使用相同的陰影圖案表示相同的部分，而不特別附加元件符號。

[0020]

在圖式中，有時爲了便於理解而誇大尺寸、膜（層）的厚度或區域。

[0021]

在本說明書中，可以互相調換“膜”和“層”。

[0022]

此外，電壓大多指某個電位與參考電位（例如，接地電位（GND）或源極電位）之間的電位差。由此，可以將電壓換稱爲電位。一般而言，電位（電壓）是相對的，根據與參考電位之差決定。因此，在記載爲“接地電位”等的情況下，電位也不侷限於 0V。例如，也有電路中的最低電位爲“接地電位”的情況。或者，也有電路中的實質上的中間電位爲“接地電位”的情況。在該情況下，以該電位爲基準規定正電位及負電位。

[0023]

另外，爲方便起見，附加了第一、第二等序數詞，而其並不表示製程順序或疊層順序。因此，例如可以將“第一”適當地替換爲“第二”或“第三”等來進行說明。此外，在本說明書等中記載的序數詞與用於特定本發明的一個實施方式的序數詞有時不一致。

[0024]

注意，例如在導電性充分低時，有時即便在表示爲“半導體”時也具有“絕緣體”的特性。此外，“半導體”與“絕緣體”的境界不清楚，因此有時不能精確地區別。由此，有時可以將本說明書所記載的“半導體”換稱爲“絕緣體”。同樣地，有時可以將本說明書所記載的“絕緣體”換稱爲“半導體”。

[0025]

另外，例如在導電性充分高時，有時即便在表示爲“半導體”時也具有“導電體”的特性。此外，“半導體”和“導電體”的境界不清楚，因此有時不能精確地區別。由此，有時可以將本說明書所記載的“半導體”換稱爲“導電體”。同樣地，有時可以將本說明書所記載的“導電體”換稱爲“半導體”。

[0026]

注意，半導體的雜質例如是指構成半導體的主要成分之外的物質。

例如，濃度低於0.1atomic%的元素是雜質。當包含雜質時，例如，有可能在半導體中形成 DOS（Density of State：態密度），載子移動率有可能降低或結晶性有可能降低。在半導體是氧化物半導體時，作爲改變半導體特性的雜質，例如有第一族元素、第二族元素、第十四族元素、第十五族元素或主要成分之外的過渡金屬等，尤其是，例如有氫（包含於水中）、鋰、鈉、矽、硼、磷、碳、氮等。當半導體是氧化物半導體時，有時例如由於氫等雜質的混入導致氧缺陷的產生。此外，當半導體是矽時，作爲改變半導體特性的雜質，例如有氧、除氫之外的第一族元素、第二族元素、第十三族元素、第十五族元素等。

[0027]

另外，在本說明書中，在記載爲“A 具有濃度 B 的區域”時，例如包括：A 的某區域在深度方向上整體的濃度爲 B 的情況；A 的某區域在深度方向上的濃度的平均值爲 B 的情況；A 的某區域在深度方向上的濃度的中值爲 B 的情況；A 的某區域在深度方向上的濃度的最大值爲 B 的情況；A 的某區域在深度方向上的濃度的最小值爲 B 的情況；A 的某區域在深度方向上的濃度的收斂值爲 B 的情況；以及 A 中的在測量中能夠得到有可能準確的值的區域的濃度爲 B 的情況等。

[0028]

此外，在本說明書中，在記載爲“A 具有大小 B、長度 B、厚度 B、寬度 B 或距離 B 的區域”時，例如包括：A 的某區域整體的大小、長度、厚度、寬度或距離爲 B 的情況；A 的某區域的大小、長度、厚度、寬度或距離的平均值爲 B 的情況；A 的某區域的大小、長度、厚度、寬度或距離的中值爲 B 的情況；A 的某區域的大小、長度、厚度、寬度或距離的最大值爲 B 的情況；A 的某區域的大小、長度、厚度、寬度或距離的最小值爲 B 的情況；A 的某區域的大小、長度、厚度、寬度或距離的收斂值爲 B 的情況；以及 A 中的在測量中能夠得到有可能準確的值的區域的大小、長度、厚度、寬度或距離爲 B 的情況等。

[0029]

注意，通道長度例如指電晶體的俯視圖中的半導體（或在電晶體

導通時，在半導體中電流流動的部分）與閘極電極相互重疊的區域或形成有通道的區域中的源極（源極區域或源極電極）與汲極（汲極區域或汲極電極）之間的距離。另外，在一個電晶體中，通道長度不一定在所有的區域中爲相同的值。換言之，一個電晶體的通道長度有時不侷限於一個值。因此，在本說明書中，通道長度是形成有通道的區域中的任一個值、最大值、最小值或平均值。

[0030]

通道寬度例如指半導體（或在電晶體導通時，在半導體中電流流動的部分）與閘極電極相互重疊的區域或形成有通道的區域中的源極與汲極相對的部分的長度。另外，在一個電晶體中，通道寬度不一定在所有區域中爲相同的值。換言之，一個電晶體的通道寬度有時不侷限於一個值。因此，在本說明書中，通道寬度是形成有通道的區域中的任一個值、最大值、最小值或平均值。

[0031]

另外，根據電晶體的結構，有時實際上形成有通道的區域中的通道寬度（下面稱爲實效的通道寬度）不同於電晶體的俯視圖所示的通道寬度（下面稱爲外觀上的通道寬度）。例如，在具有立體結構的電晶體中，有時因爲實效的通道寬度大於電晶體的俯視圖所示的外觀上的通道寬度，所以不能忽略其影響。例如，在具有微型且立體結構的電晶體中，有時形成在半導體側面的通道區域的比例大。在此情況下，實際上形成有通道的實效的通道寬度大於俯視圖所示的外觀上的通道寬度。

[0032]

在具有立體結構的電晶體中，有時難以藉由實測來估計實效的通道寬度。例如，爲了根據設計值估計實效的通道寬度，需要假設半導體的形狀是已知的。因此，當不確定半導體的形狀時，難以正確地測定實效的通道寬度。

[0033]

於是，在本說明書中，有時在電晶體的俯視圖中將作爲半導體與

閘極電極相互重疊的區域中的源極與汲極相對的部分的長度的外觀上的通道寬度稱爲“圍繞通道寬度(SCW:Surrounded Channel Width)”。此外，在本說明書中，在簡單地表示“通道寬度”時，有時是指圍繞通道寬度或外觀上的通道寬度。或者，在本說明書中，在簡單地表示“通道寬度”時，有時表示實效的通道寬度。注意，藉由取得剖面 TEM 影像等並對該影像進行分析等，可以決定通道長度、通道寬度、實效的通道寬度、外觀上的通道寬度、圍繞通道寬度等的值。

[0034]

另外，在藉由計算求得電晶體的場效移動率或每個通道寬度的電流值等時，有時使用圍繞通道寬度計算。在此情況下，該求得的值有時不同於使用實效的通道寬度計算求得的值。

[0035]

在本說明書中，“A 具有其端部比 B 的端部突出的形狀”有時指在俯視圖或剖面圖中 A 的至少一個端部位於 B 的至少一個端部的外側。因此，例如可以將“A 具有其端部比 B 的端部突出的形狀”的記載解釋爲在俯視圖中 A 的一個端部位於 B 的一個端部的外側。

[0036]

在本說明書中，“平行”是指兩條直線形成的角度爲-10°以上且 10°以下的狀態。因此也包括該角度爲-5°以上且 5°以下的狀態。另外，“大致平行”是指兩條直線形成的角度爲-30°以上且 30°以下的狀態。另外，“垂直”是指兩條直線形成的角度爲 80°以上且 100°以下的狀態。因此也包括該角度爲 85°以上且 95°以下的狀態。“大致垂直”是指兩條直線形成的角度爲 60°以上且 120°以下的狀態。

[0037]

另外，在本說明書中，六方晶系包括三方晶系和菱方晶系。

[0038]

〈加工方法 1〉

下面，說明根據本發明的一個實施方式的導電體、絕緣體或半導體的加工方法。

[0039]

首先，準備層 116 及層 116 上的層 110(參照圖 1A)。作爲層 116，可以使用導電體、絕緣體或半導體。另外，作爲層 110，可以使用導電體、絕緣體或半導體。

[0040]

作爲導電體，例如可以使用包含硼、氮、氧、氟、矽、磷、鋁、鈦、鉻、錳、鈷、鎳、銅、鋅、鎵、釔、鋯、鉬、釕、銀、銦、錫、鉭和鎢中的一種以上的導電體的單層或疊層。例如，也可以使用合金或化合物，還可以使用包含鋁的導電體、包含銅及鈦的導電體、包含銅及錳的導電體、包含銦、錫及氧的導電體、包含鈦及氮的導電體等。

[0041]

作爲絕緣體，例如可以使用包含硼、碳、氮、氧、氟、鎂、鋁、矽、磷、氯、氬、鎵、鍺、釔、鋯、鑭、釹、鉿或鉭的絕緣體的單層或疊層。例如，作爲絕緣體，可以使用氧化鋁、氧化鎂、氧化矽、氧氮化矽、氮化矽、氧化鎵、氧化鍺、氧化釔、氧化鋯、氧化鉿、氧化鑭、氧化釹、氧化鉿或氧化鉭。尤其是，較佳爲使用包含矽的氧化物。

[0042]

作爲半導體，可以使用：矽或鍺等第 14 族半導體；碳化矽、矽化鍺、砷化鎵、磷化銦、硒化鋅、硫化鎘或氧化物半導體等化合物半導體；以及有機半導體。氧化物半導體將在後面說明。

[0043]

接著，形成防反射層(BARC：Bottom Anti Reflective Coating)。接著，形成光阻劑。接著，對光阻劑進行加工。作爲光阻劑的加工，首先使用光罩等使光阻劑曝光。此時，利用防反射層的作用可以抑制光暈。接著，使用顯影液去除或留下曝光的區域來形成光阻劑 122。光阻劑的曝光例如可以使用 KrF 準分子雷射、ArF 準分子雷射、EUV(Extreme Ultraviolet：極紫外)光等。此外，也可以利用在基板和投影透鏡之間填滿液體(例如，水)的狀態下進行曝光的液浸技術

(liquid immersion technique)。另外，也可以使用電子束或離子束代替上述光。當使用電子束或離子束時，不需要光罩。

[0044]

接著，以光阻劑 122 爲遮罩對防反射層進行蝕刻，形成防反射層 120（參照圖 1B）。但是，有時也可以使用不具有防反射層的功能的有機物或無機物代替防反射層 120。或者，有時也可以不包括防反射層 120。

[0045]

以 L0 表示光阻劑 122 間的距離。最小的 L0 的尺寸（也稱爲最小特徵尺寸）取決於曝光機或光阻劑等。

[0046]

接著，進行電漿處理。電漿處理可以藉由平行板反應離子蝕刻(RIE：Reactive Ion Etching)法、感應耦合電漿(ICP：Inductively Coupled Plasma）蝕刻法等進行。

[0047]

使用包含碳及鹵素的氣體生成電漿。該電漿與光阻劑 122 等所包含的碳及氫等起反應，而有機物沉積在被處理面（例如，光阻劑 122 的頂面及側面、防反射層 120 的側面及層 110 的露出部等）。有機物以各向同性的方式沉積。在此，當施加垂直於層 116 及層 110 的頂面的方向的偏壓時，有機物的沉積與有機物的蝕刻同時進行。由於偏壓施加方向的蝕刻速度快，所以有機物的蝕刻以各向異性的方式進行。

[0048]

作爲包含碳及鹵素的氣體，例如，可以使用三氟甲烷氣體、四氟甲烷氣體、六氟乙烷氣體、六氟丙烷氣體、八氟丙烷氣體或八氟環丁烷氣體等包含碳及氟的氣體；或四氯化碳等包含碳及氯的氣體等。另外，也可以將氦或氬等稀有氣體、氫等混合來使用。

[0049]

有機物的沉積速度及蝕刻速度根據各種條件的互相作用決定。例如，當用於生成電漿的氣體中的碳的比例高時沉積速度變快，而當鹵

素的比例高時蝕刻速度變快。另外，例如，當減弱偏壓時蝕刻速度變慢，而增強偏壓時蝕刻速度變快。在此，使用在施加偏壓的方向上蝕刻速度比沉積速度快的條件。因此，在光阻劑 122 的頂面及層 110 的露出部中，有機物的蝕刻與沉積幾乎同時進行。另外，層 110 的露出部也被蝕刻。然而，根據電漿處理的條件，也可以不使層 110 的露出部被蝕刻。另外，也可以使電漿處理的條件以兩個階段、三個階段等多個階段變化。

[0050]

另一方面，在光阻劑 122 的側面及防反射層 120 的側面，有機物的蝕刻速度比沉積速度慢。因此，有機物 124 沉積在該區域中（參照圖 1C）。

[0051]

接著，以有機物 124、光阻劑 122 及防反射層 120 爲遮罩對層 110 及層 116 進行蝕刻，形成層 110a、層 110b、層 116a 及層 116b（參照圖 1D）。層 110 及層 116 的蝕刻可以利用乾蝕刻法或/及濕蝕刻法進行。此時，也可以去除有機物 124。注意，層 110a 與層 110b 也可以在縱深方向上互相連接。另外，層 116a 與層 116b 也可以在縱深方向上互相連接。

[0052]

以 L1 表示層 116a 與層 116b 間的距離。L1 比 L0 小相當於有機物 124 的厚度。也就是說，可以獲得比取決於曝光機或光阻劑等的最小特徵尺寸小的形狀。

[0053]

接著，藉由去除有機物 124、光阻劑 122 及防反射層 120，可以形成比最小特徵尺寸小的孔（參照圖 1E）。有機物 124、光阻劑 122 及防反射層 120 的去除可以利用電漿灰化等乾蝕刻法或/及濕蝕刻法。

[0054]

此時，層 110a 包括第一區域、第二區域及第三區域。第二區域位於第一區域與第三區域之間。第一區域是平坦的區域。第二區域及第

三區域都具有傾斜。第二區域的傾斜比第三區域的傾斜平緩。在第二區域中，從第一區域附近至第三區域附近之間的傾斜度有可能變化。例如，有時第一區域附近具有陡峭的傾斜，而第三區域附近具有平緩的傾斜。藉由使層 110a 具有這種形狀，可以提高形成在層 110a 上方的層等的步階覆蓋性。因此，不容易發生形狀不良等。層 110b 也是同樣的。注意，傾斜是指厚度的變化，在其角度爲直角時也被記爲具有傾斜。

[0055]

〈加工方法 2〉

另外，如圖 2A 至圖 2E 所示，藉由改變電漿處理的條件，可以獲得與圖 1E 不同的形狀。

[0056]

圖 2A 及圖 2B 分別與圖 1A 及圖 1B 相同，所以省略其說明。

[0057]

接著，進行電漿處理。藉由電漿處理使有機物沉積及蝕刻。另外，層 110 的露出部也被蝕刻。在此，在使有機物 124 沉積在光阻劑 122 的側面及防反射層 120 的側面的同時對層 110 進行蝕刻直到露出層 116 爲止，形成層 110a 及層 110b（參照圖 2C）。注意，層 110a 與層 110b 也可以在縱深方向上互相連接。

[0058]

接著，以有機物 124、光阻劑 122 及防反射層 120 爲遮罩對層 116 進行蝕刻，形成層 116a 及層 116b（參照圖 2D）。層 116 的蝕刻可以利用乾蝕刻法或/及濕蝕刻法進行。此時，也可以去除有機物 124。注意，層 116a 與層 116b 也可以在縱深方向上互相連接。

[0059]

以 L1 表示層 116a 與層 116b 間的距離。L1 比 L0 小相當於有機物 124 的厚度。也就是說，可以獲得比取決於曝光機或光阻劑等的最小特徵尺寸小的形狀。

[0060]

接著，藉由去除有機物 124、光阻劑 122 及防反射層 120，可以形成比最小特徵尺寸小的孔（參照圖 2E）。有機物 124、光阻劑 122 及防反射層 120 的去除可以利用電漿灰化等乾蝕刻法或/及濕蝕刻法。

[0061]

此時，層 110a 包括第一區域及第二區域。第一區域是平坦的區域。第二區域具有傾斜。第二區域的傾斜度有可能變化。例如，有時第一區域附近具有陡峭的傾斜，而離第一區域越遠，傾斜越平緩。藉由使層 110a 具有這種形狀，可以提高形成在層 110a 上方的層等的步階覆蓋性。因此，不容易發生形狀不良等。層 110b 也是同樣的。

[0062]

〈加工方法 3〉

另外，如圖 3A 至圖 3D 所示，藉由改變電漿處理的條件，可以獲得與圖 1E 及圖 2E 不同的形狀。

[0063]

圖 3A 及圖 3B 分別與圖 1A 及圖 1B 相同，所以省略其說明。

[0064]

接著，進行電漿處理。藉由電漿處理使有機物沉積及蝕刻。另外，層 110 的露出部也被蝕刻。在此，在使有機物 124 沉積在光阻劑 122 的側面及防反射層 120 的側面的同時對層 110 及層 116 進行蝕刻，形成層 110a、層 110b、層 116a 及層 116b（參照圖 3C）。注意，層 110a 與層 110b 也可以在縱深方向上互相連接。另外，層 116a 與層 116b 也可以在縱深方向上互相連接。

[0065]

以 L1 表示層 116a 與層 116b 間的距離。L1 比 L0 小相當於有機物 124 的厚度。也就是說，可以獲得比取決於曝光機或光阻劑等的最小特徵尺寸小的形狀。

[0066]

接著，藉由去除有機物 124、光阻劑 122 及防反射層 120，可以形成比最小特徵尺寸小的孔（參照圖 3D）。有機物 124、光阻劑 122 及防

反射層 120 的去除可以利用電漿灰化等乾蝕刻法或/及濕蝕刻法。

[0067]

此時，層 110a 包括第一區域及第二區域。第一區域是平坦的區域。第二區域具有傾斜。第二區域的傾斜度有可能變化。例如，有時第一區域附近具有陡峭的傾斜，而離第一區域越遠，傾斜越平緩。另外，層 116a 包括第三區域及第四區域。第三區域是平坦的區域。第四區域具有傾斜。第四區域的傾斜度有可能變化。例如，有時第三區域附近具有陡峭的傾斜，而離第三區域越遠，傾斜越平緩。藉由使層 110a 及層 116a 具有這種形狀，可以提高形成在層 110a 及層 116a 上方的層等的步階覆蓋性。因此，不容易發生形狀不良等。層 110b 及層 116b 也是同樣的。

[0068]

〈加工方法 4〉

另外，圖 4A 至圖 4E 所示，藉由追加蝕刻的製程，可以獲得與圖 1E、圖 2E 及圖 3D 不同的形狀。

[0069]

圖 4A 及圖 4B 分別與圖 1A 及圖 1B 相同，所以省略其說明。

[0070]

接著，以光阻劑 122 及防反射層 120 爲遮罩，以露出層 116 的方式對層 110 進行蝕刻，形成層 110a 及層 110b（參照圖 4C）。層 110 的蝕刻可以利用乾蝕刻法或/及濕蝕刻法進行。注意，層 110a 與層 110b 也可以在縱深方向上互相連接。

[0071]

接著，進行電漿處理。藉由電漿處理使有機物沉積及蝕刻。另外，層 116 的露出部也被蝕刻。但是，根據電漿處理的條件，也可以不使層 116 的露出部被蝕刻。

[0072]

另一方面，在光阻劑 122 的側面、防反射層 120 的側面、層 110a 的側面及層 110b 的側面，有機物的蝕刻速度比沉積速度慢。因此，有

機物 124 沉積在該區域中。

[0073]

接著，以有機物 124、光阻劑 122 及防反射層 120 爲遮罩對層 116 進行蝕刻，形成層 116a 及層 116b（參照圖 4D）。層 116 的蝕刻可以利用乾蝕刻法或/及濕蝕刻法進行。此時，也可以去除有機物 124。注意，層 116a 與層 116b 也可以在縱深方向上互相連接。

[0074]

以 L1 表示層 116a 與層 116b 間的距離。L1 比 L0 小相當於有機物 124 的厚度。也就是說，可以獲得比取決於曝光機或光阻劑等的最小特徵尺寸小的形狀。

[0075]

接著，藉由去除有機物 124、光阻劑 122 及防反射層 120，可以形成比最小特徵尺寸小的孔（參照圖 4E）。有機物 124、光阻劑 122 及防反射層 120 的去除可以利用電漿灰化等乾蝕刻法或/及濕蝕刻法。

[0076]

此時，層 116a 包括第一區域、第二區域及第三區域。第二區域位於第一區域與第三區域之間。第一區域是平坦的區域。第二區域及第三區域都具有傾斜。第二區域的傾斜比第三區域的傾斜平緩。在第二區域中，從第一區域附近至第三區域附近之間的傾斜度有可能變化。例如，有時第一區域附近具有陡峭的傾斜，而第三區域附近具有平緩的傾斜。藉由使層 116a 具有這種形狀，可以提高形成在層 116a 上方的層等的步階覆蓋性。因此，不容易發生形狀不良等。層 116b 也是同樣的。

[0077]

〈加工方法 5〉

另外，如圖 5A 至圖 5E 所示，藉由追加蝕刻的製程，並改變電漿處理的條件，可以獲得與圖 1E、圖 2E、圖 3D 及圖 4E 不同的形狀。

[0078]

圖 5A 及圖 5B 分別與圖 1A 及圖 1B 相同，所以省略其說明。另外，

圖 5C 與圖 4C 相同，所以省略其說明。

[0079]

接著，進行電漿處理。藉由電漿處理使有機物沉積及蝕刻。另外，藉由還對層 116 的露出部進行蝕刻，形成層 116a 及層 116b。注意，層 116a 與層 116b 也可以在縱深方向上互相連接。

[0080]

另一方面，在光阻劑 122 的側面、防反射層 120 的側面、層 110a 的側面及層 110b 的側面，有機物的蝕刻速度比沉積速度慢。因此，有機物 124 沉積在該區域中（參照圖 5D）。

[0081]

以 L1 表示層 116a 與層 116b 間的距離。L1 比 L0 小相當於有機物 124 的厚度。也就是說，可以獲得比取決於曝光機或光阻劑等的最小特徵尺寸小的形狀。

[0082]

接著，藉由去除有機物 124、光阻劑 122 及防反射層 120，可以形成比最小特徵尺寸小的孔（參照圖 5E）。有機物 124、光阻劑 122 及防反射層 120 的去除可以利用電漿灰化等乾蝕刻法或/及濕蝕刻法。

[0083]

此時，層 116a 包括第一區域及第二區域。第一區域是平坦的區域。第二區域具有傾斜。第二區域的傾斜度有可能變化。例如，有時第一區域附近具有陡峭的傾斜，而離第一區域越遠，傾斜越平緩。藉由使層 116a 具有這種形狀，可以提高形成在層 116a 上方的層等的步階覆蓋性。因此，不容易發生形狀不良等。層 116b 也是同樣的。

[0084]

〈加工方法 6〉

另外，如圖 6A 至圖 6E 所示，藉由不具有層 110，可以獲得與圖 1E、圖 2E、圖 3D、圖 4E 及圖 5E 不同的形狀。

[0085]

首先，準備層 116（參照圖 6A）。

[0086]

接著，形成防反射層。接著，形成光阻劑。接著，對光阻劑進行加工，形成光阻劑 122。

[0087]

接著，以光阻劑 122 爲遮罩對防反射層進行蝕刻，形成防反射層 120（參照圖 6B）。但是，有時也可以不包括防反射層 120。

[0088]

以 L0 表示光阻劑 122 間的距離。

[0089]

接著，進行電漿處理。藉由電漿處理使有機物沉積及蝕刻。另外，層 110 的露出部也被蝕刻。但是，根據電漿處理的條件，也可以不使層 110 的露出部被蝕刻。

[0090]

另一方面，在光阻劑 122 的側面及防反射層 120 的側面，有機物的蝕刻速度比沉積速度慢。因此，有機物 124 沉積在該區域中（參照圖 6C）。

[0091]

接著，以有機物 124、光阻劑 122 及防反射層 120 爲遮罩對層 116 進行蝕刻，形成層 116a 及層 116b（參照圖 6D）。層 116 的蝕刻可以利用乾蝕刻法或/及濕蝕刻法進行。此時，也可以去除有機物 124。注意，層 116a 與層 116b 也可以在縱深方向上互相連接。

[0092]

以 L1 表示層 116a 與層 116b 間的距離。L1 比 L0 小相當於有機物 124 的厚度。也就是說，可以獲得比取決於曝光機或光阻劑等的最小特徵尺寸小的形狀。

[0093]

接著，藉由去除有機物 124、光阻劑 122 及防反射層 120，可以形成比最小特徵尺寸小的孔（參照圖 6E）。有機物 124、光阻劑 122 及防反射層 120 的去除可以利用電漿灰化等乾蝕刻法或/及濕蝕刻法。另外，

藉由在獲得圖 4E 的形狀之後去除層 110a 及層 110b，也可以獲得與圖 6E 同樣的形狀。

[0094]

此時，層 116a 包括第一區域、第二區域及第三區域。第二區域位於第一區域與第三區域之間。第一區域是平坦的區域。第二區域及第三區域都具有傾斜。第二區域的傾斜比第三區域的傾斜平緩。在第二區域中，從第一區域附近至第三區域附近之間的傾斜度有可能變化。例如，有時第一區域附近具有陡峭的傾斜，而第三區域附近具有平緩的傾斜。藉由使層 116a 具有這種形狀，可以提高形成在層 116a 上方的層等的步階覆蓋性。因此，不容易發生形狀不良等。層 116b 也是同樣的。

[0095]

〈加工方法 7〉

另外，圖 7A 至圖 7D 所示，藉由改變電漿處理的條件等，可以獲得與圖 1E、圖 2E、圖 3D、圖 4E、圖 5E 及圖 6E 不同的形狀。

[0096]

圖 7A 及圖 7B 分別與圖 6A 及圖 6B 相同，所以省略其說明。

[0097]

接著，進行電漿處理。藉由電漿處理使有機物沉積及蝕刻。另外，藉由還對層 116 的露出部進行蝕刻，形成層 116a 及層 116b。注意，層 116a 與層 116b 也可以在縱深方向上互相連接。

[0098]

另一方面，在光阻劑 122 的側面及防反射層 120 的側面，有機物的蝕刻速度比沉積速度慢。因此，有機物 124 沉積在該區域中（參照圖 7C）。

[0099]

以 L1 表示層 116a 與層 116b 間的距離。L1 比 L0 小相當於有機物 124 的厚度。也就是說，可以獲得比取決於曝光機或光阻劑等的最小特徵尺寸小的形狀。

[0100]

接著，藉由去除有機物 124、光阻劑 122 及防反射層 120，可以形成比最小特徵尺寸小的孔（參照圖 7D）。有機物 124、光阻劑 122 及防反射層 120 的去除可以利用電漿灰化等乾蝕刻法或/及濕蝕刻法。另外，藉由在獲得圖 5E 的形狀之後去除層 110a 及層 110b，也可以獲得與圖 7D 同樣的形狀。

[0101]

此時，層 116a 包括第一區域及第二區域。第一區域是平坦的區域。第二區域具有傾斜。第二區域的傾斜度有可能變化。例如，有時第二區域附近具有陡峭的傾斜，而離第二區域越遠，傾斜越平緩。藉由使層 116a 具有這種形狀，可以提高形成在層 116a 上方的層等的步階覆蓋性。因此，不容易發生形狀不良等。層 116b 也是同樣的。

[0102]

如上所示，藉由本發明的一個實施方式的加工方法，可以將層加工成比最小特徵尺寸小的尺寸。另外，可以形成不容易發生形狀不良的層。

[0103]

〈電晶體 1〉

下面，說明本發明的一個實施方式的電晶體。

[0104]

圖 8A、圖 9A、圖 10A 及圖 11A 是說明電晶體的製造方法的俯視圖。圖 8B、圖 9B、圖 10B 及圖 11B 分別是在對應的俯視圖中示出的點劃線 A1-A2 及點劃線 A3-A4 的剖面圖。

[0105]

首先，準備基板 400。

[0106]

作爲基板 400，例如有絕緣體基板、半導體基板或導電體基板。作爲絕緣體基板，例如可以舉出玻璃基板、石英基板、藍寶石基板、安定氧化鋯基板（釔安定氧化鋯基板等）、樹脂基板等。作爲半導體基板，

例如有由矽或鍺等構成的單一材料半導體基板、或者由碳化矽、矽鍺、砷化鎵、磷化銦、氧化鋅或氧化鎵等構成的化合物半導體基板等。並且，還有在上述半導體基板內部具有絕緣體區域的半導體基板，例如爲 SOI（Silicon On Insulator：絕緣層上覆矽）基板等。作爲導電體基板，有石墨基板、金屬基板、合金基板、導電樹脂基板等。或者，有包含金屬氮化物的基板、包含金屬氧化物的基板等。再者，還有設置有導電體或半導體的絕緣體基板、設置有導電體或絕緣體的半導體基板、設置有半導體或絕緣體的導電體基板等。或者，也可以使用在這些基板上設置有元件的基板。作爲設置在基板上的元件，有電容元件、電阻元件、切換元件、發光元件、記憶元件等。

[0107]

此外，作爲基板 400 也可以使用撓性基板。另外，作爲在撓性基板上設置電晶體的方法，也可以舉出如下方法：在非撓性基板上形成電晶體之後，將該電晶體剝離並轉置到撓性基板的基板 400 上。在此情況下，較佳爲在非撓性基板與電晶體之間設置剝離層。此外，作爲基板 400，也可以使用包含纖維的薄片、薄膜或箔等。另外，基板 400 也可以具有伸縮性。此外，基板 400 可以具有在彎曲或拉伸停止時恢復爲原來的形狀的性質。或者，也可以具有不恢復爲原來的形狀的性質。基板 400 的厚度例如爲 5μm 以上且 700μm 以下，較佳爲 10μm 以上且 500μm 以下，更佳爲 15μm 以上且 300μm 以下。藉由將基板 400 形成得薄，可以實現半導體裝置的輕量化。另外，藉由將基板 400 形成得薄，即便在使用玻璃等的情況下有時也會具有伸縮性或在彎曲或拉伸停止時恢復爲原來的形狀的性質。因此，可以緩解因掉落等而基板 400 上的半導體裝置受到的衝擊等。亦即，能夠提供一種耐久性高的半導體裝置。

[0108]

作爲撓性基板的基板 400，例如可以使用金屬、合金、樹脂、玻璃或其纖維等。作爲撓性基板的基板 400 的線性膨脹係數越低，因環境而發生的變形越得到抑制，所以是較佳的。作爲撓性基板的基板 400，

例如使用線性膨脹係數爲 1×10^{-3}/K 以下、5×10^{-5}/K 以下或 1×10^{-5}/K 以下的材質即可。作爲樹脂，例如可以舉出聚酯、聚烯烴、聚醯胺（尼龍、芳族聚醯胺等）、聚醯亞胺、聚碳酸酯、丙烯酸樹脂等。尤其是芳族聚醯胺的線性膨脹係數較低，因此適合用於撓性基板的基板 400。

[0109]

接著，形成導電體。導電體可以藉由濺射法、化學氣相沉積（CVD：Chemical Vapor Deposition）法、分子束磊晶（MBE：Molecular Beam Epitaxy）法、脈衝雷射沉積（PLD：Pulsed Laser Deposition）法、原子層沉積（ALD：Atomic Layer Deposition）法等形成。

[0110]

注意，CVD 法可以分爲利用電漿的電漿 CVD（PECVD：Plasma Enhanced CVD）法、利用熱的熱 CVD（TCVD：Thermal CVD）法及利用光的光 CVD（Photo CVD）法等。再者，CVD 法可以根據使用的源氣體分爲金屬 CVD（MCVD：Metal CVD）法及有機金屬 CVD（MOCVD：Metal Organic CVD）法。

[0111]

藉由利用 PECVD 法，可以以較低的溫度得到高品質的膜。另外，因爲在 TCVD 法中不使用電漿，所以能夠減少對被處理物造成的電漿損傷。例如，包括在半導體裝置中的佈線、電極、元件（電晶體、電容元件等）等有時因從電漿接收電荷而會產生電荷積聚（charge up）。此時，有時由於所累積的電荷而使包括在半導體裝置中的佈線、電極、元件等受損傷。另一方面，在採用不使用電漿的 TCVD 法的情況下，因爲不發生這種電漿損傷，所以能夠提高半導體裝置的良率。另外，在 TCVD 法中，不發生成膜時的電漿損傷，因此能夠得到缺陷少的膜。

[0112]

另外，ALD 法也是能夠減少對被處理物造成的電漿損傷的成膜方法。此外，ALD 法也不發生成膜時的電漿損傷，所以能夠得到缺陷少的膜。

[0113]

不同於從靶材等被釋放的粒子沉積的成膜方法，CVD 法及 ALD 法是

藉由被處理物表面的反應而形成膜的形成方法。因此，藉由 CVD 法及 ALD 法形成的膜不易受被處理物的形狀的影響，而具有良好的步階覆蓋性。尤其是，藉由 ALD 法形成的膜具有良好的步階覆蓋性和厚度均勻性，所以 ALD 法適合用於覆蓋縱橫比高的開口部的表面的情況。但是，ALD 法的沉積速度比較慢，所以有時較佳爲與沉積速度快的 CVD 法等其他成膜方法組合而使用。

[0114]

CVD 法及 ALD 法可以藉由調整源氣體的流量比控制所得到的膜的組成。例如，當使用 CVD 法及 ALD 法時，可以藉由調整源氣體的流量比形成所希望的組成的膜。此外，例如，當使用 CVD 法及 ALD 法時，可以藉由一邊形成膜一邊改變源氣體的流量比來形成其組成連續變化的膜。在一邊改變源氣體的流量比一邊形成膜時，因爲可以省略傳送及調整壓力所需的時間，所以與使用多個沉積室進行成膜的情況相比可以使其成膜時所需的時間縮短。因此，有時可以提高半導體裝置的生產率。

[0115]

接著，在導電體上形成光阻劑等，使用該光阻劑進行加工，由此形成導電體 413。注意，當簡單地記載爲“形成光阻劑”時，也包括在光阻劑之下形成防反射層的情況。

[0116]

在對物件進行蝕刻等加工之後去除光阻劑。光阻劑的去除使用電漿處理或/及濕蝕刻進行。注意，作爲電漿處理，較佳爲使用電漿灰化。在光阻劑等的去除不足夠情況下，也可以使用 0.001vol.%以上且 1vol.%以下的濃度的氫氟酸和/或臭氧水等去除剩下的光阻劑等。

[0117]

在對導電體進行加工來形成導電體 413 時，可以使用在圖 1A 至圖 1E、圖 2A 至圖 2E、圖 3A 至圖 3D、圖 4A 至圖 4E、圖 5A 至圖 5E、圖 6A 至圖 6E 和圖 7A 至圖 7D 中的任一個中記載的加工方法。

[0118]

作爲成爲導電體 413 的導電體，例如可以使用包含硼、氮、氧、氟、矽、磷、鋁、鈦、鉻、錳、鈷、鎳、銅、鋅、鎵、釔、鋯、鉬、釕、銀、銦、錫、鉭和鎢中的一種以上的導電體的單層或疊層。例如，可以使用合金或化合物，還可以使用包含鋁的導電體、包含銅及鈦的導電體、包含銅及錳的導電體、包含銦、錫及氧的導電體、包含鈦及氮的導電體等。

[0119]

接著，形成絕緣體 402。絕緣體 402 可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。

[0120]

作爲絕緣體 402，例如可以使用包含硼、碳、氮、氧、氟、鎂、鋁、矽、磷、氯、氬、鎵、鍺、釔、鋯、鑭、鈰、鉿或鉭的絕緣體的單層或疊層。作爲絕緣體 402，例如可以使用氧化鋁、氧化鎂、氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鎵、氧化鍺、氧化釔、氧化鋯、氧化鑭、氧化鈰、氧化鉿或氧化鉭。

[0121]

絕緣體 402 也可以具有防止來自基板 400 的雜質擴散的功能。

[0122]

接著，形成半導體。半導體可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。

[0123]

接著，較佳爲進行加熱處理。藉由進行加熱處理，有時能夠降低半導體中的氫濃度。另外，有時能夠減少半導體中的氧缺陷。

[0124]

接著，在半導體上形成光阻劑等，使用該光阻劑進行加工，由此形成半導體 406（參照圖 8A 及圖 8B）。此時，可以對絕緣體 402 的不與半導體 406 重疊的部分進行蝕刻。由此使絕緣體 402 具有凸部。藉由使絕緣體 402 具有凸部，容易實現在後面說明的 s-channel 結構。

[0125]

在對半導體進行加工來形成半導體 406 時，可以使用在圖 1A 至圖 1E、圖 2A 至圖 2E、圖 3A 至圖 3D、圖 4A 至圖 4E、圖 5A 至圖 5E、圖 6A 至圖 6E 和圖 7A 至圖 7D 中的任一個中記載的加工方法。

[0126]

接著，形成導電體 416。導電體 416 可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。

[0127]

作爲導電體 416，例如可以使用包含硼、氮、氧、氟、矽、磷、鋁、鈦、鉻、錳、鈷、鎳、銅、鋅、鎵、釔、鋯、鉬、釕、銀、銦、錫、鉭和鎢中的一種以上的導電體的單層或疊層。例如，可以使用合金或化合物，還可以使用包含鋁的導電體、包含銅及鈦的導電體、包含銅及錳的導電體、包含銦、錫及氧的導電體、包含鈦及氮的導電體等。

[0128]

接著，形成絕緣體 410（參照圖 9A 及圖 9B）。絕緣體 410 可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。

[0129]

作爲絕緣體 410，例如可以使用包含硼、碳、氮、氧、氟、鎂、鋁、矽、磷、氯、氬、鎵、鍺、釔、鋯、鑭、鈰、鉿或鉭的絕緣體的單層或疊層。作爲絕緣體 410，例如可以使用氧化鋁、氧化鎂、氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鎵、氧化鍺、氧化釔、氧化鋯、氧化鑭、氧化鈰、氧化鉿或氧化鉭。

[0130]

接著，在絕緣體 410 上形成光阻劑等，使用該光阻劑進行加工，由此形成絕緣體 410a、絕緣體 410b、導電體 416a 及導電體 416b（參照圖 10A 及圖 10B）。

[0131]

此時，可以使用在圖 1A 至圖 1E、圖 2A 至圖 2E、圖 3A 至圖 3D、圖 4A 至圖 4E、圖 5A 至圖 5E、圖 6A 至圖 6E 和圖 7A 至圖 7D 中的任一個中記載的加工方法。例如，在圖 1A 至圖 1E、圖 2A 至圖 2E、圖 3A

至圖 3D、圖 4A 至圖 4E、圖 5A 至圖 5E、圖 6A 至圖 6E 和圖 7A 至圖 7D 中，可以將層 116 換成導電體 416，將層 110 換成絕緣體 410。在此，示出藉由與圖 1A 至圖 1E 所示的加工方法同樣的方法對絕緣體 410 及導電體 416 進行加工的情況。

[0132]

例如，當將導電體 413 用作閘極電極，將絕緣體 402 用作閘極絕緣體，將導電體 416a 用作源極電極，並將導電體 416b 用作汲極電極時，藉由完成至圖 10A 和圖 10B 的製程爲止的製程，可以獲得底閘極結構的電晶體。

[0133]

接著，形成絕緣體。絕緣體可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。

[0134]

接著，形成導電體。導電體可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。

[0135]

接著，在導電體上形成光阻劑等，使用該光阻劑進行加工，由此形成導電體404。另外，使用該光阻劑或導電體404對絕緣體進行加工，形成絕緣體 412（參照圖 11A 及圖 11B）。注意，雖然在此以絕緣體 412 與導電體 404 的頂面形狀相同的方式進行加工，但是並不侷限於該形狀。例如，也可以使用不同的光阻劑形成絕緣體 412 與導電體 404。例如，也可以在形成絕緣體 412 後形成成爲導電體 404 的導電體，或者可以在形成導電體 404 後在成爲絕緣體 412 的絕緣體上另行形成光阻劑等。

[0136]

此時，可以使用在圖 1A 至圖 1E、圖 2A 至圖 2E、圖 3A 至圖 3D、圖 4A 至圖 4E、圖 5A 至圖 5E、圖 6A 至圖 6E 和圖 7A 至圖 7D 中的任一個中記載的加工方法。例如，可以將在圖 1A 至圖 1E、圖 2A 至圖 2E、圖 3A 至圖 3D、圖 4A 至圖 4E、圖 5A 至圖 5E、圖 6A 至圖 6E 和圖 7A

至圖 7D 中的層 116 換成成爲絕緣體 412 的絕緣體，可以將層 110 換成成爲導電體 404 的導電體。

[0137]

作爲成爲絕緣體 412 的絕緣體，例如可以使用包含硼、碳、氮、氧、氟、鎂、鋁、矽、磷、氯、氬、鎵、鍺、釔、鋯、鑭、鈰、鉿或鉭的絕緣體的單層或疊層。作爲成爲絕緣體 412 的絕緣體，例如可以使用氧化鋁、氧化鎂、氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鎵、氧化鍺、氧化釔、氧化鋯、氧化鑭、氧化鈰、氧化鉿或氧化鉭。

[0138]

作爲成爲導電體 404 的導電體，例如可以使用包含硼、氮、氧、氟、矽、磷、鋁、鈦、鉻、錳、鈷、鎳、銅、鋅、鎵、釔、鋯、鉬、鉭、銀、銦、錫、鉭和鎢中的一種以上的導電體的單層或疊層。例如，可以使用合金或化合物，還可以使用包含鋁的導電體、包含銅及鈦的導電體、包含銅及錳的導電體、包含銦、錫及氧的導電體、包含鈦及氮的導電體等。

[0139]

接著，可以形成絕緣體。絕緣體可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。

[0140]

作爲上述絕緣體，例如可以使用包含硼、碳、氮、氧、氟、鎂、鋁、矽、磷、氯、氬、鎵、鍺、釔、鋯、鑭、鈰、鉿或鉭的絕緣體的單層或疊層。該絕緣體較佳爲使用包含氧化鋁、氮氧化矽、氮化矽、氧化鎵、氧化釔、氧化鋯、氧化鑭、氧化鈰、氧化鉿或氧化鉭的絕緣體的單層或疊層。

[0141]

上述絕緣體較佳爲具有阻擋層的功能。該絕緣體例如具有阻擋氧或/及氫的功能。例如，該絕緣體較佳爲具有比絕緣體 402 或絕緣體 412 高的阻擋氧或/及氫的能力。

[0142]

藉由上述製程，可以製造本發明的一個實施方式的電晶體。

[0143]

圖 11B 所示的電晶體在導電體 416a 與導電體 404 之間包括絕緣體 410a，並在導電體 416b 與導電體 404 之間包括絕緣體 410b。也就是說，起因於導電體 416a 及導電體 416b 等的寄生電容小。因此，使用圖 11B 所示的電晶體的半導體裝置具有高頻率特性。

[0144]

如圖 11B 所示，半導體 406 的側面與導電體 416a 及導電體 416b 接觸。此外，可以由導電體 404 的電場電圍繞半導體 406(將由導電體的電場電圍繞半導體的電晶體結構稱爲 surrounded channel(s-channel)結構)。因此，有時在半導體 406 的整體(頂面、底面及側面)形成通道。在 s-channel 結構中，可以使大電流流過電晶體的源極與汲極之間，由此可以提高導通時的電流(通態電流：on-state current)。

[0145]

注意，當電晶體具有 s-channel 結構時，在半導體 406 的側面也形成有通道。因此，半導體 406 的厚度越大，通道區域越大。亦即，半導體 406 越厚，越能夠提高電晶體的通態電流。另外，半導體 406 越厚，載子的控制性高的區域的比例越增加，所以可以減小次臨界擺幅值。例如，半導體 406 具有厚度爲 10nm 以上，較佳爲 20nm 以上，更佳爲 40nm 以上，進一步較佳爲 60nm 以上，更進一步較佳爲 100nm 以上的區域即可。注意，半導體裝置的生產率有時會下降，因此，例如，半導體 406 具有厚度爲 300nm 以下，較佳爲 200nm 以下，更佳爲 150nm 以下的區域即可。注意，當通道形成區域縮小時，有時可以藉由減薄半導體 406 來提高電晶體的電特性。因此，半導體 406 的厚度也可以小於 10nm。

[0146]

由於可以得到高通態電流，因此 s-channel 結構可以說是適合於微型電晶體的結構。包括微型電晶體的半導體裝置可以具有高集成度

及高密度。例如，電晶體具有通道長度較佳爲 40nm 以下，更佳爲 30nm 以下，進一步較佳爲 20nm 以下的區域，並且，電晶體具有通道寬度較佳爲 40nm 以下，更佳爲 30nm 以下，進一步較佳爲 20nm 以下的區域。

[0147]

注意，也可以不形成導電體 413（參照圖 12A）。另外，也可以採用絕緣體 412 比導電體 404 突出的形狀（參照圖 12B）。另外，也可以不對成爲絕緣體 412 的絕緣體進行加工（參照圖 12C）。

[0148]

雖然在圖 11B 等中作爲典型例子示出具有與圖 1A 至圖 1E 同樣的形狀的導電體 416a、導電體 416b、絕緣體 410a 及絕緣體 410b，但是本發明的一個實施方式並不侷限於此。例如，如圖 51A 所示，也可以具有與圖 2E 同樣的形狀。另外，如圖 51B 所示，也可以具有與圖 3D 同樣的形狀。另外，如圖 51C 所示，也可以具有與圖 4D 同樣的形狀。另外，如圖 52A 所示，也可以具有與圖 5E 同樣的形狀。另外，如圖 52B 所示，也可以具有與圖 6E 同樣的形狀。另外，如圖 52C 所示，也可以具有與圖 7D 同樣的形狀。另外，如圖 53A 所示，也可以具有絕緣體 410a 及絕緣體 410b 的傾斜朝著端部逐漸變陡的形狀。另外，如圖 53B 所示，絕緣體 410a 的端部及絕緣體 410b 的端部具有傾斜角逐步變化的區域。另外，如圖 53C 所示，導電體 416a 及導電體 416b 也可以具有疊層結構。此時，例如，下層也可以比上層突出。另外，也可以組合這些形狀的一部分。藉由改變電漿處理的條件或追加蝕刻製程等，可以實現這種形狀。

[0149]

〈半導體〉

藉由在半導體 406 之上及之下配置半導體，有時可以提高電晶體的電特性。下面參照圖 13A 至圖 13E 詳細地說明半導體 406 及配置在其上及其下的半導體。

[0150]

圖 13A 是將圖 11B 所示的電晶體的通道長度方向上的半導體 406

附近放大的剖面圖。另外，圖 13B 是將圖 11B 所示的電晶體的通道寬度方向上的半導體 406 附近放大的剖面圖。

[0151]

在圖 13A 及圖 13B 所示的電晶體的結構中，絕緣體 402 與半導體 406 之間配置有半導體 406a。另外，導電體 416a、導電體 416b、絕緣體 412 與半導體 406 之間配置有半導體 406c。

[0152]

或者，電晶體也可以具有圖 13C 及圖 13D 所示的結構。

[0153]

圖 13C 是將圖 11B 所示的電晶體的通道長度方向上的半導體 406 附近放大的剖面圖。另外，圖 13D 是將圖 11B 所示的電晶體的通道寬度方向上的半導體 406 附近放大的剖面圖。

[0154]

在圖 13C 及圖 13D 所示的電晶體的結構中，絕緣體 402 與半導體 406 之間配置有半導體 406a。另外，絕緣體 402、導電體 416a、導電體 416b、半導體 406a、半導體 406 與絕緣體 412 之間配置有半導體 406c。

[0155]

半導體 406 例如是包含銦的氧化物半導體。例如，在半導體 406 包含銦時，其載子移動率（電子移動率）得到提高。此外，半導體 406 較佳爲包含元素 M。元素 M 較佳是鋁、鎵、釔或錫等。作爲可用作元素 M 的其他元素，有硼、矽、鈦、鐵、鎳、鍺、鋯、鉬、鑭、鈰、釹、鉿、鉭、鎢等。注意，作爲元素 M 有時也可以組合多個上述元素。元素 M 例如是與氧的鍵能高的元素。元素 M 例如是與氧的鍵能高於銦的元素。或者，元素 M 例如是具有增大氧化物半導體的能隙的功能的元素。此外，半導體 406 較佳爲包含鋅。當氧化物半導體包含鋅時，有時容易晶化。

[0156]

注意，半導體 406 不侷限於包含銦的氧化物半導體。半導體 406

例如也可以是鋅錫氧化物或鎵錫氧化物等不包含銦且包含鋅、鎵或錫的氧化物半導體等。

[0157]

作爲半導體 406 例如使用能隙大的氧化物。半導體 406 的能隙例如是 2.5eV 以上且 4.2eV 以下，較佳爲 2.8eV 以上且 3.8eV 以下，更佳爲 3eV 以上且 3.5eV 以下。

[0158]

例如，半導體 406a 及半導體 406c 是包含除了氧之外的一種以上或兩種以上的構成半導體 406 的元素的氧化物半導體。因爲半導體 406a 及半導體 406c 包含除了氧之外的一種以上或兩種以上的構成半導體 406 的元素，所以不容易在半導體 406a 與半導體 406 的介面以及半導體 406 與半導體 406c 的介面處形成缺陷能階。

[0159]

半導體 406a、半導體 406 及半導體 406c 較佳爲至少包含銦。另外，在半導體 406a 是 In-M-Zn 氧化物的情況下，在 In 和 M 的總和爲 100atomic%時，較佳的是，In 低於 50atomic%，M 高於 50atomic%，更佳的是，In 低於 25atomic%，M 高於 75atomic%。此外，在半導體 406 是 In-M-Zn 氧化物的情況下，在 In 和 M 的總和爲 100atomic%時，較佳的是，In 高於 25atomic%，M 低於 75atomic%，更佳的是，In 高於 34atomic%，M 低於 66atomic%。此外，在半導體 406c 是 In-M-Zn 氧化物的情況下，在 In 和 M 的總和爲 100atomic%時，較佳的是，In 低於 50atomic%，M 高於 50atomic%，更佳的是，In 低於 25atomic%，M 高於 75atomic%。另外，半導體 406c 也可以使用與半導體 406a 相同的種類的氧化物。注意，半導體 406a 及/或半導體 406c 有時也可以不包含銦。例如，半導體 406a 及/或半導體 406c 也可以包含氧化鎵。半導體 406a、半導體 406 及半導體 406c 所包含的各元素的原子數也可以不是簡單的整數比。

[0160]

作爲半導體 406 使用其電子親和力大於半導體 406a 及半導體 406c

的氧化物。例如，作爲半導體 406 使用如下氧化物，該氧化物的電子親和力比半導體 406a 及半導體 406c 大 0.07eV 以上且 1.3eV 以下，較佳爲大 0.1eV 以上且 0.7eV 以下，更佳爲大 0.15eV 以上且 0.4eV 以下。注意，電子親和力是真空能階和導帶底之間的能量差。

[0161]

注意，銦鎵氧化物具有較小的電子親和力及較高的氧阻擋性。因此，半導體 406c 較佳爲包含銦鎵氧化物。鎵原子的比率[Ga/(In+Ga)]例如爲 70%以上，較佳爲 80%以上，更佳爲 90%以上。

[0162]

此時，若施加閘極電壓，通道則形成在半導體 406a、半導體 406 和半導體 406c 中的電子親和力最大的半導體 406 中。

[0163]

在此，有時在半導體 406a 與半導體 406 之間具有半導體 406a 和半導體 406 的混合區域。另外，有時在半導體 406 與半導體 406c 之間具有半導體406和半導體406c的混合區域。混合區域的缺陷態密度低。因此，在半導體 406a、半導體 406 和半導體 406c 的疊層體的能帶結構中，各層之間的介面及介面附近的能量連續地變化(也稱爲連續接合)（參照圖 13E）。注意，有時無法明確地區分半導體 406a、半導體 406 及半導體 406c 的各邊界。

[0164]

此時，電子不是在半導體 406a 及半導體 406c 中而主要在半導體 406 中移動。如上所述，藉由降低半導體 406a 與半導體 406 的介面處的缺陷態密度以及半導體 406 與半導體 406c 的介面處的缺陷態密度，在半導體 406 中電子移動受到妨礙的情況減少，從而可以提高電晶體的通態電流。

[0165]

越減少妨礙電子移動的因素，越能夠提高電晶體的通態電流。例如，在沒有妨礙電子移動的因素的情況下，推測電子高效率地移動。例如，在通道形成區域中的物理性凹凸較大的情況下也會發生電子移

動受到妨礙的情況。

[0166]

爲了提高電晶體的通態電流，例如，半導體 406 的頂面或底面（被形成面，在此爲半導體 406a）的 1μm×1μm 的範圍內的均方根（RMS：Root Mean Square）粗糙度爲低於 1nm，較佳爲低於 0.6nm，更佳爲低於 0.5nm，進一步較佳爲低於 0.4nm，即可。另外，其 1μm×1μm 的範圍內的平均表面粗糙度（也稱爲 Ra）爲低於 1nm，較佳爲低於 0.6nm，更佳爲低於 0.5nm，進一步較佳爲低於 0.4nm，即可。其 1μm×1μm 的範圍內的最大高低差（也稱爲 P-V）爲低於 10nm，較佳爲低於 9nm，更佳爲低於 8nm，進一步較佳爲低於 7nm。RMS 粗糙度、Ra 以及 P-V 可以藉由使用由精工電子奈米科技（SII Nano Technology）有限公司製造的掃描探針顯微鏡 SPA-500 等測定。

[0167]

此外，爲了提高電晶體的通態電流，半導體 406c 的厚度越小越好。例如，半導體 406c 具有其厚度爲低於 10nm，較佳爲 5nm 以下，更佳爲 3nm 以下的區域即可。另一方面，半導體 406c 具有阻擋構成相鄰的絕緣體的氧之外的元素（氫、矽等）侵入形成有通道的半導體 406 中的功能。因此，半導體 406c 較佳爲具有一定程度的厚度。例如，半導體 406c 具有其厚度爲 0.3nm 以上，較佳爲 1nm 以上，更佳爲 2nm 以上的區域即可。另外，爲了抑制從絕緣體 402 等釋放的氧向外擴散，半導體 406c 較佳爲具有阻擋氧的性質。

[0168]

此外，爲了提高可靠性，半導體 406a 較佳爲厚且半導體 406c 較佳爲薄。例如，半導體 406a 具有其厚度例如爲 10nm 以上，較佳爲 20nm 以上，更佳爲 40nm 以上，進一步較佳爲 60nm 以上的區域即可。藉由將半導體 406a 形成得厚，可以拉開從相鄰的絕緣體與半導體 406a 的介面至形成有通道的半導體 406 的距離。注意，因爲半導體裝置的生產率可能會下降，所以半導體 406a 具有其厚度例如爲 200nm 以下，較佳爲 120nm 以下，更佳爲 80nm 以下的區域即可。

[0169]

例如在半導體 406 與半導體 406a 之間具有藉由二次離子質譜分析法（SIMS：Secondary Ion Mass Spectrometry）得到的矽濃度爲 1×10^{16}atoms/cm^3 以上且 1×10^{19}atoms/cm^3 以下，較佳爲 1×10^{16}atoms/cm^3 以上且 5×10^{18}atoms/cm^3 以下，更佳爲 1×10^{16}atoms/cm^3 以上且 2×10^{18}atoms/cm^3 以下的區域。此外，在半導體 406 與半導體 406c 之間具有藉由 SIMS 得到的矽濃度爲 1×10^{16}atoms/cm^3 以上且 1×10^{19}atoms/cm^3 以下，較佳爲 1×10^{16}atoms/cm^3 以上且 5×10^{18}atoms/cm^3 以下，更佳爲 1×10^{16}atoms/cm^3 以上且 2×10^{18}atoms/cm^3 以下的區域。

[0170]

另外，半導體 406 包括藉由 SIMS 得到的氫濃度爲 1×10^{16}atoms/cm^3 以上且 2×10^{20}atoms/cm^3 以下，較佳爲 1×10^{16}atoms/cm^3 以上且 5×10^{19}atoms/cm^3 以下，更佳爲 1×10^{16}atoms/cm^3 以上且 1×10^{19}atoms/cm^3 以下，進一步較佳爲 1×10^{16}atoms/cm^3 以上且 5×10^{18}atoms/cm^3 以下的區域。爲了降低半導體 406 的氫濃度，較佳爲降低半導體 406a 及半導體 406c 的氫濃度。半導體 406a 及半導體 406c 具有藉由 SIMS 得到的氫濃度爲 1×10^{16}atoms/cm^3 以上且 2×10^{20}atoms/cm^3 以下，較佳爲 1×10^{16}atoms/cm^3 以上且 5×10^{19}atoms/cm^3 以下，更佳爲 1×10^{16}atoms/cm^3 以上且 1×10^{19}atoms/cm^3 以下，進一步較佳爲 1×10^{16}atoms/cm^3 以上且 5×10^{18}atoms/cm^3 以下的區域。此外，半導體 406 具有藉由 SIMS 得到的氮濃度爲 1×10^{15}atoms/cm^3 以上且 5×10^{19}atoms/cm^3 以下，較佳爲 1×10^{15}atoms/cm^3 以上且 5×10^{18}atoms/cm^3 以下，更佳爲 1×10^{15}atoms/cm^3 以上且 1×10^{18}atoms/cm^3 以下，進一步較佳爲 1×10^{15}atoms/cm^3 以上且 5×10^{17}atoms/cm^3 以下的區域。爲了降低半導體 406 的氮濃度，較佳爲降低半導體 406a 及半導體 406c 的氮濃度。半導體 406a 及半導體 406c 具有藉由 SIMS 得到的氮濃度爲 1×10^{15}atoms/cm^3 以上且 5×10^{19}atoms/cm^3 以下，較佳爲 1×10^{15}atoms/cm^3 以上且 5×10^{18}atoms/cm^3 以下，更佳爲 1×10^{15}atoms/cm^3 以上且 1×10^{18}atoms/cm^3 以下，進一步較佳爲 1×10^{15}atoms/cm^3 以上且 5×10^{17}atoms/cm^3 以下的區域。

[0171]

上述三層結構是一個例子。例如，也可以採用沒有半導體 406a 或半導體 406c 的兩層結構。或者，也可以採用在半導體 406a 上或下、或者在半導體 406c 上或下設置作爲半導體 406a、半導體 406 和半導體 406c 例示的半導體中的任何一個半導體的四層結構。或者，也可以採用在半導體 406a 上、半導體 406a 下、半導體 406c 上、半導體 406c 下中的任何兩個以上的位置設置作爲半導體 406a、半導體 406 和半導體 406c 例示的半導體中的任何一個以上的半導體的 n 層結構（n 爲 5 以上的整數）。

[0172]

〈氧化物半導體的結構〉

下面說明氧化物半導體的結構。

[0173]

氧化物半導體被分爲單晶氧化物半導體和非單晶氧化物半導體。作爲非單晶氧化物半導體有 CAAC-OS（C-Axis Aligned Crystalline Oxide Semiconductor：c 軸配向結晶氧化物半導體）、多晶氧化物半導體、微晶氧化物半導體以及非晶氧化物半導體等。

[0174]

從其他觀點看來，氧化物半導體被分爲非晶氧化物半導體和結晶氧化物半導體。作爲結晶氧化物半導體有單晶氧化物半導體、CAAC-OS、多晶氧化物半導體以及微晶氧化物半導體等。

[0175]

〈CAAC-OS〉

首先，對 CAAC-OS 進行說明。注意，也可以將 CAAC-OS 稱爲具有 CANC（C-Axis Aligned nanocrystals：c 軸配向奈米晶）的氧化物半導體。

[0176]

CAAC-OS 是包含多個 c 軸配向的結晶部（也稱爲顆粒）的氧化物半導體之一。

[0177]

在利用穿透式電子顯微鏡（TEM：Transmission Electron Microscope）觀察所得到的 CAAC-OS 的明視野影像與繞射圖案的複合分析影像（也稱爲高解析度 TEM 影像）中，觀察到多個顆粒。然而，在高解析度 TEM 影像中，觀察不到顆粒與顆粒之間的明確的邊界，亦即晶界（grain boundary）。因此，可以說在 CAAC-OS 中，不容易發生起因於晶界的電子移動率的降低。

[0178]

下面，對利用 TEM 觀察的 CAAC-OS 進行說明。圖 38A 示出從大致平行於樣本面的方向觀察所得到的 CAAC-OS 的剖面的高解析度 TEM 影像。利用球面像差校正（Spherical Aberration Corrector）功能得到高解析度 TEM 影像。將利用球面像差校正功能所得到的高解析度 TEM 影像特別稱爲 Cs 校正高解析度 TEM 影像。例如可以使用日本電子株式會社製造的原子解析度分析型電子顯微鏡 JEM-ARM200F 等得到 Cs 校正高解析度 TEM 影像。

[0179]

圖 38B 示出將圖 38A 中的區域（1）放大的 Cs 校正高解析度 TEM 影像。由圖 38B 可以確認到在顆粒中金屬原子排列爲層狀。各金屬原子層具有反映了形成 CAAC-OS 膜的面（也稱爲被形成面）或 CAAC-OS 膜的頂面的凸凹的配置並以平行於 CAAC-OS 的被形成面或頂面的方式排列。

[0180]

如圖 38B 所示，CAAC-OS 具有特有的原子排列。圖 38C 是以輔助線示出特有的原子排列的圖。由圖 38B 和圖 38C 可知，一個顆粒的尺寸爲 1nm 以上且 3nm 以下左右，由顆粒與顆粒之間的傾斜產生的空隙的尺寸爲 0.8nm 左右。因此，也可以將顆粒稱爲奈米晶（nc：nanocrystal）。

[0181]

在此，根據 Cs 校正高解析度 TEM 影像，將基板 5120 上的 CAAC-OS

的顆粒 5100 的配置示意性地表示爲堆積磚塊或塊體的結構（參照圖 38D）。在圖 38C 中觀察到的在顆粒與顆粒之間產生傾斜的部分相當於圖 38D 所示的區域 5161。

[0182]

圖 39A 示出從大致垂直於樣本面的方向觀察所得到的 CAAC-OS 的平面的 Cs 校正高解析度 TEM 影像。圖 39B、圖 39C 和圖 39D 分別示出將圖 39A 中的區域（1）、區域（2）和區域（3）放大的 Cs 校正高解析度 TEM 影像。由圖 39B、圖 39C 和圖 39D 可知在顆粒中金屬原子排列爲三角形狀、四角形狀或六角形狀。但是，在不同的顆粒之間金屬原子的排列沒有規律性。

[0183]

接著，說明使用 X 射線繞射（XRD：X-Ray Diffraction）裝置進行分析的 CAAC-OS。例如，當利用 out-of-plane 法分析包含 $InGaZnO_4$ 結晶的 CAAC-OS 的結構時，如圖 40A 所示，在繞射角（2θ）爲 31°附近時常出現峰值。由於該峰值來源於 $InGaZnO_4$ 結晶的（009）面，由此可知 CAAC-OS 中的結晶具有 c 軸配向性，並且 c 軸朝向大致垂直於被形成面或頂面的方向。

[0184]

注意，當利用 out-of-plane 法分析 CAAC-OS 的結構時，除了 2θ 爲 31°附近的峰值以外，有時在 2θ爲 36°附近時也出現峰值。2θ爲 36°附近的峰值表示 CAAC-OS 中的一部分包含不具有 c 軸配向性的結晶。較佳的是，在利用 out-of-plane 法分析的 CAAC-OS 的結構中，在 2θ 爲 31°附近時出現峰值而在 2θ爲 36°附近時不出現峰值。

[0185]

另一方面，當利用從大致垂直於 c 軸的方向使 X 射線入射到樣本的 in-plane 法分析 CAAC-OS 的結構時，在 2θ爲 56°附近時出現峰值。該峰值來源於 $InGaZnO_4$ 結晶的（110）面。在 CAAC-OS 中，即使將 2θ 固定爲 56°附近並在以樣本面的法線向量爲軸（ϕ軸）旋轉樣本的條件下進行分析（ϕ掃描），也如圖 40B 所示的那樣觀察不到明確的峰值。

相比之下，在 $InGaZnO_4$的單晶氧化物半導體中，在將 2θ固定爲 56°附近來進行φ掃描時，如圖 40C 所示的那樣觀察到來源於相等於（110）面的結晶面的六個峰值。因此，由使用 XRD 的結構分析可以確認到 CAAC-OS 中的 a 軸和 b 軸的配向沒有規律性。

[0186]

接著，說明利用電子繞射進行分析的 CAAC-OS。例如，當對包含 $InGaZnO_4$結晶的 CAAC-OS 在平行於樣本面的方向上入射束徑爲 300nm 的電子線時，可能會獲得圖 41A 所示的繞射圖案（也稱爲選區穿透式電子繞射圖案）。在該繞射圖案中包含起因於 $InGaZnO_4$結晶的（009）面的斑點。因此，由電子繞射也可知 CAAC-OS 所包含的顆粒具有 c 軸配向性，並且 c 軸朝向大致垂直於被形成面或頂面的方向。另一方面，圖 41B 示出對相同的樣本在垂直於樣本面的方向上入射束徑爲 300nm 的電子線時的繞射圖案。由圖 41B 觀察到環狀的繞射圖案。因此，由電子繞射也可知 CAAC-OS 所包含的顆粒的 a 軸和 b 軸不具有配向性。可以認爲圖 41B 中的第一環起因於 $InGaZnO_4$結晶的（010）面和（100）面等。另外，可以認爲圖 41B 中的第二環起因於（110）面等。

[0187]

另外，CAAC-OS 是缺陷態密度低的氧化物半導體。氧化物半導體的缺陷例如有起因於雜質的缺陷、氧缺損等。因此，可以將 CAAC-OS 稱爲雜質濃度低的氧化物半導體或者氧缺損少的氧化物半導體。

[0188]

包含於氧化物半導體的雜質有時會成爲載子陷阱或載子發生源。另外，氧化物半導體中的氧缺損有時會成爲載子陷阱或因俘獲氫而成爲載子發生源。

[0189]

此外，雜質是指氧化物半導體的主要成分以外的元素，諸如氫、碳、矽和過渡金屬元素等。例如，與氧的鍵合力比構成氧化物半導體的金屬元素強的矽等元素會奪取氧化物半導體中的氧，由此打亂氧化物半導體的原子排列，導致結晶性下降。另外，由於鐵或鎳等的重金

屬、氫、二氧化碳等的原子半徑（或分子半徑）大，所以會打亂氧化物半導體的原子排列，導致結晶性下降。

[0190]

缺陷態密度低（氧缺損少）的氧化物半導體可以具有低載子密度。將這樣的氧化物半導體稱爲高純度本質或實質上高純度本質的氧化物半導體。CAAC-OS 的雜質濃度和缺陷態密度低。也就是說，CAAC-OS 容易成爲高純度本質或實質上高純度本質的氧化物半導體。因此，使用 CAAC-OS 的電晶體很少具有負臨界電壓的電特性（很少成爲常開啓）。高純度本質或實質上高純度本質的氧化物半導體的載子陷阱少。被氧化物半導體的載子陷阱俘獲的電荷需要很長時間才能被釋放，並且有時像固定電荷那樣動作。因此，使用雜質濃度高且缺陷態密度高的氧化物半導體的電晶體有時電特性不穩定。但是，使用 CAAC-OS 的電晶體電特性變動小且可靠性高。

[0191]

由於 CAAC-OS 的缺陷態密度低，所以因光照射等而生成的載子很少被缺陷能階俘獲。因此，在使用 CAAC-OS 的電晶體中，起因於可見光或紫外光的照射的電特性的變動小。

[0192]

〈微晶氧化物半導體〉

接著說明微晶氧化物半導體。

[0193]

在微晶氧化物半導體的高解析度 TEM 影像中有能夠觀察到結晶部的區域和觀察不到明確的結晶部的區域。微晶氧化物半導體所包含的結晶部的尺寸大多爲 1nm 以上且 100nm 以下或 1nm 以上且 10nm 以下。尤其是，將包含尺寸爲 1nm 以上且 10nm 以下或 1nm 以上且 3nm 以下的微晶的奈米晶的氧化物半導體稱爲 nc-OS（nanocrystalline Oxide Semiconductor：奈米晶氧化物半導體）。例如，在 nc-OS 的高解析度 TEM 影像中，有時無法明確地觀察到晶界。注意，奈米晶的來源有可能與 CAAC-OS 中的顆粒相同。因此，下面有時將 nc-OS 的結晶部稱爲顆

粒。

[0194]

在 nc-OS 中，微小的區域（例如 1nm 以上且 10nm 以下的區域，特別是 1nm 以上且 3nm 以下的區域）中的原子排列具有週期性。另外，nc-OS 在不同的顆粒之間觀察不到結晶定向的規律性。因此，在膜整體中觀察不到配向性。所以，有時 nc-OS 在某些分析方法中與非晶氧化物半導體沒有差別。例如，當利用使用其束徑比顆粒大的 X 射線的 XRD 裝置藉由 out-of-plane 法對 nc-OS 進行結構分析時，檢測不到表示結晶面的峰值。在使用其束徑比顆粒大（例如，50nm 以上）的電子射線對 nc-OS 進行電子繞射（選區電子繞射）時，觀察到類似光暈圖案的繞射圖案。另一方面，在使用其束徑近於顆粒或者比顆粒小的電子射線對 nc-OS 進行奈米束電子繞射時，觀察到斑點。另外，在 nc-OS 的奈米束電子繞射圖案中，有時觀察到如圓圈那樣的（環狀的）亮度高的區域。而且，在 nc-OS 的奈米束電子繞射圖案中，有時還觀察到環狀的區域內的多個斑點。

[0195]

如此，由於在顆粒（奈米晶）之間結晶定向都沒有規律性，所以也可以將 nc-OS 稱爲包含 RANC（Random Aligned nanocrystals：無規配向奈米晶）的氧化物半導體或包含 NANC（Non-Aligned nanocrystals：無配向奈米晶）的氧化物半導體。

[0196]

nc-OS 是規律性比非晶氧化物半導體高的氧化物半導體。因此，nc-OS 的缺陷態密度比非晶氧化物半導體低。但是，在 nc-OS 中的不同的顆粒之間觀察不到晶體配向的規律性。所以，nc-OS 的缺陷態密度比 CAAC-OS 高。

[0197]

〈非晶氧化物半導體〉

接著，說明非晶氧化物半導體。

[0198]

非晶氧化物半導體是膜中的原子排列沒有規律且不具有結晶部的氧化物半導體。其一個例子爲具有如石英那樣的無定形態的氧化物半導體。

[0199]

在非晶氧化物半導體的高解析度 TEM 影像中無法發現結晶部。

[0200]

在使用 XRD 裝置藉由 out-of-plane 法對非晶氧化物半導體進行結構分析時，檢測不到表示結晶面的峰值。在對非晶氧化物半導體進行電子繞射時，觀察到光暈圖案。在對非晶氧化物半導體進行奈米束電子繞射時，觀察不到斑點而只觀察到光暈圖案。

[0201]

關於非晶結構有各種見解。例如，有時將原子排列完全沒有規律性的結構稱爲完全的非晶結構（completely amorphous structure）。也有時將到最接近原子間距或到第二接近原子間距具有規律性，並且不是長程有序的結構稱爲非晶結構。因此，根據最嚴格的定義，即使是略微具有原子排列的規律性的氧化物半導體也不能被稱爲非晶氧化物半導體。至少不能將長程有序的氧化物半導體稱爲非晶氧化物半導體。因此，由於具有結晶部，例如不能將 CAAC-OS 和 nc-OS 稱爲非晶氧化物半導體或完全的非晶氧化物半導體。

[0202]

〈amorphous-like 氧化物半導體〉

注意，氧化物半導體有時具有介於 nc-OS 與非晶氧化物半導體之間的結構。將具有這樣的結構的氧化物半導體特別稱爲 amorphous-like 氧化物半導體（a-like OS：amorphous-like Oxide Semiconductor）。

[0203]

在 a-like OS 的高解析度 TEM 影像中有時觀察到空洞（void）。另外，在高解析度 TEM 影像中，有能夠明確地觀察到結晶部的區域和不能觀察到結晶部的區域。

[0204]

由於 a-like OS 包含空洞，所以其結構不穩定。爲了證明與 CAAC-OS 及 nc-OS 相比 a-like OS 具有不穩定的結構，下面示出電子照射所導致的結構變化。

[0205]

作爲進行電子照射的樣本，準備 a-like OS（樣本 A）、nc-OS（樣本 B）和 CAAC-OS（樣本 C）。每個樣本都是 In-Ga-Zn 氧化物。

[0206]

首先，取得各樣本的高解析度剖面 TEM 影像。由高解析度剖面 TEM 影像可知，每個樣本都具有結晶部。

[0207]

注意，如下那樣決定將哪個部分作爲一個結晶部。例如，已知 $InGaZnO_4$ 結晶的單位晶格具有包括三個 In-O 層和六個 Ga-Zn-O 層的 9 個層在 c 軸方向上以層狀層疊的結構。這些彼此靠近的層的間隔與(009)面的晶格表面間隔（也稱爲 d 值）是幾乎相等的，由結晶結構分析求出其值爲 0.29nm。由此，可以將晶格條紋的間隔爲 0.28nm 以上且 0.30nm 以下的部分作爲 $InGaZnO_4$ 結晶部。每個晶格條紋對應於 $InGaZnO_4$ 結晶的 a-b 面。

[0208]

圖 42 示出調查了各樣本的結晶部（22 個部分至 45 個部分）的平均尺寸的例子。注意，結晶部尺寸對應於上述晶格條紋的長度。由圖 42 可知，在 a-like OS 中，結晶部根據電子的累積照射量逐漸變大。明確而言，如圖 42 中的（1）所示，可知在利用 TEM 的觀察初期尺寸爲 1.2nm 左右的結晶部（也稱爲初始晶核）在累積照射量爲 $4.2\times10^8 e^-/nm^2$ 時生長到 2.6nm 左右。另一方面，可知 nc-OS 和 CAAC-OS 在開始電子照射時到電子的累積照射量爲 $4.2\times10^8 e^-/nm^2$ 的範圍內，結晶部的尺寸都沒有變化。明確而言，如圖 42 中的（2）及（3）所示，可知無論電子的累積照射量如何，nc-OS 及 CAAC-OS 的平均結晶部尺寸都分別爲 1.4nm 左右及 2.1nm 左右。

[0209]

如此，有時電子照射引起 a-like OS 中的結晶部的生長。另一方面，可知在 nc-OS 和 CAAC-OS 中，幾乎沒有電子照射所引起的結晶部的生長。也就是說，a-like OS 與 CAAC-OS 及 nc-OS 相比具有不穩定的結構。

[0210]

此外，由於 a-like OS 包含空洞，所以其密度比 nc-OS 及 CAAC-OS 低。具體地，a-like OS 的密度爲具有相同組成的單晶氧化物半導體的 78.6%以上且小於 92.3%。nc-OS 的密度及 CAAC-OS 的密度爲具有相同組成的單晶氧化物半導體的 92.3%以上且小於 100%。注意，難以形成其密度小於單晶氧化物半導體的密度的 78%的氧化物半導體。

[0211]

例如，在原子數比滿足 In:Ga:Zn=1:1:1 的氧化物半導體中，具有菱方晶系結構的單晶 $InGaZnO_4$ 的密度爲 6.357g/cm^3。因此，例如，在原子數比滿足 In:Ga:Zn=1:1:1 的氧化物半導體中，a-like OS 的密度爲 5.0g/cm^3 以上且小於 5.9g/cm^3。另外，例如，在原子數比滿足 In:Ga:Zn=1:1:1 的氧化物半導體中，nc-OS 的密度和 CAAC-OS 的密度爲 5.9g/cm^3 以上且小於 6.3g/cm^3。

[0212]

注意，有時不存在相同組成的單晶。此時，藉由以任意比例組合組成不同的單晶氧化物半導體，可以估計出相當於所希望的組成的單晶氧化物半導體的密度。根據組成不同的單晶的組合比例使用加權平均計算出相當於所希望的組成的單晶氧化物半導體的密度即可。注意，較佳爲儘可能減少所組合的單晶氧化物半導體的種類來計算密度。

[0213]

如上所述，氧化物半導體具有各種結構及各種特性。注意，氧化物半導體例如可以是包括非晶氧化物半導體、a-like OS、微晶氧化物半導體和 CAAC-OS 中的兩種以上的疊層膜。

[0214]

〈成膜模型〉

下面對 CAAC-OS 和 nc-OS 的成膜模型的一個例子進行說明。

[0215]

圖 43A 是示出利用濺射法形成 CAAC-OS 的狀況的沉積室內的示意圖。

[0216]

靶材 5130 被黏合到底板上。在隔著底板與靶材 5130 相對的位置配置多個磁鐵。由該多個磁鐵產生磁場。利用磁鐵的磁場提高沉積速度的濺射法被稱爲磁控濺射法。

[0217]

基板 5120 以與靶材 5130 相對的方式配置，其距離 d（也稱爲靶材與基板之間的距離（T-S 間距離））爲 0.01m 以上且 1m 以下，較佳爲 0.02m 以上且 0.5m 以下。沉積室內幾乎被沉積氣體（例如，氧、氬或包含 5vol%以上的氧的混合氣體）充滿，並且沉積室內的壓力被控制爲 0.01Pa 以上且 100Pa 以下，較佳爲 0.1Pa 以上且 10Pa 以下。在此，藉由對靶材 5130 施加一定程度以上的電壓，開始放電且確認到電漿。由磁場在靶材 5130 附近形成高密度電漿區域。在高密度電漿區域中，因沉積氣體的離子化而產生離子 5101。離子 5101 例如是氧的陽離子（O^+）或氬的陽離子（Ar^+）等。

[0218]

這裡，靶材 5130 具有包括多個晶粒的多晶結構，其中至少一個晶粒包括劈開面。作爲一個例子，圖 44A 示出靶材 5130 所包含的 $InGaZnO_4$ 結晶的結構。注意，圖 44A 示出從平行於 b 軸的方向觀察 $InGaZnO_4$ 結晶時的結構。由圖 44A 可知，在靠近的兩個 Ga-Zn-O 層中，每個層中的氧原子彼此配置得很近。並且，藉由氧原子具有負電荷，在靠近的兩個 Ga-Zn-O 層之間產生斥力。其結果是，$InGaZnO_4$ 結晶在靠近的兩個 Ga-Zn-O 層之間具有劈開面。

[0219]

在高密度電漿區域產生的離子 5101 由電場向靶材 5130 一側被加

速而碰撞到靶材 5130。此時，平板狀或顆粒狀的濺射粒子的顆粒 5100a 和顆粒 5100b 從劈開面剝離而濺出。注意，顆粒 5100a 和顆粒 5100b 的結構有時會因離子 5101 碰撞的衝擊而產生畸變。

[0220]

顆粒 5100a 是具有三角形（例如正三角形）的平面的平板狀或顆粒狀的濺射粒子。顆粒 5100b 是具有六角形（例如正六角形）的平面的平板狀或顆粒狀的濺射粒子。注意，將顆粒 5100a 和顆粒 5100b 等平板狀或顆粒狀的濺射粒子總稱爲顆粒 5100。顆粒 5100 的平面的形狀不侷限於三角形或六角形。例如，有時爲組合多個三角形的形狀。例如，還有時爲組合兩個三角形（例如正三角形）的四角形（例如菱形）。

[0221]

根據沉積氣體的種類等決定顆粒 5100 的厚度。顆粒 5100 的厚度較佳爲均勻的，其理由在後面說明。另外，與厚度大的色子狀相比，濺射粒子較佳爲厚度小的顆粒狀。例如，顆粒 5100 的厚度爲 0.4nm 以上且 1nm 以下，較佳爲 0.6nm 以上且 0.8nm 以下。另外，例如，顆粒 5100 的寬度爲 1nm 以上且 3nm 以下，較佳爲 1.2nm 以上且 2.5nm 以下。顆粒 5100 相當於在上述圖 42 中的（1）所說明的初始晶核。例如，在使離子 5101 碰撞包含 In-Ga-Zn 氧化物的靶材 5130 的情況下，如圖 44B 所示，包含 Ga-Zn-O 層、In-O 層和 Ga-Zn-O 層的三個層的顆粒 5100 剝離。圖 44C 示出從平行於 c 軸的方向觀察剝離的顆粒 5100 時的結構。可以將顆粒 5100 的結構稱爲包含兩個 Ga-Zn-O 層（麵包片）和 In-O 層（餡）的奈米尺寸的三明治結構。

[0222]

有時顆粒 5100 在穿過電漿時，其側面帶負電或帶正電。例如，在顆粒 5100 中，位於其側面的氧原子有可能帶負電。因側面帶相同極性的電荷而電荷相互排斥，從而可以維持平板形狀或顆粒形狀。當 CAAC-OS 是 In-Ga-Zn 氧化物時，與銦原子鍵合的氧原子有可能帶負電。或者，與銦原子、鎵原子或鋅原子鍵合的氧原子有可能帶負電。另外，有時顆粒 5100 在穿過電漿時與電漿中的銦原子、鎵原子、鋅原子和氧

原子等鍵合而生長。上述圖 42 中的（2）和（1）的尺寸的差異相當於電漿中的生長程度。在此，當基板 5120 的溫度爲室溫左右時，不容易產生基板 5120 上的顆粒 5100 的生長，因此成爲 nc-OS（參照圖 43B）。由於能夠在室溫左右的溫度下進行成膜，即使基板 5120 的面積大也能夠形成 nc-OS。注意，爲了使顆粒 5100 在電漿中生長，提高濺射法中的成膜功率是有效的。藉由提高成膜功率，可以使顆粒 5100 的結構穩定。

[0223]

如圖 43A 和圖 43B 所示，例如顆粒 5100 像風箏那樣在電漿中飛著，並輕飄飄地飛到基板 5120 上。由於顆粒 5100 帶有電荷，所以在它靠近其他顆粒 5100 已沉積的區域時產生斥力。在此，在基板 5120 的頂面產生平行於基板 5120 頂面的磁場（也稱爲水平磁場）。另外，由於在基板 5120 與靶材 5130 之間有電位差，所以電流從基板 5120 向靶材 5130 流過。因此，顆粒 5100 在基板 5120 頂面受到由磁場和電流的作用引起的力量（勞侖茲力）。這可以由弗萊明左手定則得到解釋。

[0224]

顆粒 5100 的質量比一個原子大。因此，爲了在基板 5120 頂面移動，重要的是從外部施加某些力量。該力量之一有可能是由磁場和電流的作用產生的力量。爲了對顆粒 5100 施加充分的力量以便顆粒 5100 在基板 5120 頂面移動，較佳爲在基板 5120 頂面設置平行於基板 5120 頂面的磁場爲 10G 以上，較佳爲 20G 以上，更佳爲 30G 以上，進一步較佳爲 50G 以上的區域。或者，較佳爲在基板 5120 頂面設置平行於基板 5120 頂面的磁場爲垂直於基板 5120 頂面的磁場的 1.5 倍以上，較佳爲 2 倍以上，更佳爲 3 倍以上，進一步較佳爲 5 倍以上的區域。

[0225]

此時，藉由磁鐵與基板 5120 相對地移動或旋轉，基板 5120 頂面的水平磁場的方向不斷地變化。因此，在基板 5120 頂面，顆粒 5100 受到各種方向的力量而可以向各種方向移動。

[0226]

另外，如圖 43A 所示，當基板 5120 被加熱時，顆粒 5100 與基板 5120 之間的由摩擦等引起的電阻小。其結果是，顆粒 5100 在基板 5120 頂面下滑。顆粒 5100 的移動發生在使其平板面朝向基板 5120 的狀態下。然後，當顆粒 5100 到達已沉積的其他顆粒 5100 的側面時，它們的側面彼此鍵合。此時，顆粒 5100 的側面的氧原子脫離。CAAC-OS 中的氧缺損有時被所脫離的氧原子填補，因此形成缺陷態密度低的 CAAC-OS。注意，基板 5120 的頂面溫度例如爲 100℃以上且小於 500℃、150℃以上且小於 450℃或 170℃以上且小於 400℃即可。因此，即使基板 5120 的面積大也能夠形成 CAAC-OS。

[0227]

另外，藉由在基板 5120 上加熱顆粒 5100，原子重新排列，從而離子 5101 的碰撞所引起的結構畸變得到緩和。畸變得到緩和的顆粒 5100 幾乎成爲單晶。由於顆粒 5100 幾乎成爲單晶，即使顆粒 5100 在彼此鍵合之後被加熱也幾乎不會發生顆粒 5100 本身的伸縮。因此，不會發生顆粒 5100 之間的空隙擴大導致晶界等缺陷的形成而成爲裂縫（crevasse）的情況。

[0228]

CAAC-OS 不是如一張平板的單晶氧化物半導體，而是具有如磚塊或塊體堆積起來那樣的顆粒 5100（奈米晶）的集合體的排列的結構。另外，顆粒 5100 之間沒有晶界。因此，即使因成膜時的加熱、成膜後的加熱或彎曲等而發生 CAAC-OS 的收縮等變形，也能夠緩和局部應力或解除畸變。因此，這是適合用於具有撓性的半導體裝置的結構。注意，nc-OS 具有顆粒 5100（奈米晶）無序地堆積起來那樣的排列。

[0229]

當使離子 5101 碰撞靶材 5130 時，有時不僅是顆粒 5100，氧化鋅等也剝離。氧化鋅比顆粒 5100 輕，因此先到達基板 5120 的頂面。並且形成 0.1nm 以上且 10nm 以下、0.2nm 以上且 5nm 以下或 0.5nm 以上且 2nm 以下的氧化鋅層 5102。圖 45A 至圖 45D 示出剖面示意圖。

[0230]

如圖 45A 所示，在氧化鋅層 5102 上沉積顆粒 5105a 和顆粒 5105b。在此，顆粒 5105a 和顆粒 5105b 的側面彼此接觸。另外，顆粒 5105c 在沉積到顆粒 5105b 上後，在顆粒 5105b 上滑動。此外，在顆粒 5105a 的其他側面上，與氧化鋅一起從靶材剝離的多個粒子 5103 因來自基板 5120 的熱量而晶化，由此形成區域 5105a1。注意，多個粒子 5103 有可能包含氧、鋅、銦和鎵等。

[0231]

然後，如圖 45B 所示，區域 5105a1 與顆粒 5105a 變爲一體而成爲顆粒 5105a2。另外，顆粒 5105c 的側面與顆粒 5105b 的其他側面接觸。

[0232]

接著，如圖 45C 所示，顆粒 5105d 在沉積到顆粒 5105a2 上和顆粒 5105b 上後，在顆粒 5105a2 上和顆粒 5105b 上滑動。另外，顆粒 5105e 在氧化鋅層 5102 上向顆粒 5105c 的其他側面滑動。

[0233]

然後，如圖 45D 所示，顆粒 5105d 的側面與顆粒 5105a2 的側面接觸。另外，顆粒 5105e 的側面與顆粒 5105c 的其他側面接觸。此外，在顆粒 5105d 的其他側面上，與氧化鋅一起從靶材 5130 剝離的多個粒子 5103 因來自基板 5120 的熱量而晶化，由此形成區域 5105d1。

[0234]

如上所述，藉由所沉積的顆粒彼此接觸，並且在顆粒的側面發生生長，在基板 5120 上形成 CAAC-OS。因此，CAAC-OS 的顆粒的每一個都比 nc-OS 的顆粒大。上述圖 42 中的（3）和（2）的尺寸的差異相當於沉積之後的生長程度。

[0235]

當顆粒彼此之間的空隙極小時，有時形成有一個大顆粒。一個大顆粒具有單晶結構。例如，從頂面看來顆粒的尺寸有時爲 10nm 以上且 200nm 以下、15nm 以上且 100nm 以下或 20nm 以上且 50nm 以下。此時，有時在用於微細的電晶體的氧化物半導體中，通道形成區域容納在一個大顆粒中。也就是說，可以將具有單晶結構的區域用作通道形成區

域。另外，當顆粒變大時，有時可以將具有單晶結構的區域用作電晶體的通道形成區域、源極區域和汲極區域。

[0236]

如此，藉由電晶體的通道形成區域等形成在具有單晶結構的區域中，有時可以提高電晶體的頻率特性。

[0237]

如上述模型那樣，可以認爲顆粒 5100 沉積到基板 5120 上。因此，可知即使被形成面不具有結晶結構，也能夠形成 CAAC-OS，這是與磊晶生長不同的。此外，CAAC-OS 不需要雷射晶化，並且在大面積的玻璃基板等上也能夠均勻地進行成膜。例如，即使基板 5120 的頂面（被形成面）結構爲非晶結構（例如非晶氧化矽），也能夠形成 CAAC-OS。

[0238]

另外，可知即使作爲被形成面的基板 5120 頂面具有凹凸，在 CAAC-OS 中顆粒 5100 也根據基板 5120 頂面的形狀排列。例如，當基板 5120 的頂面在原子級別上平坦時，顆粒 5100 以使其平行於 a-b 面的平板面朝下的方式排列。當顆粒 5100 的厚度均勻時，形成厚度均勻、平坦且結晶性高的層。並且，藉由層疊 n 個（n 是自然數）該層，可以得到 CAAC-OS。

[0239]

另一方面，在基板 5120 的頂面具有凹凸的情況下，CAAC-OS 也具有顆粒 5100 沿凹凸排列的層層疊爲 n 個（n 是自然數）層的結構。由於基板 5120 具有凹凸，在 CAAC-OS 中有時容易在顆粒 5100 之間產生空隙。注意，此時，由於在顆粒 5100 之間產生分子間力，所以即使有凹凸，顆粒也以儘可能地減小它們之間的空隙的方式排列。因此，即使有凹凸也可以得到結晶性高的 CAAC-OS。

[0240]

因爲根據這樣的模型形成 CAAC-OS，所以濺射粒子較佳爲厚度小的顆粒狀。注意，當濺射粒子爲厚度大的色子狀時，朝向基板 5120 上的面不固定，所以有時不能使厚度或結晶的配向均勻。

[0241]

根據上述成膜模型，即使在具有非晶結構的被形成面上也可以形成結晶性高的 CAAC-OS。

[0242]

〈電晶體 2〉

接著，說明其一部的形狀不同的電晶體的製造方法。圖 14A、圖 15A、圖 16A、圖 17A 及圖 18A 是說明電晶體的製造方法的俯視圖。圖 14B、圖 15B、圖 16B、圖 17B 及圖 18B 分別是在俯視圖中示出的點劃線 F1-F2 及點劃線 F3-F4 的剖面圖。

[0243]

首先，準備基板 500。基板 500 參照基板 400 的記載。

[0244]

接著，形成絕緣體。絕緣體可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。

[0245]

接著，在絕緣體上形成光阻劑等，使用該光阻劑進行加工，由此形成絕緣體 503。

[0246]

在對絕緣體進行加工來形成絕緣體 503 時，可以使用在圖 1A 至圖 1E、圖 2A 至圖 2E、圖 3A 至圖 3D、圖 4A 至圖 4E、圖 5A 至圖 5E、圖 6A 至圖 6E 和圖 7A 至圖 7D 中的任一個中記載的加工方法。

[0247]

接著，形成導電體。導電體可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。

[0248]

接著，從導電體的頂面向底面以蝕刻表面成爲與基板 500 的底面平行的方式進行蝕刻，可以在絕緣體 503 的槽部形成導電體 513(埋入)（參照圖 14A 及圖 14B)。藉由採用這種方法形成導電體 513，可以使導電體 513 的頂面的高度與絕緣體 503 的頂面的高度大致相同。因此，

可以抑制後面的製程中的形狀不良。

[0249]

絕緣體 503 參照絕緣體 402 的記載。導電體 513 參照導電體 413 的記載。

[0250]

接著，形成絕緣體 502。絕緣體 502 可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。絕緣體 502 參照絕緣體 402 的記載。

[0251]

接著，形成半導體 536。半導體 536 可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。半導體 536 參照半導體 406 的記載。

[0252]

接著，較佳爲進行加熱處理。

[0253]

接著，形成導電體 546。導電體 546 可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。導電體 546 參照導電體 416 的記載。

[0254]

接著，形成絕緣體 540（參照圖 15A 及圖 15B）。絕緣體 540 可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。絕緣體 540 參照絕緣體 510 的記載。

[0255]

接著，在絕緣體 540 上形成光阻劑等，使用該光阻劑進行加工，由此形成絕緣體 510、導電體 516 及半導體 506（參照圖 16A 及圖 16B）。此時，也可以在去除光阻劑後使用絕緣體 510 形成導電體 516 或/及半導體 506。此時，可以對絕緣體 502 的不與半導體 506 重疊的部分進行蝕刻。由此使絕緣體 502 具有凸部。

[0256]

此時，可以使用在圖 1A 至圖 1E、圖 2A 至圖 2E、圖 3A 至圖 3D、圖 4A 至圖 4E、圖 5A 至圖 5E、圖 6A 至圖 6E 和圖 7A 至圖 7D 中的任一個中記載的加工方法。例如，在圖 1A 至圖 1E、圖 2A 至圖 2E、圖 3A

至圖 3D、圖 4A 至圖 4E、圖 5A 至圖 5E、圖 6A 至圖 6E 和圖 7A 至圖 7D 中，可以將層 116 換成導電體 516，將層 110 換成絕緣體 510。

[0257]

接著，在絕緣體 510 上形成光阻劑等，使用該光阻劑進行加工，由此形成絕緣體 510a、絕緣體 510b、導電體 516a 及導電體 516b（參照圖 17A 及圖 17B）。在此，示出藉由與圖 4A 至圖 4E 所示的加工方法同樣的方法對絕緣體 510 及導電體 516 進行加工的情況。注意，也可以將導電體 516a、導電體 516b、絕緣體 510a 及絕緣體 510b 加工成圖 11A 和圖 11B、圖 51A 至圖 51C、圖 52A 至圖 52C 及圖 53A 至圖 53C 等所示的形狀。

[0258]

接著，形成絕緣體。絕緣體可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。

[0259]

接著，形成導電體。導電體可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。

[0260]

接著，在導電體上形成光阻劑等，使用該光阻劑進行加工，由此形成導電體504。另外，使用該光阻劑或導電體504對絕緣體進行加工，形成絕緣體 512（參照圖 18A 及圖 18B）。注意，雖然在此以絕緣體 512 與導電體 504 的頂面形狀相同的方式進行加工，但是並不侷限於該形狀。例如，也可以使用不同的光阻劑形成絕緣體 512 與導電體 504。例如，也可以在形成絕緣體 512 後形成成爲導電體 504 的導電體，或者可以在形成導電體 504 後在成爲絕緣體 512 的絕緣體上另行形成光阻劑等。

[0261]

此時，可以使用在圖 1A 至圖 1E、圖 2A 至圖 2E、圖 3A 至圖 3D、圖 4A 至圖 4E、圖 5A 至圖 5E、圖 6A 至圖 6E 和圖 7A 至圖 7D 中的任一個中記載的加工方法。例如，在圖 1A 至圖 1E、圖 2A 至圖 2E、圖 3A

至圖 3D、圖 4A 至圖 4E、圖 5A 至圖 5E、圖 6A 至圖 6E 和圖 7A 至圖 7D 中，可以將層 116 換成成爲絕緣體 512 的絕緣體，可以將層 110 換成成爲導電體 504 的導電體。

[0262]

絕緣體 512 參照絕緣體 412 的記載。導電體 504 參照導電體 404 的記載。

[0263]

接著，可以形成絕緣體。絕緣體可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。

[0264]

作爲上述絕緣體，例如可以使用包含硼、碳、氮、氧、氟、鎂、鋁、矽、磷、氯、氬、鎵、鍺、釔、鋯、鑭、鈰、鉿或鉭的絕緣體的單層或疊層。該絕緣體較佳爲使用包含氧化鋁、氮氧化矽、氮化矽、氧化鎵、氧化釔、氧化鋯、氧化鑭、氧化鈰、氧化鉿或氧化鉭的絕緣體的單層或疊層。

[0265]

上述絕緣體較佳爲具有阻擋層的功能。該絕緣體例如具有阻擋氧或/及氫的功能。例如，該絕緣體較佳爲具有比絕緣體 502 或絕緣體 512 高的阻擋氧或/及氫的能力。

[0266]

藉由上述製程，可以製造本發明的一個實施方式的電晶體。

[0267]

圖 18B 所示的電晶體在導電體 516a 與導電體 504 之間包括絕緣體 510a，並在導電體 516b 與導電體 504 之間包括絕緣體 510b。也就是說，起因於導電體 516a 及導電體 516b 等的寄生電容小。因此，使用圖 18B 所示的電晶體的半導體裝置具有高頻率特性。另外，導電體 516a 比絕緣體 510a 突出的部分的長度是絕緣體 512 的厚度的 70%以上且 130%以下，較佳爲 80%以上且 120%以下，更佳爲 90%以上且 110%以下，由此可以減小寄生電容並減小通態電阻。導電體 516b 也是同樣的。

[0268]

如圖 18B 所示，電晶體具有 s-channel 結構。另外，採用來自導電體 504 的電場不容易在半導體 506 的側面被導電體 516a 及導電體 516b 等阻礙的結構。

[0269]

注意，也可以不形成導電體 513（參照圖 19A）。另外，也可以採用絕緣體 512 比導電體 504 突出的形狀（參照圖 19B）。另外，也可以不對成爲絕緣體 512 的絕緣體進行加工（參照圖 19C）。

[0270]

〈電路〉

下面，說明利用本發明的一個實施方式的電晶體等的半導體裝置的電路的一個例子。

[0271]

[CMOS 反相器]

圖 20A 所示的電路圖示出所謂的 CMOS 反相器的結構，其中使 p 通道電晶體 2200 與 n 通道電晶體 2100 串聯連接，並使其閘極互相連接。

[0272]

〈半導體裝置的結構 1〉

圖 21 是對應於圖 20A 的半導體裝置的剖面圖。圖 21 所示的半導體裝置包括電晶體 2200 以及電晶體 2100。電晶體 2100 配置於電晶體 2200 的上方。注意，雖然這裡示出作爲電晶體 2100 使用圖 18A 和圖 18B 所示的電晶體的例子，但是本發明的一個實施方式的半導體裝置不侷限於此。例如，也可以使用圖 11A 和圖 11B、圖 12A 至圖 12C、圖 19A 至圖 19C、圖 51A 至圖 51C、圖 52A 至圖 52C 或圖 53A 至圖 53C 所示的電晶體等作爲電晶體 2100。因此，關於電晶體 2100，適當地參照上述電晶體的記載。

[0273]

圖 21 所示的電晶體 2200 是使用半導體基板 450 的電晶體。電晶體 2200 包括半導體基板 450 中的區域 472a、半導體基板 450 中的區域

472b、絕緣體 462 以及導電體 454。

[0274]

在電晶體 2200 中，區域 472a 及區域 472b 具有源極區域及汲極區域的功能。另外，絕緣體 462 具有閘極絕緣體的功能。另外，導電體 454 具有閘極電極的功能。因此，能夠由施加到導電體 454 的電位控制通道形成區域的電阻。亦即，能夠由施加到導電體 454 的電位控制區域 472a 與區域 472b 之間的導通或非導通。

[0275]

作爲半導體基板 450，例如可以使用由矽或鍺等構成的單一材料半導體基板、或者由碳化矽、矽鍺、砷化鎵、磷化銦、氧化鋅或氧化鎵等構成的化合物半導體基板等。較佳的是，作爲半導體基板 450 使用單晶矽基板。

[0276]

作爲半導體基板 450 使用包含賦予 n 型導電性的雜質的半導體基板。注意，作爲半導體基板 450，也可以使用包含賦予 p 型導電性的雜質的半導體基板。此時，在形成電晶體 2200 的區域中配置包含賦予 n 型導電性的雜質的井即可。或者，半導體基板 450 也可以爲 i 型。

[0277]

半導體基板 450 的頂面較佳爲具有（110）面。由此，能夠提高電晶體 2200 的通態特性。

[0278]

區域 472a 及區域 472b 是包含賦予 p 型導電性的雜質的區域。由此，電晶體 2200 具有 p 通道型電晶體的結構。

[0279]

注意，電晶體 2200 與鄰接的電晶體被區域 460 等隔開。區域 460 具有絕緣性。

[0280]

圖 21 所示的半導體裝置包括絕緣體 464、絕緣體 466、絕緣體 468、導電體 480a、導電體 480b、導電體 480c、導電體 478a、導電體 478b、

導電體 478c、導電體 476a、導電體 476b、導電體 474a、導電體 474b、導電體 474c、導電體 496a、導電體 496b、導電體 496c、導電體 496d、導電體 498a、導電體 498b、導電體 498c、絕緣體 490、絕緣體 492 以及絕緣體 494。

[0281]

絕緣體 464 配置於電晶體 2200 上。絕緣體 466 配置於絕緣體 464 上。絕緣體 468 配置於絕緣體 466 上。絕緣體 490 配置於絕緣體 468 上。電晶體 2100 配置於絕緣體 490 上。絕緣體 492 配置於電晶體 2100 上。絕緣體 494 配置於絕緣體 492 上。

[0282]

絕緣體 464 包括到達區域 472a 的開口部、到達區域 472b 的開口部以及到達導電體 454 的開口部。導電體 480a、導電體 480b 及導電體 480c 分別填埋於各開口部中。

[0283]

絕緣體 466 包括到達導電體 480a 的開口部、到達導電體 480b 的開口部以及到達導電體 480c 的開口部。導電體 478a、導電體 478b 及導電體 478c 分別填埋於各開口部中。

[0284]

絕緣體 468 包括到達導電體 478b 的開口部以及到達導電體 478c 的開口部。導電體 476a 及導電體 476b 分別填埋於各開口部中。

[0285]

絕緣體 490 包括與電晶體 2100 的通道形成區域重疊的開口部、到達導電體 476a 的開口部以及到達導電體 476b 的開口部。導電體 474a、導電體 474b 及導電體 474c 分別填埋於各開口部中。

[0286]

導電體 474a 也可以具有電晶體 2100 的閘極電極的功能。或者，例如，也可以藉由對導電體 474a 施加預定的電位，來控制電晶體 2100 的臨界電壓等的電特性。或者，例如，也可以將導電體 474a 與具有電晶體 2100 的閘極電極的功能的導電體 404 電連接。由此，可以增加電

晶體 2100 的通態電流。此外，由於可以抑制穿通現象，因此可以使電晶體 2100 的飽和區中的電特性穩定。

[0287]

絕緣體 492 包括穿過電晶體 2100 的源極電極和汲極電極中的一個的導電體 416b 到達導電體 474b 的開口部、到達電晶體 2100 的源極電極和汲極電極中的另一個的導電體 416a 的開口部、到達電晶體 2100 的閘極電極的導電體 404 的開口部以及到達導電體 474c 的開口部。導電體 496a、導電體 496b、導電體 496c 或及電體 496d 分別填埋於各開口部中。注意，各開口部有時穿過電晶體 2100 等的構成要素。

[0288]

絕緣體 494 包括到達導電體 496a 的開口部、到達導電體 496b 及導電體 496d 的開口部以及到達導電體 496c 的開口部。導電體 498a、導電體 498b 及導電體 498c 分別填埋於各開口部中。

[0289]

作爲絕緣體 464、絕緣體 466、絕緣體 468、絕緣體 490、絕緣體 492 及絕緣體 494，例如可以使用包含硼、碳、氮、氧、氟、鎂、鋁、矽、磷、氯、氬、鎵、鍺、釩、鋯、鑭、釹、鈐或鉭的絕緣體的單層或疊層。作爲絕緣體 401，例如可以使用氧化鋁、氧化鎂、氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鎵、氧化鍺、氧化釩、氧化鋯、氧化鑭、氧化釹、氧化鈐或氧化鉭。

[0290]

絕緣體 464、絕緣體 466、絕緣體 468、絕緣體 490、絕緣體 492 和絕緣體 494 中的一個以上較佳爲具有阻擋氫等雜質及氧的功能。藉由在電晶體 2100 的附近配置具有阻擋氫等雜質及氧的功能的絕緣體，可以使電晶體 2100 的電特性穩定。

[0291]

作爲具有阻擋氫等雜質及氧的功能的絕緣體，例如可以使用包含硼、碳、氮、氧、氟、鎂、鋁、矽、磷、氯、氬、鎵、鍺、釩、鋯、鑭、釹、鈐或鉭的絕緣體的單層或疊層。

[0292]

作爲導電體 480a、導電體 480b、導電體 480c、導電體 478a、導電體 478b、導電體 478c、導電體 476a、導電體 476b、導電體 474a、導電體 474b、導電體 474c、導電體 496a、導電體 496b、導電體 496c、導電體 496d、導電體 498a、導電體 498b 及導電體 498c，例如可以使用包含硼、氮、氧、氟、矽、磷、鋁、鈦、鉻、錳、鈷、鎳、銅、鋅、鎵、釔、鋯、鉬、釕、銀、銦、錫、鉭和鎢中的一種以上的導電體的單層或疊層。例如，也可以使用合金或化合物，還可以使用包含鋁的導電體、包含銅及鈦的導電體、包含銅及錳的導電體、包含銦、錫及氧的導電體、包含鈦及氮的導電體等。

[0293]

注意，圖 22 所示的半導體裝置與圖 21 所示的半導體裝置的不同之處只在於電晶體 2200 的結構。因此，圖 22 所示的半導體裝置參照圖 21 所示的半導體裝置的記載。明確而言，在圖 22 所示的半導體裝置中，電晶體 2200 爲 Fin 型。藉由使電晶體 2200 成爲 Fin 型，實效的通道寬度得到增大，從而能夠提高電晶體 2200 的通態特性。另外，由於可以增大閘極電極的電場的影響，所以能夠提高電晶體 2200 的關態特性。

[0294]

另外，圖 23 所示的半導體裝置與圖 21 所示的半導體裝置的不同之處只在於電晶體 2200 的結構。因此，圖 23 所示的半導體裝置參照圖 21 所示的半導體裝置的記載。明確而言，在圖 23 所示的半導體裝置中，電晶體 2200 設置在 SOI 基板中。圖 23 示出區域 456 與半導體基板 450 被絕緣體 452 隔開的結構。藉由使用 SOI 基板，可以抑制穿通現象等，所以能夠提高電晶體 2200 的關態特性。注意，絕緣體 452 可以藉由使半導體基板 450 的一部分絕緣體化形成。例如，作爲絕緣體 452 可以使用氧化矽。

[0295]

在圖 21 至圖 23 所示的半導體裝置中，使用半導體基板形成 p 通

道電晶體並在其上方形成 n 通道電晶體，因此能夠減少元件所占的面積。亦即，可以提高半導體裝置的集成度。另外，與使用同一半導體基板形成 n 通道電晶體及 p 通道電晶體的情況相比，可以簡化製程，所以能夠提高半導體裝置的生產率。另外，能夠提高半導體裝置的良率。另外，p 通道電晶體有時可以省略 LDD（Lightly Doped Drain）區域的形成、淺溝槽（Shallow Trench）結構的形成或變形設計等複雜的製程。因此，與使用半導體基板形成 n 通道電晶體的半導體裝置相比，圖 21 至圖 23 所示的半導體裝置有時能夠提高生產率和良率。

[0296]

〈CMOS 類比開關〉

此外，圖 20B 所示的電路圖示出使電晶體 2100 和電晶體 2200 的源極互相連接且汲極互相連接的結構。藉由採用這種結構，可以將該電晶體用作所謂的 CMOS 類比開關。

[0297]

〈記憶體裝置 1〉

參照圖 24A 和圖 24B 示出半導體裝置（記憶體裝置）的一個例子，該半導體裝置（記憶體裝置）使用本發明的一個實施方式的電晶體，即便在沒有電力供應的情況下也能夠保持儲存內容，並且對寫入次數也沒有限制。

[0298]

圖 24A 所示的半導體裝置包括使用第一半導體的電晶體 3200、使用第二半導體的電晶體 3300 以及電容元件 3400。另外，作爲電晶體 3300 可以使用上述電晶體。

[0299]

電晶體 3300 較佳爲使用關態電流（off-state current）小的電晶體。電晶體 3300 例如可以使用包含氧化物半導體的電晶體。由於電晶體 3300 的關態電流小，所以可以長期間使半導體裝置的特定的節點保持儲存內容。亦即，因爲不需要更新工作或可以使更新工作的頻率極低，所以能夠實現低功耗的半導體裝置。

[0300]

在圖 24A 中，第一佈線 3001 與電晶體 3200 的源極電連接，第二佈線 3002 與電晶體 3200 的汲極電連接。此外，第三佈線 3003 與電晶體 3300 的源極和汲極中的一個電連接，第四佈線 3004 與電晶體 3300 的閘極電連接。再者，電晶體 3200 的閘極及電晶體 3300 的源極和汲極中的另一個與電容元件 3400 的一個電極電連接，第五佈線 3005 與電容元件 3400 的另一個電極電連接。

[0301]

圖 24A 所示的半導體裝置藉由具有能夠保持電晶體 3200 的閘極的電位的特徵，可以如下所示進行資料的寫入、保持以及讀出。

[0302]

對資料的寫入及保持進行說明。首先，將第四佈線 3004 的電位設定爲使電晶體 3300 導通的電位，而使電晶體 3300 導通。由此，第三佈線 3003 的電位施加到與電晶體 3200 的閘極及電容元件 3400 的一個電極電連接的節點 FG。換言之，對電晶體 3200 的閘極施加規定的電荷（寫入）。這裡，施加賦予兩種不同電位位準的電荷（以下，稱爲低位準電荷、高位準電荷）中的任一個。然後，藉由將第四佈線 3004 的電位設定爲使電晶體 3300 關閉的電位而使電晶體 3300 關閉，使電荷保持在節點 FG（保持）。

[0303]

因爲電晶體 3300 的關態電流較小，所以節點 FG 的電荷被長時間保持。

[0304]

接著，對資料的讀出進行說明。當在對第一佈線 3001 施加規定的電位（恆電位）的狀態下對第五佈線 3005 施加適當的電位（讀出電位）時，第二佈線 3002 具有對應於保持在節點 FG 中的電荷量的電位。這是因爲：在電晶體 3200 爲 n 通道電晶體的情況下，對電晶體 3200 的閘極施加高位準電荷時的外觀上的臨界電壓 V_{th_H} 低於對電晶體 3200 的閘極施加低位準電荷時的外觀上的臨界電壓 V_{th_L}。在此，外觀上的臨界

電壓是指爲了使電晶體 3200 成爲“導通狀態”而需要的第五佈線 3005 的電位。由此，藉由將第五佈線 3005 的電位設定爲 V_{th_H}與 V_{th_L}之間的電位 V_0，可以辨別施加到節點 FG 的電荷。例如，在寫入時節點 FG 被供應高位準電荷的情況下，若第五佈線 3005 的電位爲 V_0（$>V_{th_H}$），電晶體 3200 則成爲“導通狀態”。另一方面，當節點 FG 被供應低位準電荷時，即便第五佈線 3005 的電位爲 V_0（$<V_{th_L}$），電晶體 3200 也保持“關閉狀態”。因此，藉由辨別第二佈線 3002 的電位，可以讀出節點 FG 所保持的資料。

[0305]

注意，當將記憶單元設置爲陣列狀時，在讀出時必須讀出所希望的記憶單元的資料。爲了不讀出其他記憶單元的資料，對第五佈線 3005 施加不管施加到節點 FG 的電荷如何都使電晶體 3200 成爲“關閉狀態”的電位，亦即低於 V_{th_H}的電位，即可。或者，對第五佈線 3005 施加不管施加到節點 FG 的電荷如何都使電晶體 3200 成爲“導通狀態”的電位，亦即高於 V_{th_L}的電位，即可。

[0306]

〈半導體裝置的結構 2〉

圖 25 是對應於圖 24A 的半導體裝置的剖面圖。圖 25 所示的半導體裝置包括電晶體 3200、電晶體 3300 以及電容元件 3400。電晶體 3300 及電容元件 3400 配置於電晶體 3200 的上方。電晶體 3300 參照上述電晶體 2100 的記載。電晶體 3200 參照圖 21 所示的電晶體 2200 的記載。在圖 21 中，對電晶體 2200 爲 p 通道電晶體的情況進行說明，但是電晶體 3200 也可以爲 n 通道電晶體。

[0307]

圖 25 所示的電晶體 3200 是使用半導體基板 450 的電晶體。電晶體 3200 包括半導體基板 450 中的區域 472a、半導體基板 450 中的區域 472b、絕緣體 462 以及導電體 454。

[0308]

圖 25 所示的半導體裝置包括絕緣體 464、絕緣體 466、絕緣體 468、

導電體 480a、導電體 480b、導電體 480c、導電體 478a、導電體 478b、導電體 478c、導電體 476a、導電體 476b、導電體 474a、導電體 474b、導電體 474c、導電體 496a、導電體 496b、導電體 496c、導電體 496d、導電體 498a、導電體 498b、導電體 498c、導電體 498d、絕緣體 490、絕緣體 492 以及絕緣體 494。

[0309]

絕緣體 464 配置於電晶體 3200 上。絕緣體 466 配置於絕緣體 464 上。絕緣體 468 配置於絕緣體 466 上。絕緣體 490 配置於絕緣體 468 上。電晶體 3300 配置於絕緣體 490 上。絕緣體 492 配置於電晶體 3300 上。絕緣體 494 配置於絕緣體 492 上。

[0310]

絕緣體 464 包括到達區域 472a 的開口部、到達區域 472b 的開口部以及到達導電體 454 的開口部。另外，導電體 480a、導電體 480b 及導電體 480c 分別填埋於各開口部中。

[0311]

絕緣體 466 包括到達導電體 480a 的開口部、到達導電體 480b 的開口部以及到達導電體 480c 的開口部。導電體 478a、導電體 478b 及導電體 478c 分別填埋於各開口部中。

[0312]

絕緣體 468 包括到達導電體 478b 的開口部以及到達導電體 478c 的開口部。導電體 476a 及導電體 476b 分別填埋於各開口部中。

[0313]

絕緣體 490 包括與電晶體 3300 的通道形成區域重疊的開口部、到達導電體 476a 的開口部以及到達導電體 476b 的開口部。導電體 474a、導電體 474b 及導電體 474c 分別填埋於各開口部中。

[0314]

導電體 474a 也可以具有電晶體 3300 的底閘極電極的功能。或者，例如，也可以藉由對導電體 474a 施加預定的電位，來控制電晶體 3300 的臨界電壓等的電特性。或者，例如，也可以將導電體 474a 與電晶體

3300 的頂閘極電極的導電體 404 電連接。由此，可以增加電晶體 3300 的通態電流。此外，由於可以抑制穿通現象，因此可以使電晶體 3300 的飽和區中的電特性穩定。

[0315]

絕緣體 492 包括穿過電晶體 3300 的源極電極和汲極電極中的一個的導電體 416b 到達導電體 474b 的開口部、到達電晶體 3300 的源極電極和汲極電極中的另一個的導電體 414 的開口部、到達電晶體 3300 的閘極電極的導電體 404 的開口部以及穿過電晶體 3300 的源極電極和汲極電極中的另一個的導電體 416a 到達導電體 474c 的開口部。導電體 496a、導電體 496b、導電體 496c 及導電體 496d 分別填埋於各開口部中。注意，設置在電晶體 3300 等的構成要素中的開口部有時穿過其他構成要素。

[0316]

絕緣體 494 包括到達導電體 496a 的開口部、到達導電體 496b 的開口部、到達導電體 496c 的開口部以及到達導電體 496d 的開口部。導電體 498a、導電體 498b、導電體 498c 及導電體 498d 分別填埋於各開口部中。

[0317]

絕緣體 464、絕緣體 466、絕緣體 468、絕緣體 490、絕緣體 492 和絕緣體 494 中的一個以上較佳爲具有阻擋氫等雜質及氧的功能。藉由在電晶體 3300 附近配置具有阻擋氫等雜質及氧的功能的絕緣體，可以使電晶體 3300 的電特性穩定。

[0318]

作爲導電體 498d，例如可以使用包含硼、氮、氧、氟、矽、磷、鋁、鈦、鉻、錳、鈷、鎳、銅、鋅、鎵、釔、鋯、鉬、釕、銀、銦、錫、鉭和鎢中的一種以上的導電體的單層或疊層。例如，也可以使用合金或化合物，還可以使用包含鋁的導電體、包含銅及鈦的導電體、包含銅及錳的導電體、包含銦、錫及氧的導電體、包含鈦及氮的導電體等。

[0319]

電晶體 3200 的源極或汲極藉由導電體 480b、導電體 478b、導電體 476a、導電體 474b 以及導電體 496c 電連接到電晶體 3300 的源極電極和汲極電極中的一個的導電體 416b。電晶體 3200 的閘極電極的導電體 454 藉由導電體 480c、導電體 478c、導電體 476b、導電體 474c 以及導電體 496d 電連接到電晶體 3300 的源極電極和汲極電極中的另一個的導電體 416a。

[0320]

電容元件 3400 包括與電晶體 3300 的源極電極和汲極電極中的另一個電連接的電極、導電體 414 以及絕緣體 411。注意，絕緣體 411 可以藉由與電晶體 3300 的閘極絕緣體同一製程形成，而可以提高生產率。另外，當作爲導電體 414 使用藉由與電晶體 3300 的閘極電極同一製程形成的層，可以提高生產率。

[0321]

其他構成要素的結構可以適當地參照關於圖 21 等的記載。

[0322]

注意，圖 26 所示的半導體裝置與圖 25 所示的半導體裝置的不同之處只在於電晶體 3200 的結構。因此，圖 26 所示的半導體裝置參照圖 25 所示的半導體裝置的記載。明確而言，在圖 26 所示的半導體裝置中，電晶體 3200 爲 Fin 型。Fin 型電晶體 3200 參照圖 22 所示的電晶體 2200 的記載。在圖 22 中，對電晶體 2200 爲 p 通道電晶體的情況進行說明，但是電晶體 3200 也可以爲 n 通道電晶體。

[0323]

另外，圖 27 所示的半導體裝置與圖 25 所示的半導體裝置的不同之處只在於電晶體 3200 的結構。因此，圖 27 所示的半導體裝置參照圖 25 所示的半導體裝置的記載。明確而言，在圖 27 所示的半導體裝置中，電晶體 3200 設置在作爲 SOI 基板的半導體基板 450 中。設置在作爲 SOI 基板的半導體基板 450 中的電晶體 3200 參照圖 23 所示的電晶體 2200 的記載。在圖 23 中，對電晶體 2200 爲 p 通道電晶體的情況

進行說明，但是電晶體 3200 也可以爲 n 通道電晶體。

[0324]

〈記憶體裝置 2〉

圖 24B 所示的半導體裝置在不包括電晶體 3200 之處與圖 24A 所示的半導體裝置不同。在此情況下也可以藉由與圖 24A 所示的半導體裝置同樣的工作進行資料的寫入及保持工作。

[0325]

說明圖 24B 所示的半導體裝置中的資料讀出。在電晶體 3300 成爲導通狀態時，處於浮動狀態的第三佈線 3003 和電容元件 3400 導通，且在第三佈線 3003 和電容元件 3400 之間再次分配電荷。其結果是，第三佈線 3003 的電位產生變化。第三佈線 3003 的電位的變化量根據電容元件 3400 的一個電極的電位(或積累在電容元件 3400 中的電荷)而具有不同的值。

[0326]

例如，在電容元件 3400 的一個電極的電位爲 V，電容元件 3400 的電容爲 C，第三佈線 3003 所具有的電容成分爲 CB，再次分配電荷之前的第三佈線 3003 的電位爲 VB0 時，再次分配電荷之後的第三佈線 3003 的電位爲 (CB×VB0+C×V) / (CB+C)。因此，在假定記憶單元處於其電容元件 3400 的一個電極的電位爲兩種的狀態，亦即 V1 和 V0(V1>V0)時，可以得知保持電位 V1 時的第三佈線 3003 的電位(=(CB×VB0+C×V1)/(CB+C))高於保持電位 V0 時的第三佈線 3003 的電位(=(CB×VB0+C×V0)/(CB+C))。

[0327]

並且，藉由對第三佈線 3003 的電位和規定的電位進行比較，可以讀出資料。

[0328]

在此情況下，可以將上述使用第一半導體的電晶體用於用來驅動記憶單元的驅動電路，且將作爲電晶體 3300 使用第二半導體的電晶體層疊在該驅動電路上。

[0329]

上述半導體裝置可以應用使用氧化物半導體的關態電流較小的電晶體來長期間保持儲存內容。亦即，因爲不需要更新工作或可以使更新工作的頻率極低，所以能夠實現低功耗的半導體裝置。此外，在沒有電力供應時（但較佳爲固定電位）也可以長期間保持儲存內容。

[0330]

此外，因爲該半導體裝置在寫入資料時不需要高電壓，所以其中不容易產生元件的劣化。例如，不同於習知的非揮發性記憶體，不需要對浮動閘極注入電子或從浮動閘極抽出電子，因此不會發生絕緣體劣化等問題。換言之，在本發明的一個實施方式的半導體裝置中，在現有非揮發性記憶體中成爲問題的重寫次數不受到限制，並且其可靠性得到極大的提高。再者，根據電晶體的導通狀態/關閉狀態進行資料的寫入，所以能夠高速工作。

[0331]

〈攝像裝置〉

以下對根據本發明的一個實施方式的攝像裝置進行說明。

[0332]

圖 28A 是示出根據本發明的一個實施方式的攝像裝置 200 的例子的平面圖。攝像裝置 200 包括像素部 210、用來驅動像素部 210 的週邊電路 260、週邊電路 270、週邊電路 280 及週邊電路 290。像素部 210 包括配置爲 p 行 q 列（p 及 q 爲 2 以上的整數）的矩陣狀的多個像素 211。週邊電路 260、週邊電路 270、週邊電路 280 及週邊電路 290 分別與多個像素 211 連接，並具有供應用來驅動多個像素 211 的信號的功能。此外，在本說明書等中，有時將週邊電路 260、週邊電路 270、週邊電路280及週邊電路290等總稱爲“週邊電路”或“驅動電路”。例如，週邊電路 260 也可以說是週邊電路的一部分。

[0333]

攝像裝置 200 較佳爲包括光源 291。光源 291 能夠發射檢測光 P1。

[0334]

週邊電路至少包括邏輯電路、開關、緩衝器、放大電路或轉換電路中的一個。此外，也可以在形成像素部 210 的基板上製造週邊電路。另外，也可以將 IC 晶片等半導體裝置用於週邊電路的一部分或全部。注意，也可以省略週邊電路 260、週邊電路 270、週邊電路 280 和週邊電路 290 中的一個以上。

[0335]

如圖 28B 所示，在攝像裝置 200 所包括的像素部 210 中，也可以以像素 211 傾斜的方式配置。藉由以像素 211 傾斜的方式配置，可以縮短在行方向上及列方向上的像素間隔（間距）。由此，可以提高攝像裝置 200 的攝像品質。

[0336]

〈像素的結構例子 1〉

藉由使攝像裝置 200 所包括的一個像素 211 由多個子像素 212 構成，且使每個子像素 212 與使特定的波長區域的光透過的濾光片（濾色片）組合，可以獲得用來實現彩色影像顯示的資料。

[0337]

圖 29A 是示出用來取得彩色影像的像素 211 的一個例子的平面圖。圖 29A 所示的像素 211 包括設置有使紅色（R）的波長區域的光透過的濾色片的子像素 212(以下也稱爲“子像素 212R”)、設置有使綠色(G)的波長區域的光透過的濾色片的子像素 212（以下也稱爲“子像素 212G”）及設置有使藍色（B）的波長區域的光透過的濾色片的子像素 212(以下也稱爲“子像素 212B”)。子像素 212 可以被用作光感測器。

[0338]

子像素 212（子像素 212R、子像素 212G 及子像素 212B）與佈線 231、佈線 247、佈線 248、佈線 249、佈線 250 電連接。此外，子像素 212R、子像素 212G 及子像素 212B 分別獨立地連接於佈線 253。在本說明書等中，例如將與第 n 行的像素 211 連接的佈線 248 及佈線 249 分別稱爲佈線 248[n]及佈線 249[n]。此外，例如，將與第 m 列的像素 211 連接的佈線 253 稱爲佈線 253[m]。此外，在圖 29A 中，將與第 m 列的

像素 211 所包括的子像素 212R 連接的佈線 253 稱爲佈線 253[m]R，將與子像素 212G 連接的佈線 253 稱爲佈線 253[m]G，將與子像素 212B 連接的佈線 253 稱爲佈線 253[m]B。子像素 212 藉由上述佈線與週邊電路電連接。

[0339]

攝像裝置 200 具有相鄰的像素 211 的設置有使相同的波長區域的光透過的濾色片的子像素 212 藉由開關彼此電連接的結構。圖 29B 示出配置在第 n 行（n 爲 1 以上且 p 以下的整數）第 m 列（m 爲 1 以上且 q 以下的整數）的像素 211 所包括的子像素 212 與相鄰於該像素 211 的配置在第 n+1 行第 m 列的像素 211 所包括的子像素 212 的連接例子。在圖 29B 中，配置在第 n 行第 m 列的子像素 212R 與配置在第 n+1 行第 m 列的子像素 212R 藉由開關 201 連接。此外，配置在第 n 行第 m 列的子像素 212G 與配置在第 n+1 行第 m 列的子像素 212G 藉由開關 202 連接。此外，配置在第 n 行第 m 列的子像素 212B 與配置在第 n+1 行第 m 列的子像素 212B 藉由開關 203 連接。

[0340]

用於子像素 212 的濾色片的顏色不侷限於紅色（R）、綠色（G）、藍色（B），也可以使用使青色（C）、黃色（Y）及洋紅色（M）的光透過的濾色片。藉由在一個像素 211 中設置檢測三種不同波長區域的光的子像素 212，可以獲得全彩色影像。

[0341]

或者，像素 211 除了包括分別設置有使紅色（R）、綠色（G）及藍色（B）的光透過的濾色片的各子像素 212 以外，還可以包括設置有使黃色（Y）的光透過的濾色片的子像素 212。或者，像素 211 除了包括分別設置有使青色（C）、黃色（Y）及洋紅色（M）的光透過的濾色片的各子像素 212 以外，還可以包括設置有使藍色（B）的光透過的濾色片的子像素 212。藉由在一個像素 211 中設置檢測四種不同波長區域的光的子像素 212，可以進一步提高所獲得的像素的顏色再現性。

[0342]

例如，在圖 29A 中，檢測紅色的波長區域的子像素 212、檢測綠色的波長區域的子像素 212 及檢測藍色的波長區域的子像素 212 的像素數比（或受光面積比）不侷限於 1:1:1。例如，也可以採用像素數比（受光面積比）爲紅色:綠色:藍色=1:2:1 的 Bayer 排列。或者，像素數比（受光面積比）也可以爲紅色:綠色:藍色=1:6:1。

[0343]

設置在像素 211 中的子像素 212 的數量可以爲一個，但較佳爲兩個以上。例如，藉由設置兩個以上的檢測相同的波長區域的子像素 212，可以提高冗餘性，由此可以提高攝像裝置 200 的可靠性。

[0344]

此外，藉由使用反射或吸收可見光且使紅外光透過的 IR（IR：Infrared）濾光片，可以實現檢測紅外光的攝像裝置 200。

[0345]

藉由使用 ND（ND：Neutral Density）濾光片（減光濾光片），可以防止大光量光入射光電轉換元件（受光元件）時產生的輸出飽和。藉由組合使用減光量不同的 ND 濾光片，可以增大攝像裝置的動態範圍。

[0346]

除了上述濾光片以外，還可以在像素 211 中設置透鏡。這裡，參照圖 30A 及圖 30B 的剖面圖說明像素 211、濾光片 254、透鏡 255 的配置例子。藉由設置透鏡 255，可以使光電轉換元件高效地受光。明確而言，如圖 30A 所示，可以使光 256 穿過形成在像素 211 中的透鏡 255、濾光片 254（濾光片 254R、濾光片 254G 及濾光片 254B）及像素電路 230 等而入射到光電轉換元件 220。

[0347]

注意，如由點劃線圍繞的區域所示，有時箭頭所示的光 256 的一部分被佈線 257 的一部分遮蔽。因此，如圖 30B 所示，較佳爲採用在光電轉換元件 220 一側配置透鏡 255 及濾光片 254，而使光電轉換元件 220 高效地接收光 256 的結構。藉由從光電轉換元件 220 一側將光 256

入射到光電轉換元件 220，可以提供檢測靈敏度高的攝像裝置 200。

[0348]

作爲圖 30A 及圖 30B 所示的光電轉換元件 220，也可以使用形成有 pn 接面或 pin 接面的光電轉換元件。

[0349]

光電轉換元件 220 也可以使用具有吸收輻射產生電荷的功能的物質形成。作爲具有吸收輻射產生電荷的功能的物質，可舉出硒、碘化鉛、碘化汞、砷化鎵、碲化鎘、鎘鋅合金等。

[0350]

例如，在將硒用於光電轉換元件 220 時，可以實現對可見光、紫外光、紅外光、X 射線、伽瑪射線等較寬的波長區域具有光吸收係數的光電轉換元件 220。

[0351]

在此，攝像裝置 200 所包括的一個像素 211 除了圖 29A 及圖 29B 所示的子像素 212 以外，還可以包括具有第一濾光片的子像素 212。

[0352]

〈像素的結構例子 2〉

下面，對包括使用矽的電晶體及使用氧化物半導體的電晶體的像素的一個例子進行說明。

[0353]

圖 31A 及圖 31B 是構成攝像裝置的元件的剖面圖。圖 31A 所示的攝像裝置包括設置在矽基板 300 上的使用矽形成的電晶體 351、在電晶體 351 上層疊配置的使用氧化物半導體形成的電晶體 352 及電晶體 353 以及設置在矽基板 300 中的光電二極體 360。各電晶體及光電二極體 360 與各種插頭 370 及佈線 371 電連接。此外，光電二極體 360 的陽極 361 藉由低電阻區域 363 與插頭 370 電連接。

[0354]

攝像裝置包括：包括設置在矽基板 300 上的電晶體 351 及光電二極體 360 的層 310、以與層 310 接觸的方式設置且包括佈線 371 的層

320、以與層 320 接觸的方式設置且包括電晶體 352 及電晶體 353 的層 330、以與層 330 接觸的方式設置且包括佈線 372 及佈線 373 的層 340。

[0355]

在圖 31A 的剖面圖的一個例子中，在矽基板 300 中，在與形成有電晶體 351 的面相反一側設置有光電二極體 360 的受光面。藉由採用該結構，可以確保光路而不受各種電晶體或佈線等的影響。因此，可以形成高開口率的像素。此外，光電二極體 360 的受光面也可以是與形成有電晶體 351 的面相同的面。

[0356]

在像素包括使用氧化物半導體的電晶體時，層 310 爲包括使用氧化物半導體的電晶體的層，即可。或者，像素也可以只包括使用氧化物半導體的電晶體而省略層 310。

[0357]

在像素包括使用矽的電晶體時，也可以省略層 330。圖 31B 示出省略層 330 的剖面圖的一個例子。在省略層 330 時，還可以省略層 340 的佈線 372。

[0358]

矽基板 300 也可以是 SOI 基板。此外，也可以使用包含鍺、矽鍺、碳化矽、砷化鎵、砷化鋁鎵、磷化銦、氮化鎵或有機半導體的基板代替矽基板 300。

[0359]

這裡，在包括電晶體 351 及光電二極體 360 的層 310 與包括電晶體 352 及電晶體 353 的層 330 之間設置有絕緣體 380。注意，絕緣體 380 的位置不侷限於此。

[0360]

設置在電晶體 351 的通道形成區域附近的絕緣體中的氫使矽的懸空鍵終結，由此可以提高電晶體 351 的可靠性。另一方面，設置在電晶體 352 及電晶體 353 等附近的絕緣體中的氫有可能成爲在氧化物半導體中生成載子的原因之一。因此，有時引起電晶體 352 及電晶體 353

等的可靠性的下降。因此，當在使用矽類半導體的電晶體上層疊設置使用氧化物半導體的電晶體時，較佳爲在它們之間設置具有阻擋氫的功能的絕緣體 380。藉由將氫封閉在絕緣體 380 下，可以提高電晶體 351 的可靠性。再者，由於可以抑制氫從絕緣體 380 下擴散至絕緣體 380 上，所以可以提高電晶體 352 及電晶體 353 等的可靠性。

[0361]

作爲絕緣體 380 例如使用具有阻擋氧或氫的功能的絕緣體。

[0362]

在圖 31A 的剖面圖中，可以以設置在層 310 中的光電二極體 360 與設置在層 330 中的電晶體重疊的方式形成。因此，可以提高像素的集成度。就是說，可以提高攝像裝置的解析度。

[0363]

如圖 32A1 及圖 32B1 所示，可以使攝像裝置的一部分或全部彎曲。圖 32A1 示出使攝像裝置在該圖式中的點劃線 X1-X2 的方向上彎曲的狀態。圖 32A2 是沿著圖 32A1 中的點劃線 X1-X2 所示的部分的剖面圖。圖 32A3 是沿著圖 32A1 中的點劃線 Y1-Y2 所示的部分的剖面圖。

[0364]

圖 32B1 示出使攝像裝置在該圖式中的點劃線 X3-X4 的方向上彎曲且在該圖式中的點劃線 Y3-Y4 的方向上彎曲的狀態。圖 32B2 是沿著圖 32B1 中的點劃線 X3-X4 所示的部分的剖面圖。圖 32B3 是沿著圖 32B1 中的點劃線 Y3-Y4 所示的部分的剖面圖。

[0365]

藉由使攝像裝置彎曲，可以降低像場彎曲或像散(astigmatism)。因此，可以促進與攝像裝置組合使用的透鏡等的光學設計。例如，由於可以減少用於像差校正的透鏡的數量，因此可以實現使用攝像裝置的電子裝置等的小型化或輕量化。此外，可以提高成像影像的品質。

[0366]

〈CPU〉

下面說明包括上述電晶體或上述記憶體裝置等半導體裝置的

CPU。

[0367]

圖 33 是示出其一部分使用上述電晶體的 CPU 的一個例子的結構的塊圖。

[0368]

圖 33 所示的 CPU 在基板 1190 上具有：ALU1191（ALU：Arithmetic logic unit：算術電路）、ALU 控制器 1192、指令解碼器 1193、中斷控制器 1194、時序控制器 1195、暫存器 1196、暫存器控制器 1197、匯流排介面 1198、能夠重寫的 ROM1199 以及 ROM 介面 1189。作爲基板 1190 使用半導體基板、SOI 基板、玻璃基板等。ROM1199 及 ROM 介面 1189 也可以設置在不同的晶片上。當然，圖 33 所示的 CPU 只是簡化其結構而示的一個例子而已，所以實際上的 CPU 根據其用途具有各種各樣的結構。例如，也可以以包括圖 33 所示的 CPU 或算術電路的結構爲核心，設置多個該核心並使其同時工作。另外，在 CPU 的內部算術電路或資料匯流排中能夠處理的位元數例如可以爲 8 位、16 位、32 位、64 位等。

[0369]

藉由匯流排介面 1198 輸入到 CPU 的指令在輸入到指令解碼器 1193 並被解碼後輸入到 ALU 控制器 1192、中斷控制器 1194、暫存器控制器 1197、時序控制器 1195。

[0370]

ALU 控制器 1192、中斷控制器 1194、暫存器控制器 1197、時序控制器 1195 根據被解碼的指令進行各種控制。明確而言，ALU 控制器 1192 生成用來控制 ALU1191 的工作的信號。另外，中斷控制器 1194 在執行 CPU 的程式時，根據其優先度或遮罩狀態來判斷來自外部的輸入/輸出裝置或週邊電路的中斷要求而對該要求進行處理。暫存器控制器 1197 生成暫存器 1196 的位址，並根據 CPU 的狀態進行暫存器 1196 的讀出或寫入。

[0371]

另外，時序控制器 1195 生成用來控制 ALU1191、ALU 控制器 1192、

指令解碼器 1193、中斷控制器 1194 以及暫存器控制器 1197 的工作時序的信號。例如，時序控制器 1195 具有根據基準時脈信號來生成內部時脈信號的內部時脈生成器，並將內部時脈信號供應到上述各種電路。

[0372]

在圖 33 所示的 CPU 中，在暫存器 1196 中設置有記憶單元。可以將上述電晶體或記憶體裝置等用於暫存器 1196 的記憶單元。

[0373]

在圖 33 所示的 CPU 中，暫存器控制器 1197 根據來自 ALU1191 的指令進行暫存器 1196 中的保持工作的選擇。換言之，暫存器控制器 1197 在暫存器 1196 所具有的記憶單元中選擇是由正反器保持資料還是由電容元件保持資料。在選擇由正反器保持資料的情況下，對暫存器 1196 中的記憶單元供應電源電壓。在選擇由電容元件保持資料的情況下，對電容元件進行資料的重寫，而可以停止對暫存器 1196 中的記憶單元供應電源電壓。

[0374]

圖 34 是可以用作暫存器 1196 的記憶元件 1200 的電路圖的一個例子。記憶元件 1200 包括在電源關閉時失去儲存資料的電路 1201、在電源關閉時不失去儲存資料的電路 1202、開關 1203、開關 1204、邏輯元件 1206、電容元件 1207 以及具有選擇功能的電路 1220。電路 1202 包括電容元件 1208、電晶體 1209 及電晶體 1210。另外，記憶元件 1200 根據需要還可以包括其他元件諸如二極體、電阻元件或電感器等。

[0375]

在此，電路 1202 可以使用上述記憶體裝置。在停止對記憶元件 1200 供應電源電壓時，GND（0V）或使電晶體 1209 關閉的電位持續被輸入到電路 1202 中的電晶體 1209 的閘極。例如，電晶體 1209 的閘極藉由電阻器等負載接地。

[0376]

在此示出開關 1203 爲具有一導電型（例如，n 通道型）的電晶體

1213，而開關 1204 爲具有與此相反的導電型（例如，p 通道型）的電晶體 1214 的例子。這裡，開關 1203 的第一端子對應於電晶體 1213 的源極和汲極中的一個，開關 1203 的第二端子對應於電晶體 1213 的源極和汲極中的另一個，並且開關 1203 的第一端子與第二端子之間的導通或非導通（亦即，電晶體 1213 的導通狀態/關閉狀態）由輸入到電晶體 1213 的閘極中的控制信號 RD 選擇。開關 1204 的第一端子對應於電晶體 1214 的源極和汲極中的一個，開關 1204 的第二端子對應於電晶體 1214 的源極和汲極中的另一個，並且開關 1204 的第一端子與第二端子之間的導通或非導通（亦即，電晶體 1214 的導通狀態/關閉狀態）由輸入到電晶體 1214 的閘極中的控制信號 RD 選擇。

[0377]

電晶體 1209 的源極和汲極中的一個電連接到電容元件 1208 的一對電極的一個及電晶體 1210 的閘極。在此，將連接部分稱爲節點 M2。電晶體 1210 的源極和汲極中的一個電連接到能夠供應低電源電位的佈線（例如，GND 線），而另一個電連接到開關 1203 的第一端子（電晶體 1213 的源極和汲極中的一個）。開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）電連接到開關 1204 的第一端子（電晶體 1214 的源極和汲極中的一個）。開關 1204 的第二端子（電晶體 1214 的源極和汲極中的另一個）電連接到能夠供應電源電位 VDD 的佈線。開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）、開關 1204 的第一端子（電晶體 1214 的源極和汲極中的一個）、邏輯元件 1206 的輸入端子和電容元件 1207 的一對電極的一個互相電連接。在此，將連接部分稱爲節點 M1。可以對電容元件 1207 的一對電極的另一個輸入固定電位。例如，可以對其輸入低電源電位（GND 等）或高電源電位（VDD 等）。電容元件 1207 的一對電極的另一個電連接到能夠供應低電源電位的佈線（例如，GND 線）。可以對電容元件 1208 的一對電極的另一個輸入固定電位。例如，可以對其輸入低電源電位（GND 等）或高電源電位（VDD 等）。電容元件 1208 的一對電極的另一個電連接到能夠供應低電源電位的佈線（例如，GND 線）。

[0378]

另外，當積極地利用電晶體或佈線的寄生電容等時，可以不設置電容元件 1207 及電容元件 1208。

[0379]

控制信號 WE 輸入到電晶體 1209 的閘極。開關 1203 及開關 1204 的第一端子與第二端子之間的導通狀態或非導通狀態由與控制信號 WE 不同的控制信號 RD 選擇，當一個開關的第一端子與第二端子之間處於導通狀態時，另一個開關的第一端子與第二端子之間處於非導通狀態。

[0380]

對應於保持在電路 1201 中的資料的信號被輸入到電晶體 1209 的源極和汲極中的另一個。圖 34 示出從電路 1201 輸出的信號輸入到電晶體 1209 的源極和汲極中的另一個的例子。由邏輯元件 1206 使從開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）輸出的信號的邏輯值反轉而成爲反轉信號，將其經由電路 1220 輸入到電路 1201。

[0381]

另外，雖然圖 34 示出從開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）輸出的信號藉由邏輯元件 1206 及電路 1220 輸入到電路 1201 的例子，但是不侷限於此。也可以不使從開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）輸出的信號的邏輯值反轉而輸入到電路 1201。例如，當電路 1201 包括其中保持使從輸入端子輸入的信號的邏輯值反轉的信號的節點時，可以將從開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）輸出的信號輸入到該節點。

[0382]

在圖 34 所示的用於記憶元件 1200 的電晶體中，電晶體 1209 以外的電晶體也可以使用其通道形成在由氧化物半導體以外的半導體構成的膜或基板 1190 中的電晶體。例如，可以使用其通道形成在矽膜或矽

基板中的電晶體。此外，記憶元件 1200 中的所有電晶體都可以是其通道由氧化物半導體形成的電晶體。或者，記憶元件 1200 除了電晶體 1209 以外還可以包括其通道由氧化物半導體形成的電晶體，並且作爲其餘的電晶體可以使用其通道形成在由氧化物半導體以外的半導體構成的膜或基板 1190 中的電晶體。

[0383]

圖 34 所示的電路 1201 例如可以使用正反器電路。另外，作爲邏輯元件 1206 例如可以使用反相器或時脈反相器等。

[0384]

在本發明的一個實施方式的半導體裝置中，在不向記憶元件 1200 供應電源電壓的期間，可以由設置在電路 1202 中的電容元件 1208 保持儲存在電路 1201 中的資料。

[0385]

另外，其通道形成在氧化物半導體中的電晶體的關態電流極小。例如，其通道形成在氧化物半導體中的電晶體的關態電流比其通道形成在具有結晶性的矽中的電晶體的關態電流低得多。因此，藉由將該電晶體用作電晶體 1209，即便在不向記憶元件 1200 供應電源電壓的期間也可以長期間儲存電容元件 1208 所保持的信號。因此，記憶元件 1200 在停止供應電源電壓的期間也可以保持儲存內容（資料）。

[0386]

另外，由於該記憶元件藉由設置開關 1203 及開關 1204 進行預充電工作，因此可以縮短在再次開始供應電源電壓之後直到電路 1201 重新保持原來的資料爲止所需要的時間。

[0387]

另外，在電路 1202 中，電容元件 1208 所保持的信號被輸入到電晶體 1210 的閘極。因此，在再次開始向記憶元件 1200 供應電源電壓之後，可以將電容元件 1208 所保持的信號轉換爲電晶體 1210 的狀態（導通狀態或關閉狀態），並從電路 1202 讀出。因此，即便對應於保持在電容元件 1208 中的信號的電位稍有變動，也可以準確地讀出原來

的信號。

[0388]

藉由將這種記憶元件 1200 用於處理器所具有的暫存器或快取記憶體等記憶體裝置，可以防止記憶體裝置內的資料因停止電源電壓的供應而消失。另外，可以在再次開始供應電源電壓之後在短時間內恢復到停止供應電源之前的狀態。因此，可以在處理器整體中或構成處理器的一個或多個邏輯電路中在短時間內停止電源，從而可以抑制功耗。

[0389]

雖然說明了將記憶元件 1200 用於 CPU 的例子，但也可以將記憶元件 1200 應用於 LSI 諸如 DSP（Digital Signal Processor：數位信號處理器）、定製 LSI、PLD（Programmable Logic Device：可程式邏輯裝置）等以及 RF（Radio Frequency：射頻）裝置。

[0390]

〈顯示裝置〉

以下參照圖 35A 至圖 36B 說明根據本發明的一個實施方式的顯示裝置。

[0391]

作爲用於顯示裝置的顯示元件，可以使用液晶元件（也稱爲液晶顯示元件）、發光元件（也稱爲發光顯示元件）等。發光元件在其範疇內包括其亮度由電流或電壓控制的元件，明確而言，包括無機 EL(Electroluminescence：電致發光)元件、有機 EL 元件等。下面，作爲顯示裝置的一個例子對使用 EL 元件的顯示裝置（EL 顯示裝置）及使用液晶元件的顯示裝置（液晶顯示裝置）進行說明。

[0392]

另外，下面示出的顯示裝置包括密封有顯示元件的面板及在該面板中安裝有包括控制器的 IC 等的模組。

[0393]

另外，下面示出的顯示裝置是指影像顯示裝置或光源（包括照明

設備）。此外，顯示裝置還包括：安裝有連接器諸如 FPC 或 TCP 的模組；在 TCP 的端部設置有印刷線路板的模組；或者藉由 COG 方式將 IC（積體電路）直接安裝到顯示元件的模組。

[0394]

圖 35A 至圖 35C 是根據本發明的一個實施方式的 EL 顯示裝置的一個例子。圖 35A 示出 EL 顯示裝置的像素的電路圖。圖 35B 是示出 EL 顯示裝置整體的俯視圖。

[0395]

圖 35A 是用於 EL 顯示裝置的像素的電路圖的一個例子。

[0396]

在本說明書等中，有時即使不指定主動元件（電晶體、二極體等）、被動元件（電容元件、電阻元件等）等所具有的所有端子的連接位置，所屬技術領域的普通技術人員也能夠構成發明的一個實施方式。就是說，即使未指定連接位置，也可以說發明的一個實施方式是明確的，並且，當在本說明書等記載有指定連接位置的內容時，有時可以判斷爲在本說明書等中記載有該方式。尤其是，在端子的連接位置有多個的情況下，不一定必須要將該端子的連接位置限於指定的部分。因此，有時藉由僅指定主動元件（電晶體、二極體等）、被動元件（電容元件、電阻元件等）等所具有的一部分的端子的連接位置，就能夠構成發明的一個實施方式。

[0397]

在本說明書等中，當至少指定某個電路的連接位置時，有時所屬技術領域的普通技術人員能夠指定發明。或者，當至少指定某個電路的功能時，有時所屬技術領域的普通技術人員能夠指定發明。也就是說，只要指定功能，就可以說是發明的一個實施方式是明確的，而判斷爲在本說明書等中記載有該方式。因此，即使只指定某個電路的連接位置而不指定其功能時，也可以判斷爲該電路作爲發明的一個實施方式公開而構成發明的一個實施方式。或者，即使只指定某個電路的功能而不指定其連接位置時，也可以判斷爲該電路作爲發明的一個實

施方式公開而構成發明的一個實施方式。

[0398]

圖 35A 所示的 EL 顯示裝置包含切換元件 743、電晶體 741、電容元件 742、發光元件 719。

[0399]

另外，由於圖 35A 等是電路結構的一個例子，所以還可以追加設置電晶體。與此相反，在圖 35A 的各節點中，也可以不追加電晶體、開關、被動元件等。

[0400]

電晶體 741 的閘極與切換元件 743 的一個端子及電容元件 742 的一個電極電連接。電晶體 741 的源極與電容元件 742 的另一個電極及發光元件 719 的一個電極電連接。電晶體 741 的汲極被供應電源電位 VDD。切換元件 743 的另一個端子與信號線 744 電連接。發光元件 719 的另一個電極被供應恆電位。另外，恆電位爲等於或低於接地電位 GND 的電位。

[0401]

作爲切換元件 743，較佳爲使用電晶體。藉由使用電晶體，可以減小像素的面積，由此可以提供解析度高的 EL 顯示裝置。作爲切換元件 743，使用藉由與電晶體 741 同一製程形成的電晶體，由此可以提高 EL 顯示裝置的生產率。作爲電晶體 741 或/及切換元件 743，例如可以適用上述電晶體。

[0402]

圖 35B 是 EL 顯示裝置的俯視圖。EL 顯示裝置包括基板 700、基板 750、密封材料 734、驅動電路 735、驅動電路 736、像素 737 以及 FPC732。密封材料 734 以包圍像素 737、驅動電路 735 以及驅動電路 736 的方式配置在基板 700 與基板 750 之間。另外，驅動電路 735 或/及驅動電路 736 也可以配置在密封材料 734 的外側。

[0403]

圖 35C 是對應於圖 35B 的點劃線 M-N 的一部分的 EL 顯示裝置的剖

面圖。

[0404]

圖 35C 示出電晶體 741，該電晶體 741 包括：基板 700 上的導電體 704a；導電體 704a 上的絕緣體 712a；絕緣體 712a 上的絕緣體 712b；在絕緣體 712b 上並與導電體 704a 重疊的半導體 706；與半導體 706 接觸的導電體 716a 及導電體 716b；導電體 716a 上的絕緣體 710a；導電體 716b 上的絕緣體 710b；半導體 706、導電體 716a、導電體 716b、絕緣體 710a 及絕緣體 710b 上的絕緣體 718a；絕緣體 718a 上的絕緣體 718b；絕緣體 718b 上的絕緣體 718c；以及在絕緣體 718c 上並與半導體 706 重疊的導電體 714a。注意，電晶體 741 的結構只是一個例子，也可以採用與圖 35C 所示的結構不同的結構。

[0405]

因此，在圖 35C 所示的電晶體 741 中，導電體 704a 具有閘極電極的功能，絕緣體 712a 及絕緣體 712b 具有閘極絕緣體的功能，導電體 716a 具有源極電極的功能，導電體 716b 具有汲極電極的功能，絕緣體 718a、絕緣體 718b 及絕緣體 718c 具有閘極絕緣體的功能，並且導電體 714a 具有閘極電極的功能。注意，半導體 706 有時因光照射而其電特性發生變動。因此，較佳的是導電體 704a、導電體 716a、導電體 716b 和導電體 714a 中的任何一個以上具有遮光性。

[0406]

注意，以虛線表示絕緣體 718a 和絕緣體 718b 之間的介面，這意味著它們的邊界有時不明確。例如，當作爲絕緣體 718a 及絕緣體 718b 使用同種絕緣體時，根據觀察方法有時無法區分它們。

[0407]

圖 35C 示出電容元件 742，該電容元件 742 包括：基板上的導電體 704b；導電體 704b 上的絕緣體 712a；絕緣體 712a 上的絕緣體 712b；在絕緣體 712b 上並與導電體 704b 重疊的導電體 716a；導電體 716a 上的絕緣體 718a；絕緣體 718a 上的絕緣體 718b；絕緣體 718b 上的絕緣體 718c；以及在絕緣體 718c 上並與導電體 716a 重疊的導電體 714b，

並且，電容元件 742 具有在導電體 716a 與導電體 714b 重疊的區域中絕緣體 718a 的一部分及絕緣體 718b 的一部分被去除的結構。

[0408]

在電容元件 742 中，將導電體 704b 及導電體 714b 用作一個電極，將導電體 716a 用作另一個電極。

[0409]

因此，可以使用與電晶體 741 相同的膜製造電容元件 742。導電體 704a 及導電體 704b 較佳爲使用同種導電體。此時，可以藉由同一製程形成導電體 704a 及導電體 704b。另外，導電體 714a 及導電體 714b 較佳爲使用同種導電體。此時，可以藉由同一製程形成導電體 714a 及導電體 714b。

[0410]

圖 35C 所示的電容元件 742 是相對於佔有面積的電容大的電容元件。因此，圖 35C 是顯示品質高的 EL 顯示裝置。注意，雖然圖 35C 所示的電容元件 742 具有絕緣體 718a 的一部分及絕緣體 718b 的一部分被去除以便減薄導電體 716a 與導電體 714b 重疊的區域的結構，但是根據本發明的一個實施方式的電容元件的結構不侷限於此。例如，也可以具有絕緣體 718c 的一部分被去除以便減薄導電體 716a 與導電體 714b 重疊的區域的結構。

[0411]

在電晶體 741 及電容元件 742 上配置有絕緣體 720。在此，絕緣體 720 也可以具有到達用作電晶體 741 的源極電極的導電體 716a 的開口部。在絕緣體 720 上配置有導電體 781。導電體 781 也可以藉由絕緣體 720 中的開口部與電晶體 741 電連接。

[0412]

在導電體 781 上配置有到達導電體 781 的開口部的分隔壁 784。在分隔壁 784 上配置有在分隔壁 784 的開口部中與導電體 781 接觸的發光層 782。在發光層 782 上配置有導電體 783。導電體 781、發光層 782 和導電體 783 重疊的區域被用作發光元件 719。

[0413]

至此，說明了 EL 顯示裝置的例子。接著，將說明液晶顯示裝置的例子。

[0414]

圖 36A 是示出液晶顯示裝置的像素的結構例子的電路圖。圖 36A 和圖 36B 所示的像素包括電晶體 751、電容元件 752、在一對電極之間填充有液晶的元件（液晶元件）753。

[0415]

電晶體 751 的源極和汲極中的一個與信號線 755 電連接，電晶體 751 的閘極與掃描線 754 電連接。

[0416]

電容元件 752 的一個電極與電晶體 751 的源極和汲極中的另一個電連接，電容元件 752 的另一個電極與供應共用電位的佈線電連接。

[0417]

液晶元件 753 的一個電極與電晶體 751 的源極和汲極中的另一個電連接，液晶元件 753 的另一個電極與供應共用電位的佈線電連接。此外，供應到與上述電容元件 752 的另一個電極電連接的佈線的共用電位與供應到液晶元件 753 的另一個電極的共用電位可以不同。

[0418]

假設液晶顯示裝置的俯視圖與 EL 顯示裝置相同來進行說明。圖 36B 示出對應於沿著圖 35B 的點劃線 M-N 的液晶顯示裝置的剖面圖。在圖 36B 中，FPC732 藉由端子 731 與佈線 733a 連接。佈線 733a 也可以使用與構成電晶體 751 的導電體或半導體同種的導電體或半導體。

[0419]

電晶體 751 參照關於電晶體 741 的記載。電容元件 752 參照關於電容元件 742 的記載。注意，圖 36B 示出具有對應於圖 35C 所示的電容元件 742 之結構的電容元件 752 之結構，但是電容元件 752 之結構不侷限於此。

[0420]

當將氧化物半導體用於電晶體 751 的半導體時，可以實現關態電流極小的電晶體。因此，保持在電容元件 752 中的電荷不容易洩漏，而可以長期間保持施加到液晶元件 753 的電壓。因此，當顯示動作少的動態影像、靜態影像時，藉由使電晶體 751 處於關閉狀態，不需要用來使電晶體751工作的電力，由此可以實現低功耗的液晶顯示裝置。另外，因爲可以縮小電容元件 752 的佔有面積，所以可以提供一種開口率高的液晶顯示裝置或高解析度液晶顯示裝置。

[0421]

在電晶體 751 及電容元件 752 上配置有絕緣體 721。在此，絕緣體 721 具有到達電晶體751的開口部。在絕緣體721上配置有導電體791。導電體 791 藉由絕緣體 721 中的開口部與電晶體 751 電連接。

[0422]

在導電體 791 上配置有用作配向膜的絕緣體 792。在絕緣體 792 上配置有液晶層793。在液晶層793上配置有用作配向膜的絕緣體794。在絕緣體 794 上配置有隔離物 795。在隔離物 795 及絕緣體 794 上配置有導電體 796。在導電體 796 上配置有基板 797。

[0423]

藉由採用上述結構，可以提供一種包括佔有面積小的電容元件的顯示裝置。或者，可以提供一種顯示品質高的顯示裝置。或者，可以提供一種高解析度顯示裝置。

[0424]

例如，在本說明書等中，顯示元件、作爲包括顯示元件的裝置的顯示裝置、發光元件以及作爲包括發光元件的裝置的發光裝置可以採用各種方式或者包括各種元件。顯示元件、顯示裝置、發光元件或發光裝置例如包括 EL 元件（包含有機物及無機物的 EL 元件、有機 EL 元件、無機 EL 元件）、白色、紅色、綠色或藍色等的發光二極體（LED：Light Emitting Diode）、電晶體(根據電流而發光的電晶體)、電子發射元件、液晶元件、電子墨水、電泳元件、柵光閥(GLV)、電漿顯示器(PDP)、使用微機電系統(MEMS)的顯示元件、數位微鏡裝置(DMD)、數

位微快門(DMS)、IMOD(干涉測量調節)元件、快門方式的 MEMS 顯示元件、光干涉方式的 MEMS 顯示元件、電潤濕(electrowetting)元件、壓電陶瓷顯示器或使用碳奈米管的顯示元件中的至少一個。還可以包括其對比度、亮度、反射率、透射率等因電或磁作用而變化的顯示媒體。

[0425]

作爲使用 EL 元件的顯示裝置的一個例子，有 EL 顯示器等。作爲使用電子發射元件的顯示裝置的一個例子，有場致發射顯示器(FED)或 SED 方式平面型顯示器(SED：Surface-conduction Electron-emitter Display：表面傳導電子發射顯示器)等。作爲使用液晶元件的顯示裝置的一個例子，有液晶顯示器(透射式液晶顯示器、半透射式液晶顯示器、反射式液晶顯示器、直觀式液晶顯示器、投射式液晶顯示器)等。作爲使用電子墨水或電泳元件的顯示裝置的一個例子，有電子紙等。注意，當實現半透射型液晶顯示器或反射式液晶顯示器時，使像素電極的一部分或全部具有作爲反射電極的功能即可。例如，使像素電極的一部分或全部包含鋁、銀等即可。並且，此時也可以將 SRAM 等記憶體電路設置在反射電極下。由此，可以進一步降低功耗。

[0426]

注意，當使用 LED 時，也可以在 LED 的電極或氮化物半導體下配置石墨烯或石墨。石墨烯或石墨也可以爲層疊有多個層的多層膜。如此，藉由設置石墨烯或石墨，可以更容易地在其上形成氮化物半導體，如具有結晶的 n 型 GaN 半導體等。並且，在其上設置具有結晶的 p 型 GaN 半導體等，能夠構成 LED。此外，也可以在石墨烯或石墨與具有晶體的 n 型 GaN 半導體之間設置 AlN 層。可以利用 MOCVD 形成 LED 所包括的 GaN 半導體。注意，當設置石墨烯時，可以以濺射法形成 LED 所包括的 GaN 半導體。

[0427]

〈電子裝置〉

本發明的一個實施方式的半導體裝置可以用於顯示裝置、個人電腦或具備儲存介質的影像再現裝置（典型的是，能夠再現如數位影音

光碟（DVD：Digital Versatile Disc）等儲存介質的內容並具有可以顯示該影像的顯示器的裝置）中。另外，作爲可以使用本發明的一個實施方式的半導體裝置的電子裝置，可以舉出行動電話、包括可攜式的遊戲機、可攜式資料終端、電子書閱讀器終端、拍攝裝置諸如視頻攝影機或數位相機等、護目鏡型顯示器（頭戴式顯示器）、導航系統、音頻再生裝置（汽車音響系統、數位聲訊播放機等）、影印機、傳真機、印表機、多功能印表機、自動櫃員機（ATM）以及自動販賣機等。圖 37A 至圖 37F 示出這些電子裝置的具體例子。

[0428]

圖 37A 是可攜式遊戲機，其包括外殼 901、外殼 902、顯示部 903、顯示部 904、麥克風 905、揚聲器 906、操作鍵 907 以及觸控筆 908 等。注意，雖然圖 37A 所示的可攜式遊戲機包括兩個顯示部 903 和顯示部 904，但是可攜式遊戲機所包括的顯示部的個數不限於此。

[0429]

圖 37B 是可攜式資料終端，其包括第一外殼 911、第二外殼 912、第一顯示部 913、第二顯示部 914、連接部 915、操作鍵 916 等。第一顯示部 913 設置在第一外殼 911 中，而第二顯示部 914 設置在第二外殼 912 中。而且，第一外殼 911 和第二外殼 912 由連接部 915 連接，可以藉由連接部 915 改變第一外殼 911 和第二外殼 912 之間的角度。第一顯示部 913 的影像也可以根據連接部 915 所形成的第一外殼 911 和第二外殼 912 之間的角度切換。另外，也可以對第一顯示部 913 和第二顯示部 914 中的至少一個使用附加有位置輸入功能的顯示裝置。另外，可以藉由在顯示裝置中設置觸控面板來附加位置輸入功能。或者，也可以藉由在顯示裝置的像素部中設置還稱爲光感測器的光電轉換元件來附加位置輸入功能。

[0430]

圖 37C 是膝上型個人電腦，其包括外殼 921、顯示部 922、鍵盤 923 以及指向裝置 924 等。

[0431]

圖 37D 是電冷藏冷凍箱，其包括外殼 931、冷藏室門 932、冷凍室門 933 等。

[0432]

圖 37E 是視頻攝影機，其包括第一外殼 941、第二外殼 942、顯示部 943、操作鍵 944、透鏡 945、連接部 946 等。操作鍵 944 及透鏡 945 設置在第一外殼 941 中，而顯示部 943 設置在第二外殼 942 中。並且，第一外殼 941 和第二外殼 942 由連接部 946 連接，可以藉由連接部 946 改變第一外殼 941 和第二外殼 942 之間的角度。顯示部 943 的影像也可以根據連接部 946 所形成的第一外殼 941 和第二外殼 942 之間的角度切換。

[0433]

圖 37F 是汽車，其包括車體 951、車輪 952、儀表板 953 及燈 954 等。

實施例 1

[0434]

在本實施例中，示出使用本發明的一個實施方式的加工方法的例子。

[0435]

首先，準備 126.6 平方毫米的矽基板。接著，利用熱氧化法形成厚度爲 400nm 的氧化矽。接著，利用濺射法形成厚度爲 40nm 的 In-Ga-Zn 氧化物。接著，利用濺射法形成厚度爲 50nm 的鎢膜。

[0436]

接著，形成厚度爲 170nm 的防反射層。接著，形成光阻劑。接著，使用光罩使光阻劑露光。接著，使光阻劑顯影來形成 300nm 的槽。

[0437]

接著，使用 50sccm 的三氟甲烷氣體及 100sccm 的氦氣體生成電漿，來進行電漿處理。注意，壓力爲 5.5Pa，基板溫度爲 70℃，ICP 功率爲 475W，偏壓功率爲 300W，處理時間爲 80 秒。此時，光阻劑及防反射層

的側面如圖 6C 所示那樣地附著有有機物。

[0438]

接著，使用 45sccm 的氯氣體、55sccm 的四氟碳氣體及 55sccm 的氧氣體生成電漿，藉由電漿處理進行鎢膜的蝕刻。注意，壓力爲 0.67Pa，ICP 功率爲 3000W，偏壓功率爲 110W，處理時間爲 15 秒（將上述條件稱爲鎢的蝕刻條件 A）。此時，如圖 6D 所示，鎢膜被蝕刻。

[0439]

接著，藉由利用電漿灰化及濕蝕刻去除有機物、光阻劑及防反射層，可以獲得如圖 6E 所示的形狀。圖 46A 及圖 46B 示出其結果。圖 46A 示出矽基板的中央部的剖面掃描穿透式電子顯微鏡（STEM：Scanning Transmission Electron Microscope）影像，圖 46B 示出矽基板的角部的剖面 STEM 影像。

[0440]

在圖 46A 及圖 46B 中，鎢膜之間的距離都是 177nm。也就是說，可以在鎢膜中形成比光阻劑中的槽小的槽。

[0441]

另外，在改變鎢膜的蝕刻的條件的情況下也進行同樣的評價。明確而言，使用 60sccm 的四氟碳氣體及 40sccm 的氧氣體生成電漿，藉由電漿處理進行鎢膜的蝕刻。注意，壓力爲 2Pa，ICP 功率爲 1000W，偏壓功率爲 25W，處理時間爲 35 秒（將上述條件稱爲鎢的蝕刻條件 B）。

[0442]

接著，利用電漿灰化及濕蝕刻去除有機物、光阻劑及防反射層。圖 47A 及圖 47B 示出其結果。圖 47A 示出矽基板的中央部的剖面 STEM 影像，圖 47B 示出矽基板的角部的剖面 STEM 影像。

[0443]

在圖 47A 及圖 47B 中，鎢膜之間的距離都是 158nm。在該條件下也可以在鎢膜中形成具有小於光阻劑的槽的尺寸的形狀的槽。

實施例 2

[0444]

在本實施例中，藉由將實施例 1 所示的鎢膜用作源極電極及汲極電極，製造通道長度縮短的電晶體。

[0445]

圖 48A 和圖 48B 示出所製造的電晶體的結構。圖 48A 是電晶體的俯視圖，圖 48B 是對應於圖 48A 的點劃線 G1-G2 及點劃線 G3-G4 的電晶體的剖面圖。圖 48A 和圖 48B 所示的電晶體具有類似於圖 12A 所示的電晶體的結構，所以使用相同的符號。另外，如圖 13C 及圖 13D 所示，採用在半導體 406 的上下分別包括半導體 406a 及半導體 406c 的結構。

[0446]

作爲基板 400，使用 126.6 平方毫米的矽基板。作爲絕緣體 402，將厚度爲 100nm 的氧化矽與厚度爲 300nm 的氧氮化矽層疊使用。作爲半導體 406a，使用由 In:Ga:Zn=1:3:4[原子個數比]的 In-Ga-Zn 氧化物靶材形成的厚度爲 20nm 的 In-Ga-Zn 氧化物。作爲半導體 406，使用 In:Ga:Zn=1:1:1[原子個數比]的 In-Ga-Zn 氧化物靶材形成的厚度爲 20nm 的 In-Ga-Zn 氧化物。作爲半導體 406c，使用由 In:Ga:Zn=1:3:4[原子個數比]的 In-Ga-Zn 氧化物靶材形成的厚度爲 5nm 的 In-Ga-Zn 氧化物。作爲導電體 416a 及導電體 416b，使用厚度爲 50nm 的鎢。作爲絕緣體 412，使用厚度爲 10nm 的氧氮化矽。作爲導電體 404，使用厚度爲 30nm 的氮化鉭及厚度爲 135nm 的鎢。

[0447]

以汲極電壓 Vd 爲 0.1V 或 1.8V 分別對利用鎢的蝕刻條件 A 製造的 25 個電晶體進行 Id-Vg 特性的測定。注意，Id 表示汲極電流，Vg 表示閘極電壓。圖 49A 示出通道長度爲 180nm 且通道寬度爲 500nm 的電晶體的 Id-Vg 特性。圖 49B 示出通道長度爲 180nm 且通道寬度爲 800nm 的電晶體的 Id-Vg 特性。

[0448]

以汲極電壓 Vd 爲 0.1V 或 1.8V 分別對利用鎢的蝕刻條件 B 製造的

25 個電晶體進行 Id-Vg 特性的測定。圖 50A 示出通道長度爲 180nm 且通道寬度爲 500nm 的電晶體的 Id-Vg 特性。圖 50B 示出通道長度爲 180nm 且通道寬度爲 800nm 的電晶體的 Id-Vg 特性。

[0449]

根據圖 49A 至圖 50B，可知在本實施例中製造的電晶體具有偏差小且良好的電特性。尤其是，利用鎢的蝕刻條件 A 的電晶體的電特性的偏差更小。亦即，可知 126.6 平方毫米的矽基板面內的電晶體具有均一的形狀。

[符號說明]

[0450]

102　絕緣體
110　層
110a　層
110b　層
116　層
116a　層
116b　層
120　防反射層
122　光阻劑
124　有機物
200　攝像裝置
201　開關
202　開關
203　開關
210　像素部
211　像素
212　子像素
212B　子像素

212G　子像素
212R　子像素
220　光電轉換元件
230　像素電路
231　佈線
247　佈線
248　佈線
249　佈線
250　佈線
253　佈線
254　濾光片
254B　濾光片
254G　濾光片
254R　濾光片
255　透鏡
256　光
257　佈線
260　週邊電路
270　週邊電路
280　週邊電路
290　週邊電路
291　光源
300　矽基板
310　層
320　層
330　層
340　層
351　電晶體
352　電晶體

353 電晶體
360 光電二極體
361 陽極
363 低電阻區域
370 插頭
371 佈線
372 佈線
373 佈線
380 絕緣體
400 基板
401 絕緣體
402 絕緣體
404 導電體
406 半導體
406a 半導體
406c 半導體
410 絕緣體
410a 絕緣體
410b 絕緣體
411 絕緣體
412 絕緣體
413 導電體
414 導電體
416 導電體
416a 導電體
416b 導電體
450 半導體基板
452 絕緣體
454 導電體

456 區域
460 區域
462 絕緣體
464 絕緣體
466 絕緣體
468 絕緣體
472a 區域
472b 區域
474a 導電體
474b 導電體
474c 導電體
476a 導電體
476b 導電體
478a 導電體
478b 導電體
478c 導電體
480a 導電體
480b 導電體
480c 導電體
490 絕緣體
492 絕緣體
494 絕緣體
496a 導電體
496b 導電體
496c 導電體
496d 導電體
498a 導電體
498b 導電體
498c 導電體

498d 導電體
500 基板
502 絕緣體
503 絕緣體
504 導電體
506 半導體
510 絕緣體
510a 絕緣體
510b 絕緣體
512 絕緣體
513 導電體
516 導電體
516a 導電體
516b 導電體
536 半導體
540 絕緣體
546 導電體
700 基板
704a 導電體
704b 導電體
706 半導體
710a 絕緣體
710b 絕緣體
712a 絕緣體
712b 絕緣體
714a 導電體
714b 導電體
716a 導電體
716b 導電體

718a 絕緣體
718b 絕緣體
718c 絕緣體
719 發光元件
720 絕緣體
721 絕緣體
731 端子
732 FPC
733a 佈線
734 密封材料
735 驅動電路
736 驅動電路
737 像素
741 電晶體
742 電容元件
743 切換元件
744 信號線
750 基板
751 電晶體
752 電容元件
753 液晶元件
754 掃描線
755 信號線
781 導電體
782 發光層
783 導電體
784 分隔壁
791 導電體
792 絕緣體

793 液晶層
794 絕緣體
795 間隔物
796 導電體
797 基板
901 外殼
902 外殼
903 顯示部
904 顯示部
905 麥克風
906 揚聲器
907 操作鍵
908 觸控筆
911 外殼
912 外殼
913 顯示部
914 顯示部
915 連接部
916 操作鍵
921 外殼
922 顯示部
923 鍵盤
924 指向裝置
931 外殼
932 冷藏室門
933 冷凍室門
941 外殼
942 外殼
943 顯示部

944 操作鍵
945 透鏡
946 連接部
951 車體
952 車輪
953 儀表板
954 燈
1189 ROM 介面
1190 基板
1191 ALU
1192 ALU 控制器
1193 指令解碼器
1194 中斷控制器
1195 時序控制器
1196 暫存器
1197 暫存器控制器
1198 匯流排介面
1199 ROM
1200 記憶元件
1201 電路
1202 電路
1203 開關
1204 開關
1206 邏輯元件
1207 電容元件
1208 電容元件
1209 電晶體
1210 電晶體
1213 電晶體

1214 電晶體
1220 電路
2100 電晶體
2200 電晶體
3001 佈線
3002 佈線
3003 佈線
3004 佈線
3005 佈線
3200 電晶體
3300 電晶體
3400 電容元件
5100 顆粒
5100a 顆粒
5100b 顆粒
5101 離子
5102 氧化鋅層
5103 粒子
5105a 顆粒
5105a1 區域
5105a2 顆粒
5105b 顆粒
5105c 顆粒
5105d 顆粒
5105d1 區域
5105e 顆粒
5120 基板
5130 靶材
5161 區域

(108 年 7 月 4 日專利修正無畫線版本)

申請專利範圍

1. 一種半導體裝置的製造方法，包括如下步驟：

在基板上形成半導體；

在該半導體上形成第一導電體；

在該第一導電體上形成第一絕緣體；

在該第一絕緣體上形成光阻劑；

對該光阻劑進行曝光及顯影，以使該光阻劑的第一區域及第二區域殘留並使該第一絕緣體的一部分露出；

施加垂直於該基板的頂面的方向的偏壓並使用包含碳及鹵素的氣體生成電漿；

使用該電漿使有機物沉積並對其進行蝕刻；

以該有機物、該第一區域及該第二區域為遮罩對該第一絕緣體進行蝕刻來形成第二絕緣體及第三絕緣體，並使該第一導電體露出；

以該第二絕緣體及該第三絕緣體為遮罩對該第一導電體進行蝕刻來形成第二導電體及第三導電體，並使該半導體露出；

去除該有機物、該第一區域及該第二區域；

在該半導體的露出部上形成第四絕緣體；以及

在該第四絕緣體上形成第四導電體，

其中，在該第一絕緣體的該部分中，該有機物的蝕刻速度比該有機物的沉積速度快，

並且，在該第一區域的側面，該有機物的該沉積速度比該有機物的該蝕刻速度快。

2. 一種半導體裝置的製造方法，包括如下步驟：

在基板上形成半導體；

在該半導體上形成第一導電體；

在該第一導電體上形成第一絕緣體；

在該第一絕緣體上形成光阻劑；

對該光阻劑進行曝光及顯影，以使該光阻劑的第一區域及第二區

(108 年 7 月 4 日專利修正無畫線版本)

域殘留並使該第一絕緣體的一部分露出；

施加垂直於該基板的頂面的方向的偏壓並使用包含碳及鹵素的氣體生成電漿；

使用該電漿使有機物沉積並對其進行蝕刻；

以該有機物、該第一區域及該第二區域為遮罩對該第一絕緣體進行蝕刻來形成第二絕緣體及第三絕緣體，並使該第一導電體露出；

以該第二絕緣體及該第三絕緣體為遮罩對該第一導電體進行蝕刻來形成第二導電體及第三導電體，並使該半導體露出；以及

在該第二絕緣體及該第三絕緣體上形成第四導電體，

其中，在該第一絕緣體的該部分中，該有機物的蝕刻速度比該有機物的沉積速度快，

並且，在該第一區域的側面，該有機物的該沉積速度比該有機物的該蝕刻速度快。

3. 一種半導體裝置的製造方法，包括如下步驟：

在基板上形成半導體；

在該半導體上形成第一導電體；

在該第一導電體上形成第一絕緣體；

在該第一絕緣體上形成光阻劑；

對該光阻劑進行曝光及顯影，以使該光阻劑的第一區域及第二區域殘留並使該第一絕緣體的一部分露出；

施加垂直於該基板的頂面的方向的偏壓並使用包含碳及鹵素的氣體生成電漿；

使用該電漿使有機物沉積並對其進行蝕刻；

以該有機物、該第一區域及該第二區域為遮罩對該第一絕緣體進行蝕刻來形成第二絕緣體及第三絕緣體，並使該第一導電體露出；

以該第二絕緣體及該第三絕緣體為遮罩對該第一導電體進行蝕刻來形成第二導電體及第三導電體，並使該半導體露出；以及

在該第二絕緣體及該第三絕緣體上形成第四導電體，

其中，在該第一絕緣體的該部分中，該有機物的蝕刻速度比該有

(108年7月4日專利修正無畫線版本)

機物的沉積速度快。

4. 一種半導體裝置的製造方法，包括如下步驟：

在半導體上形成第一導電體；

在該第一導電體上形成第一絕緣體；

在該第一絕緣體上形成光阻劑；

對該光阻劑進行曝光及顯影，以使該光阻劑的第一區域及第二區域殘留並使該第一絕緣體的一部分露出；

施加偏壓並使用包含碳及鹵素的氣體生成電漿；

使用該電漿使有機物沉積並對其進行蝕刻；

以該有機物、該第一區域及該第二區域為遮罩對該第一絕緣體進行蝕刻來形成第二絕緣體及第三絕緣體，並使該第一導電體露出；

以該第二絕緣體及該第三絕緣體為遮罩對該第一導電體進行蝕刻來形成第二導電體及第三導電體，並使該半導體露出；以及

在該第二絕緣體及該第三絕緣體上形成第四導電體，

其中，在該第一絕緣體的該部分中，該有機物的蝕刻速度比該有機物的沉積速度快。

5. 根據申請專利範圍第1、2、3及4項中任一項之半導體裝置的製造方法，其中該第二導電體與該第三導電體之間的距離是該第一區域與該第二區域之間的距離的80%以下。

6. 根據申請專利範圍第1、2、3及4項中任一項之半導體裝置的製造方法，包括在形成該光阻劑前形成防反射層的步驟。

圖式

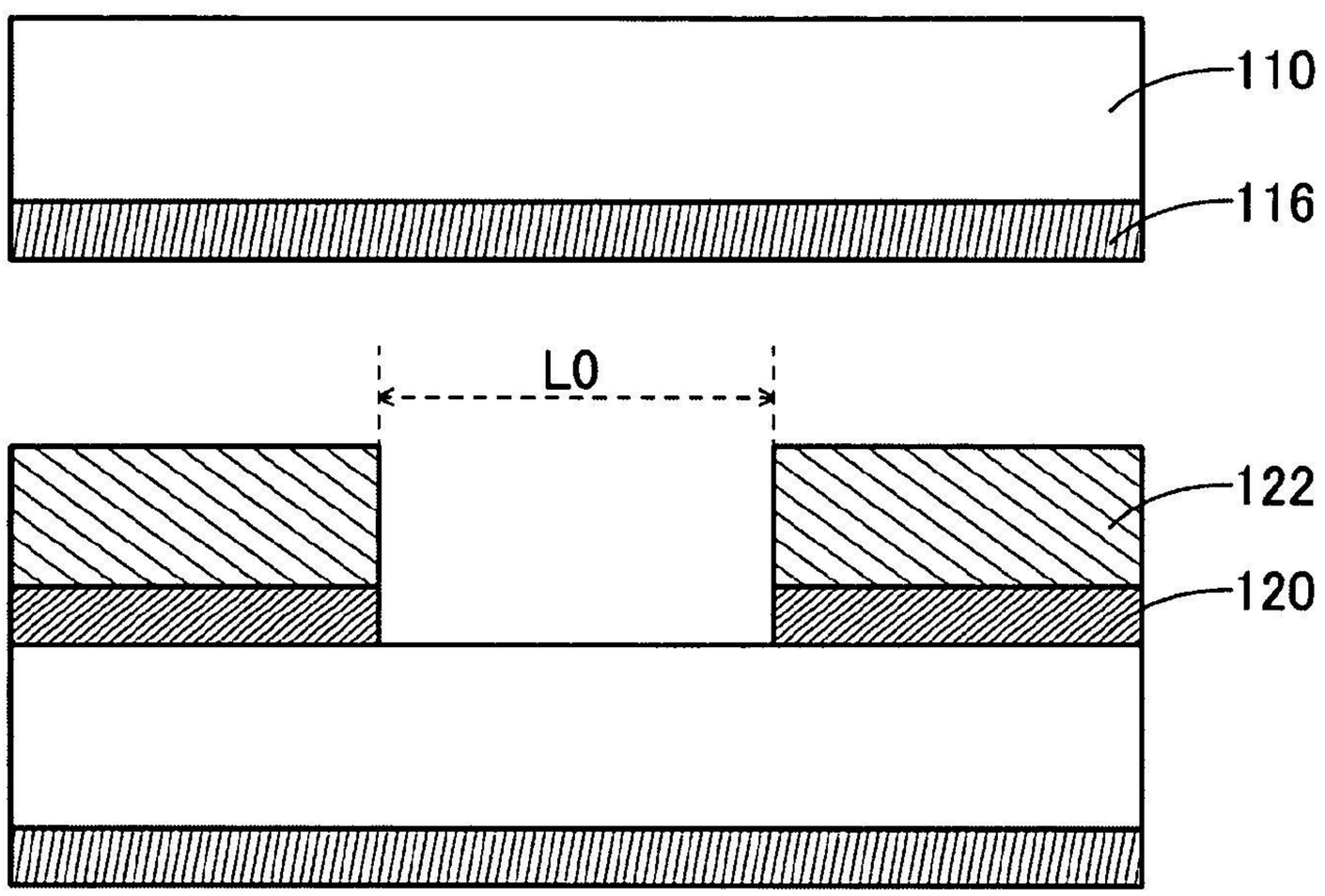

圖 1A

圖 1B

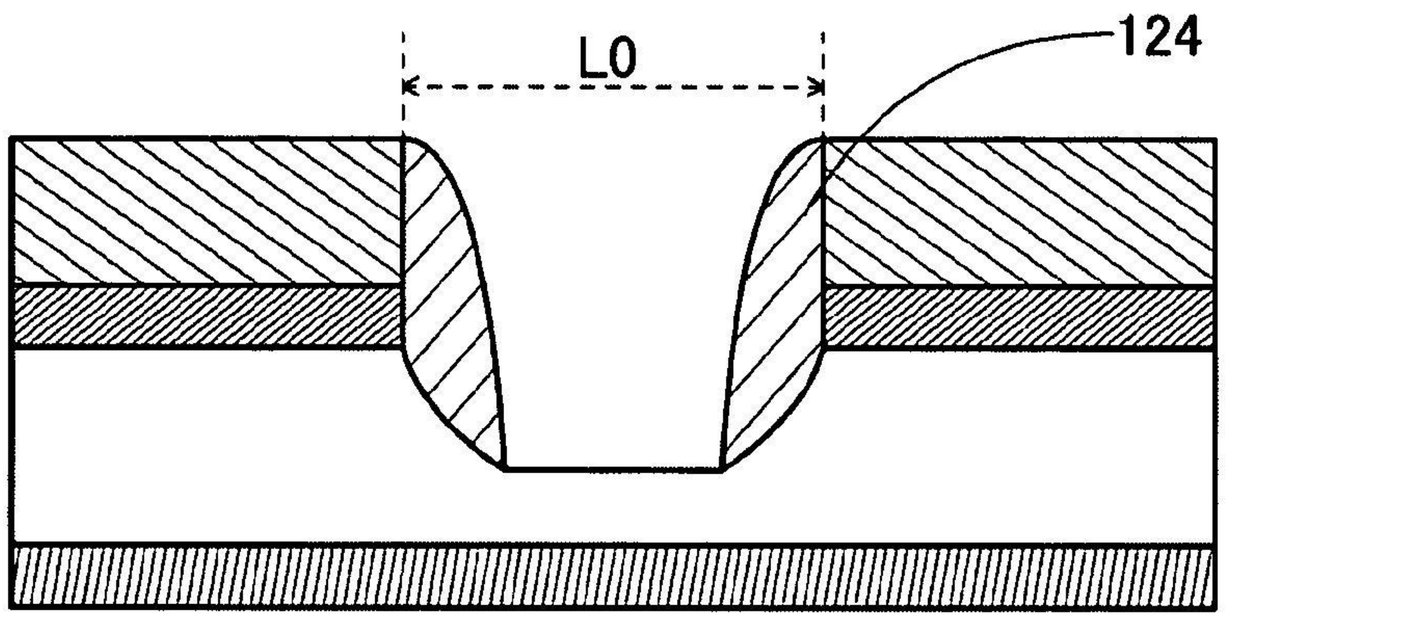

圖 1C

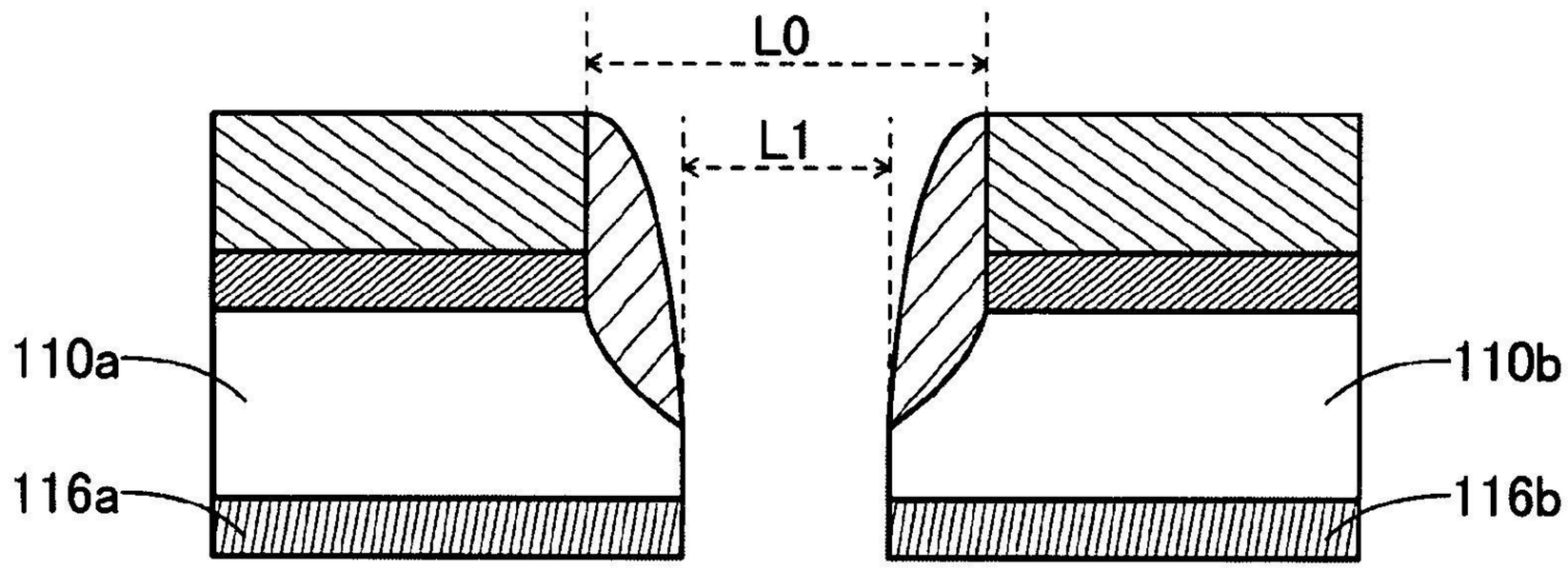

圖 1D

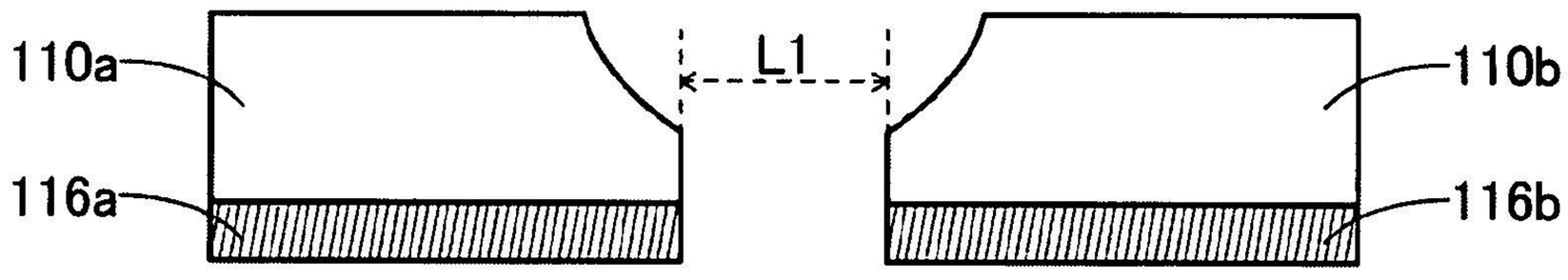

圖 1E

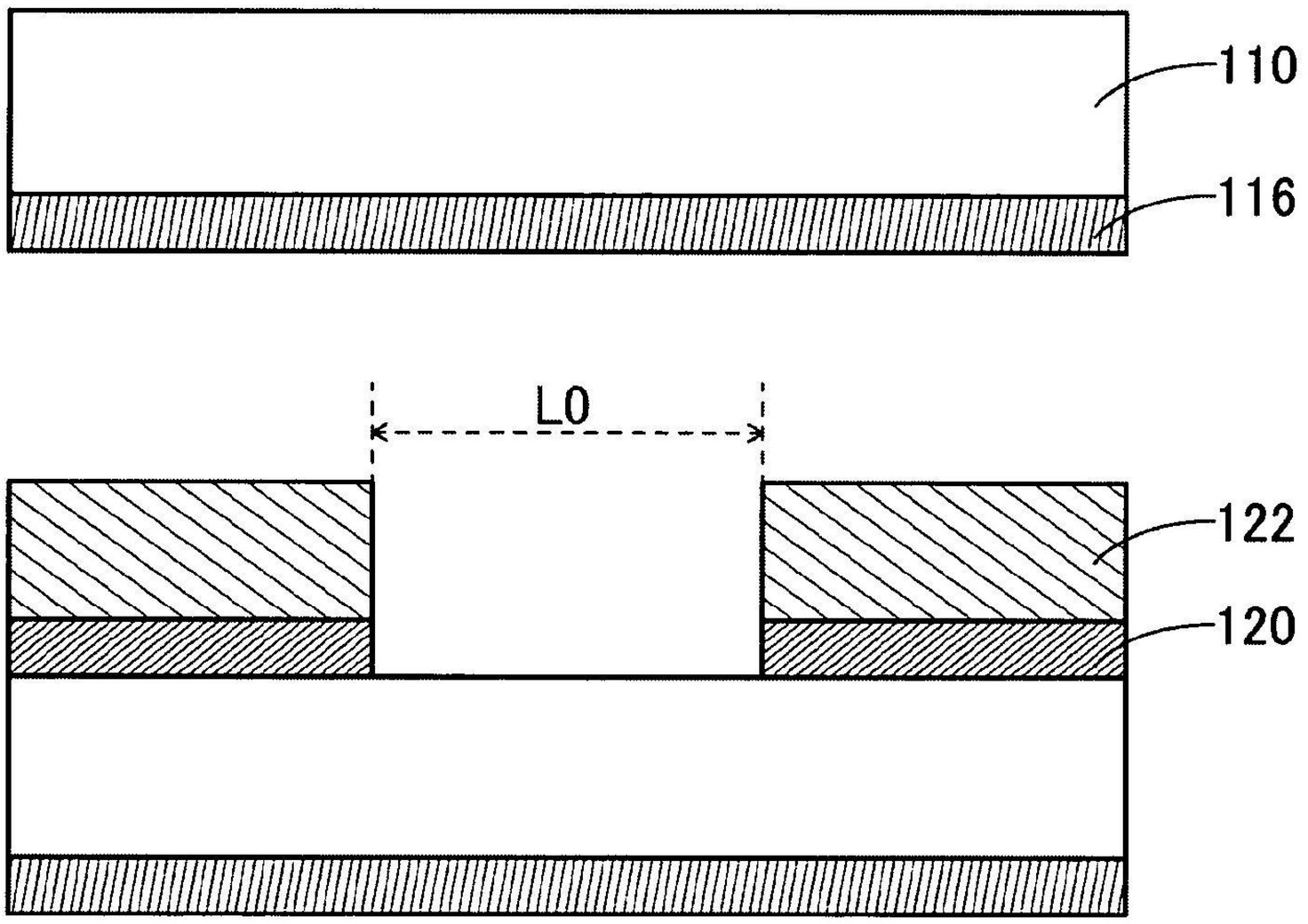

圖 2A

圖 2B

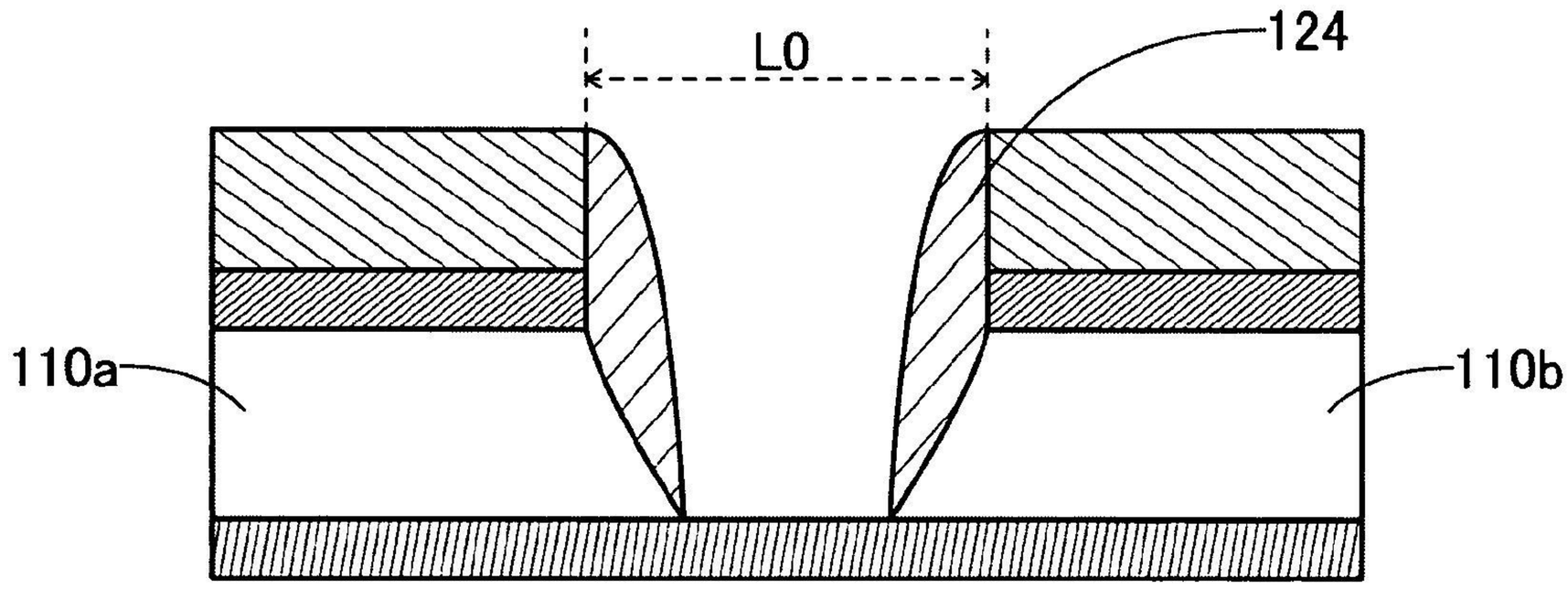

圖 2C

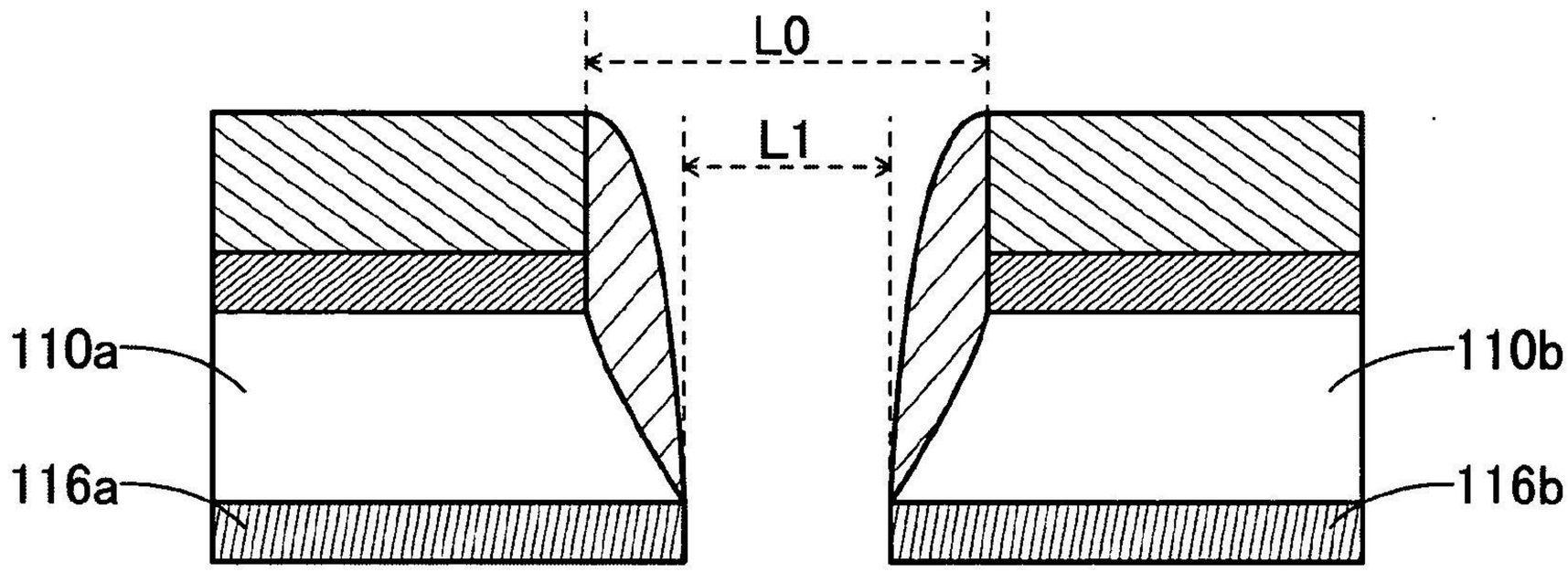

圖 2D

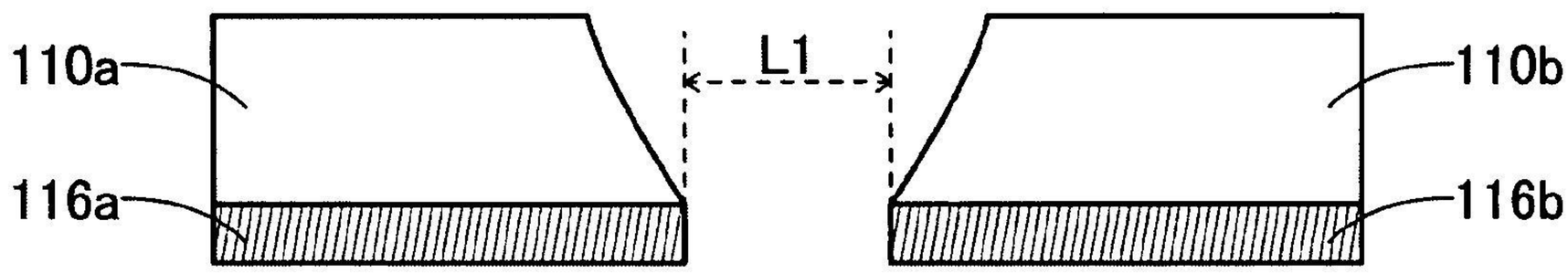

圖 2E

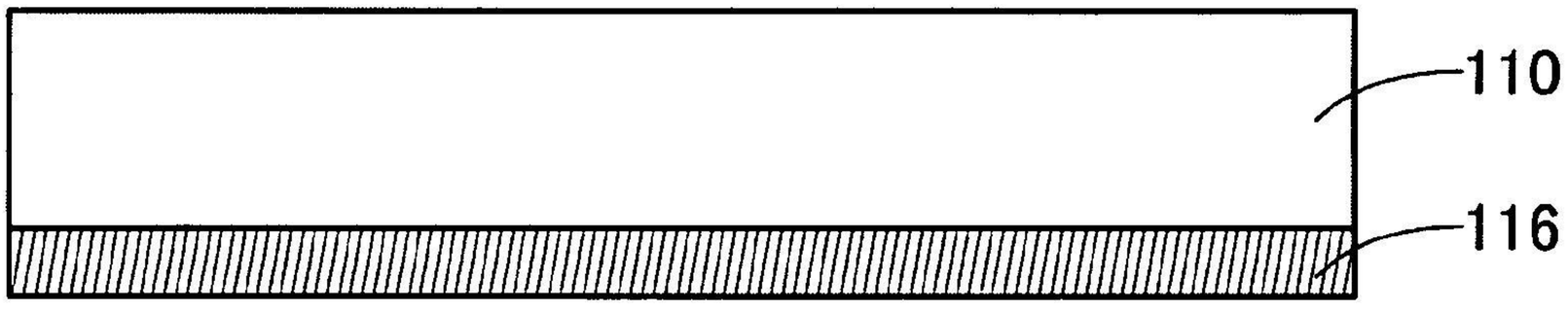

圖 3A

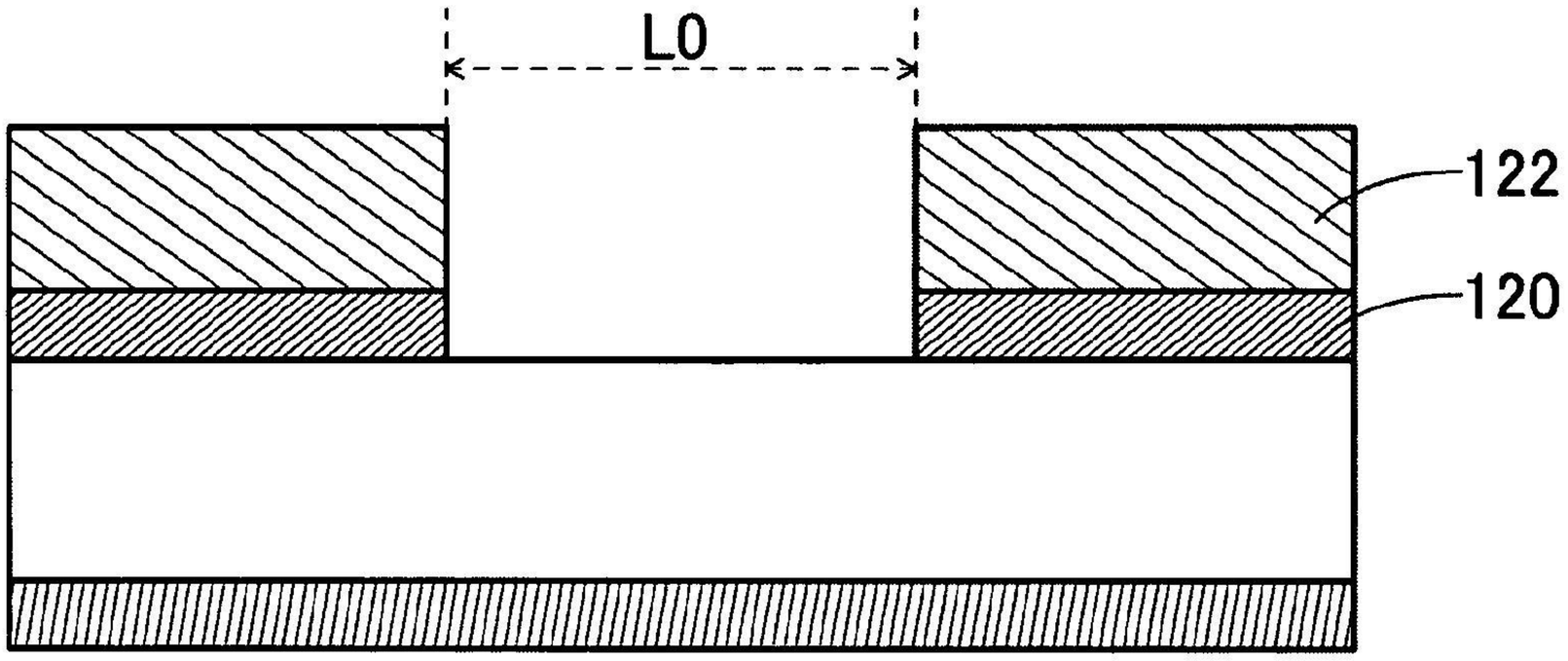

圖 3B

圖 3C

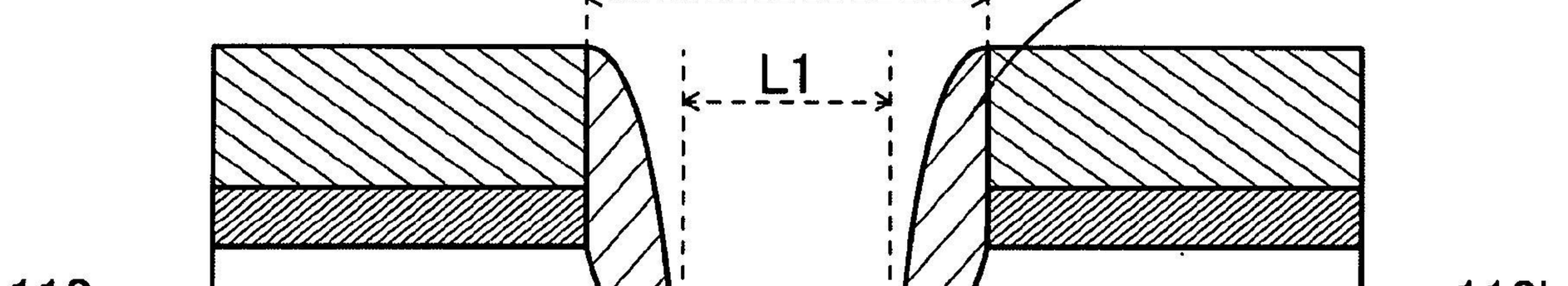

圖 3D

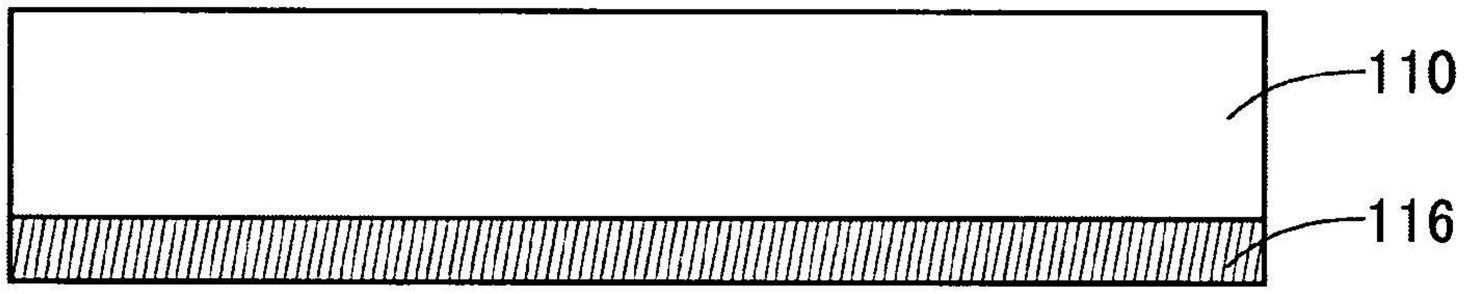

圖 4A

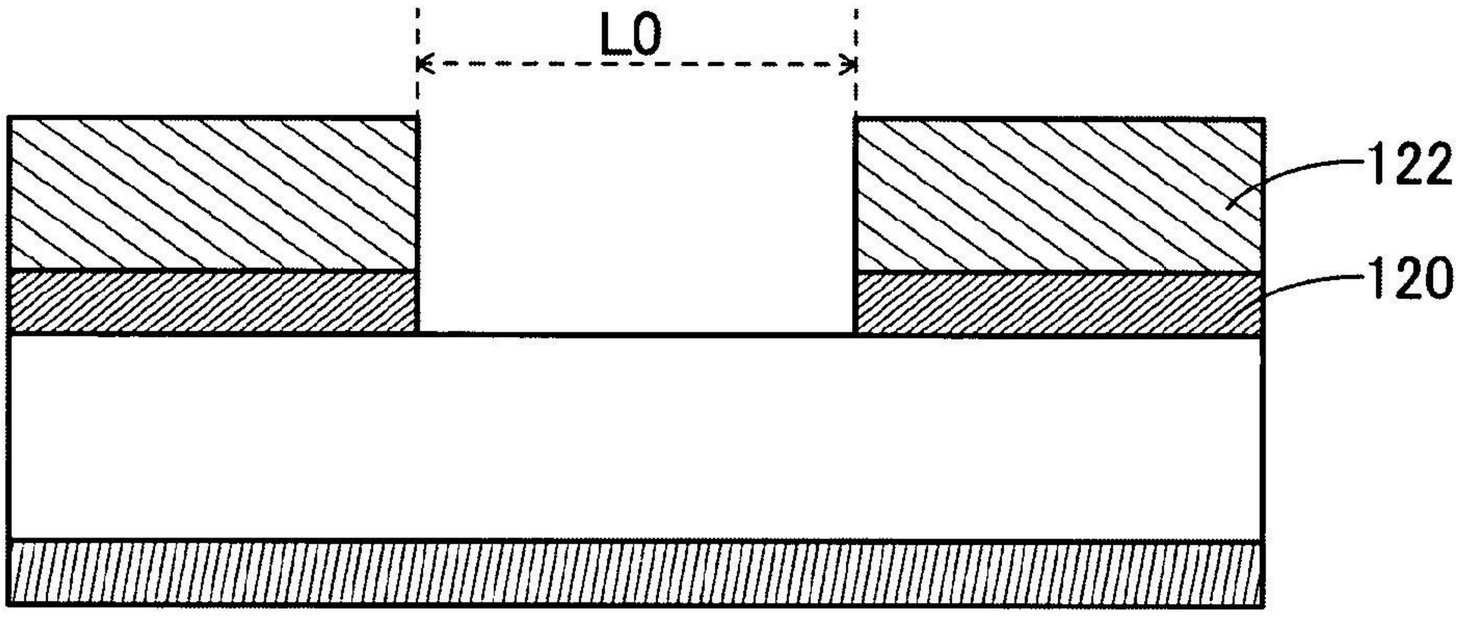

圖 4B

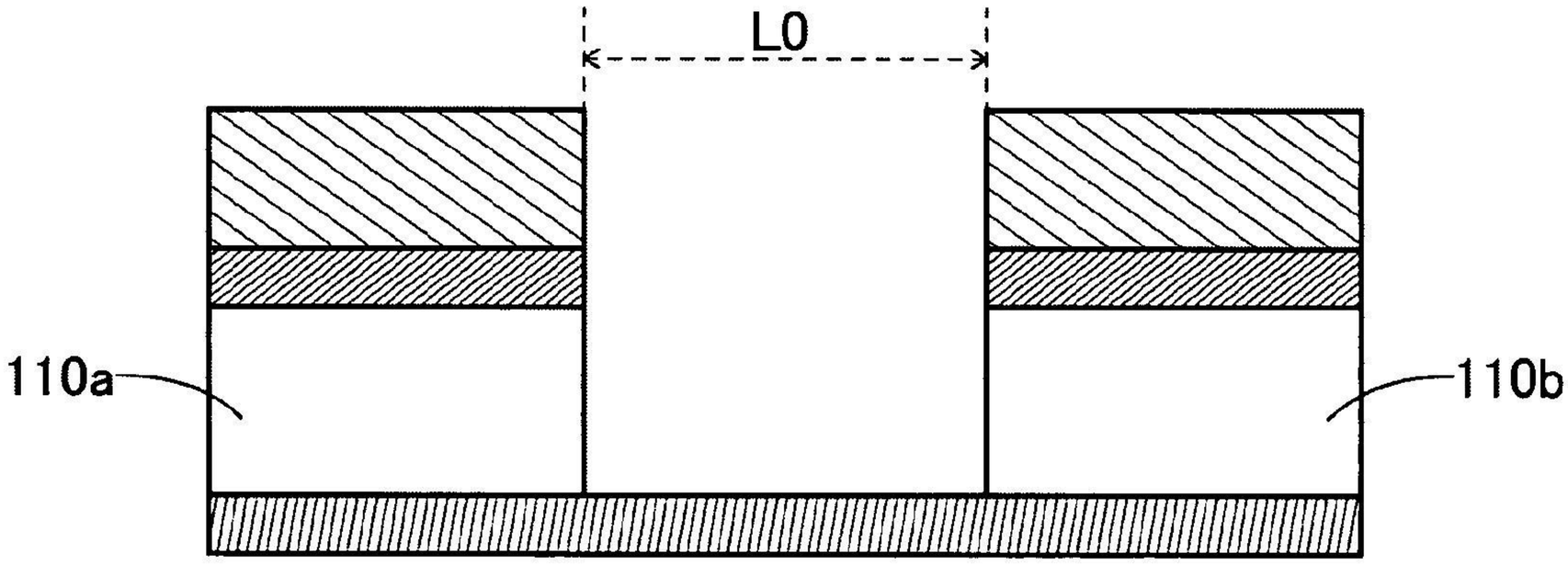

圖 4C

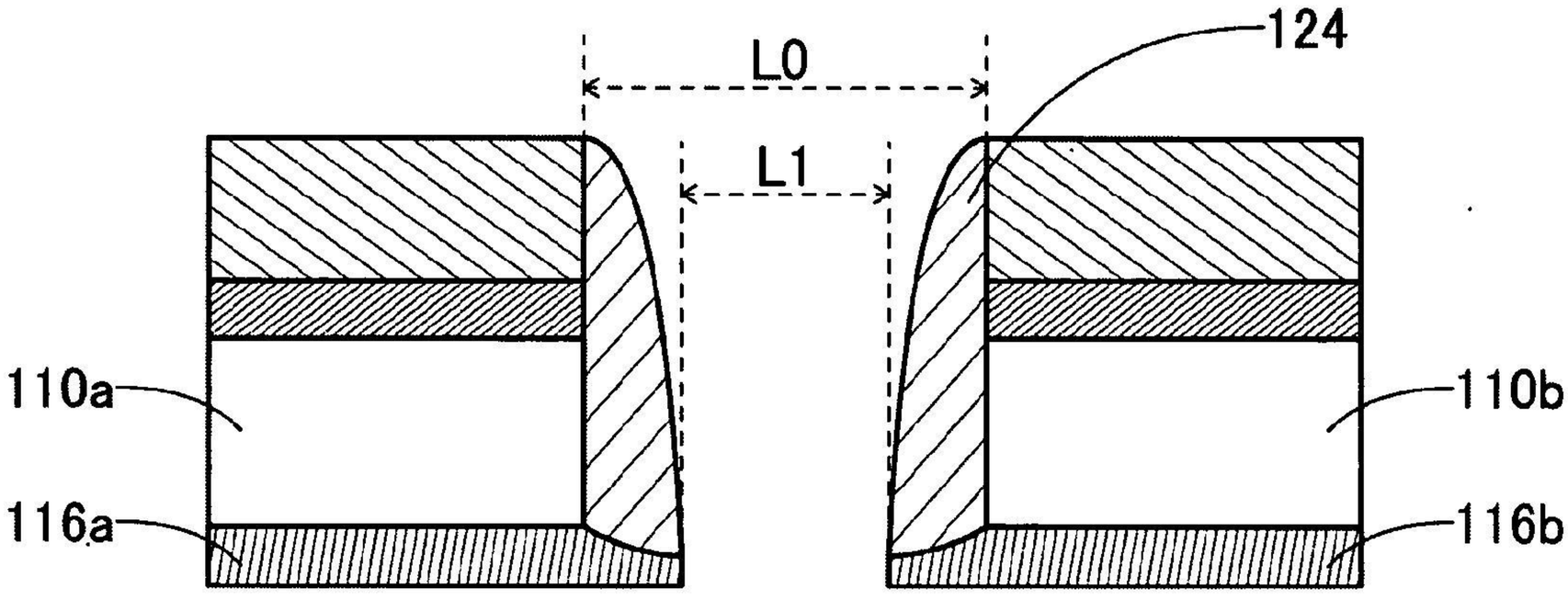

圖 4D

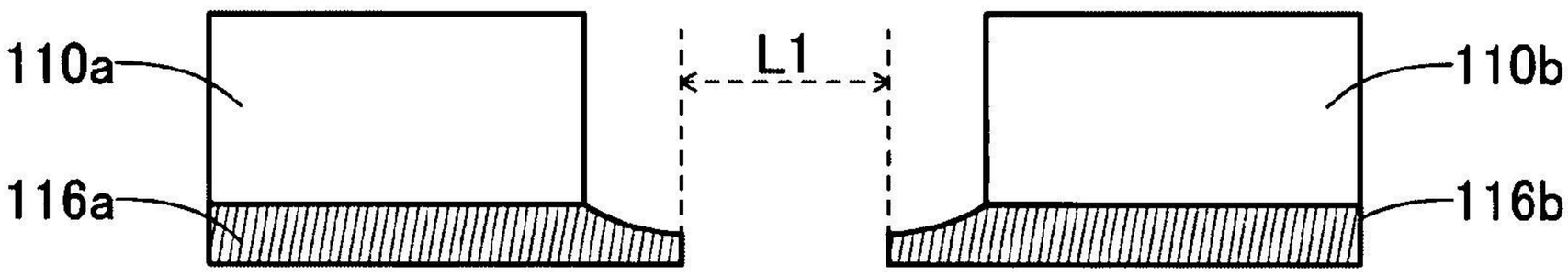

圖 4E

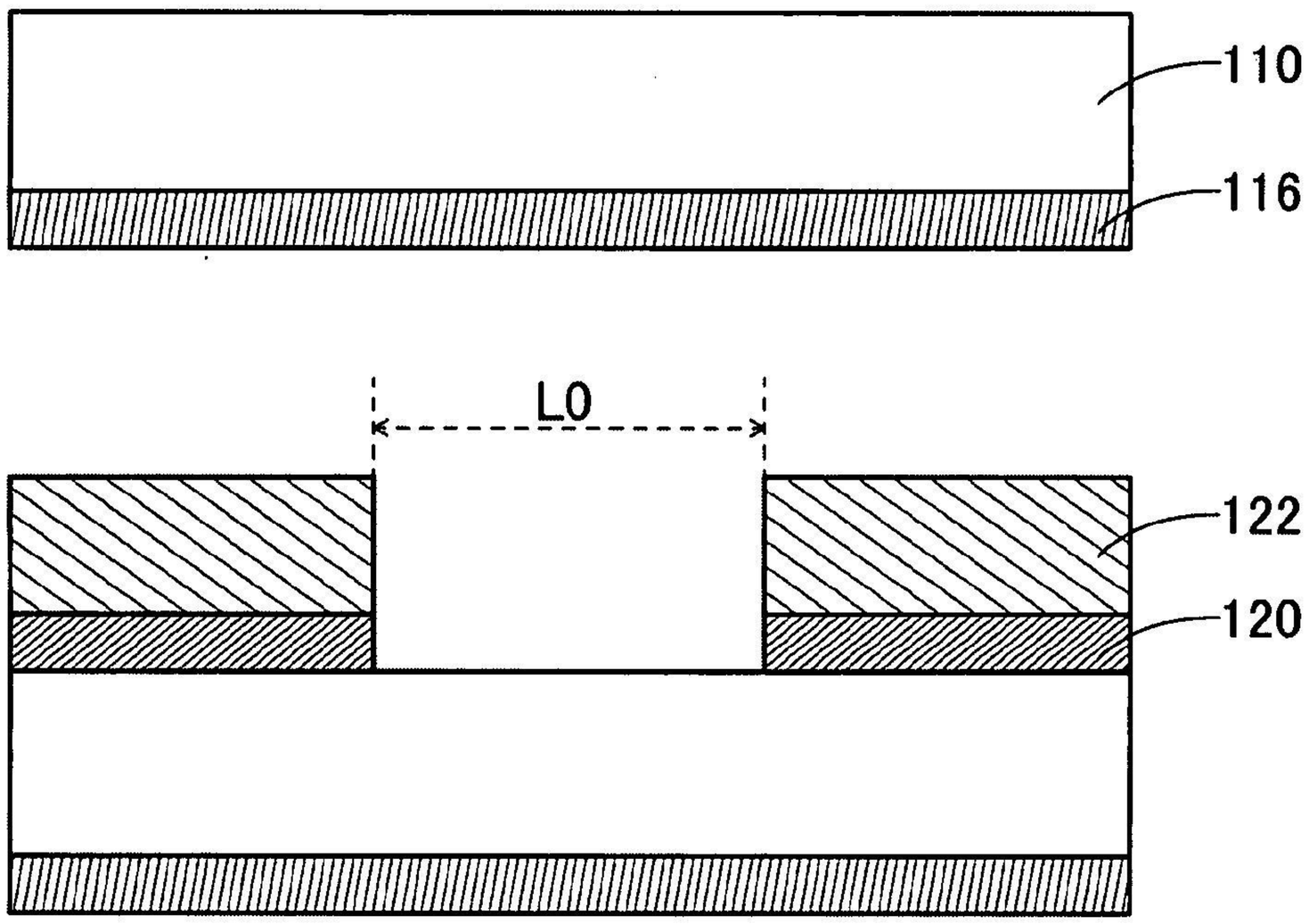

圖 5A

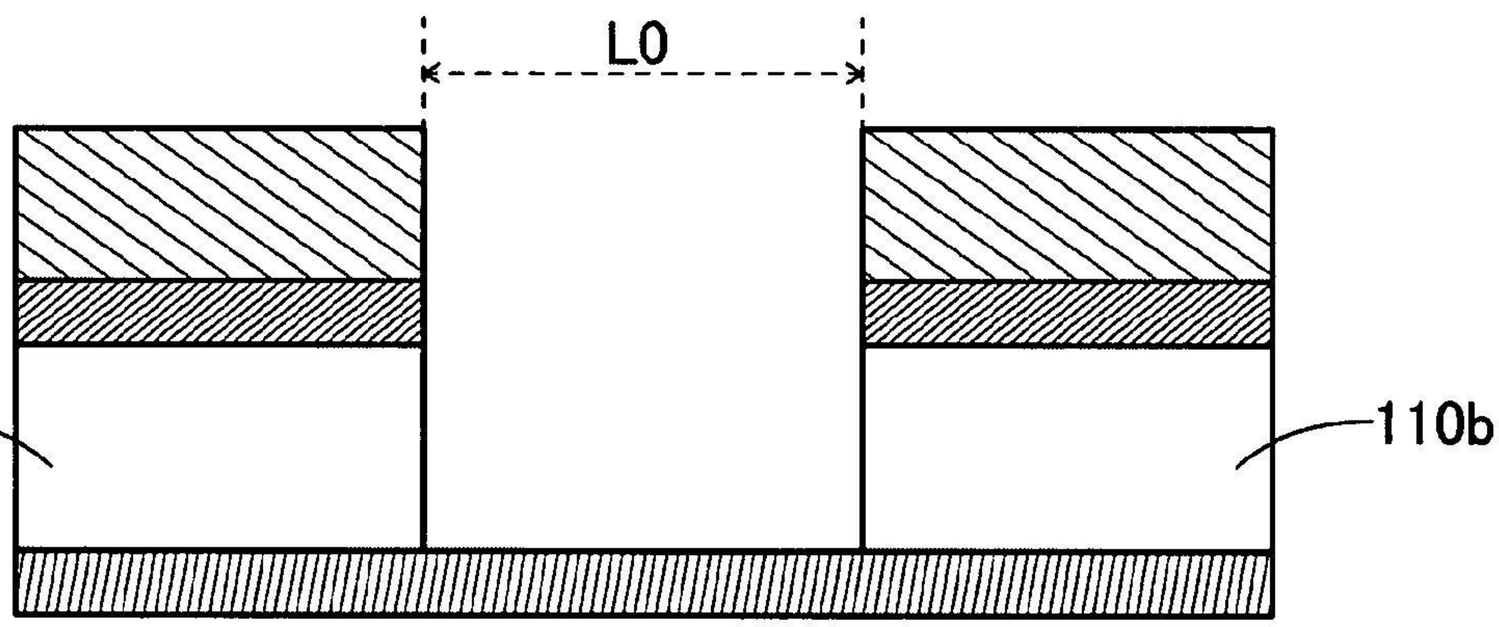

圖 5B

圖 5C

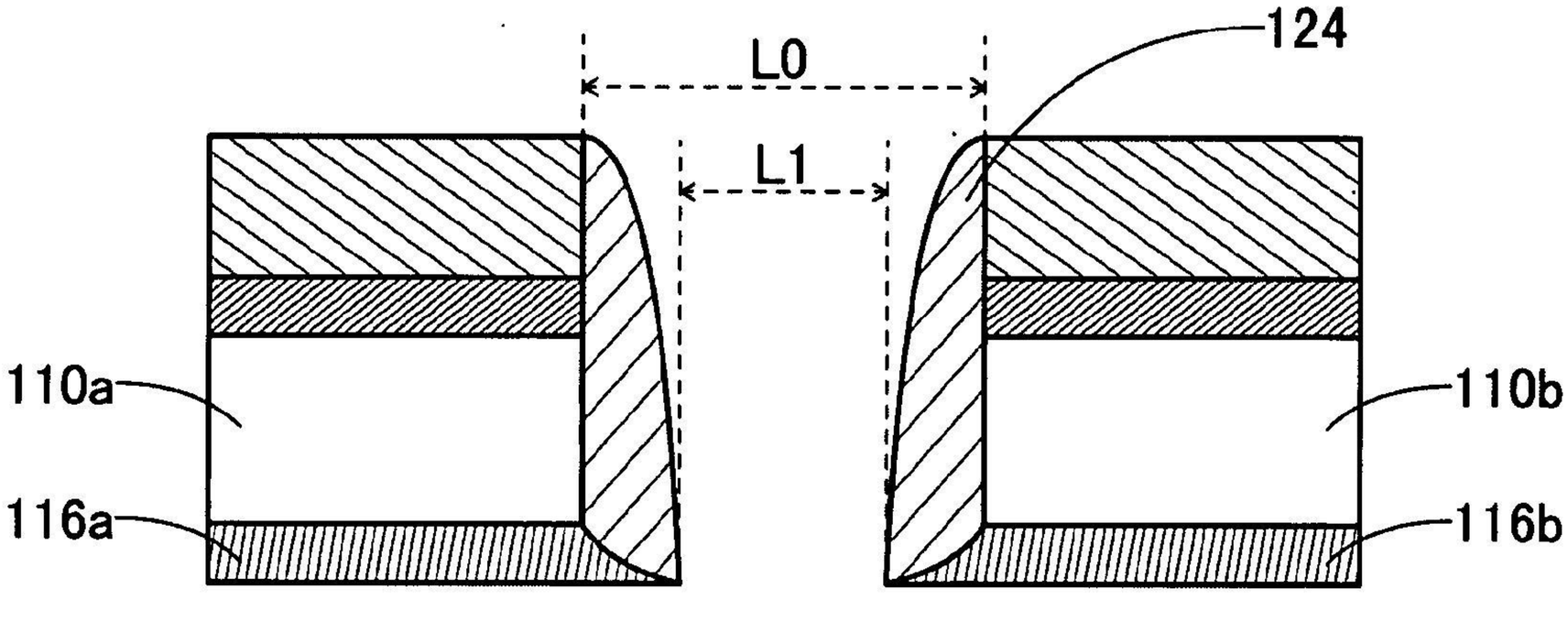

圖 5D

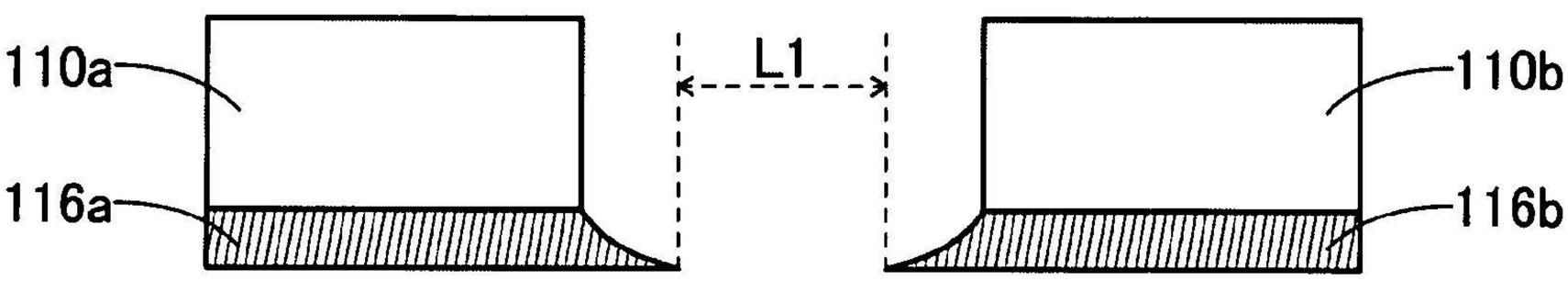

圖 5E

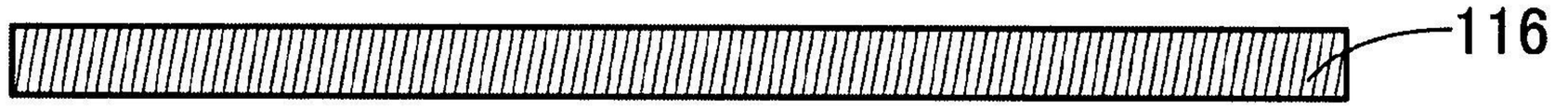

圖 6A

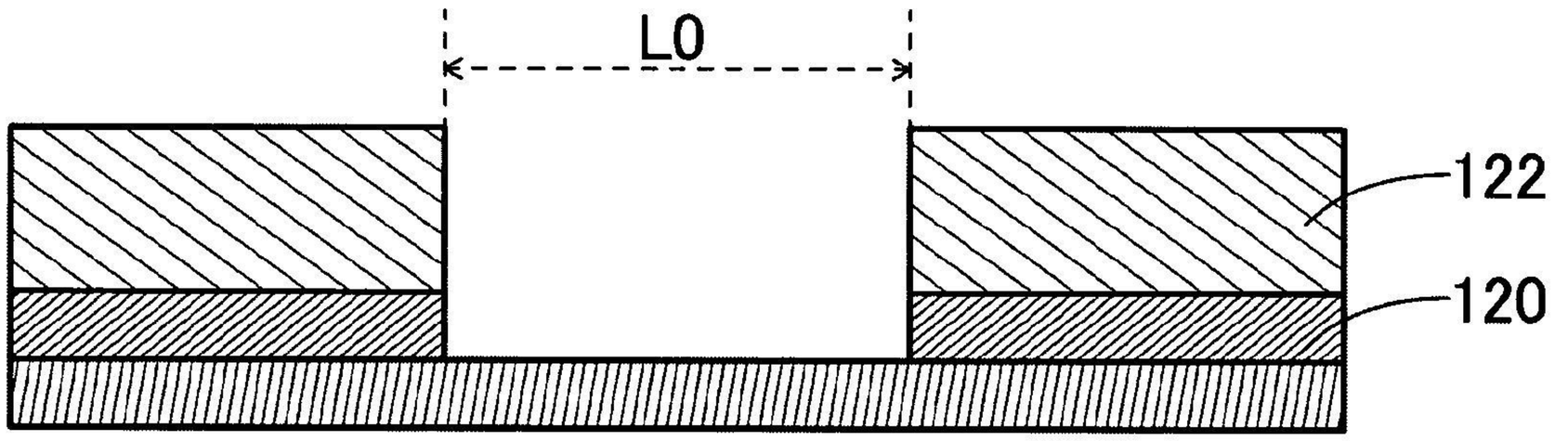

圖 6B

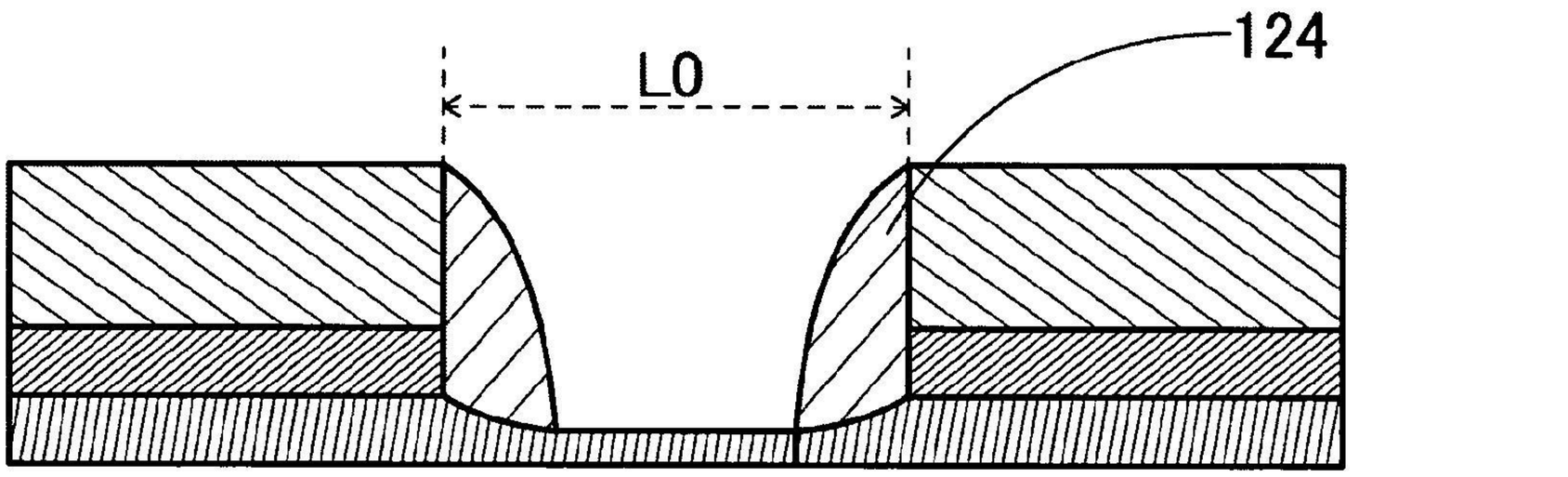

圖 6C

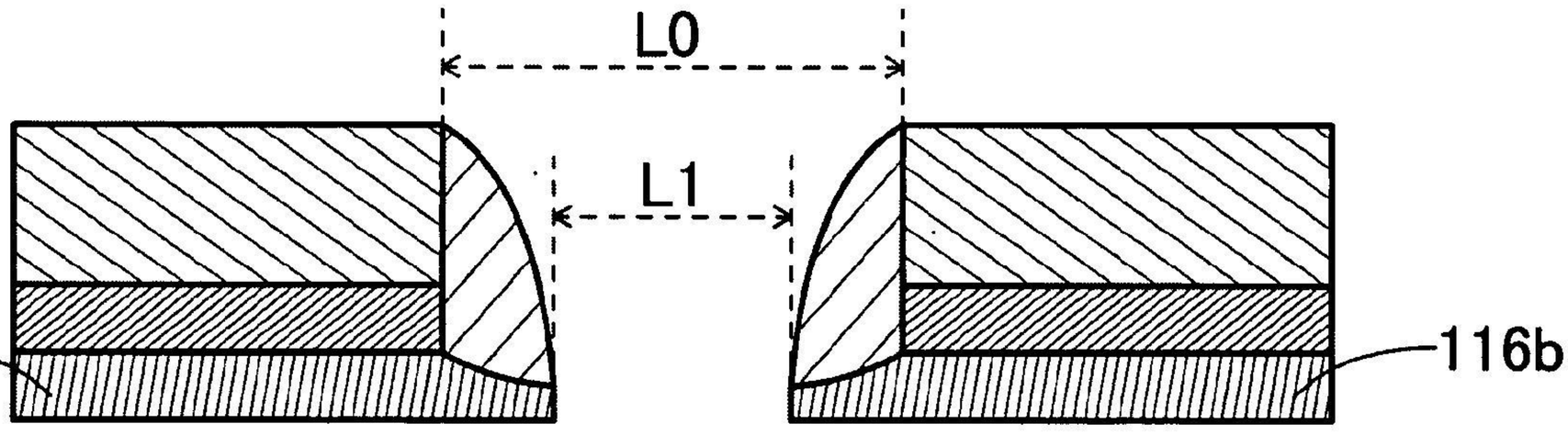

圖 6D

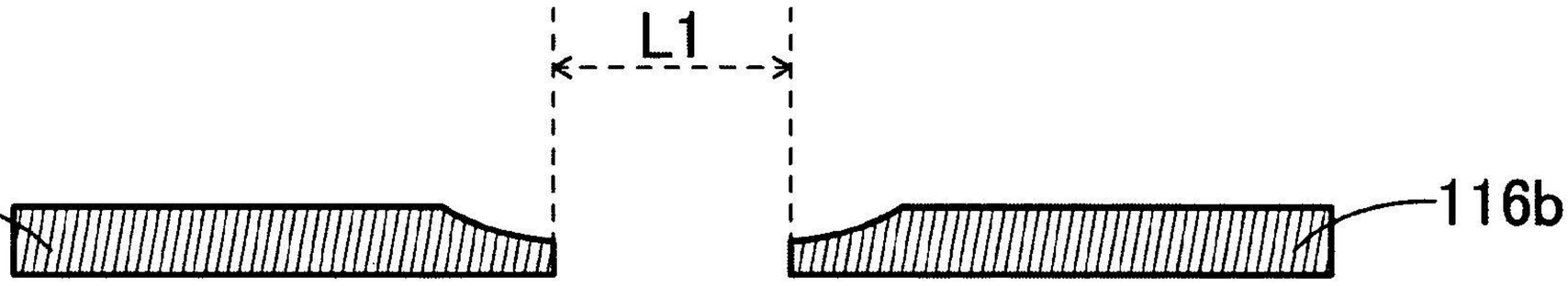

圖 6E

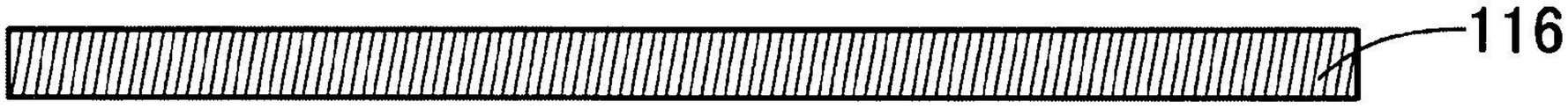

圖 7A

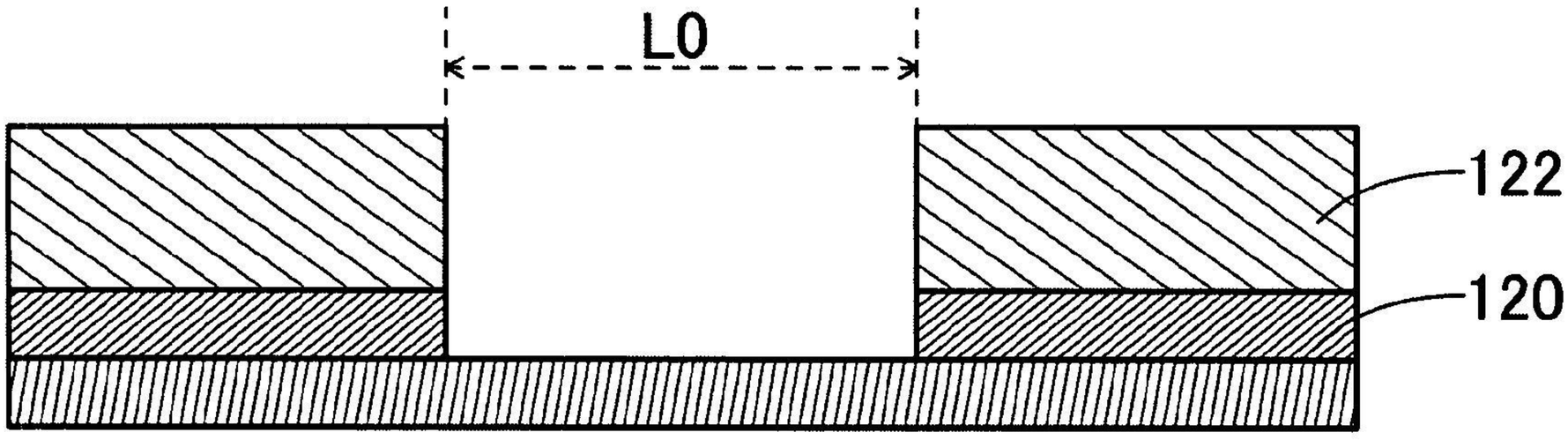

圖 7B

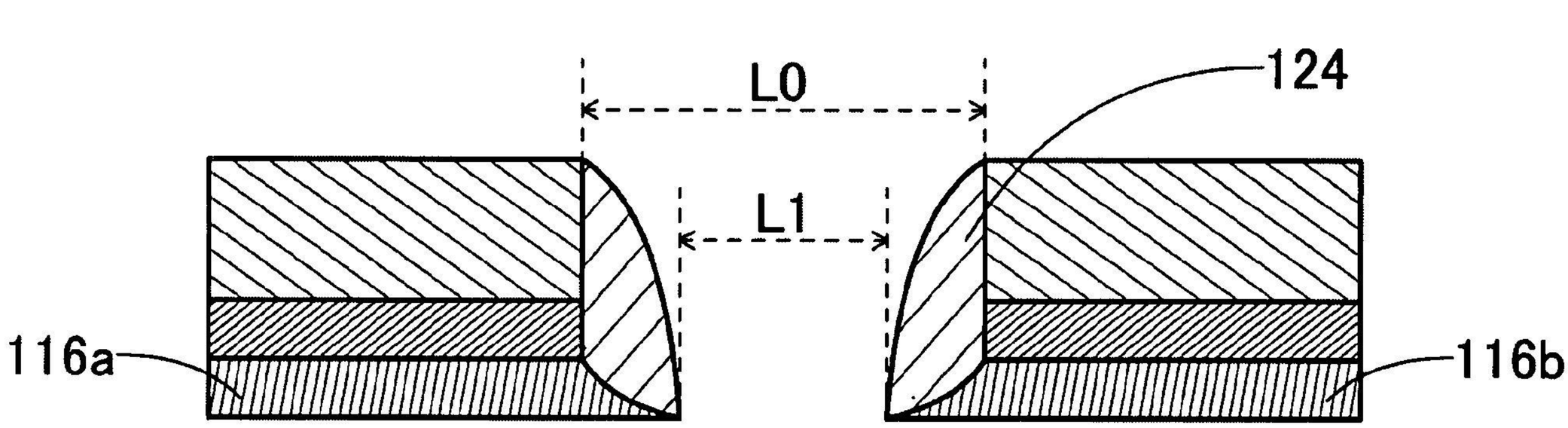

圖 7C

圖 7D

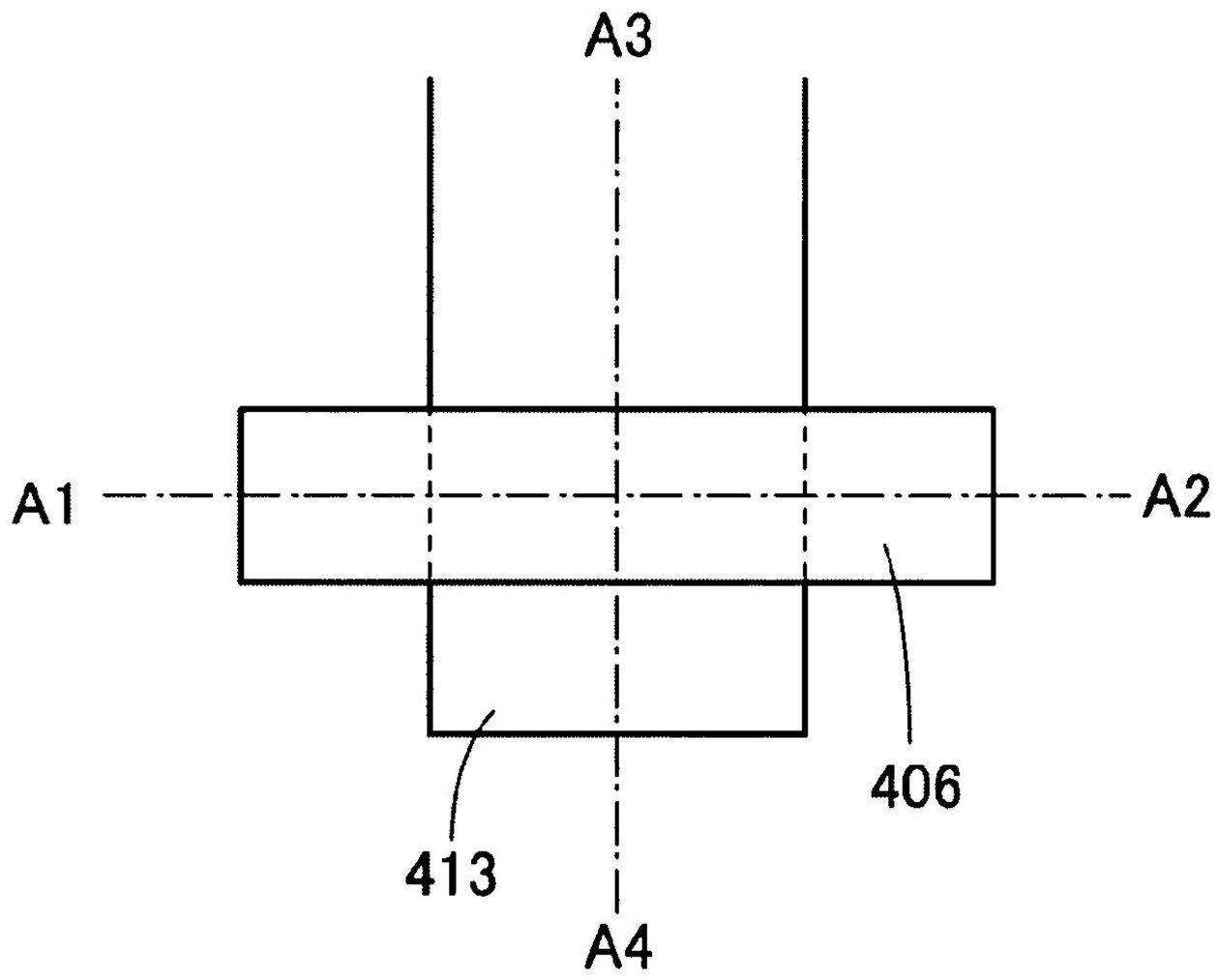

圖 8A

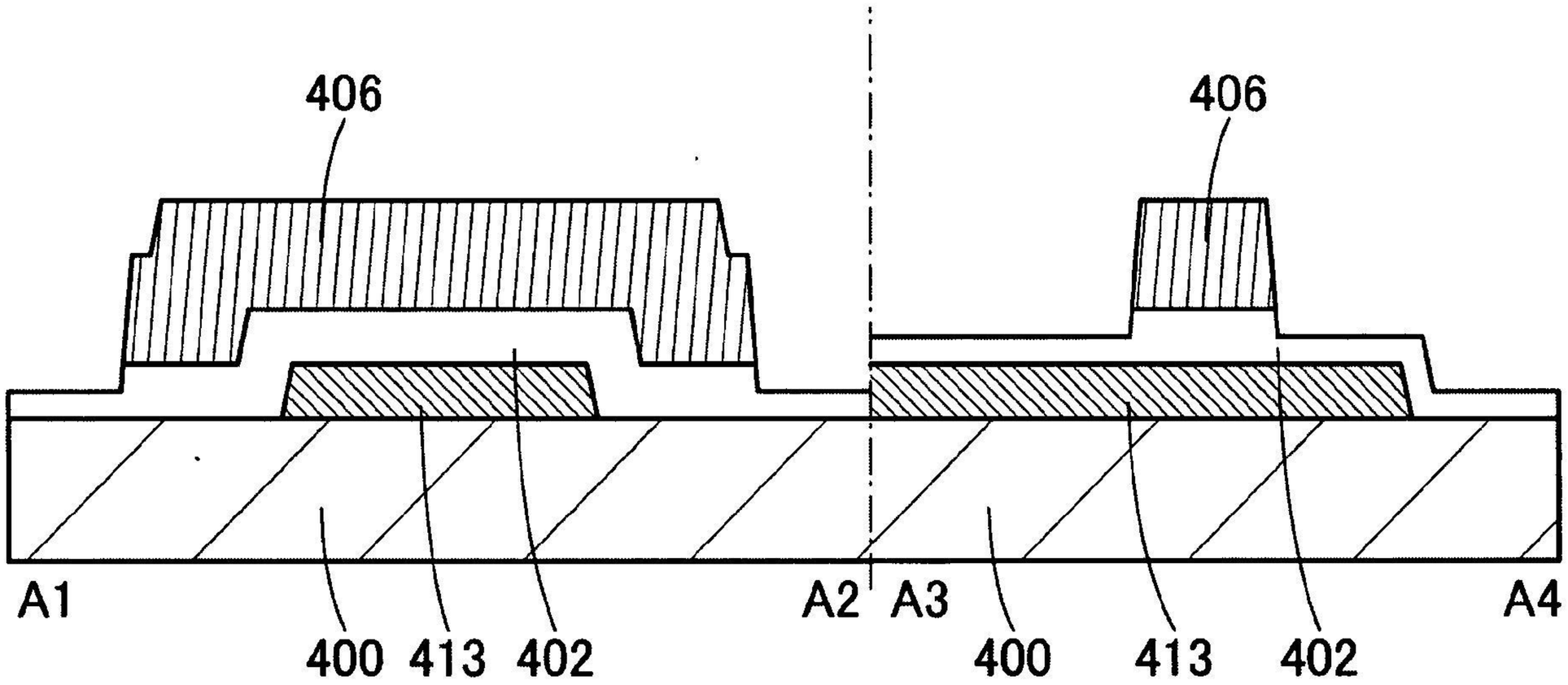

圖 8B

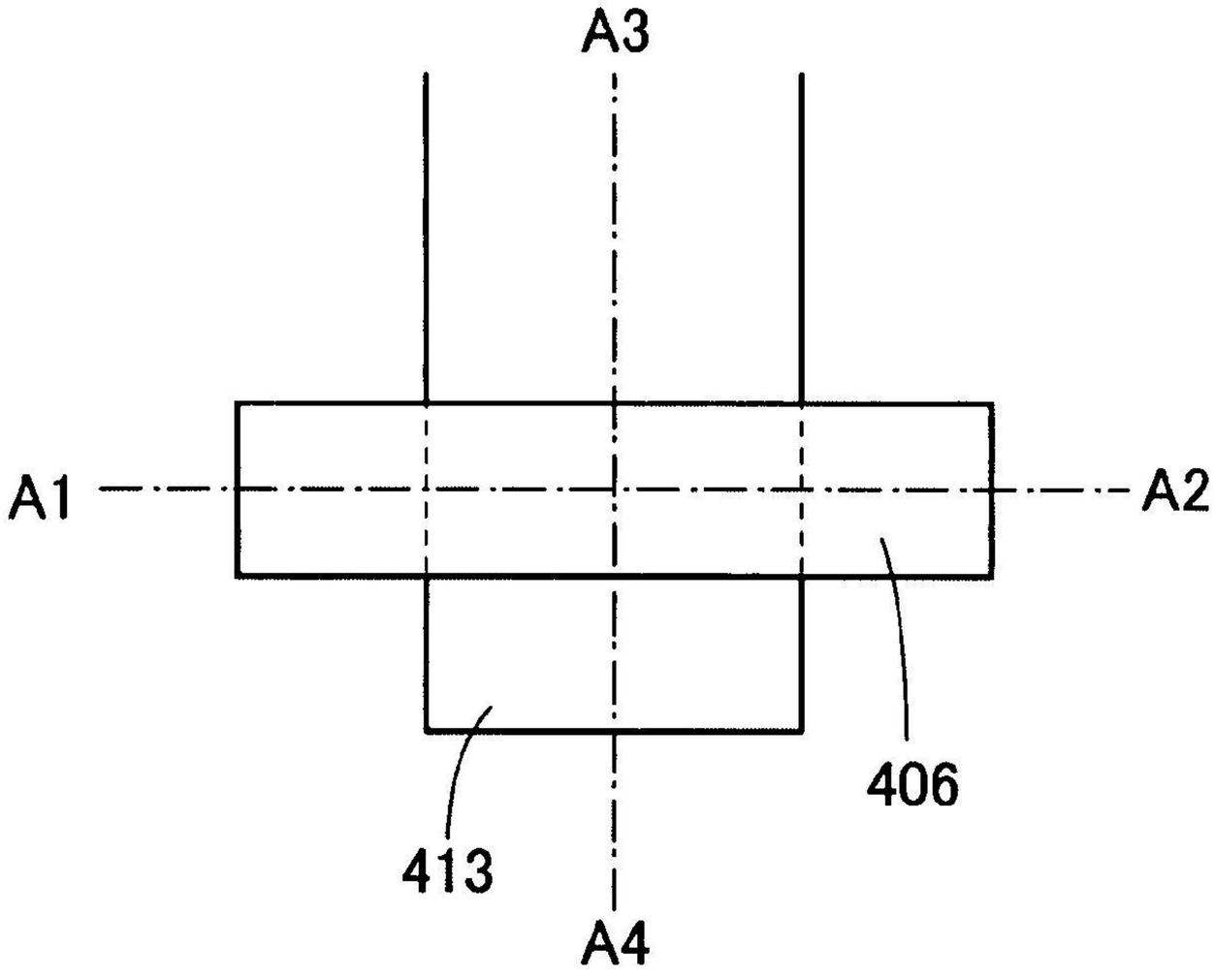

圖 9A

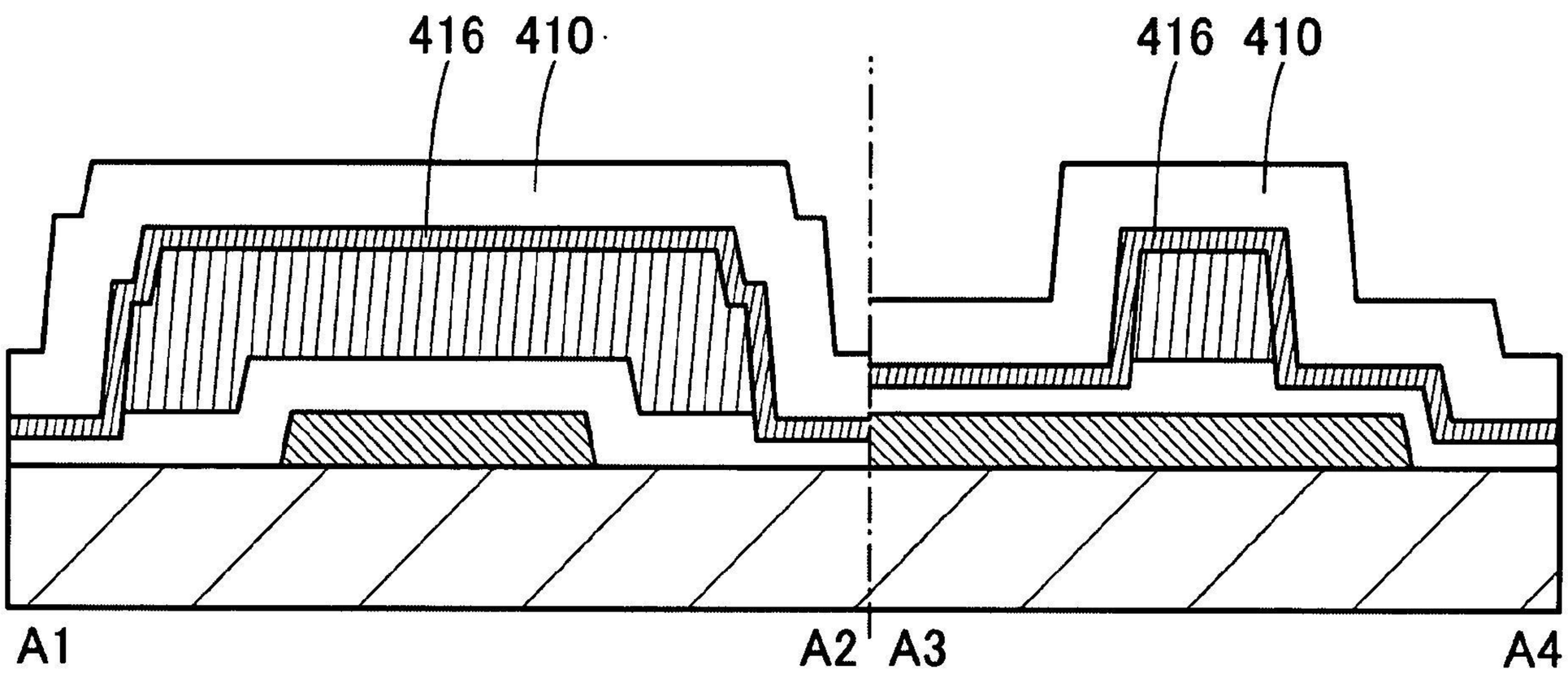

圖 9B

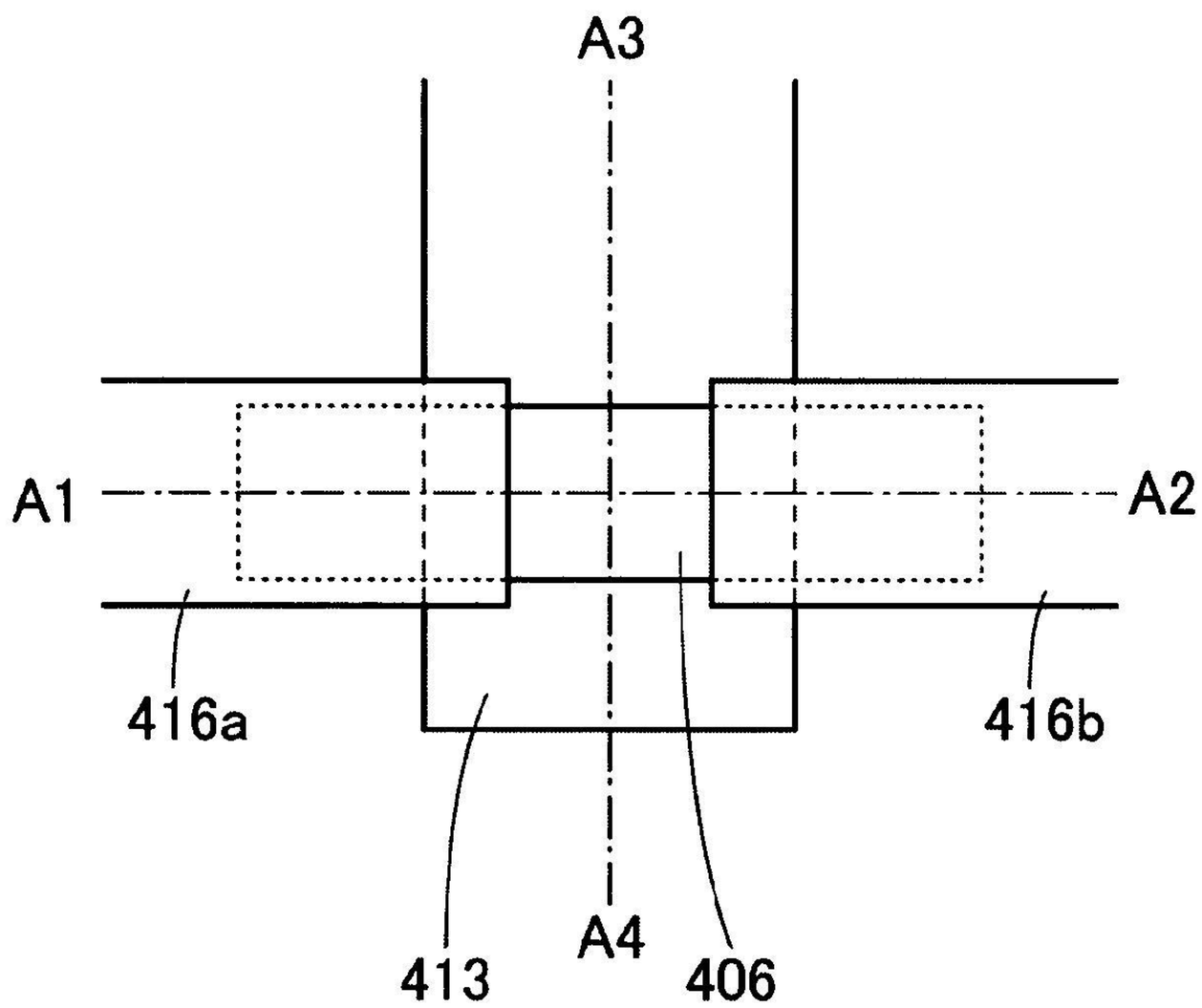

圖 10A

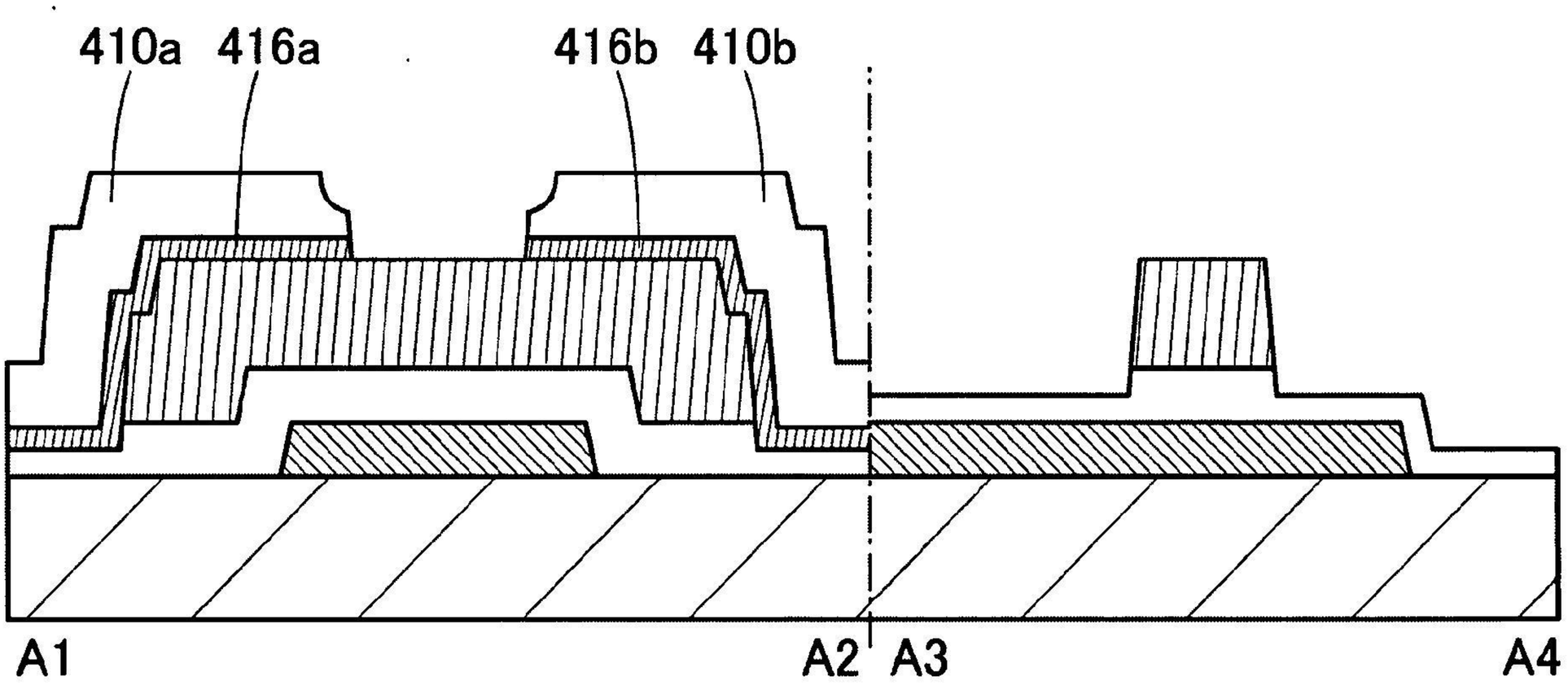

圖 10B

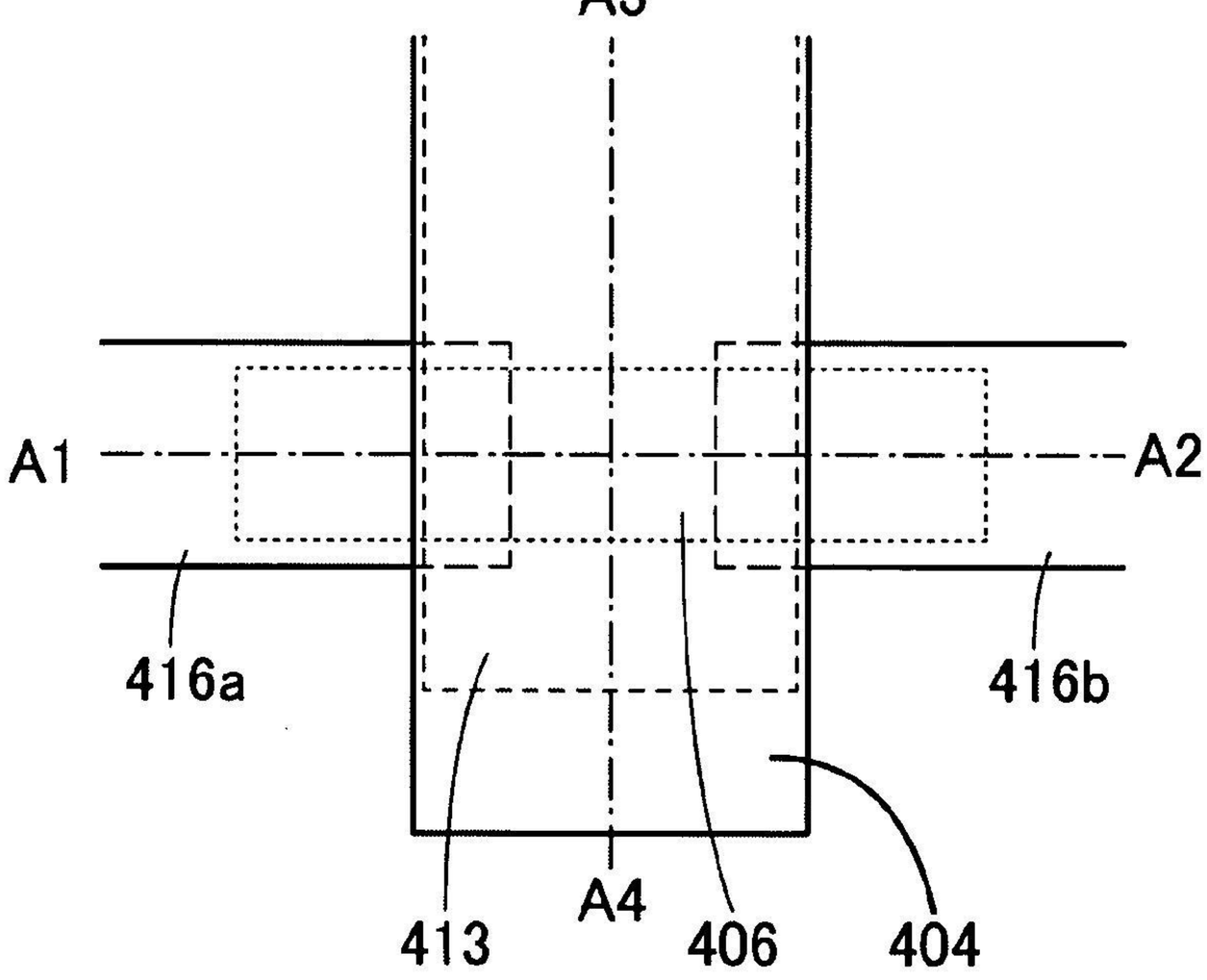
A3
A1
A2
416a
416b
413
A4
406
404

圖 11A

404
412
410a
416a
416b
410b
404
412
A1
A2
A3
A4
400
413
402
406
400
413
406
402

圖 11B

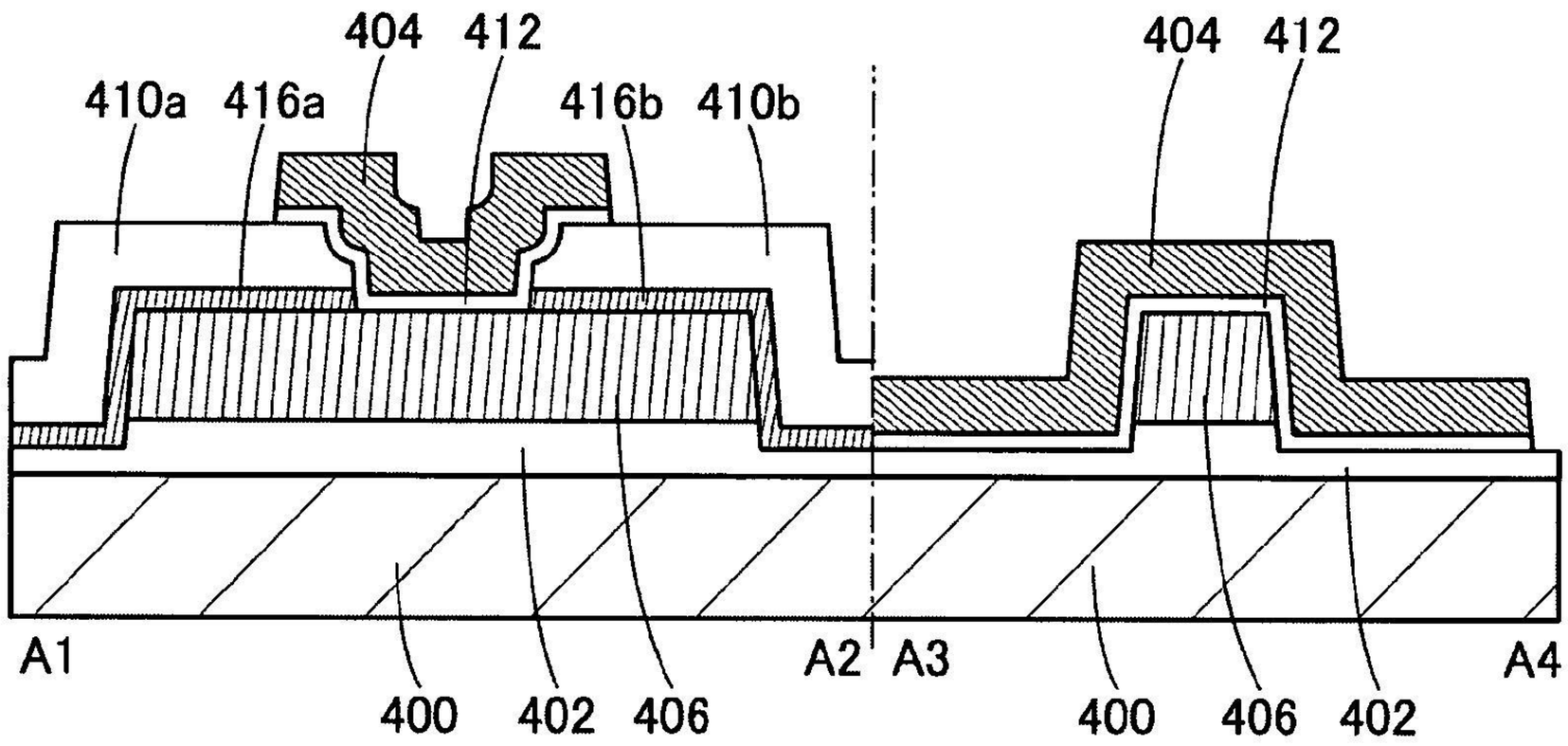

圖 12A

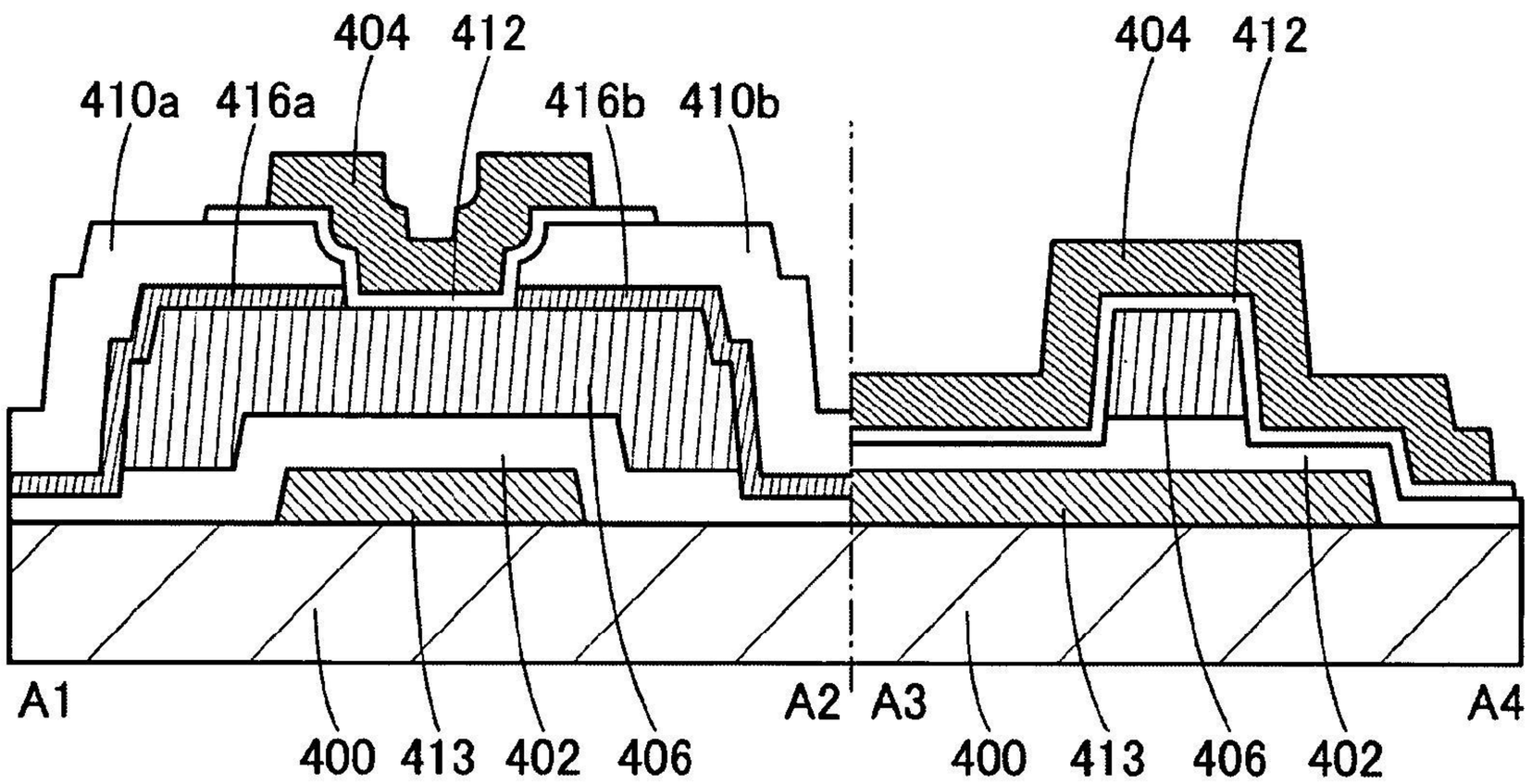

圖 12B

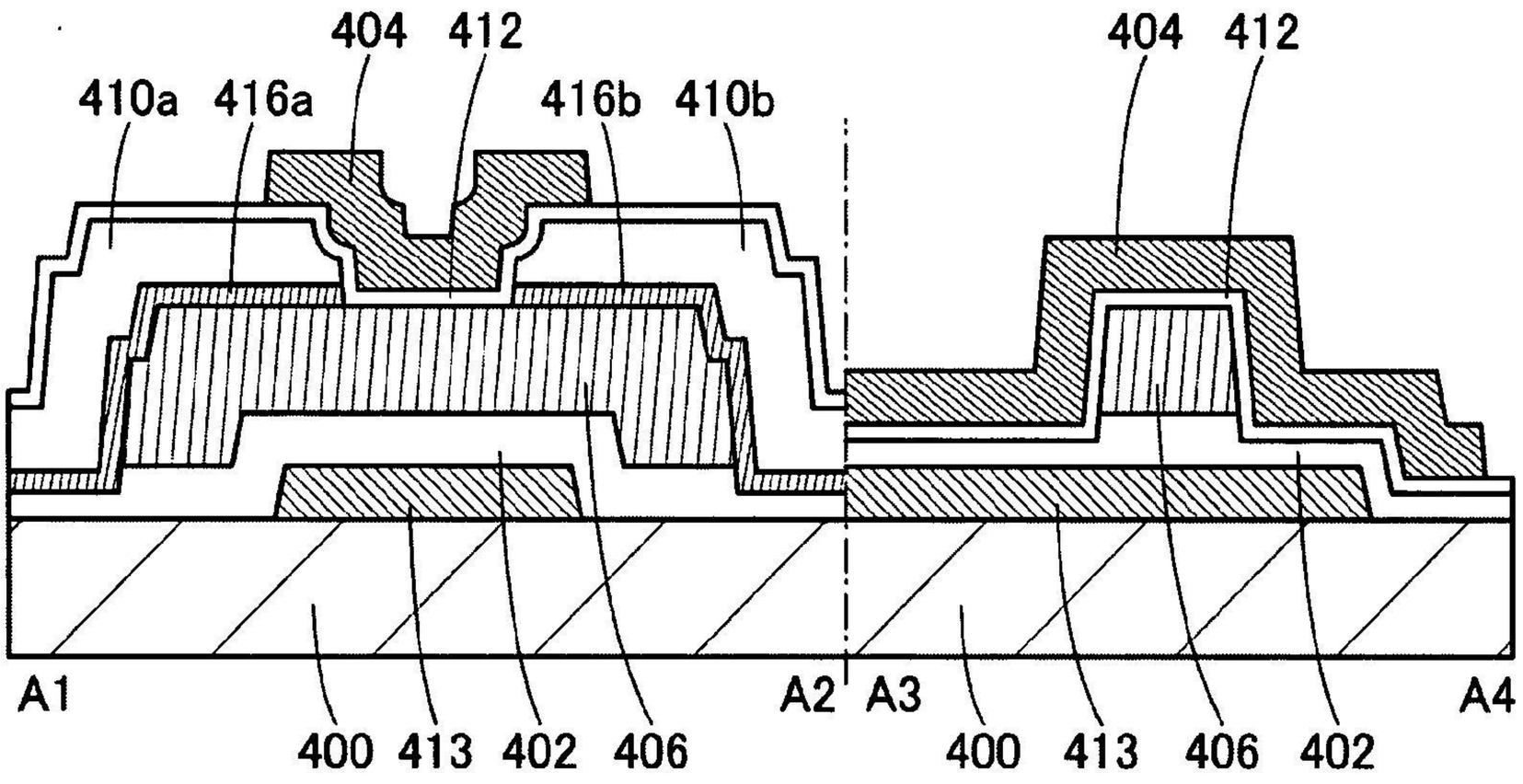

圖 12C

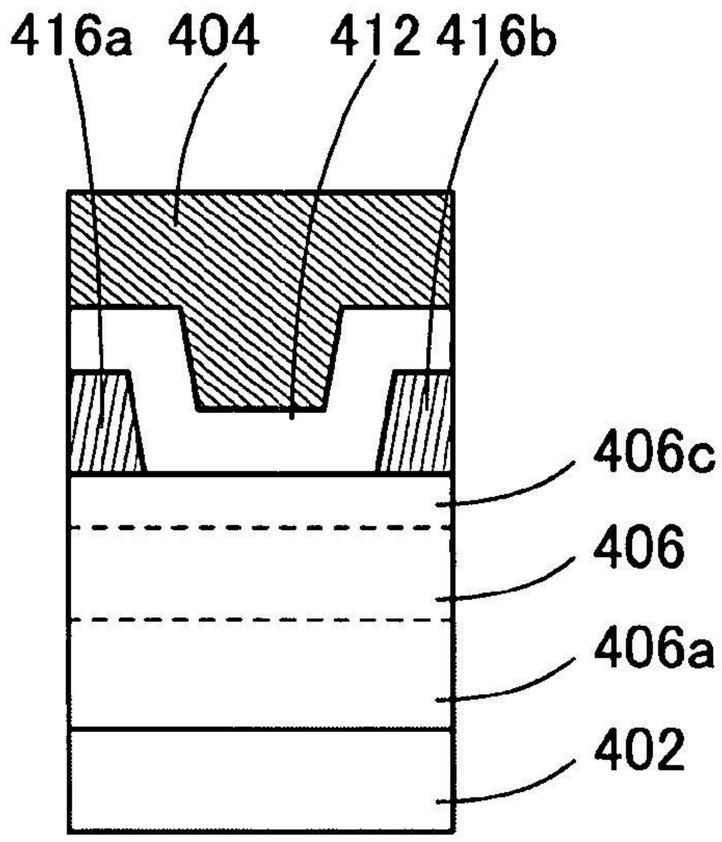

圖 13A

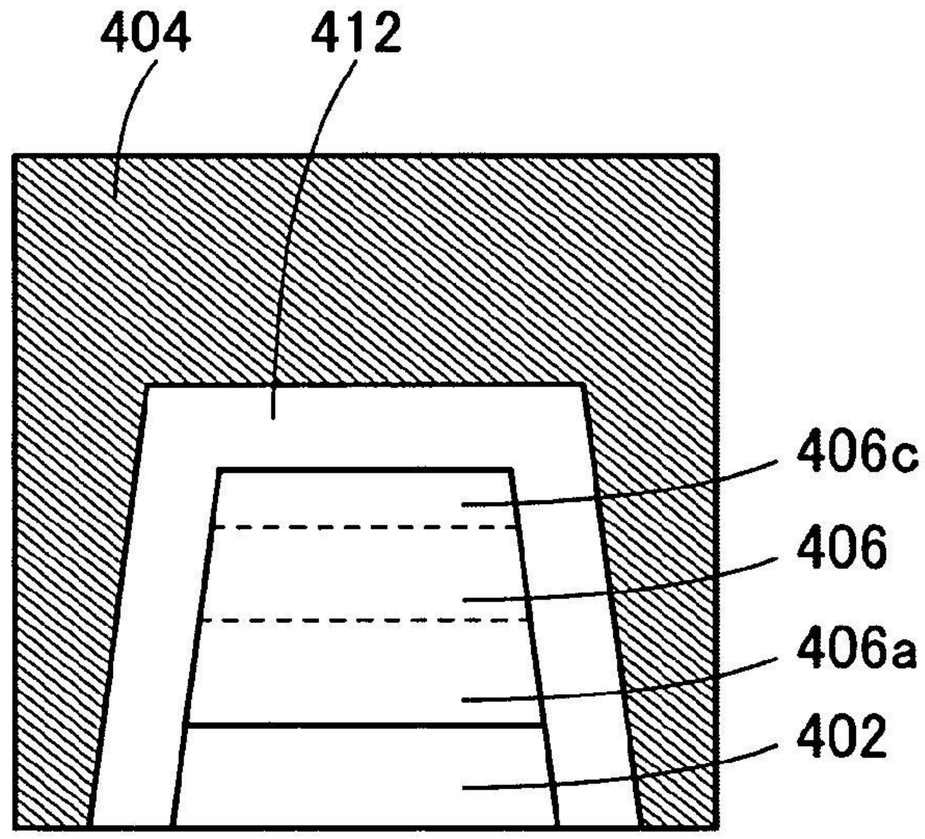

圖 13B

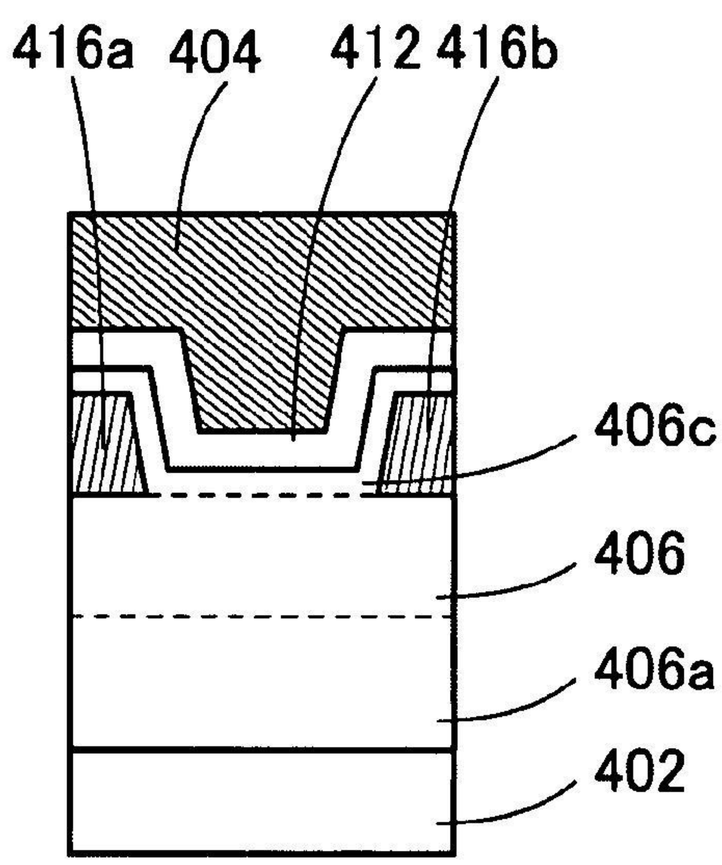

圖 13C

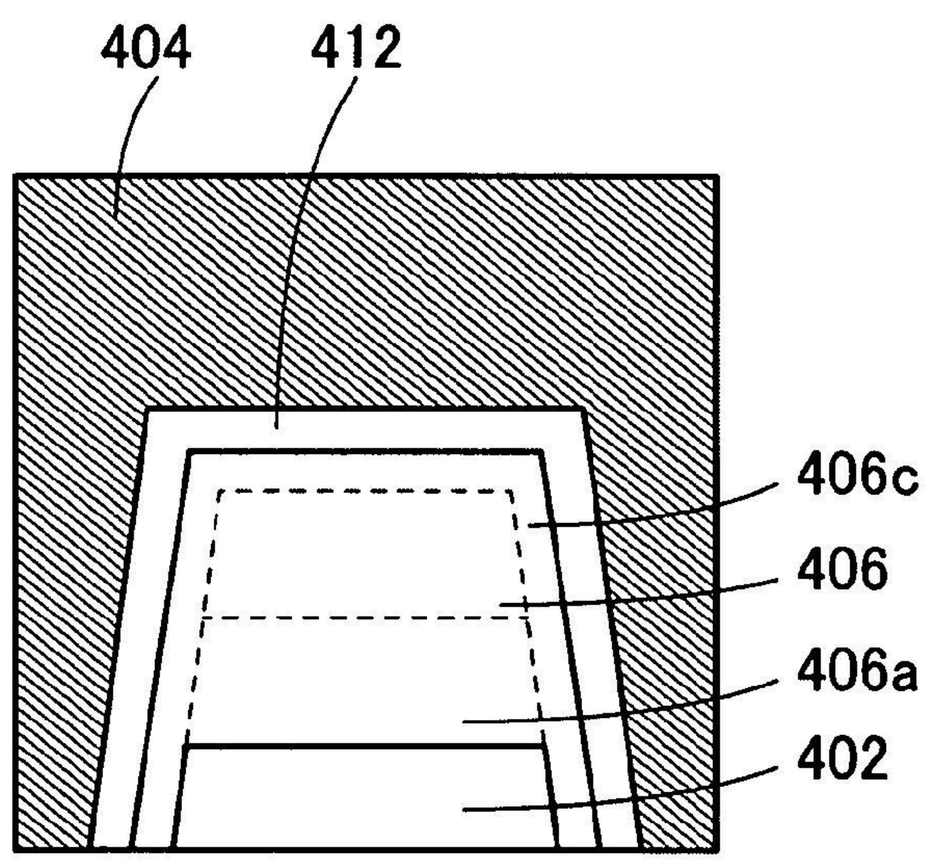

圖 13D

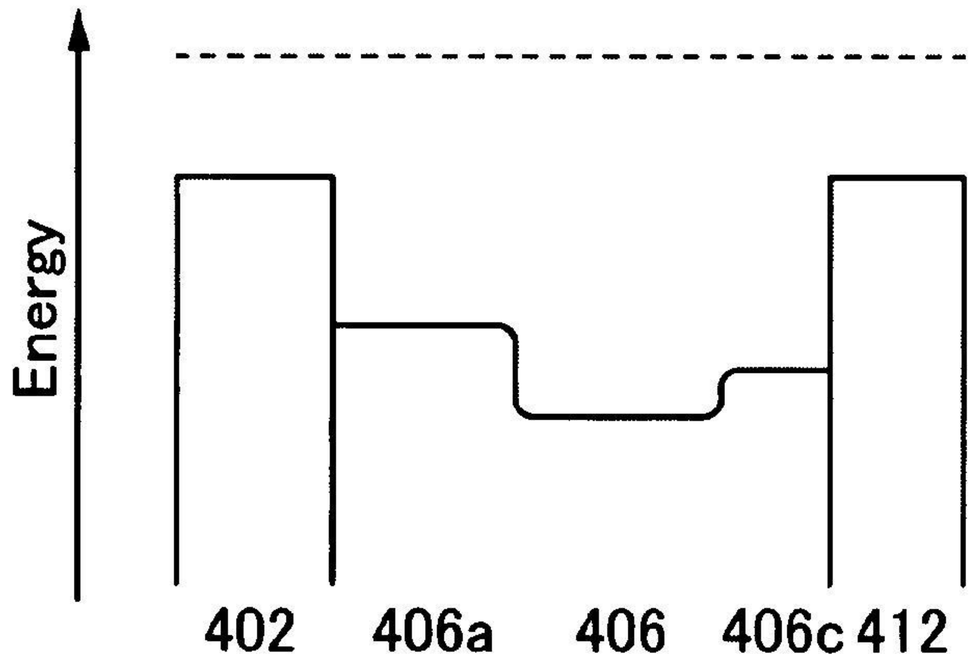

圖 13E

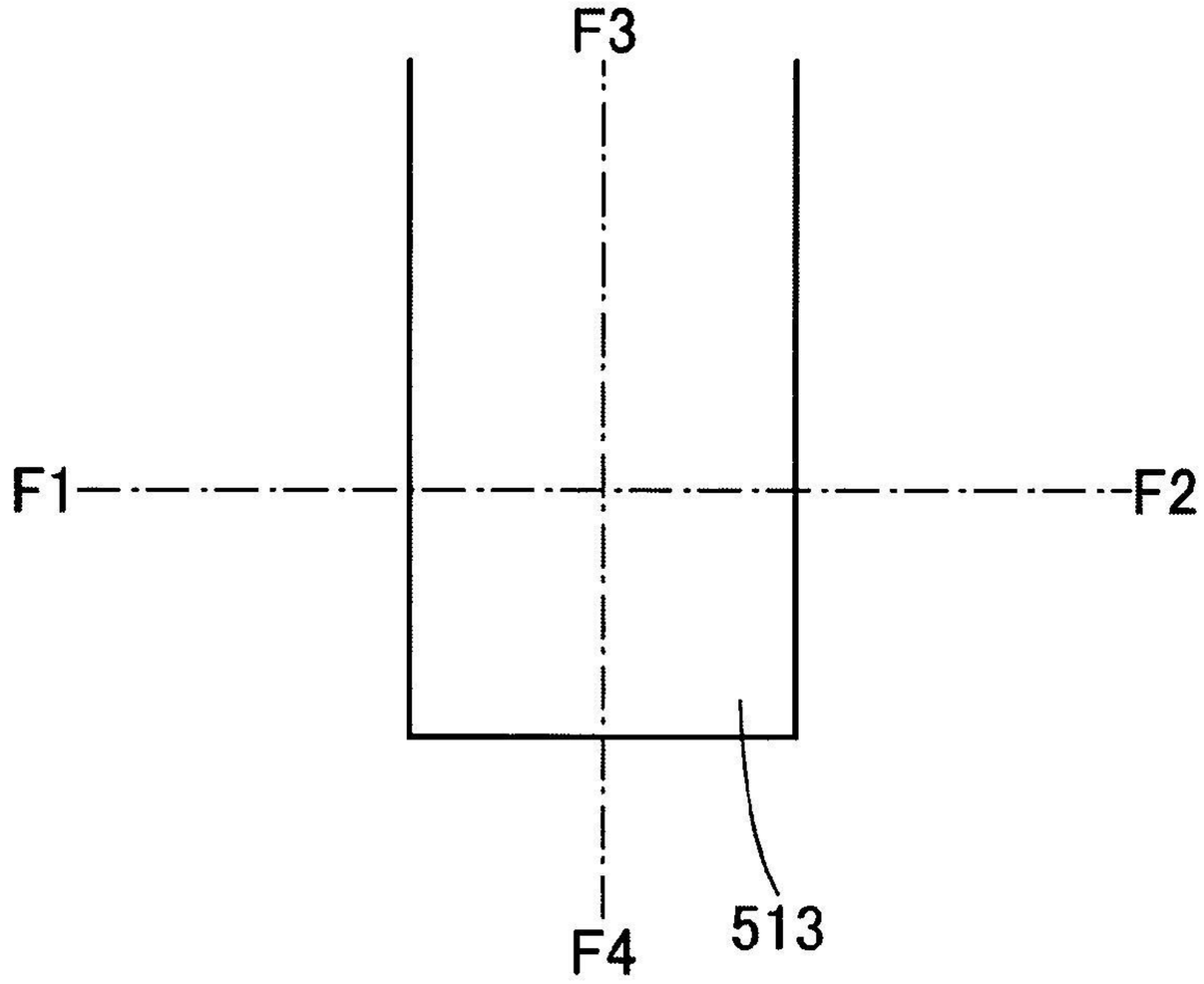

圖 14A

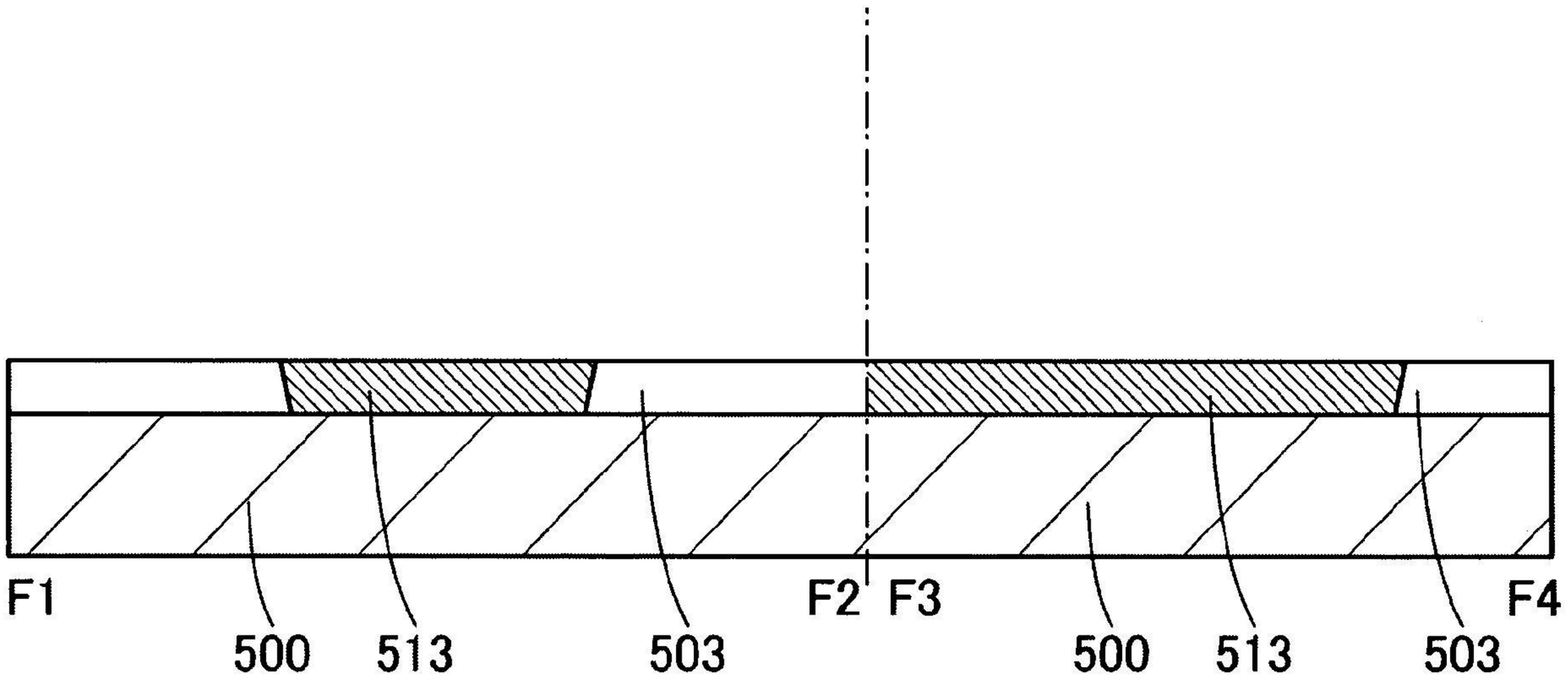

圖 14B

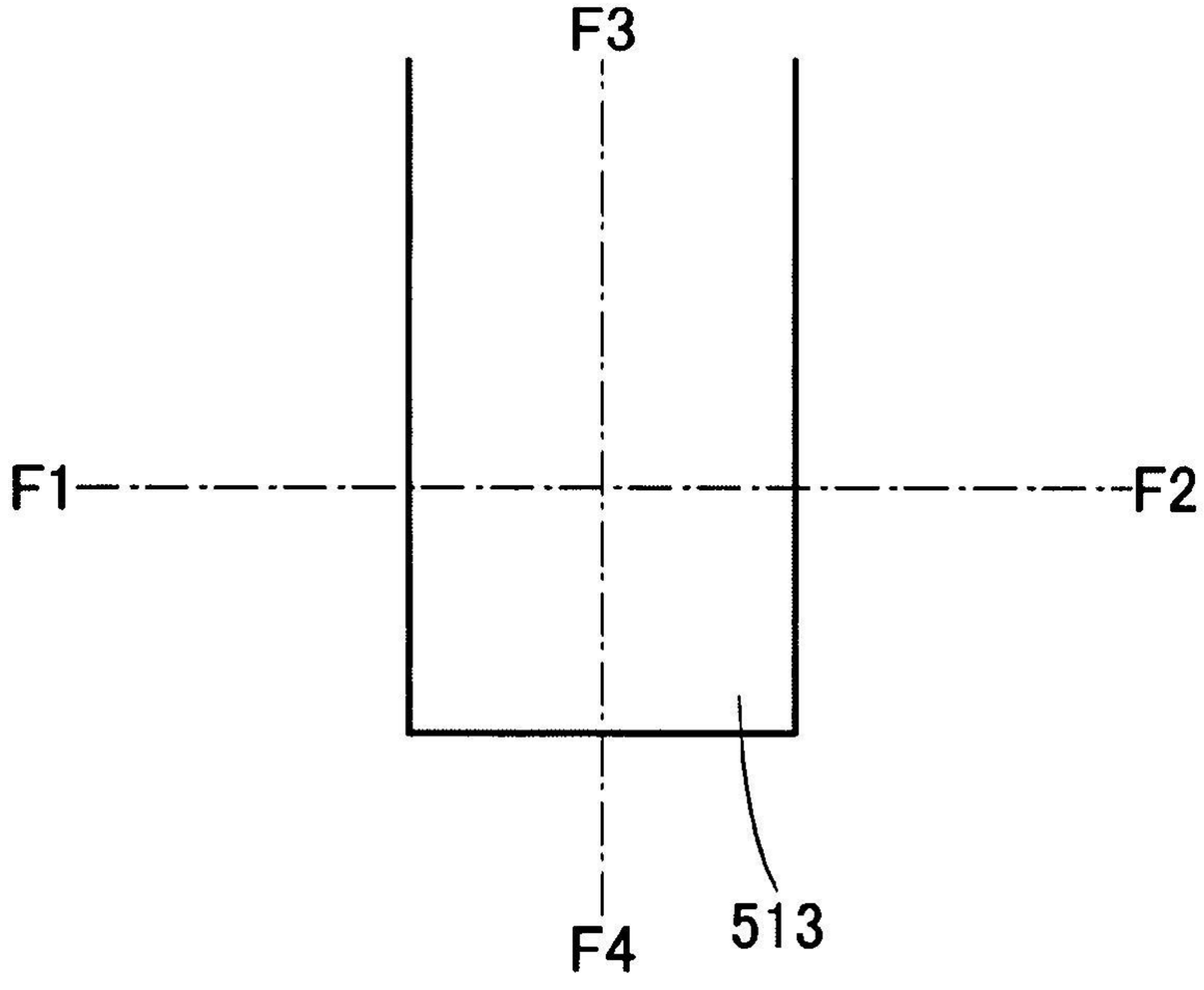

圖 15A

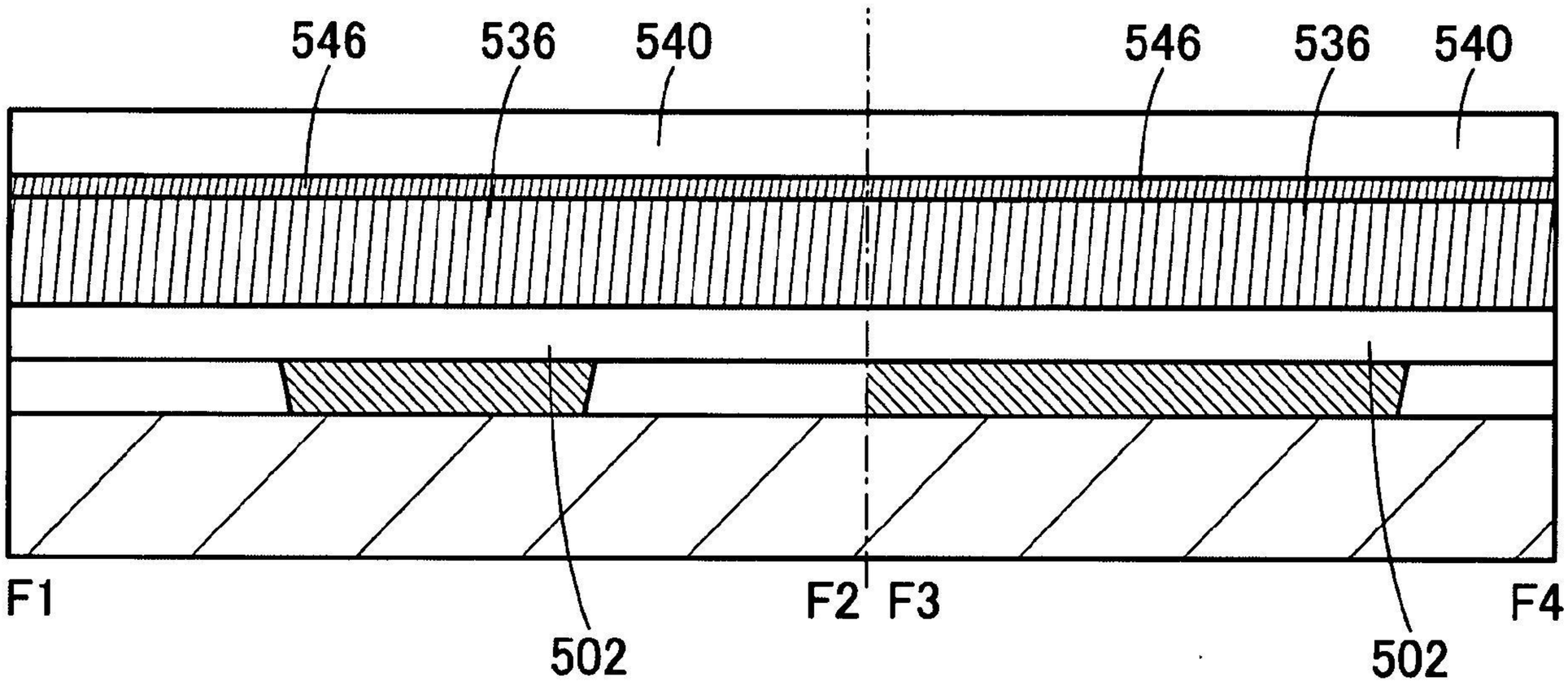

圖 15B

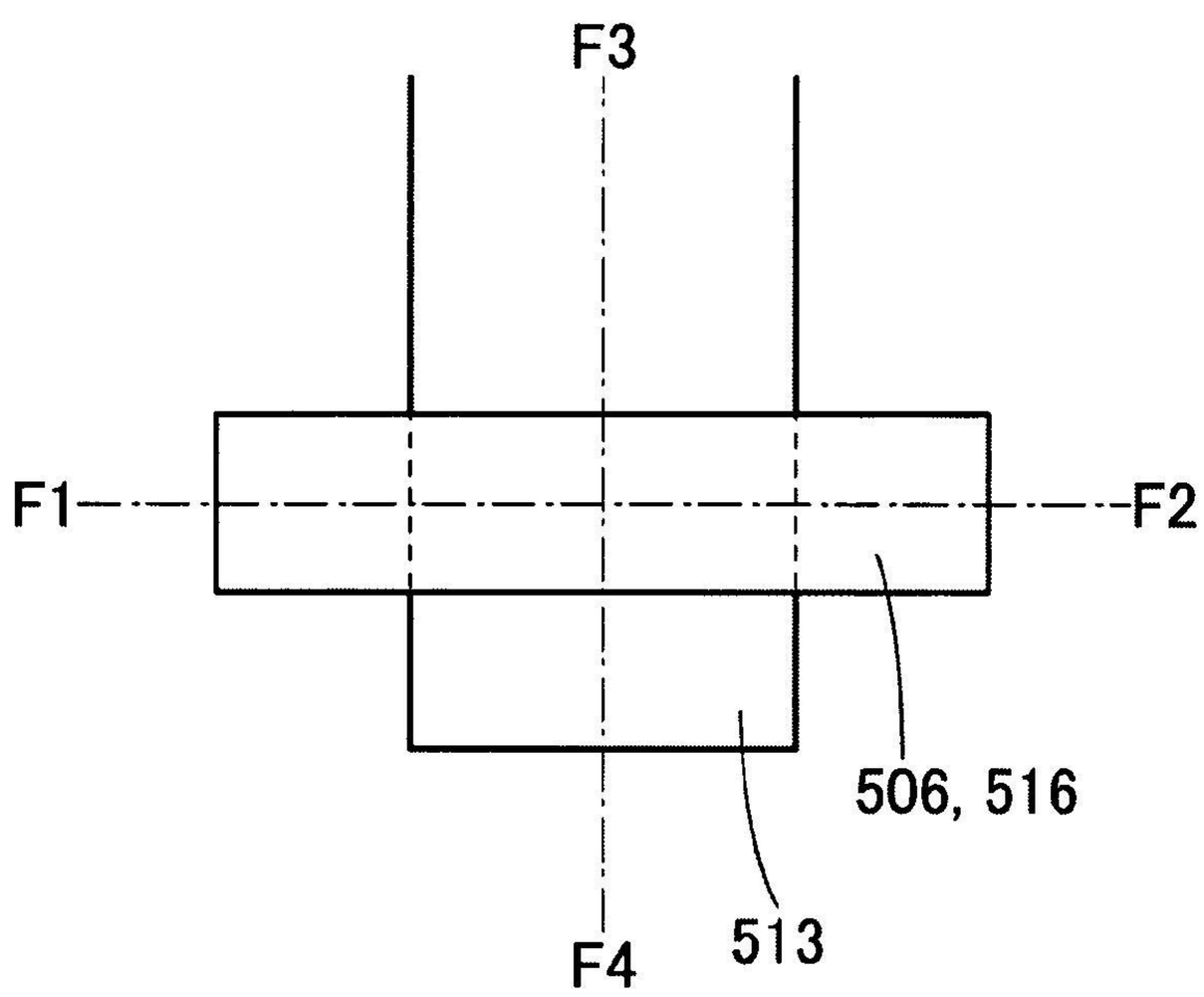

圖 16A

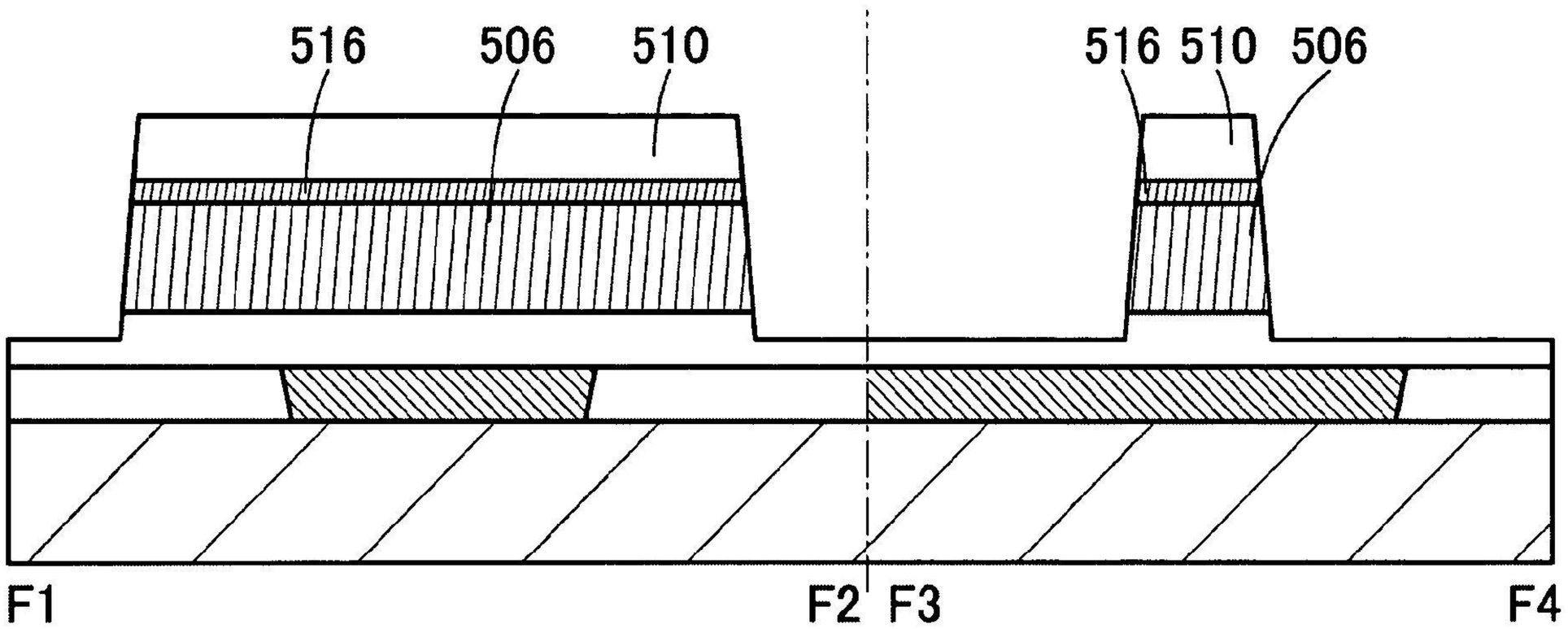

圖 16B

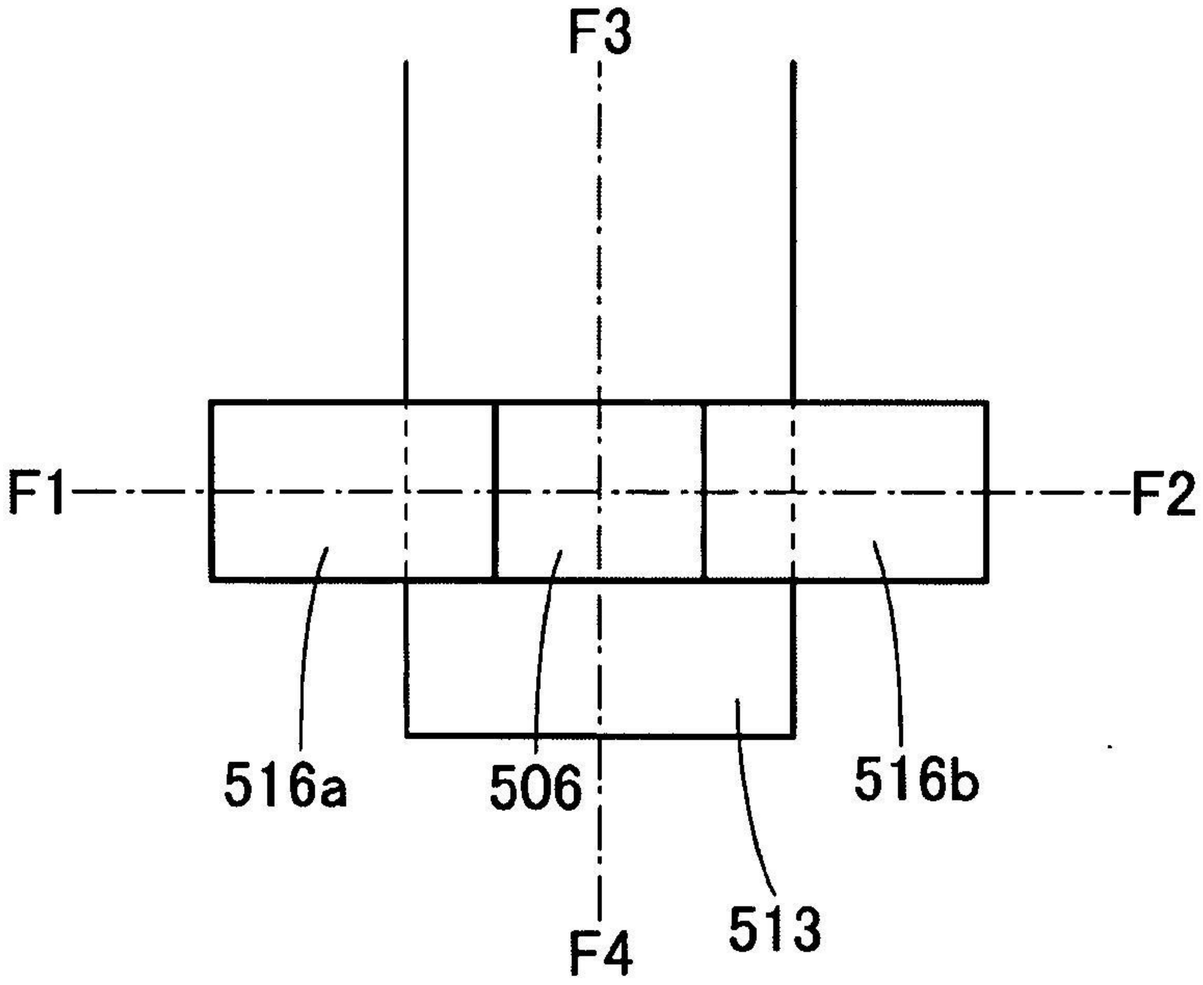

圖 17A

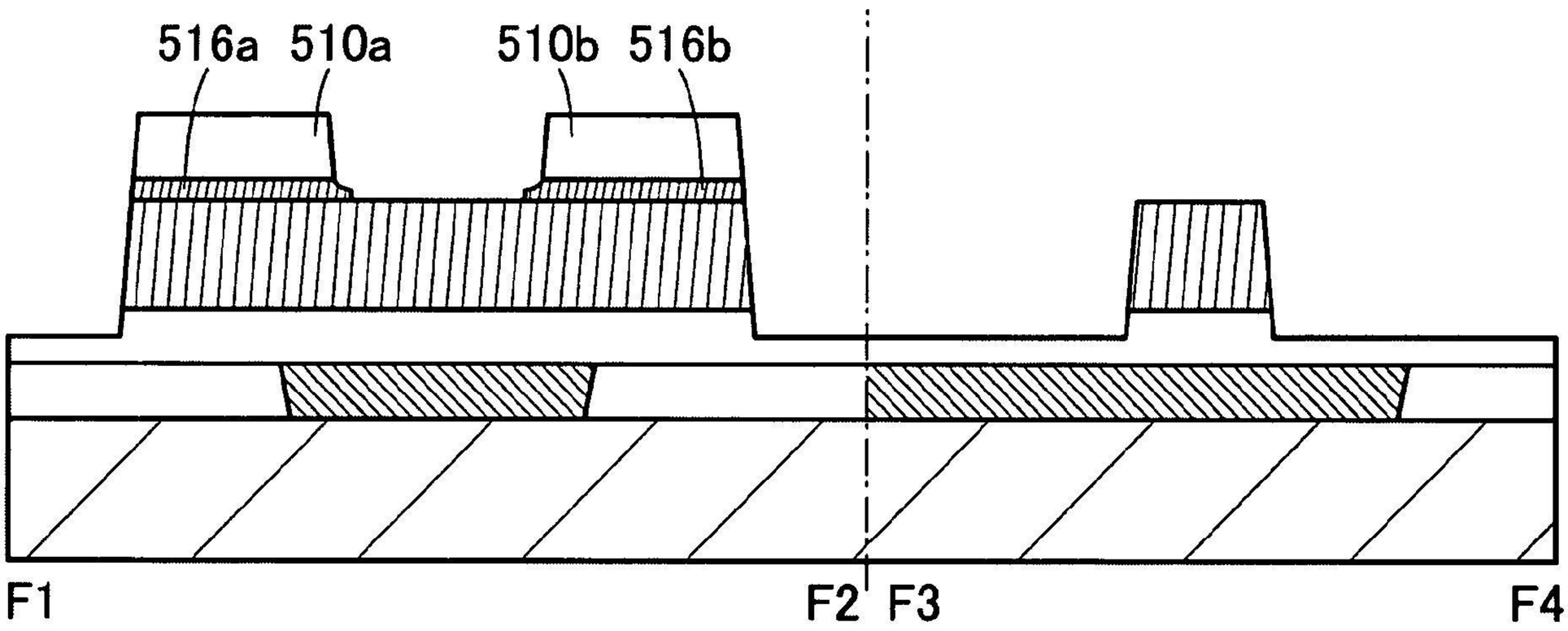

圖 17B

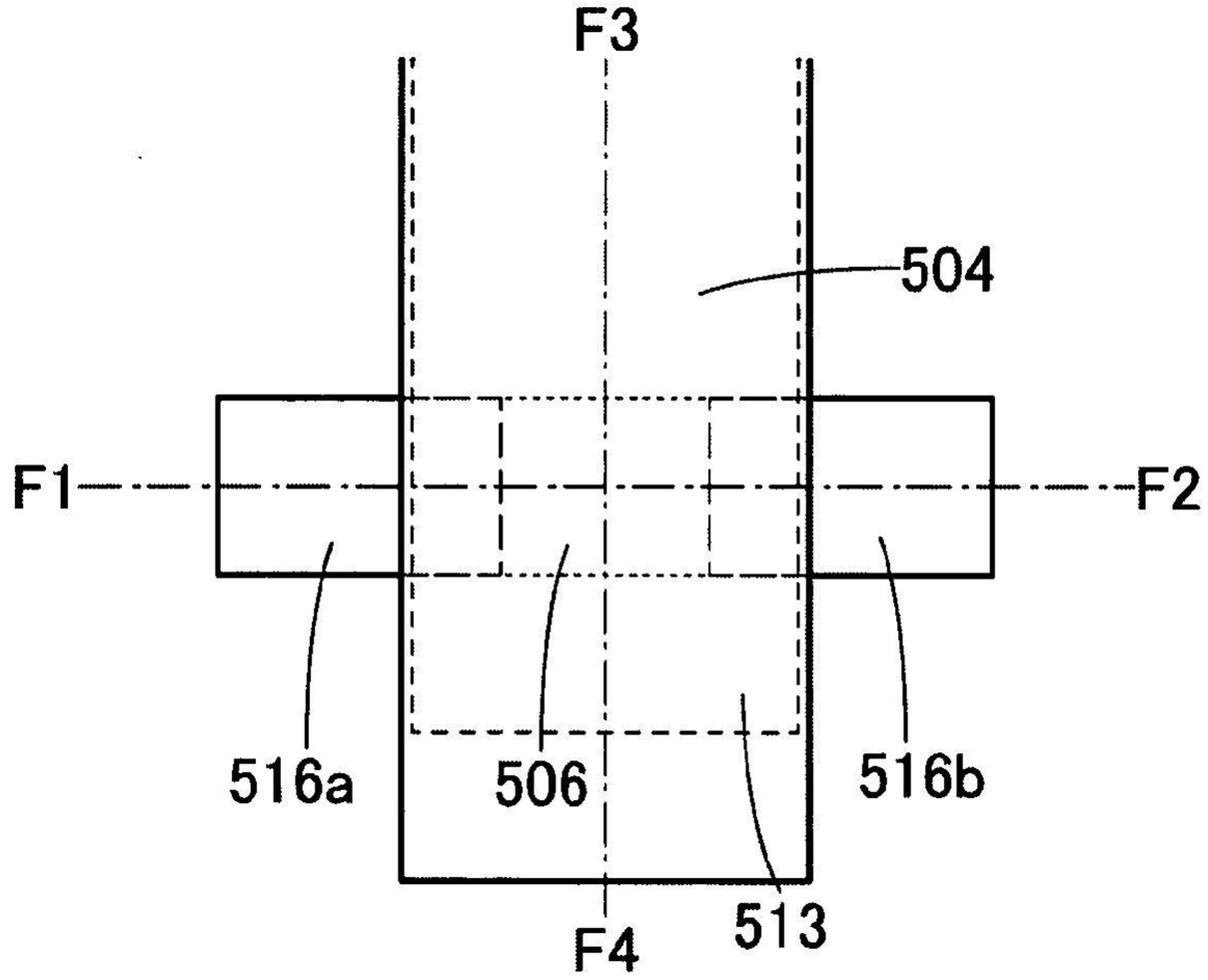
F3
504
F1
F2
516a
506
516b
513
F4

圖 18A

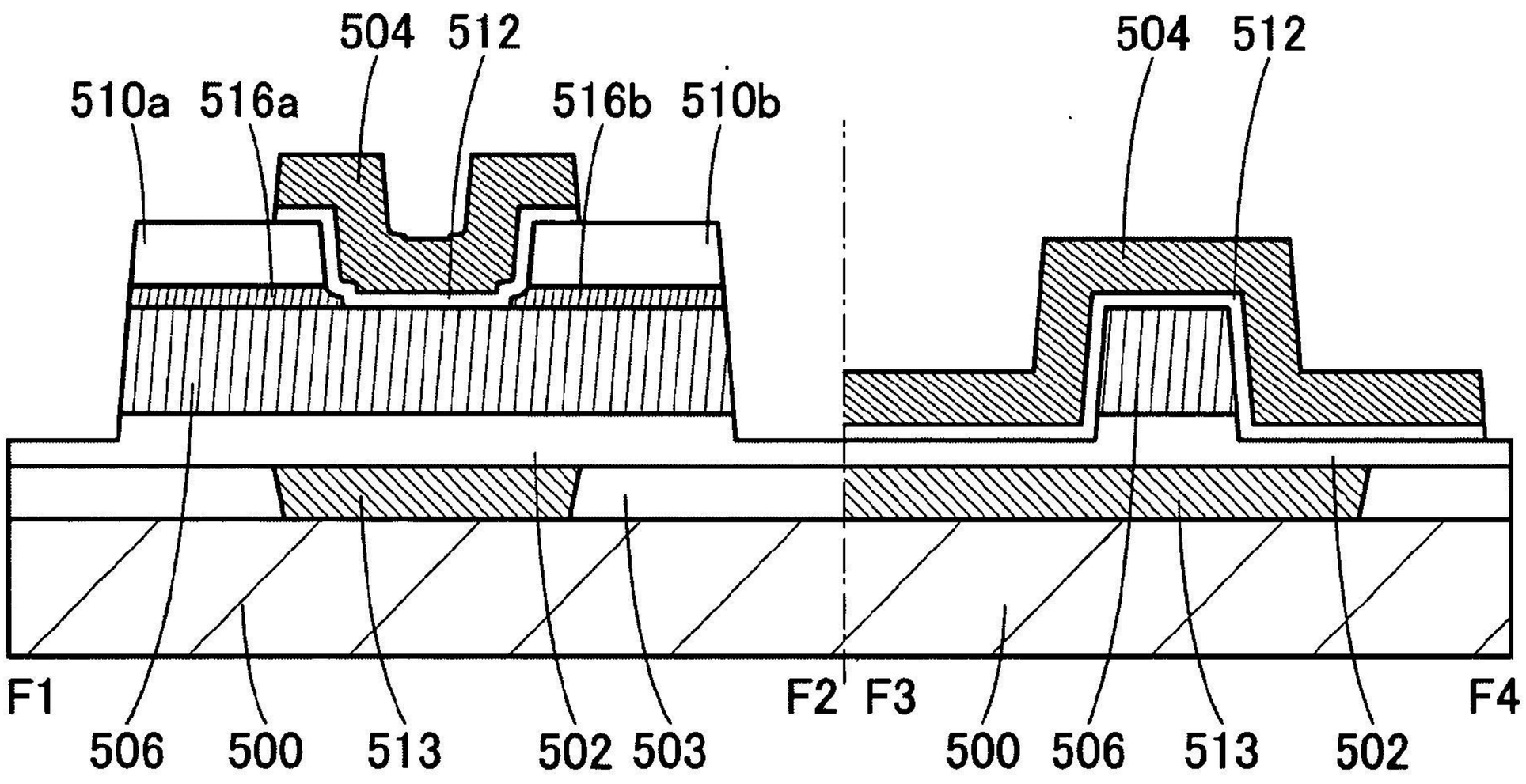
504 512
510a 516a
516b 510b
504 512
F1
F2 F3
F4
506 500 513 502 503
500 506 513 502

圖 18B

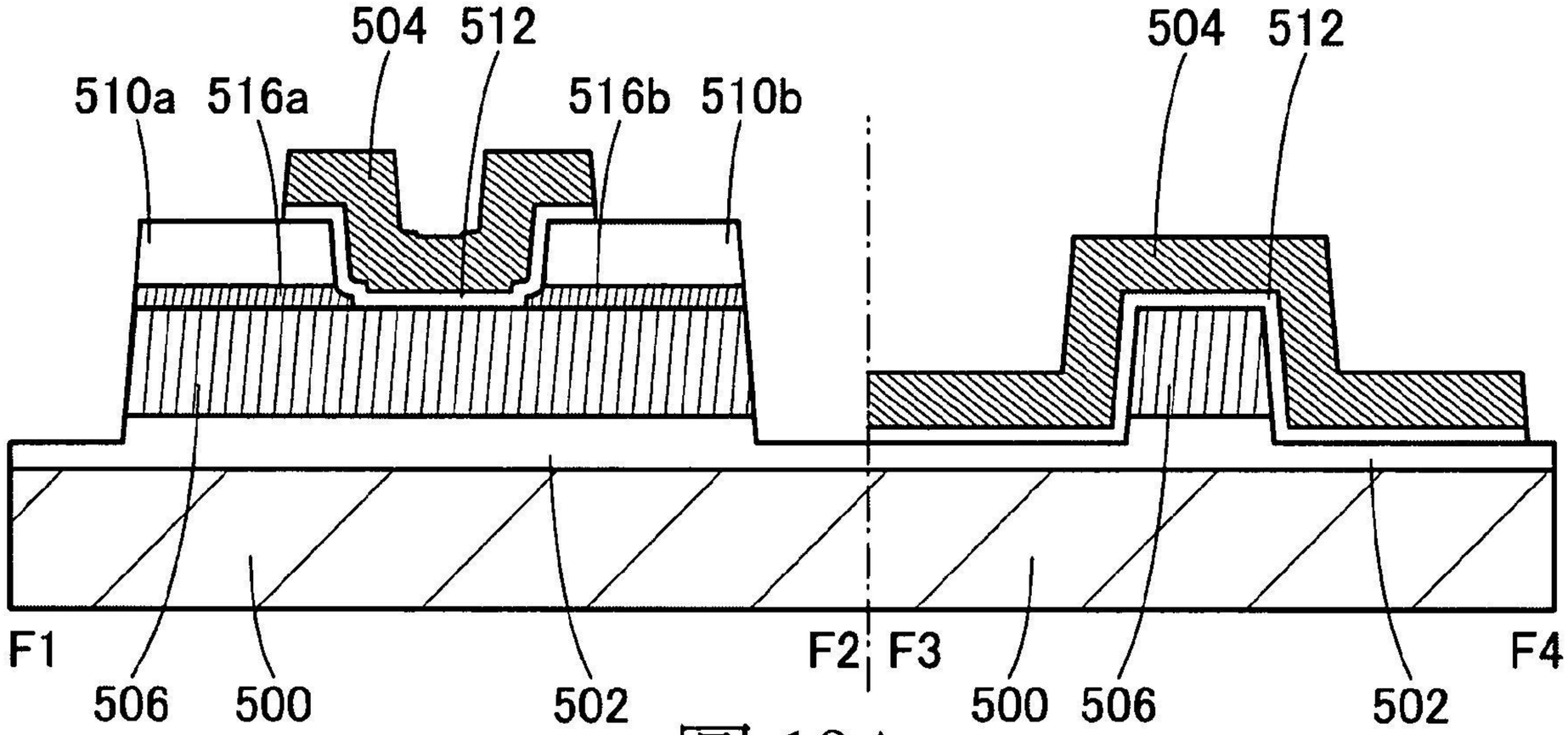

圖 19A

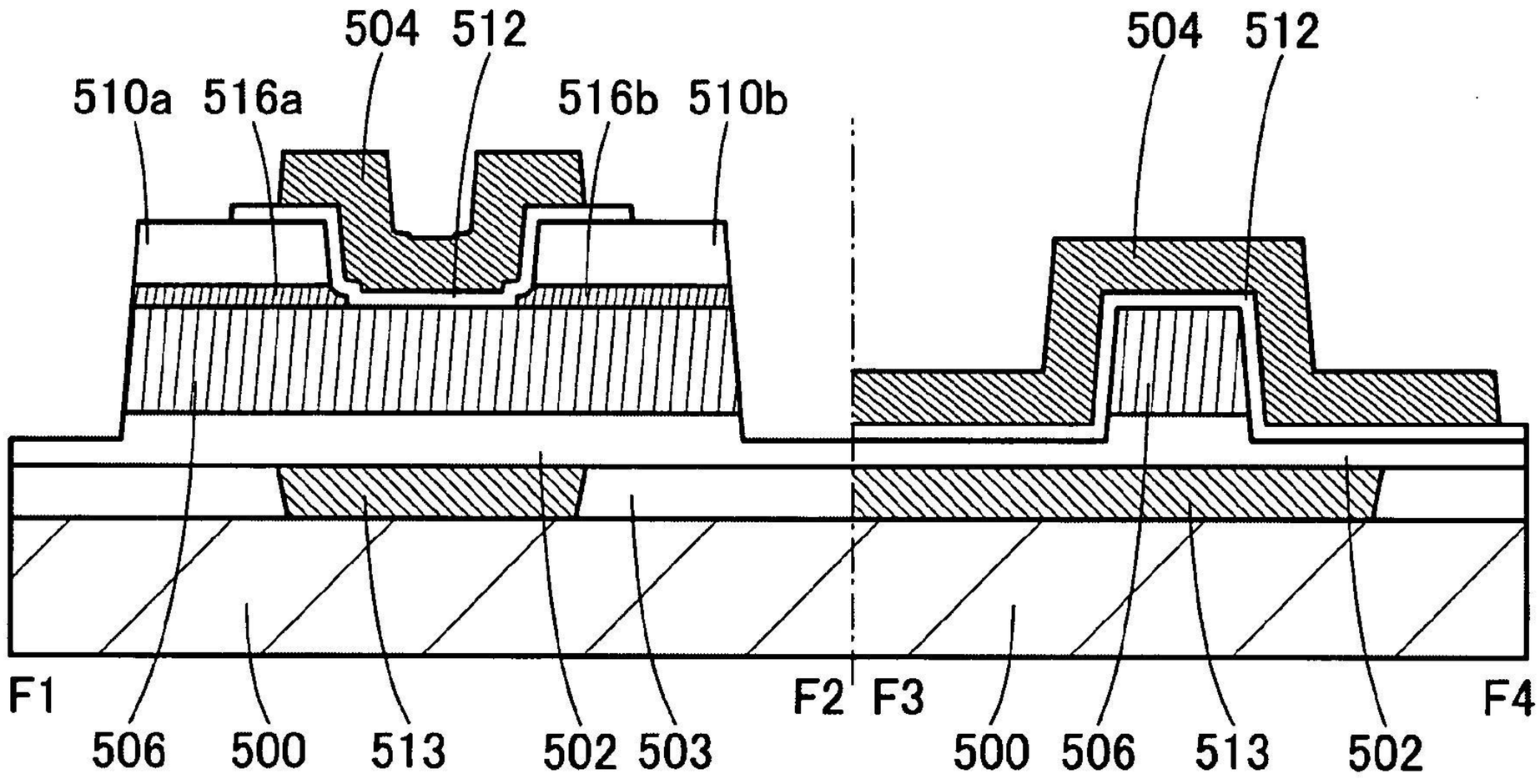

圖 19B

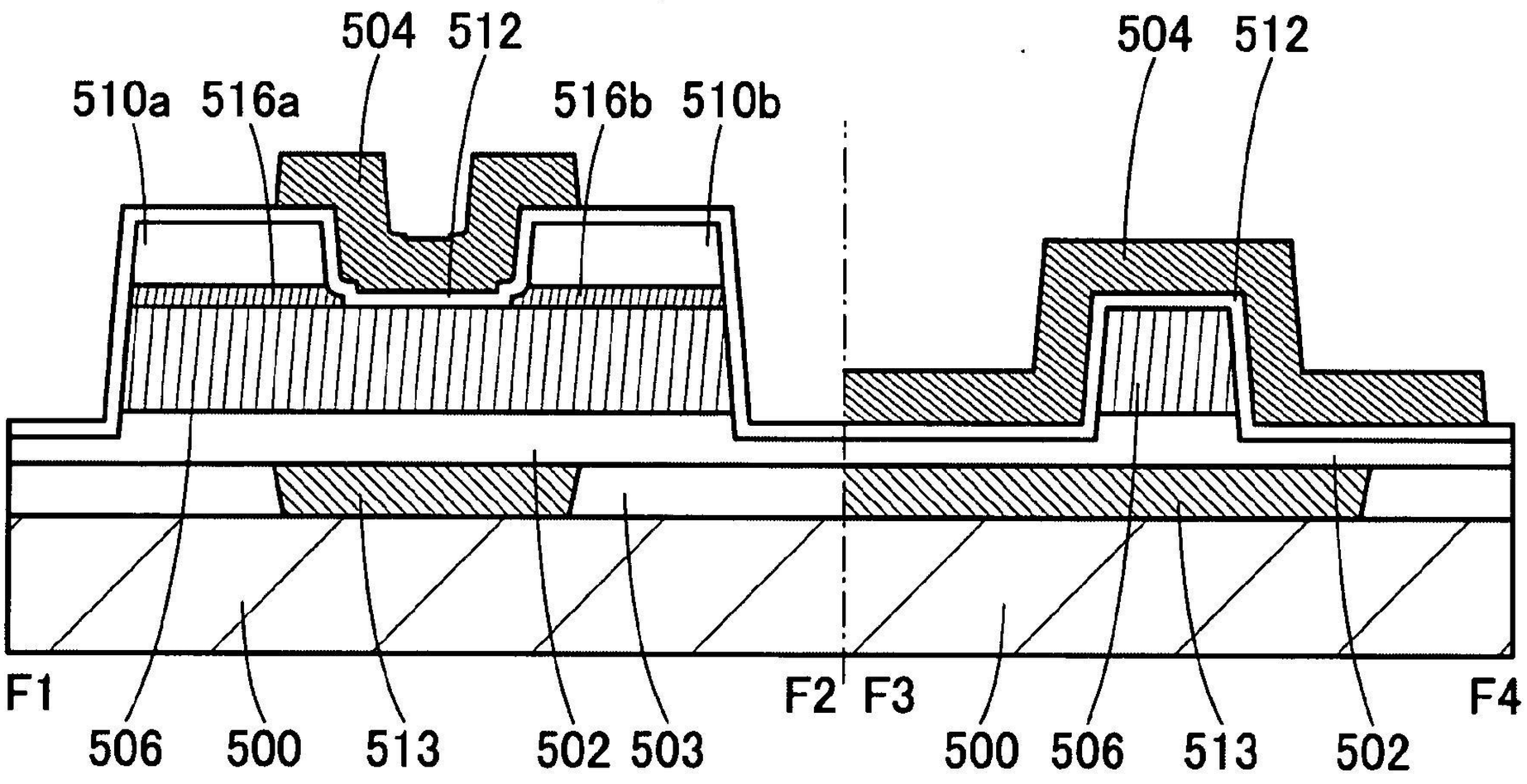

圖 19C

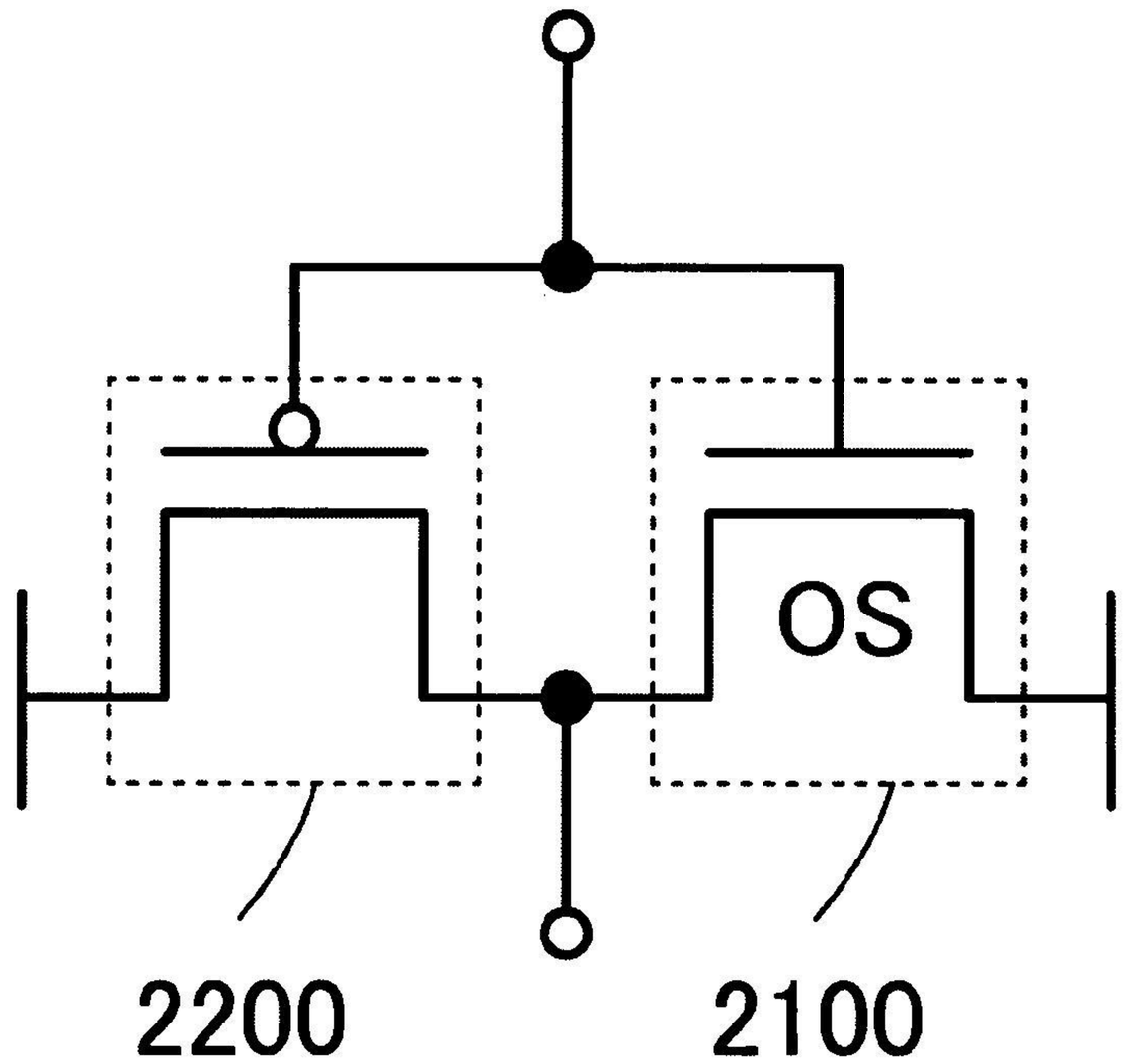

圖 20A

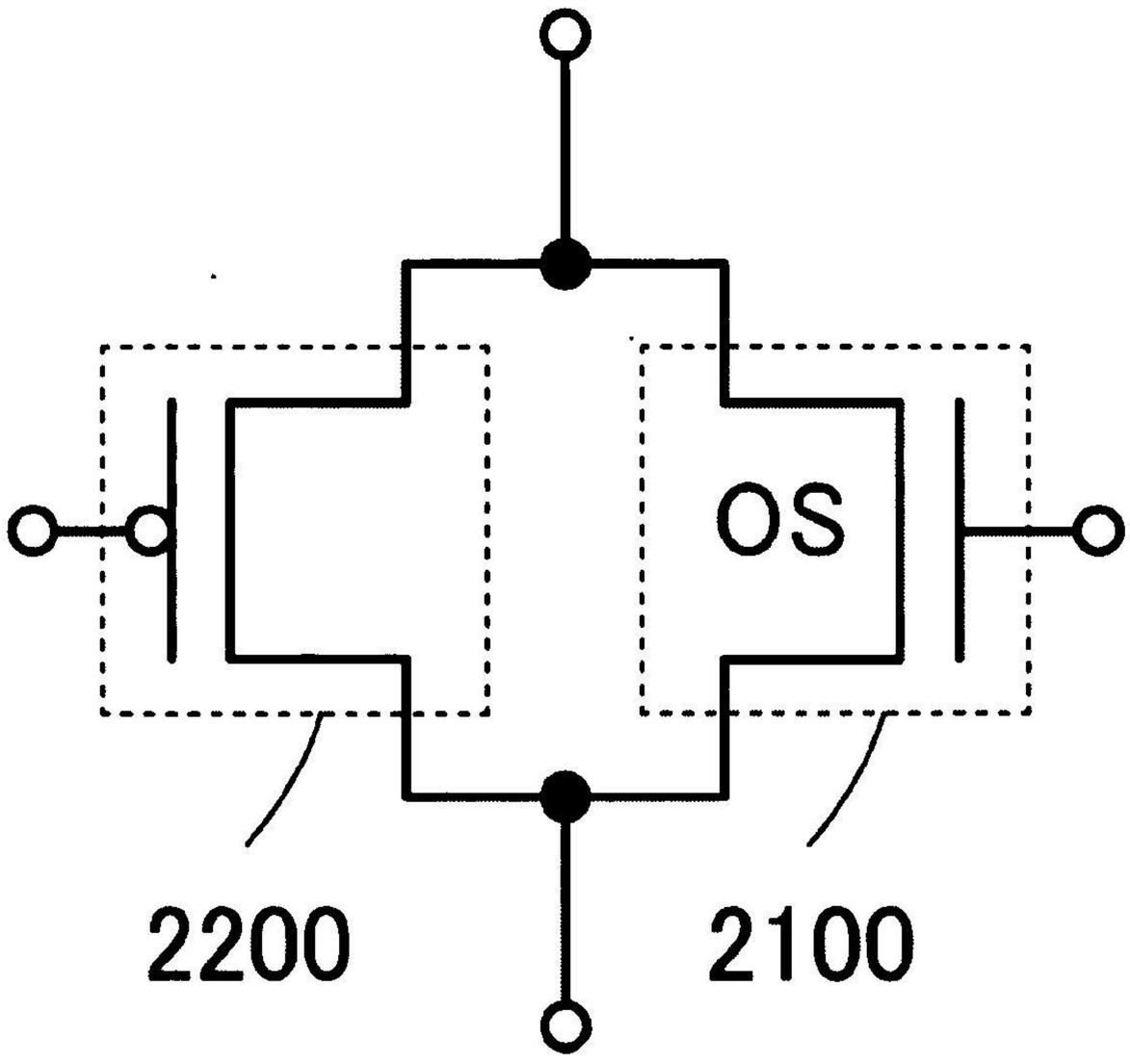

圖 20B

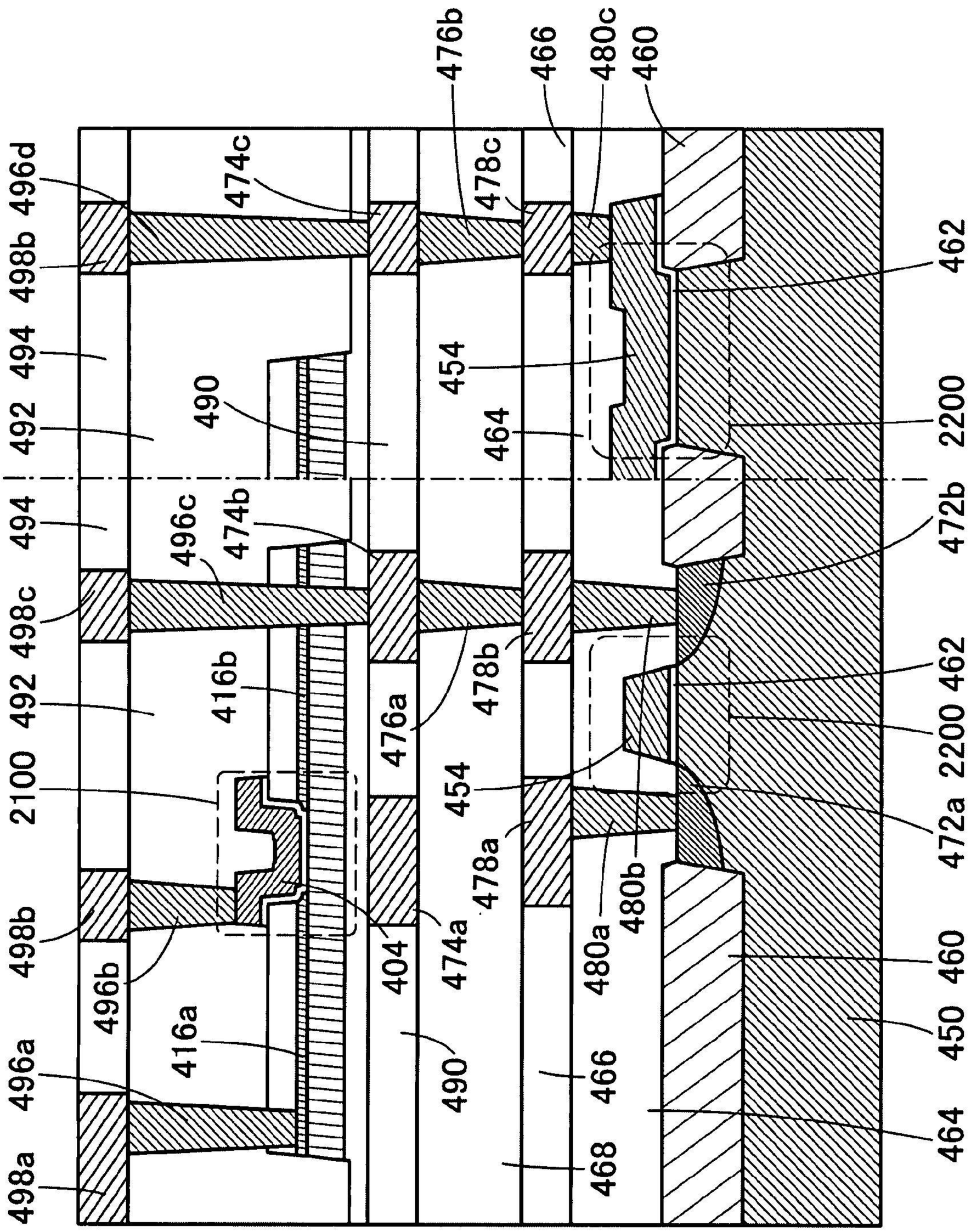
476b
466
480c
460
496d
498b
494
492
498c
492
2100
498b
496a
498a
494
496c
474b
416b
476a
404
474a
490
416a
496b
474c
478c
454
464
478b
478a
480a
480b
462
2200
472b
472a
450

圖 21

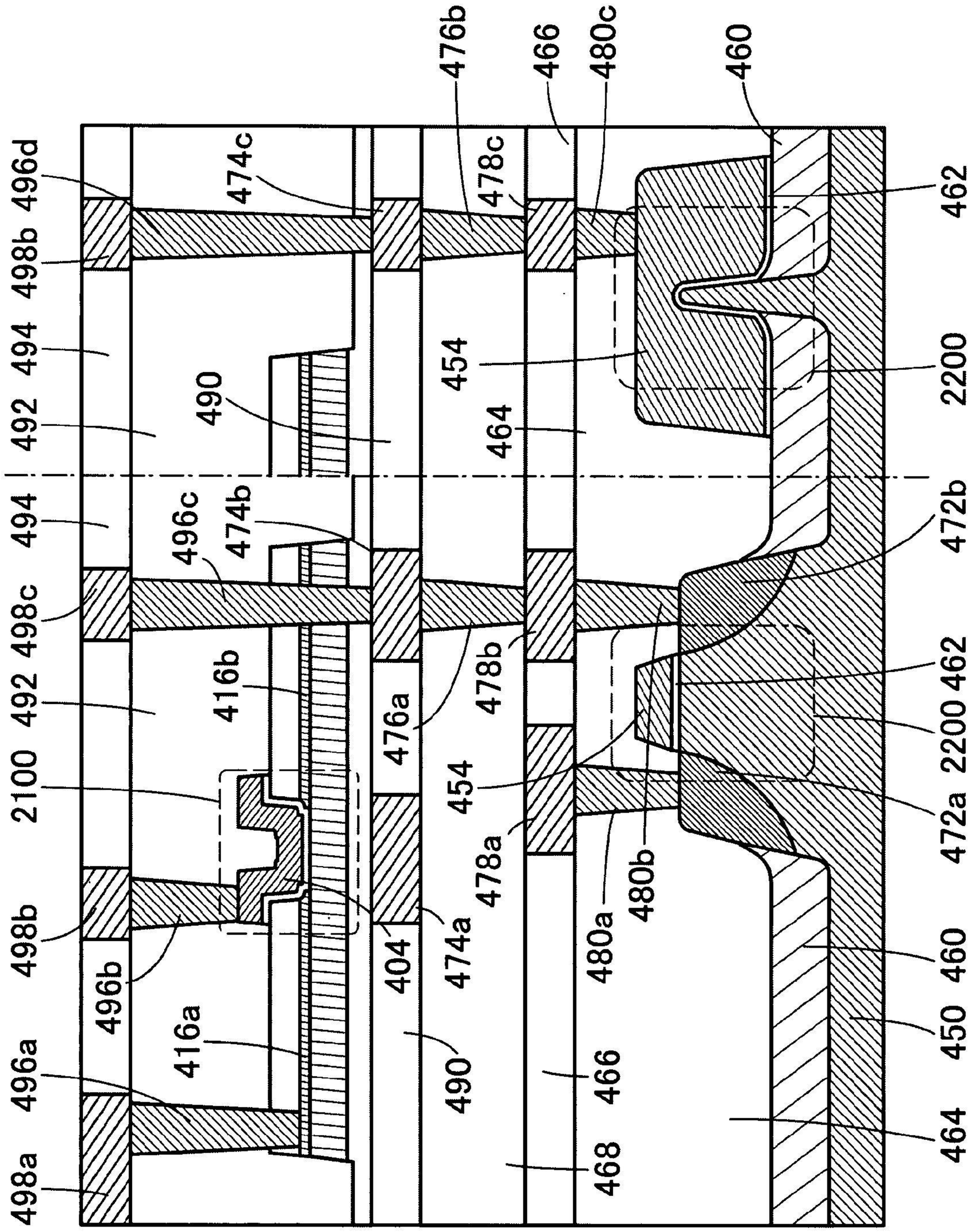
476b
466
480c
460
496d
498b
494
492
498c
492
2100
498b
496a
498a
494
496c
474b
416b
416a
490
404
476a
474a
490
454
478c
464
478b
478a
480a
480b
468
462
2200
472b
472a
450
464

圖 22

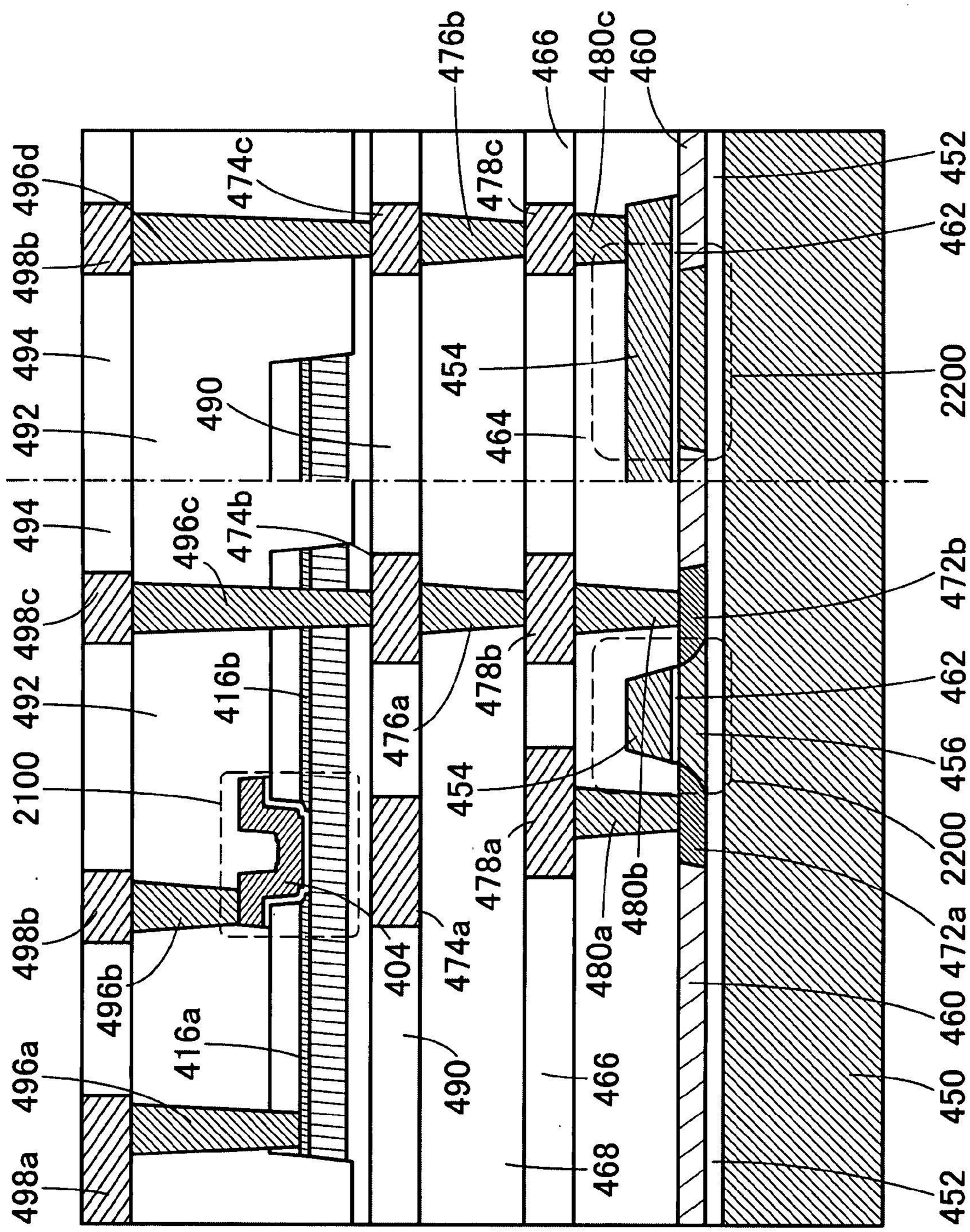
476b
466
480c
460
496d
498b
494
492
498c
492
498b
496a
498a
494
492
498c
494
498b
496b
496a
498a
474c
478c
452
462
490
454
464
2200
496c
474b
416b
476a
478b
472b
462
2100
454
456
404
474a
478a
480a
480b
472a
2200
416a
490
466
460
450
468
452

圖 23

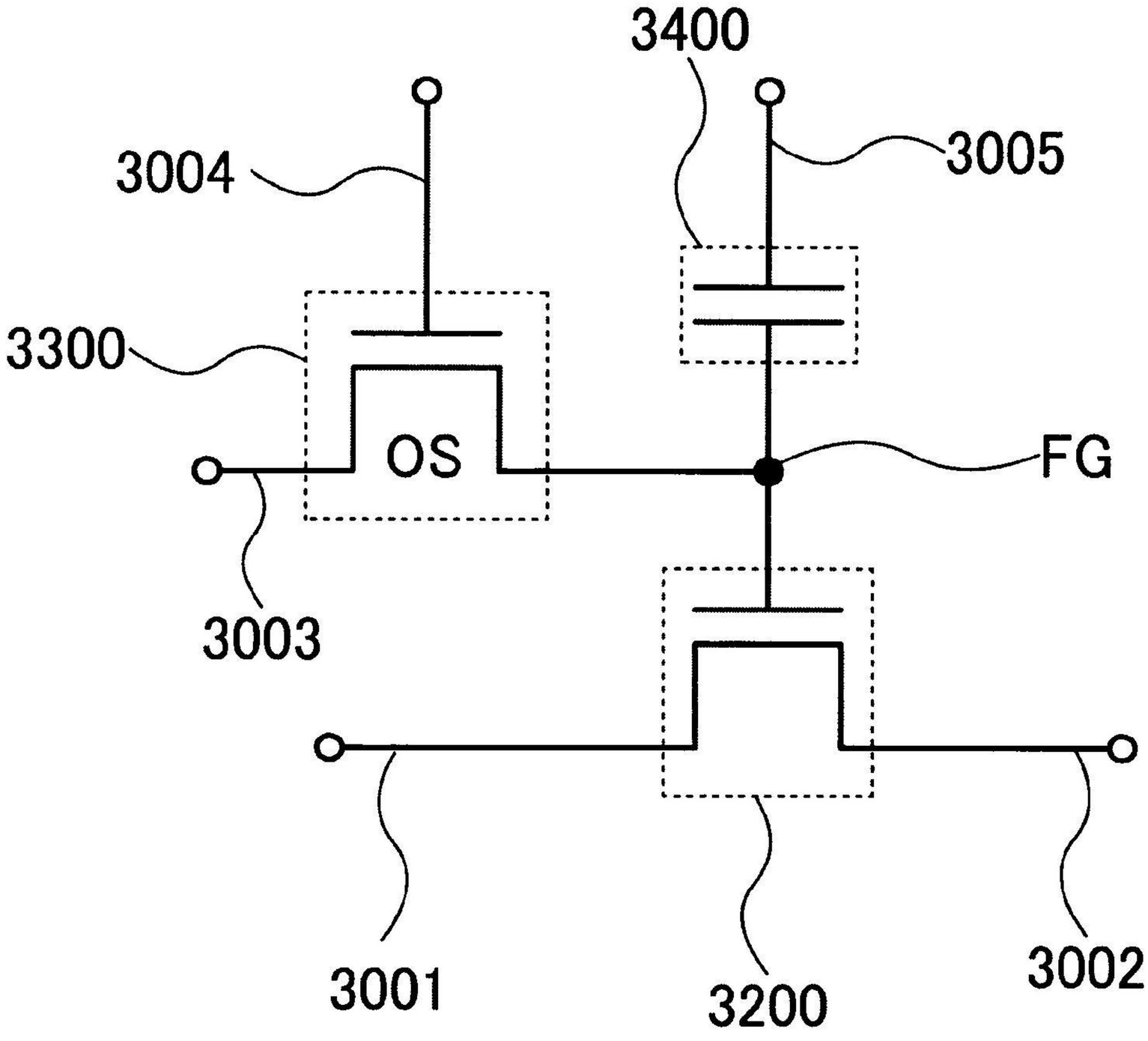
3400
3004
3005
3300
OS
FG
3003
3001
3200
3002

圖 24A

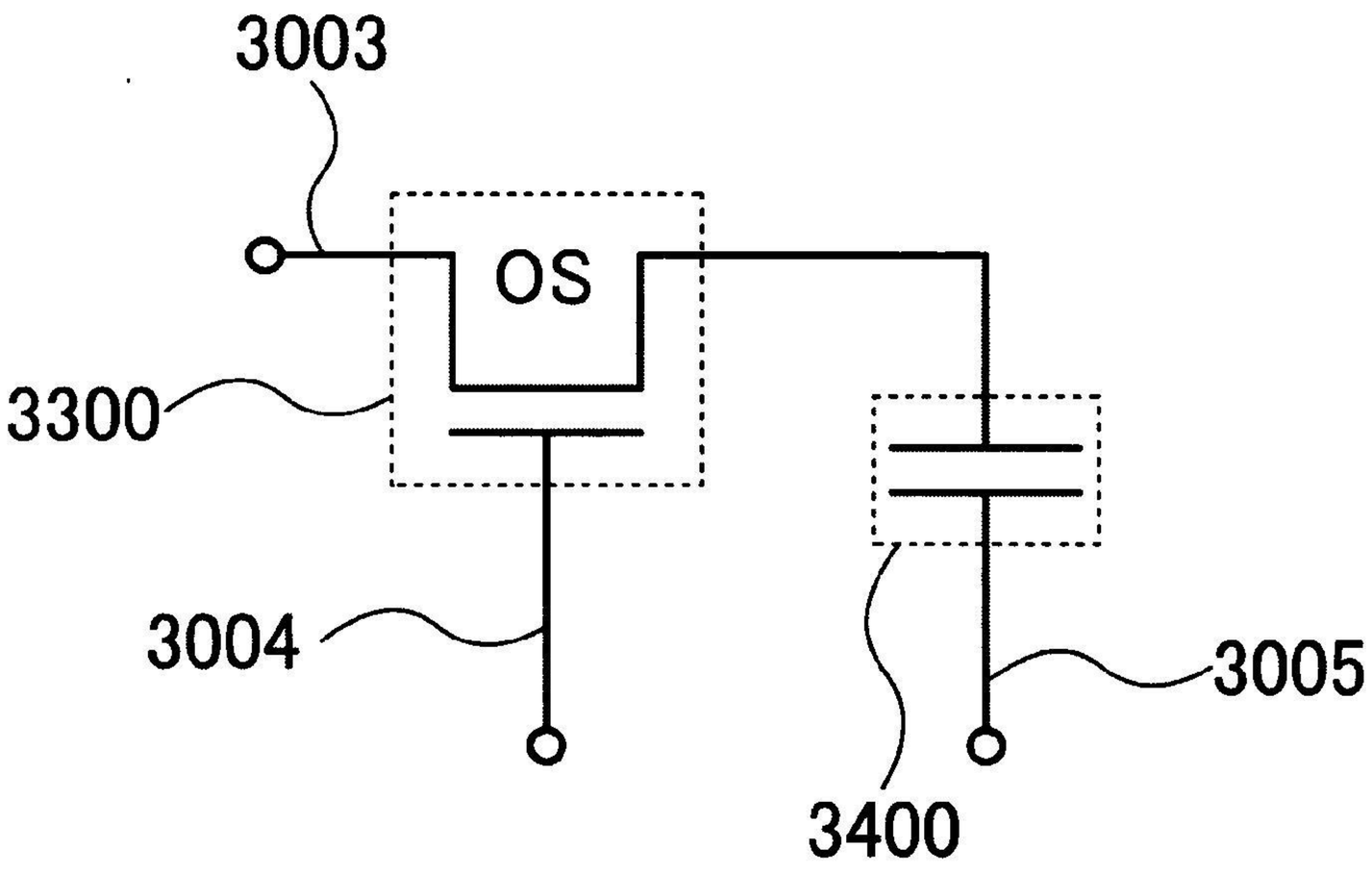
3003
OS
3300
3004
3005
3400

圖 24B

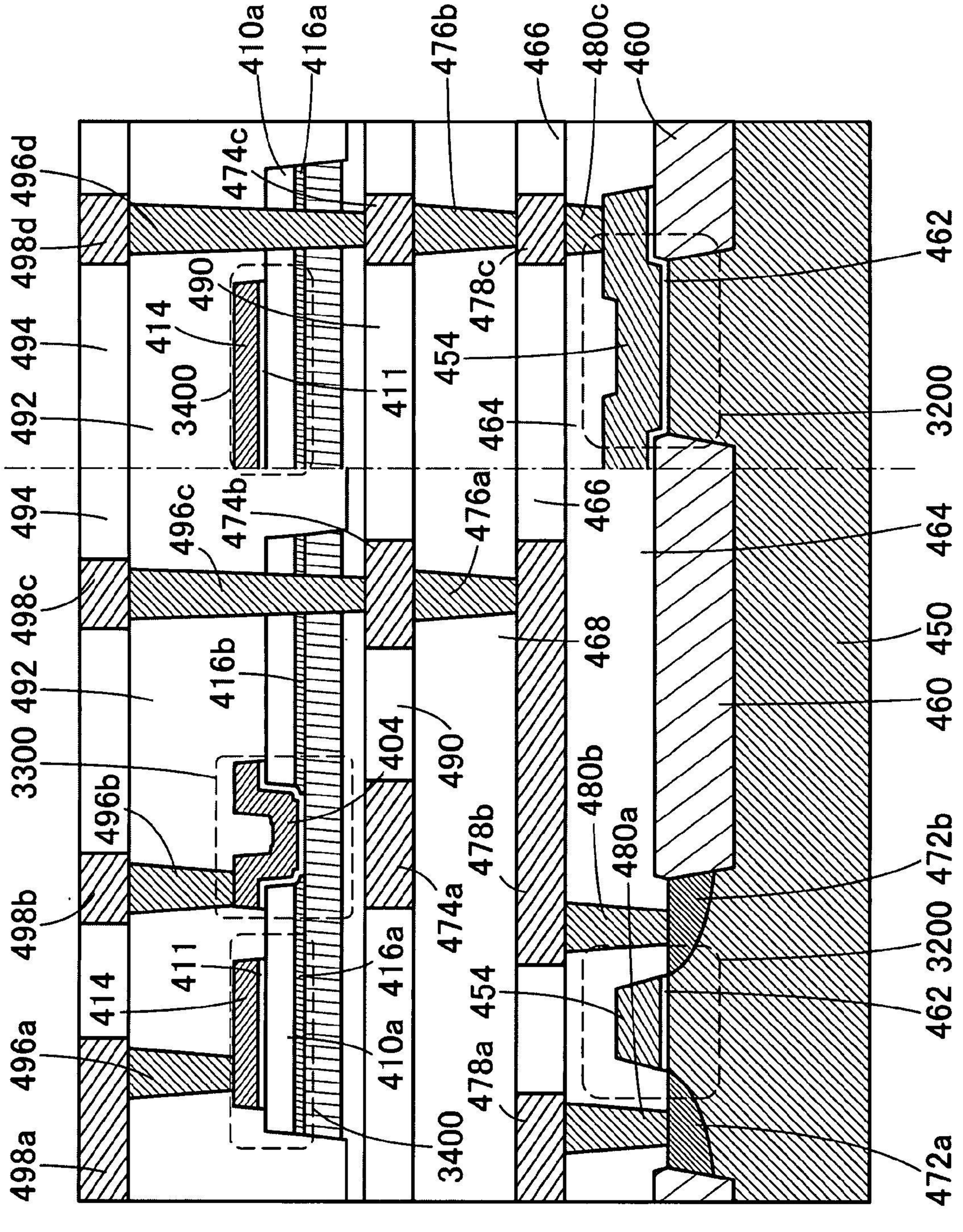
498a
496a
414
411
3400
410a
416a
404
490
474a
478b
480b
480a
472b
3200
462
454
478a
472a
498b
496b
3300
416b
498c
496c
474b
476a
466
468
464
450
460
492
494
498d
496d
474c
476b
480c
478c

圖 25

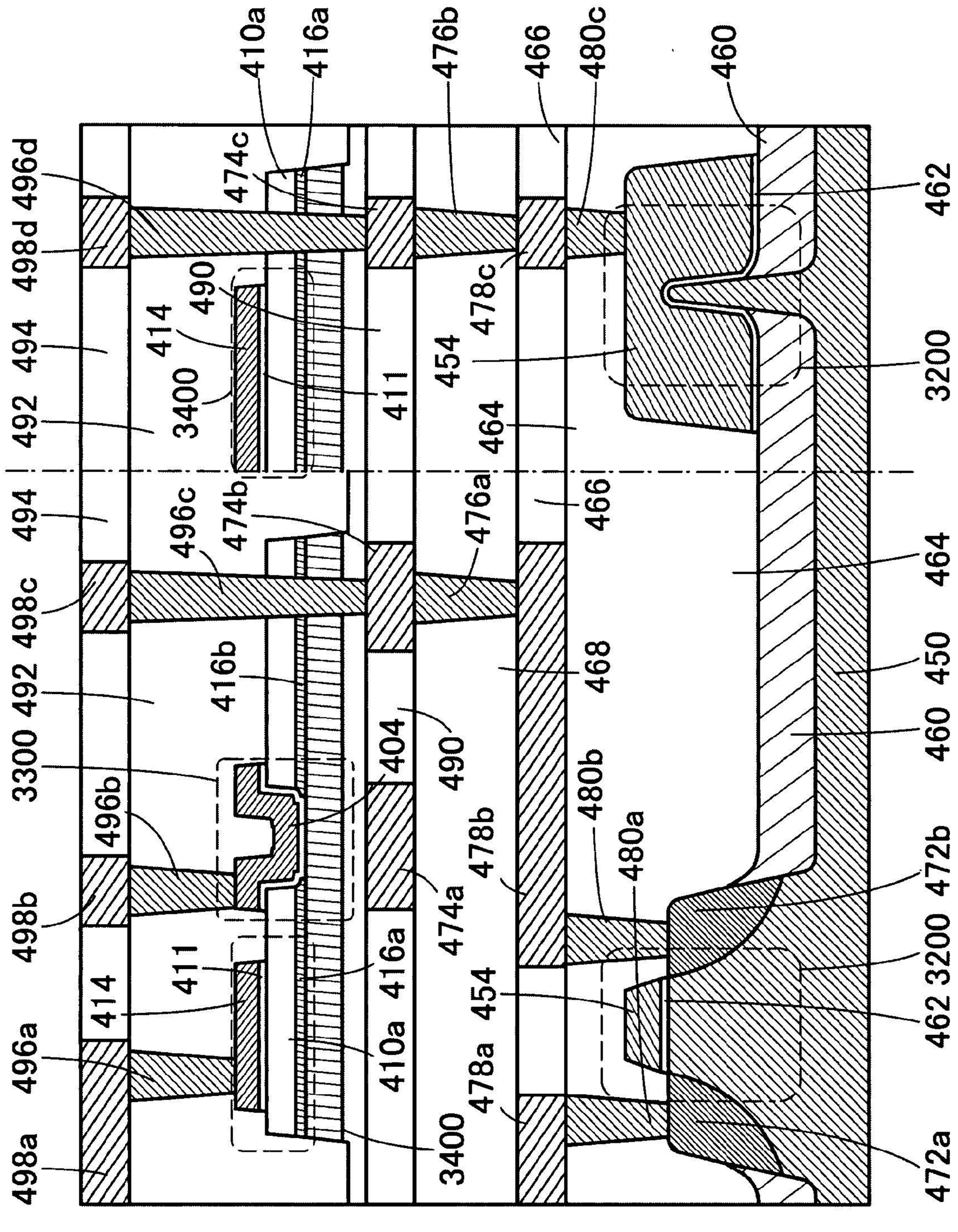
410a
416a
476b
466
480c
460
496d
498d
494
492
494
498c
492
3300
498b
496a
498a
474c
490
414
3400
411
496c
474b
416b
496b
414
411
454
478c
464
476a
466
468
404
490
474a
478b
480b
480a
478a
3400
410a
416a
462
3200
464
450
460
472b
472a

圖 26

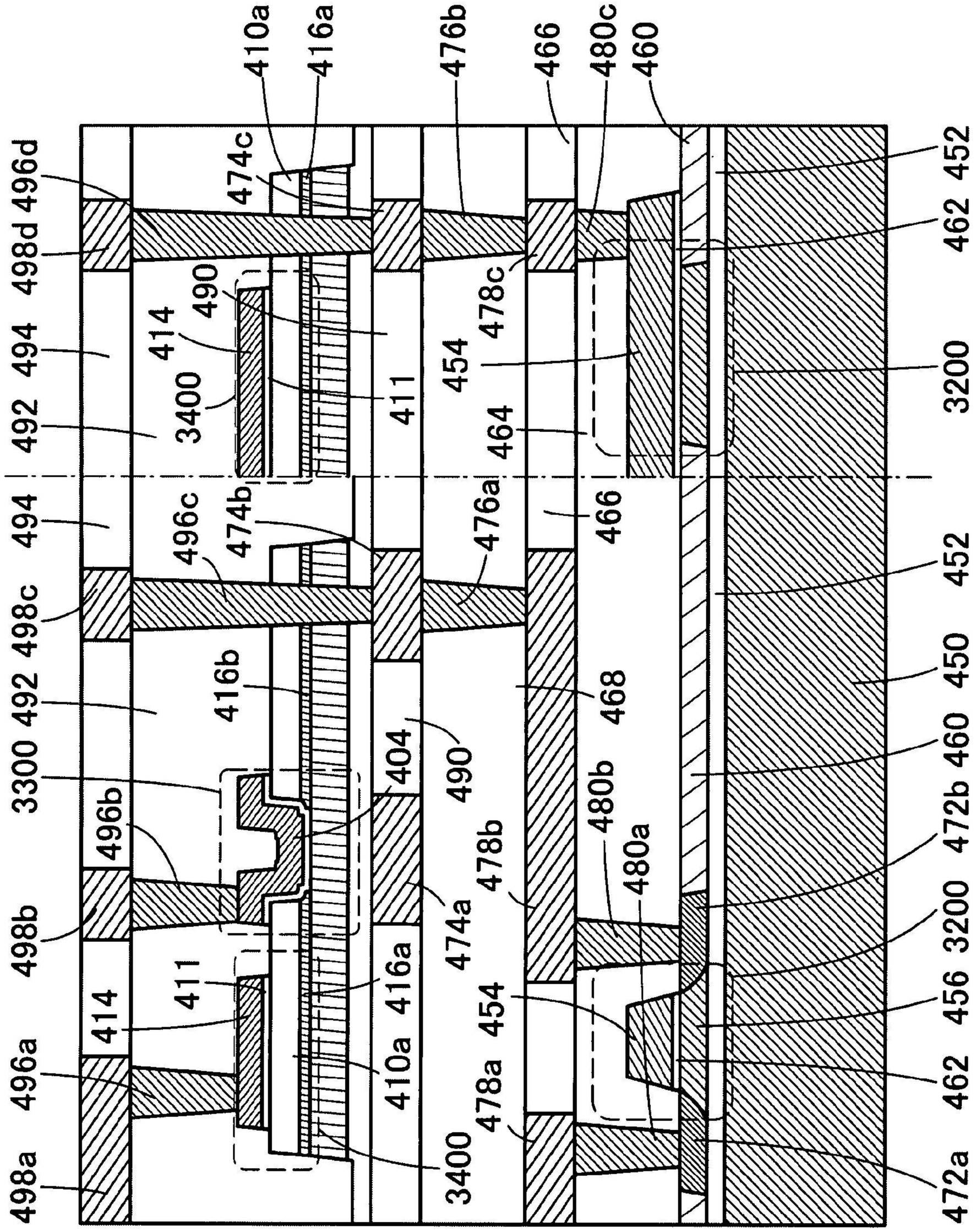
496d
498d
494
492
498c
492
3300
496b
498b
414
496a
498a
494
496c
474b
416b
411
3400
490
414
3400
411
404
416a
410a
474c
474a
476b
476a
478c
478b
454
464
466
468
480b
480a
452
462
3200
450
460
472b
456
472a
410a

圖 27

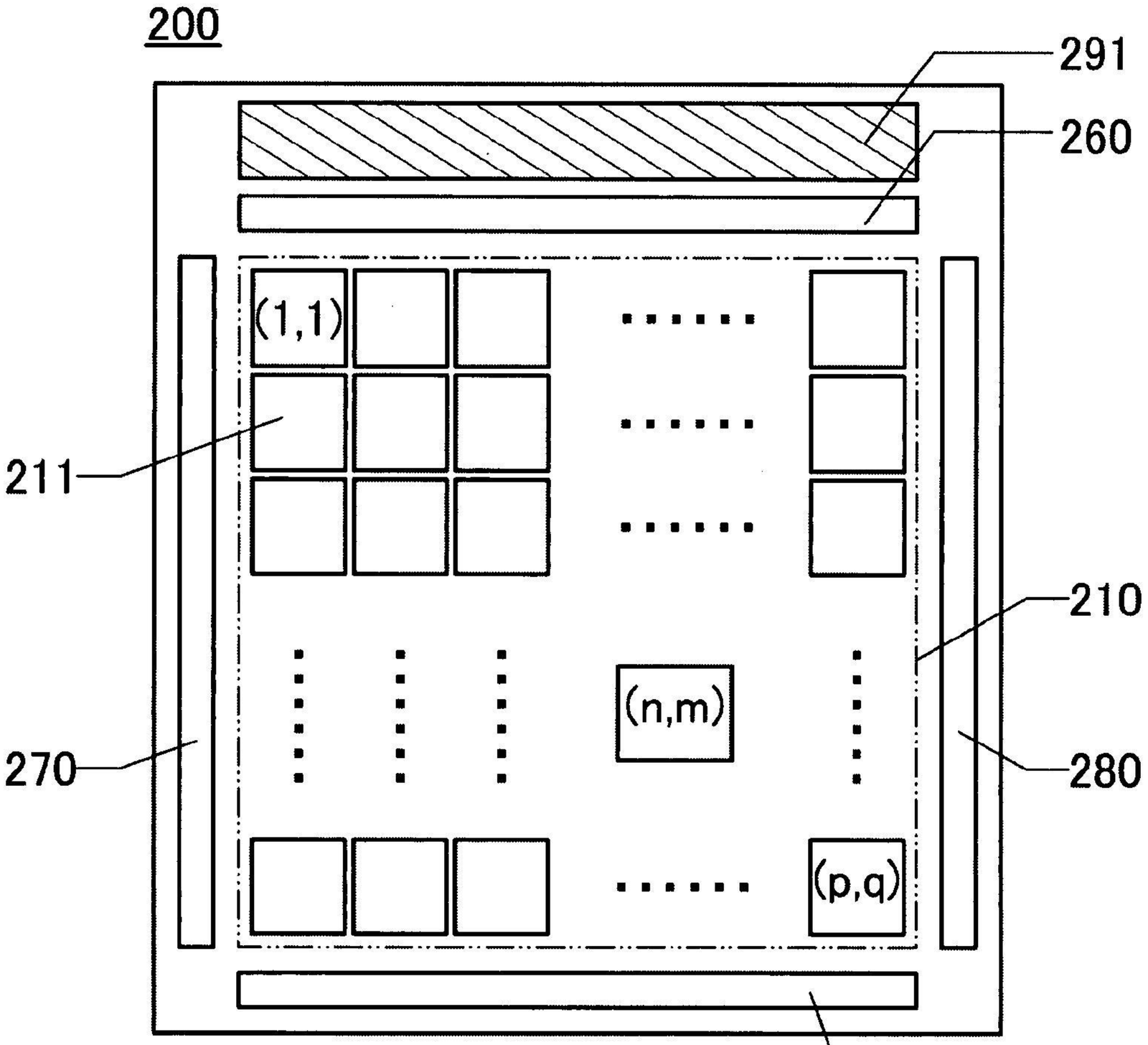
200
291
260
(1,1)
211
(n,m)
(p,q)
210
270
280
290

圖 28A

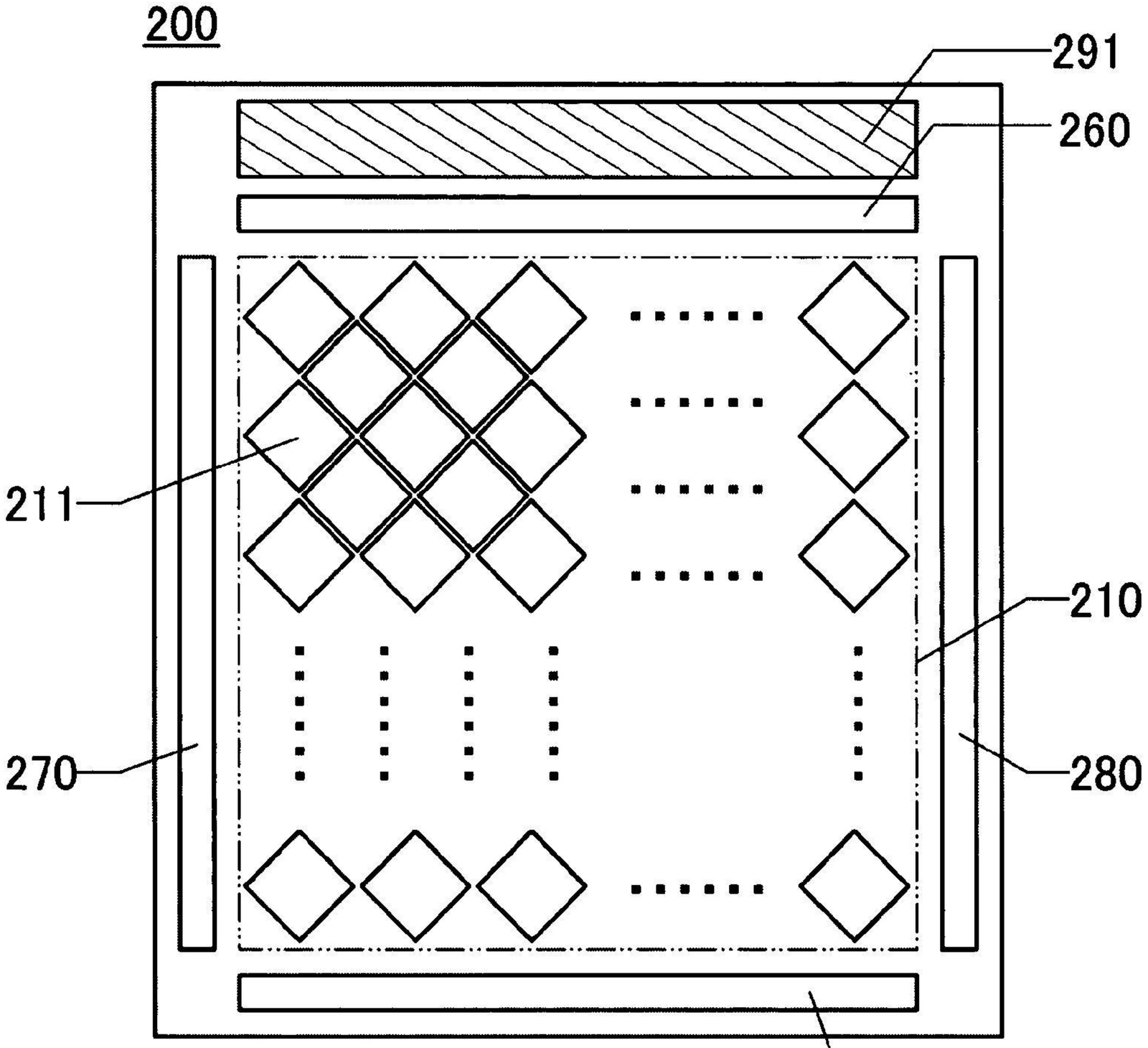
200
291
260
211
210
270
280
290

圖 28B

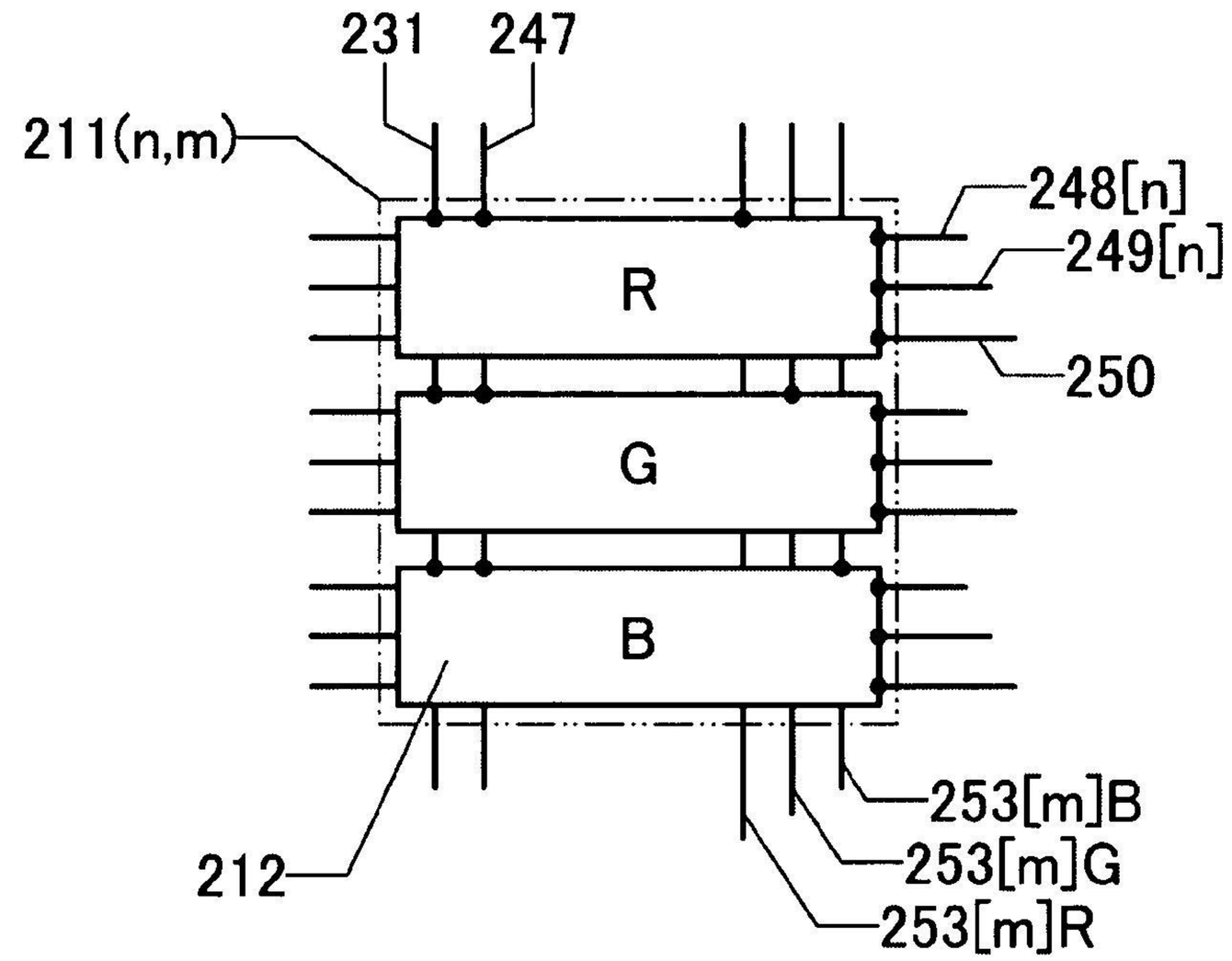
231
247
211(n,m)
248[n]
249[n]
250
R
G
B
212
253[m]B
253[m]G
253[m]R

圖 29A

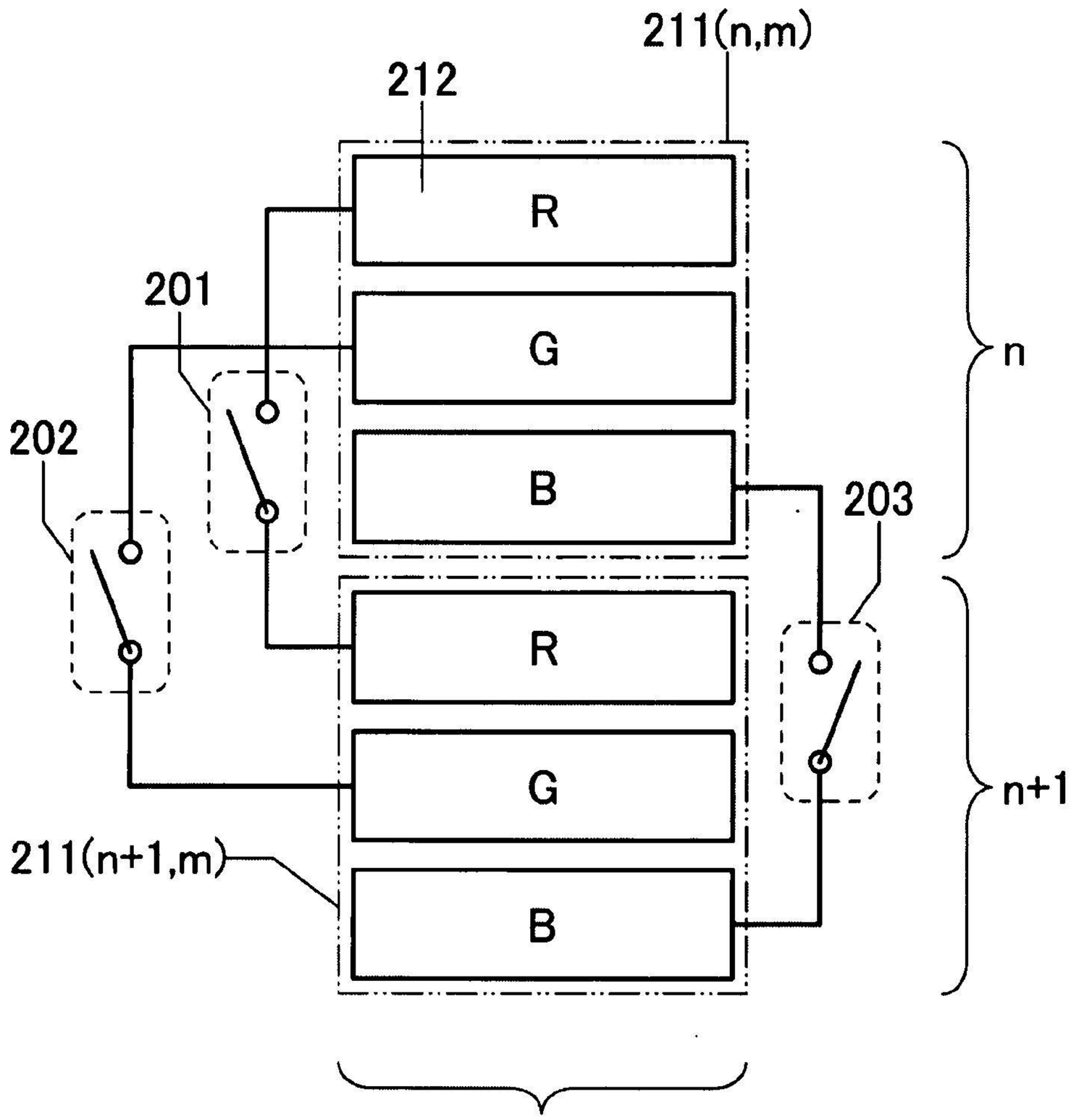
211(n,m)
212
R
G
B
201
202
203
n
R
G
B
211(n+1,m)
n+1
m列

圖 29B

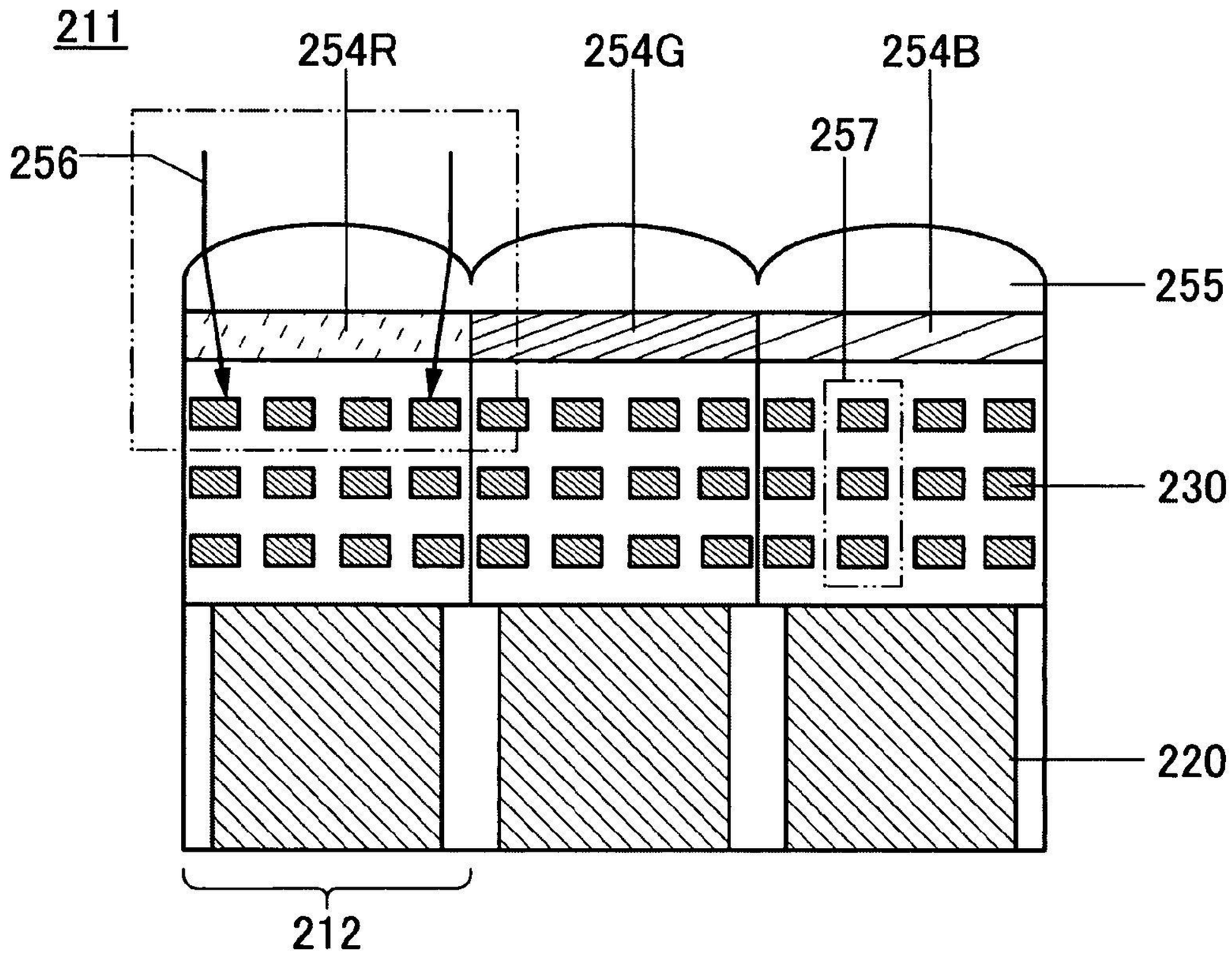
211
254R
254G
254B
256
257
255
230
220
212

圖 30A

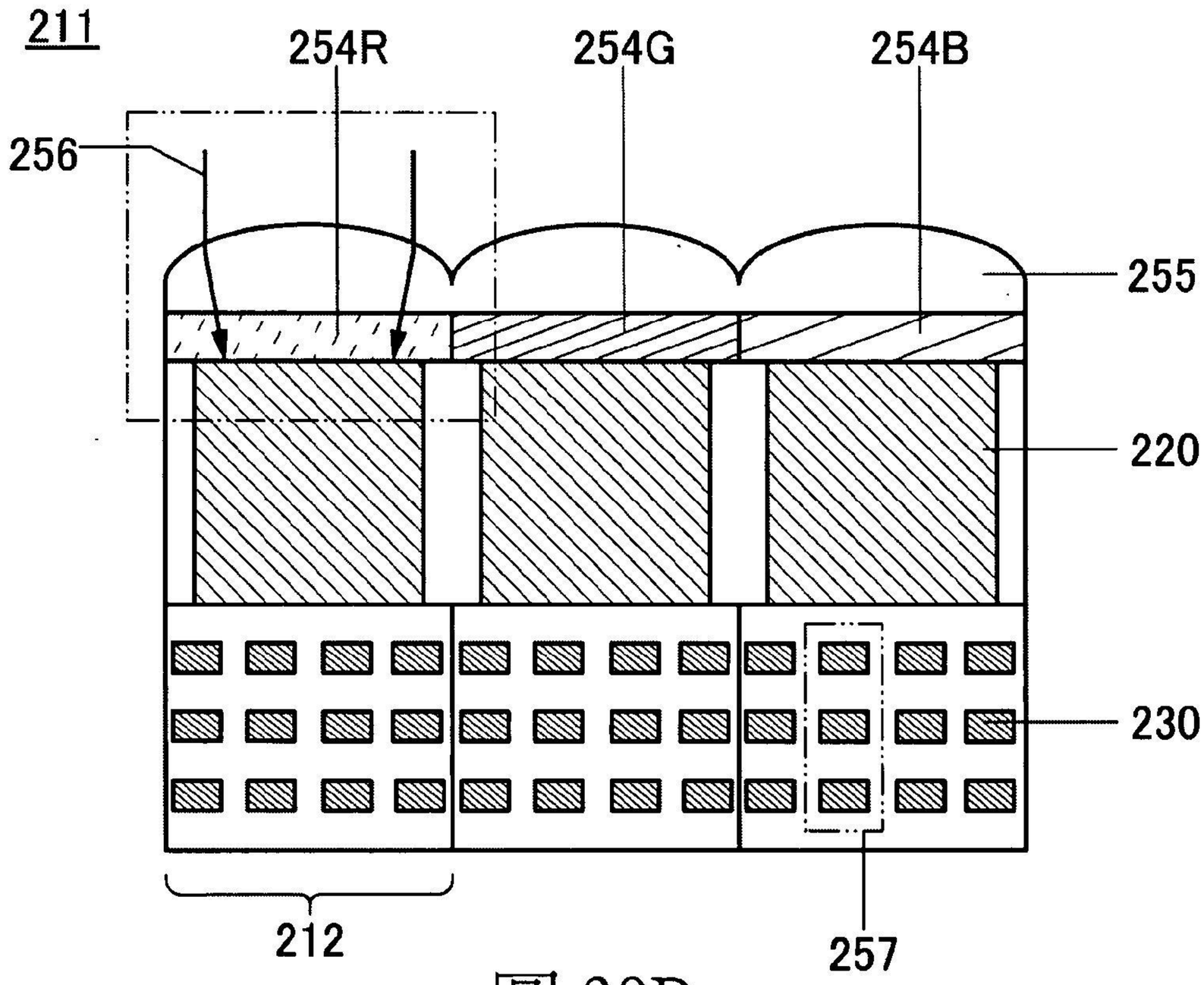
211
254R
254G
254B
256
255
220
230
212
257

圖 30B

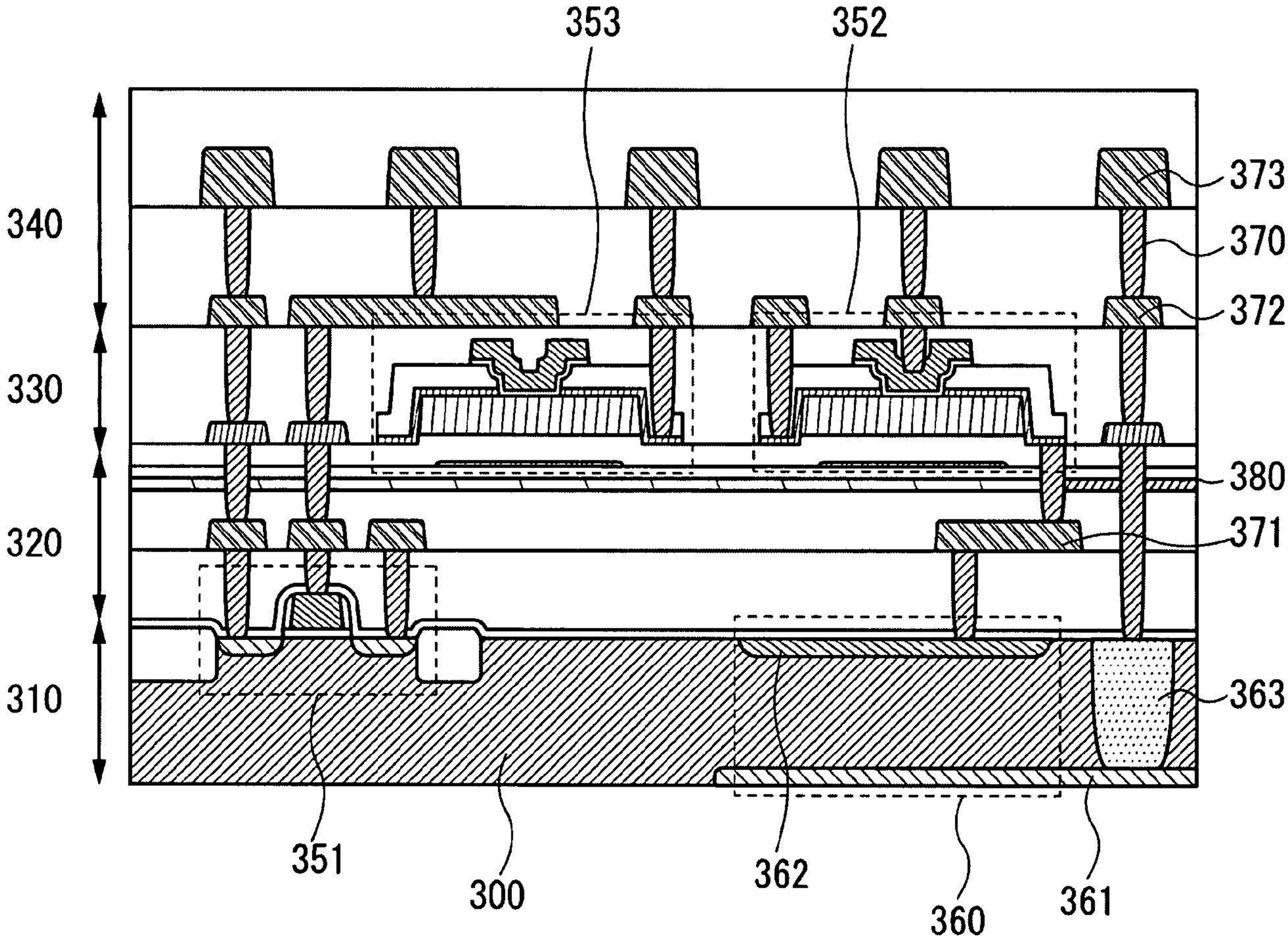
353
352
340
330
320
310
373
370
372
380
371
363
351
300
362
360
361

圖 31A

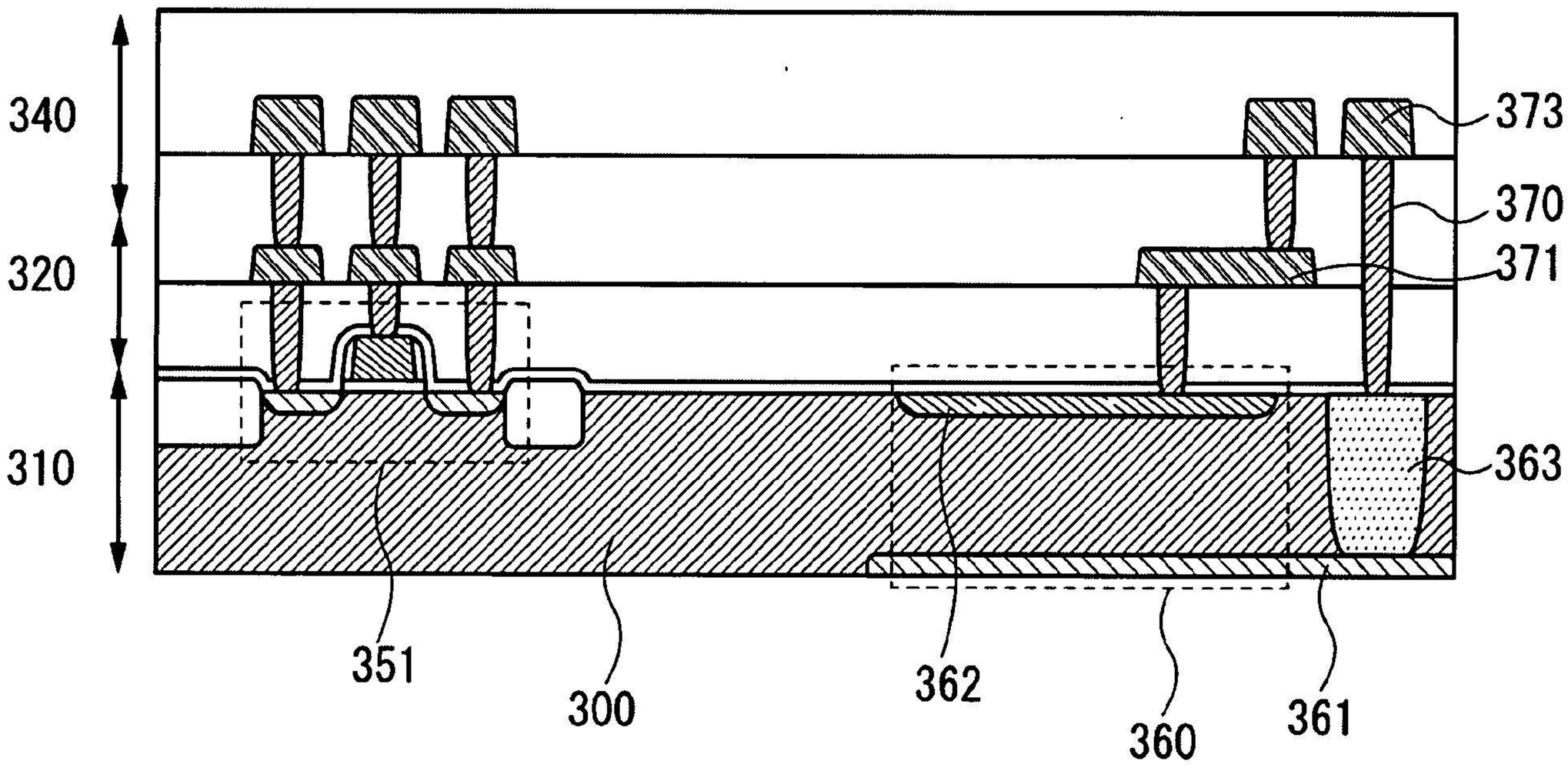
340
320
310
373
370
371
363
351
300
362
360
361

圖 31B

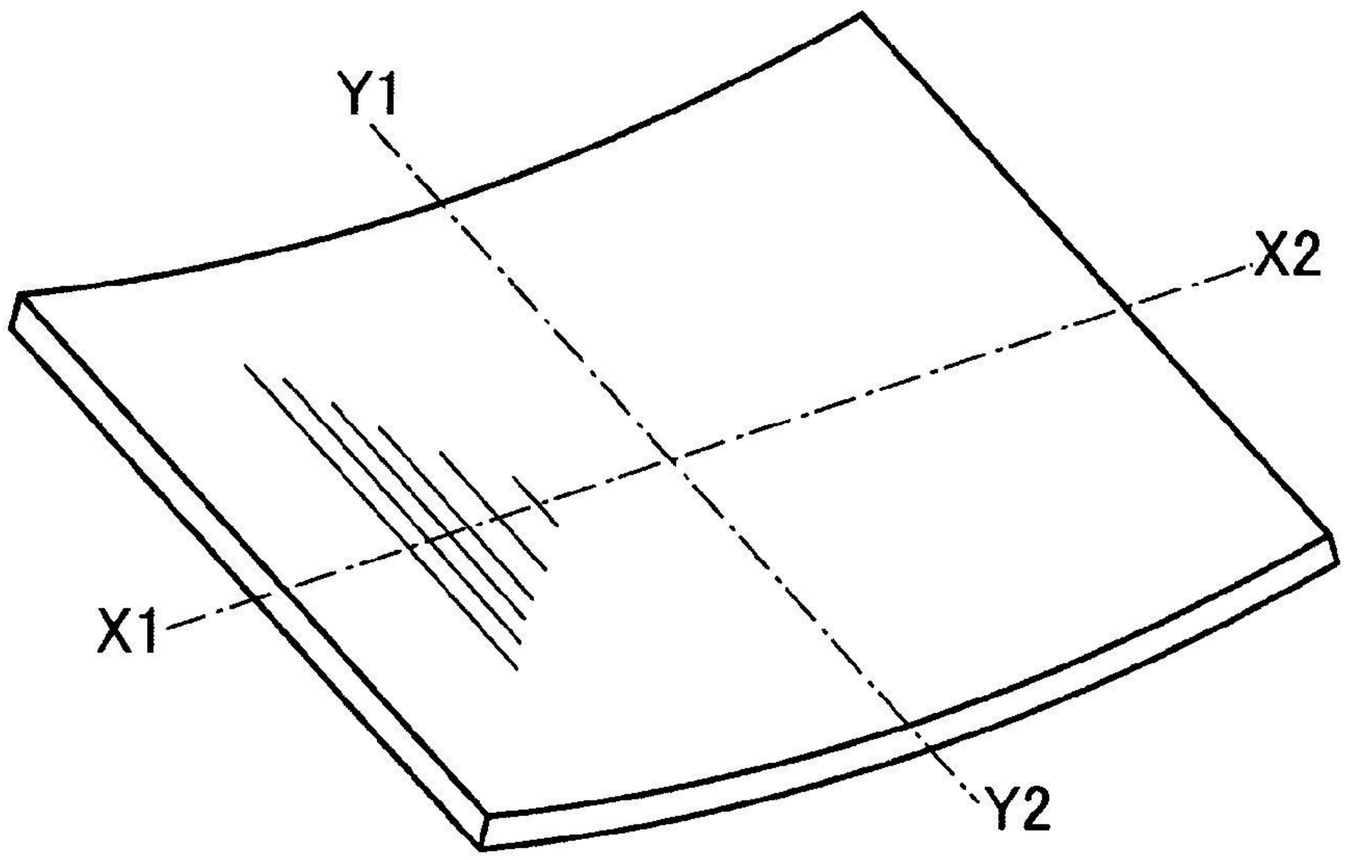

圖 32A1

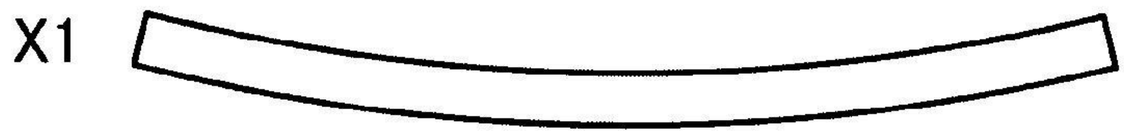

圖 32A2

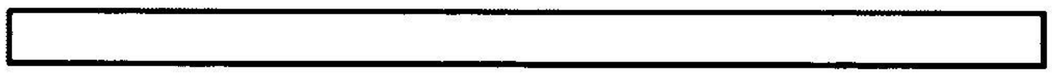

圖 32A3

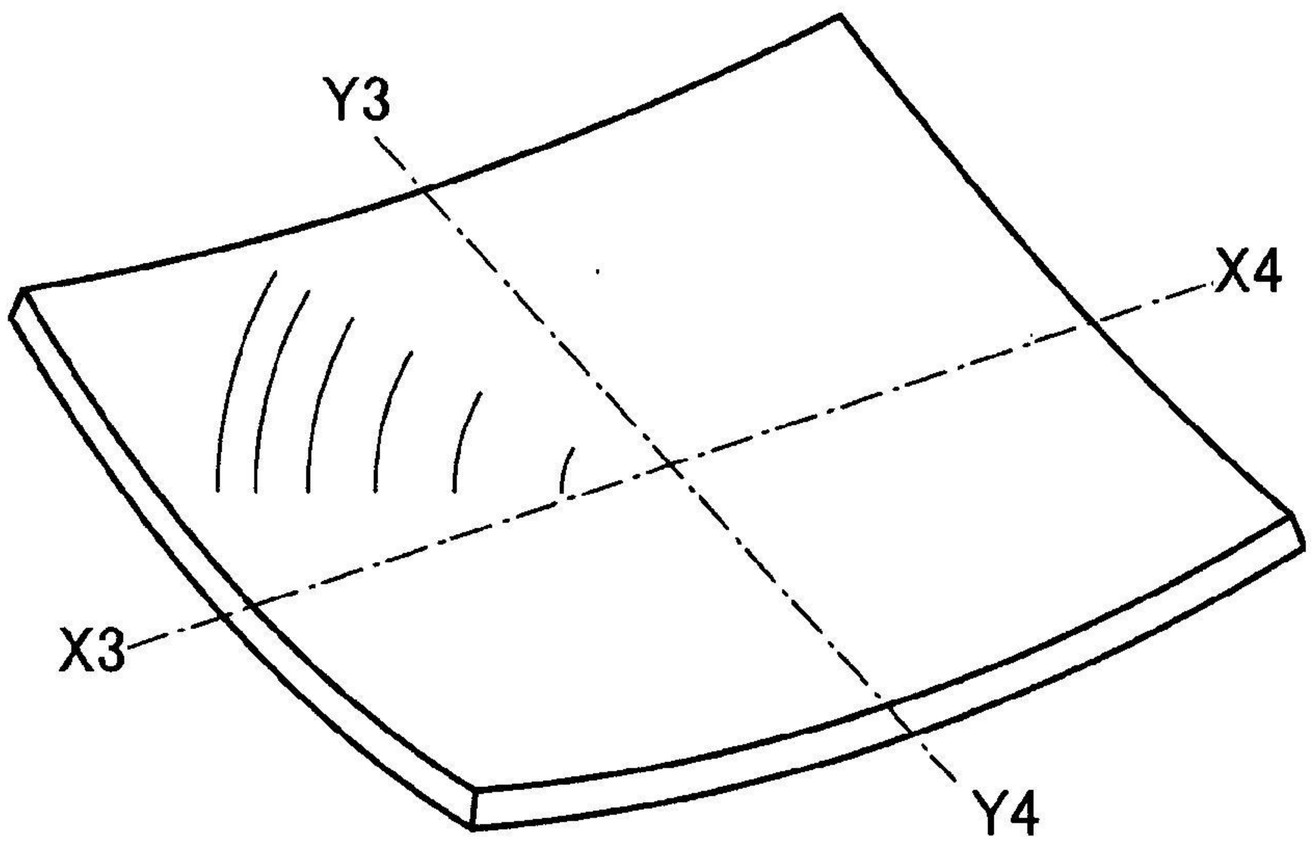

圖 32B1

圖 32B2

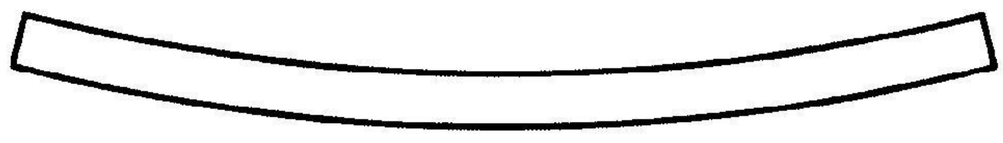

圖 32B3

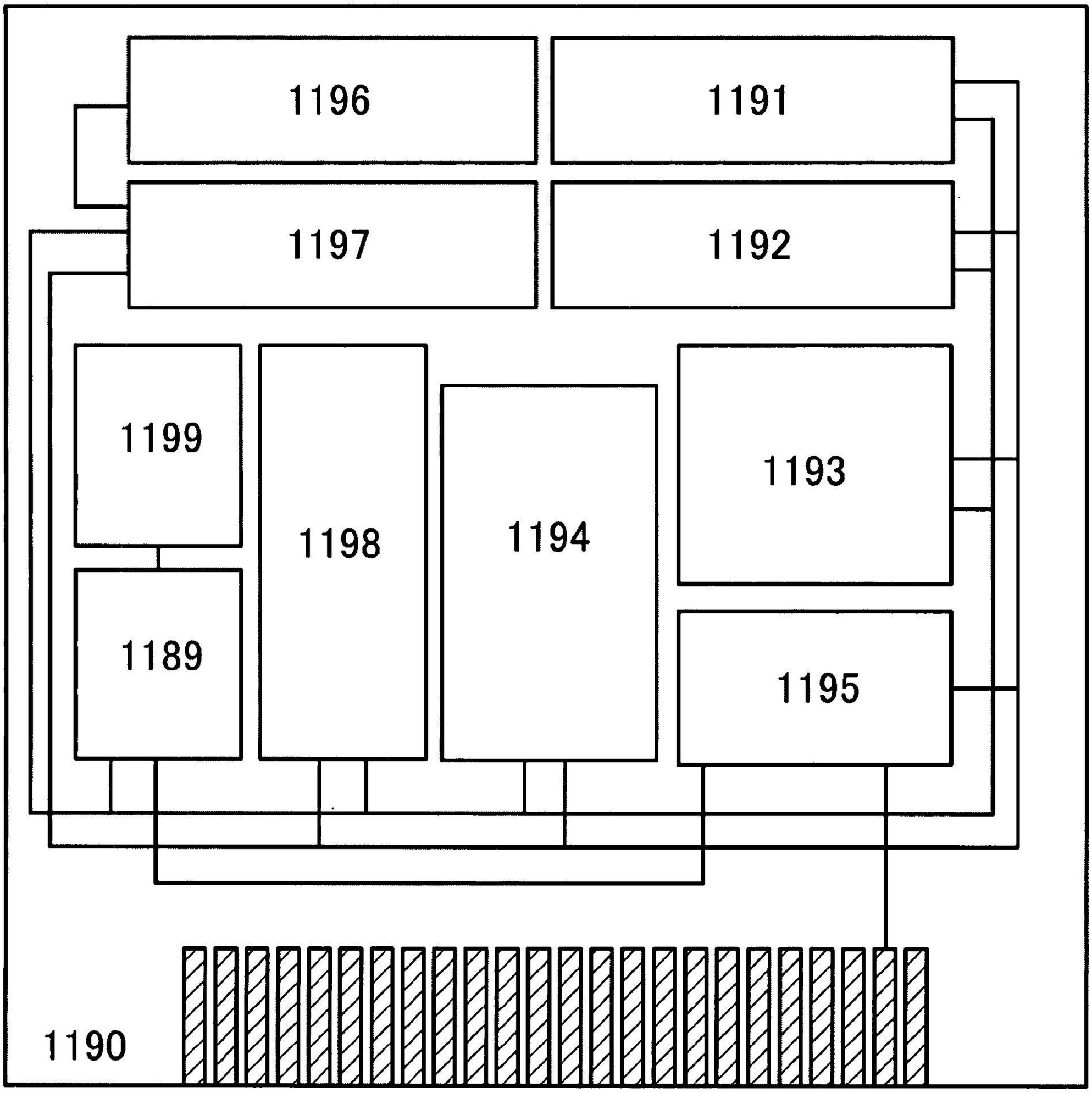

圖 33

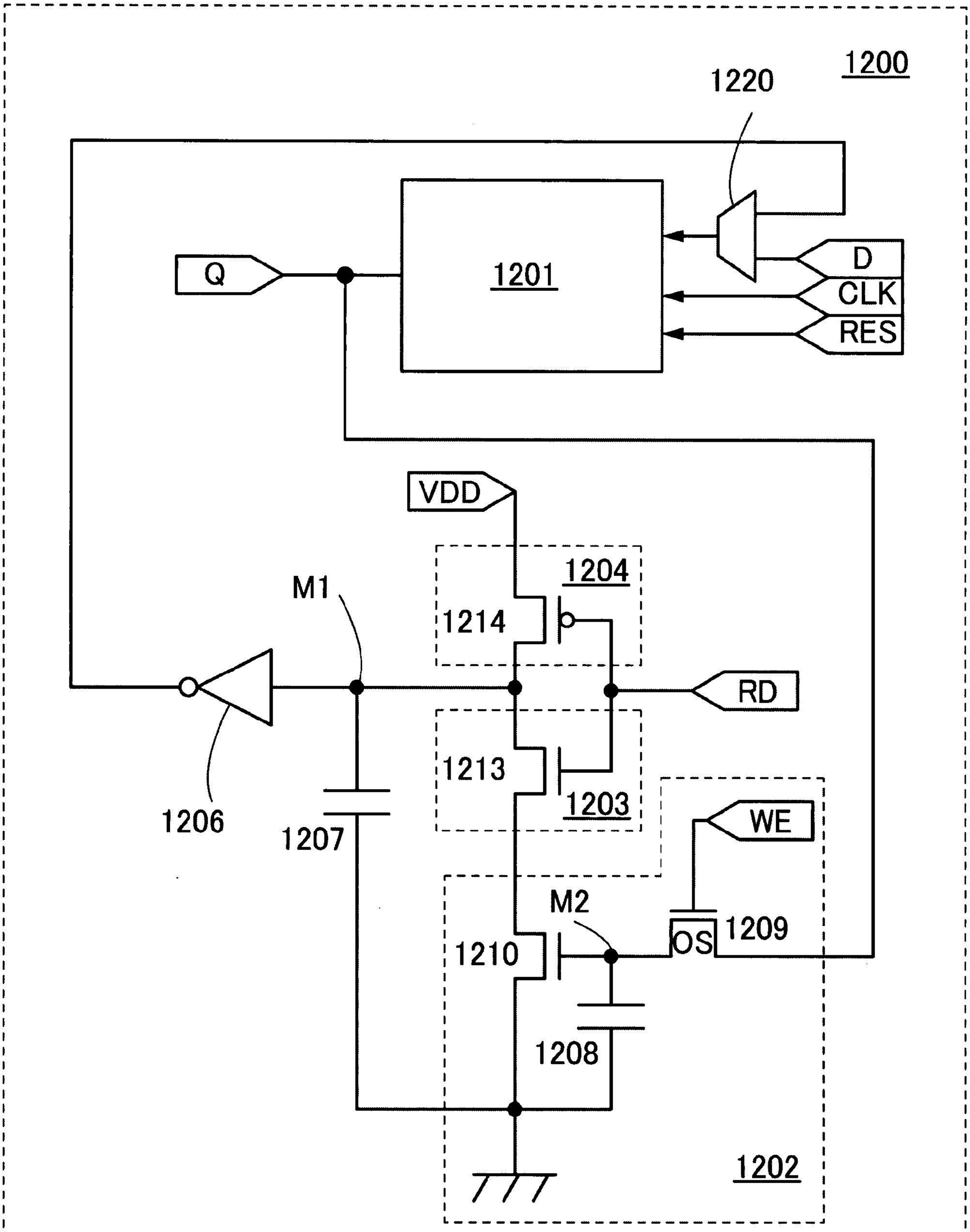
1200
1220
Q
1201
D
CLK
RES
VDD
1204
M1
1214
RD
1213
1203
1206
1207
WE
M2
1210
OS
1209
1208
1202

圖 34

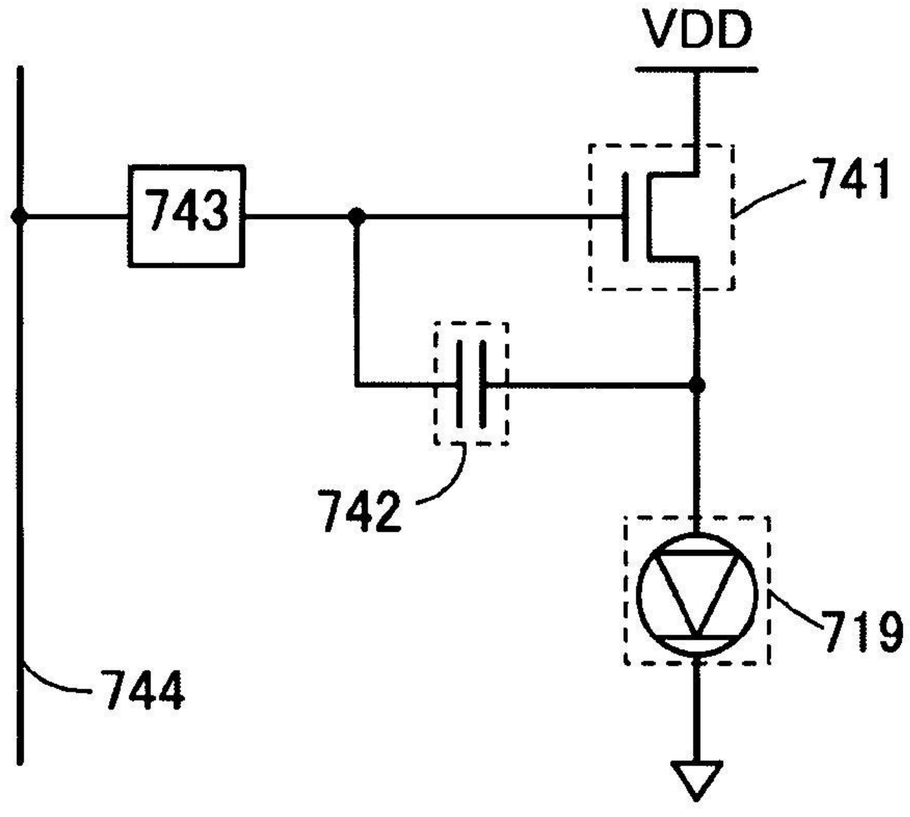

圖 35A

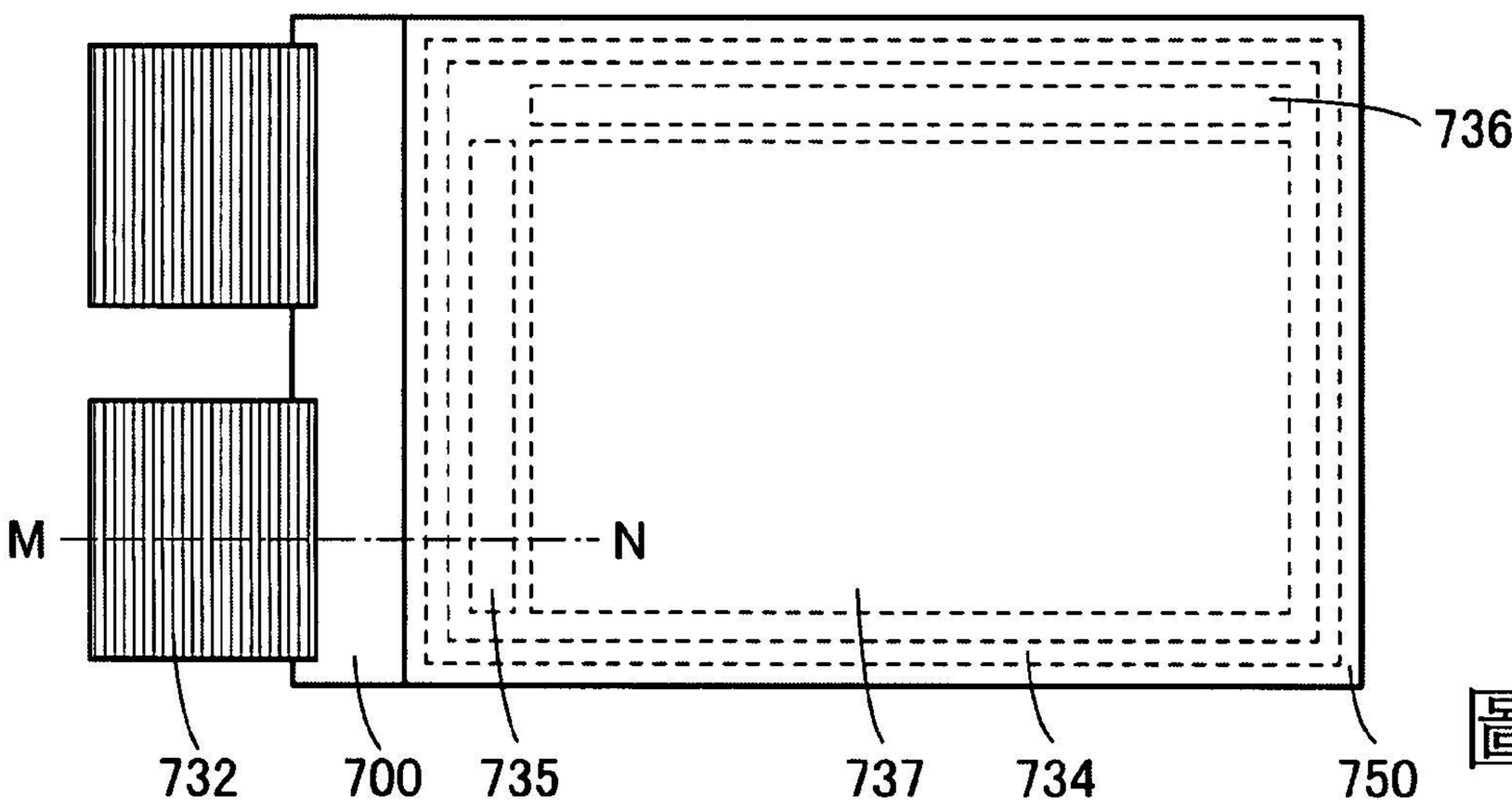

圖 35B

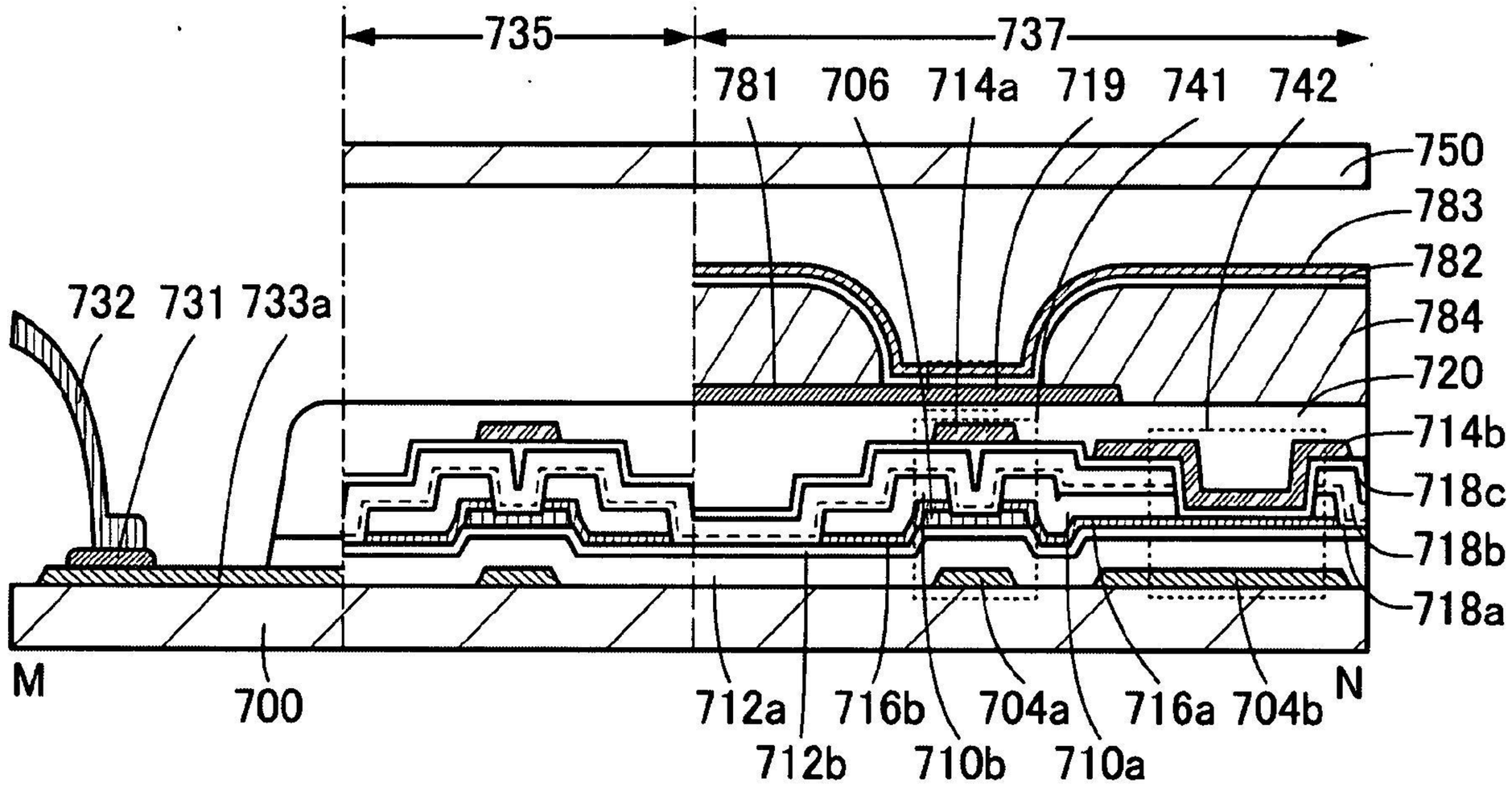

圖 35C

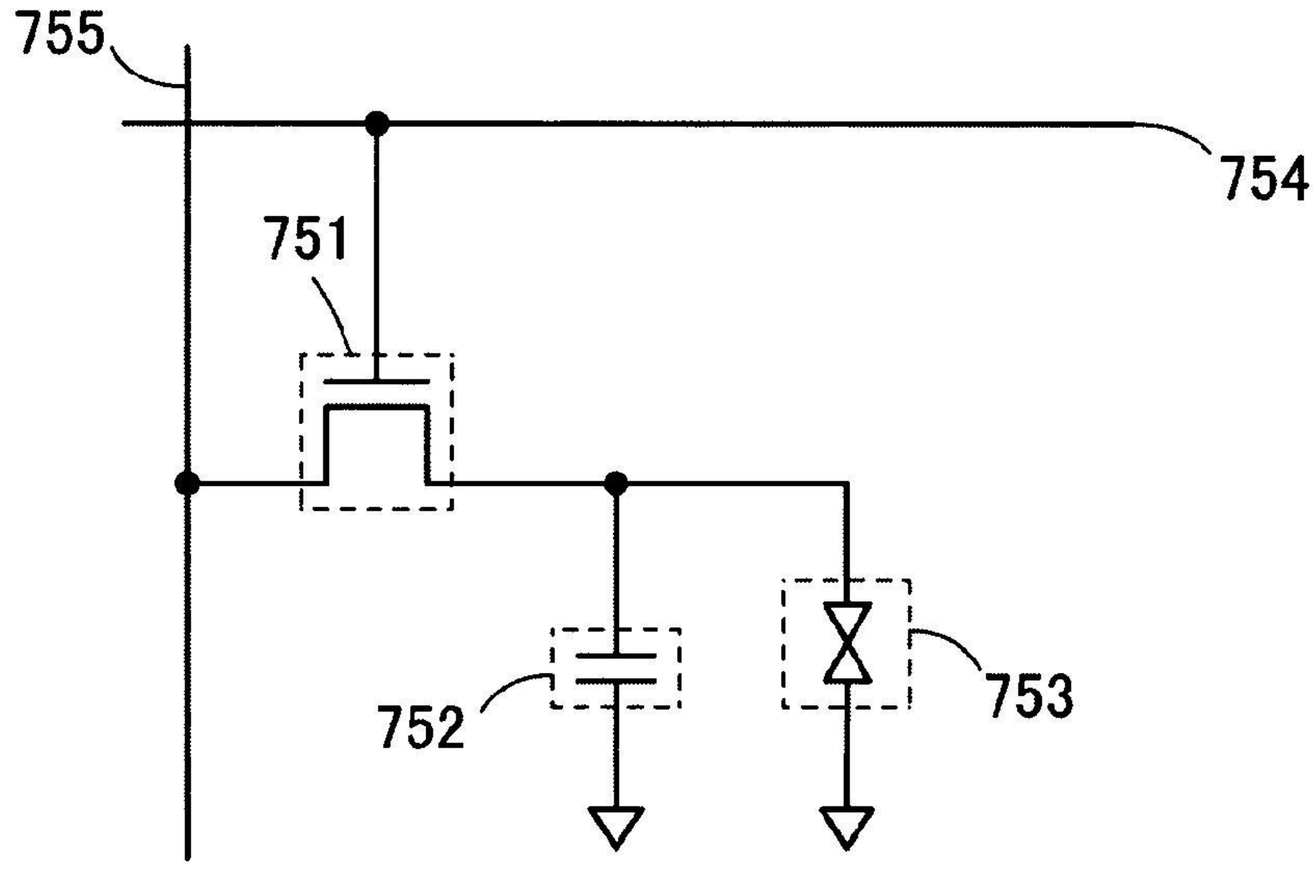
755
754
751
752
753

圖 36A

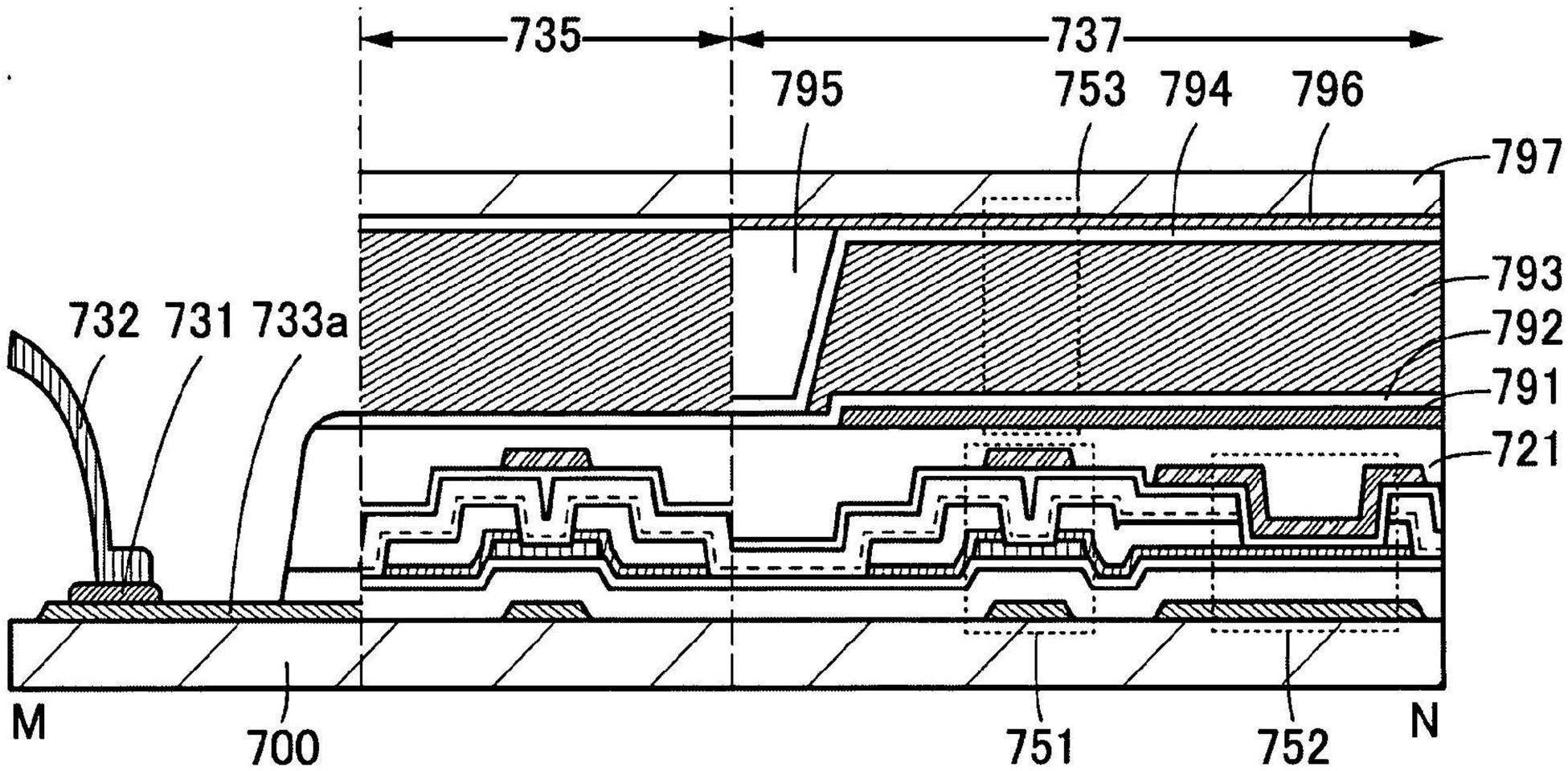
735
737
795
753
794
796
797
732
731
733a
793
792
791
721
M
700
751
752
N

圖 36B

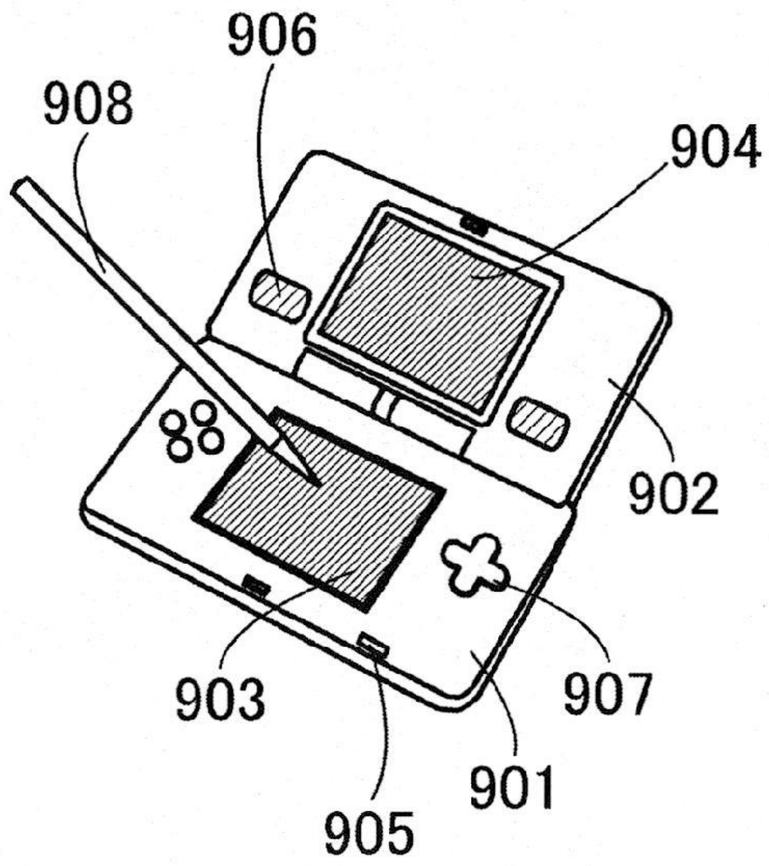

圖 37A

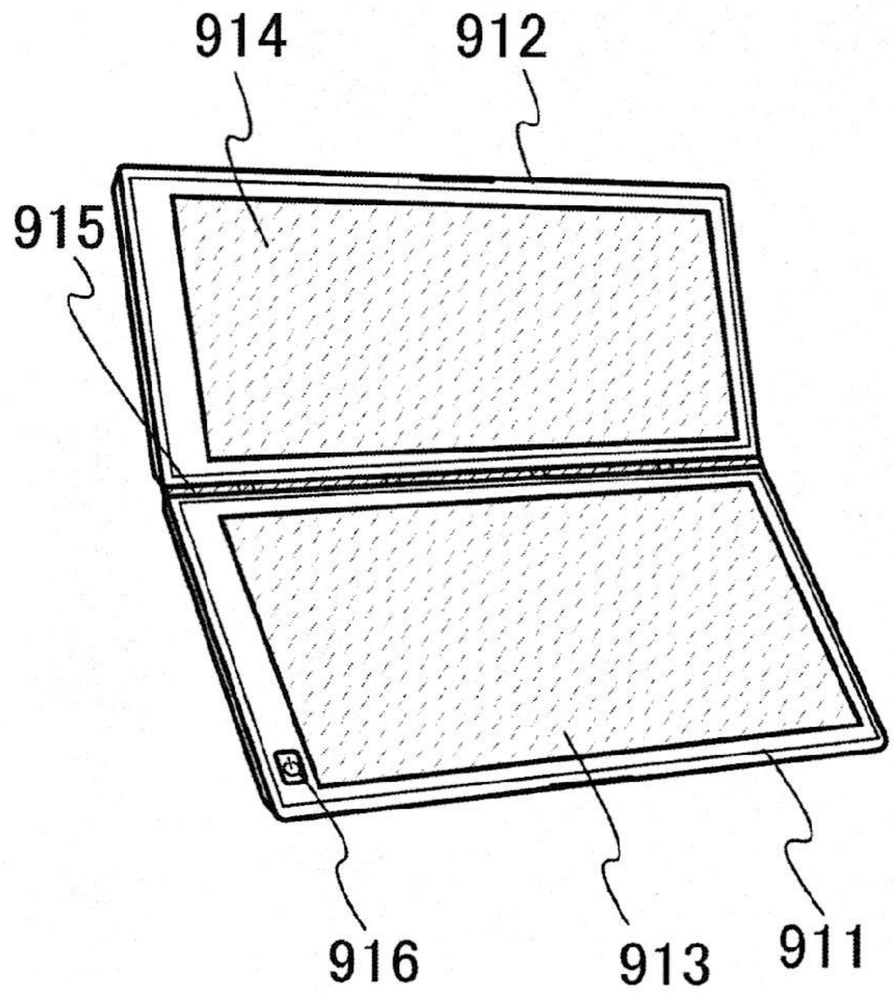

圖 37B

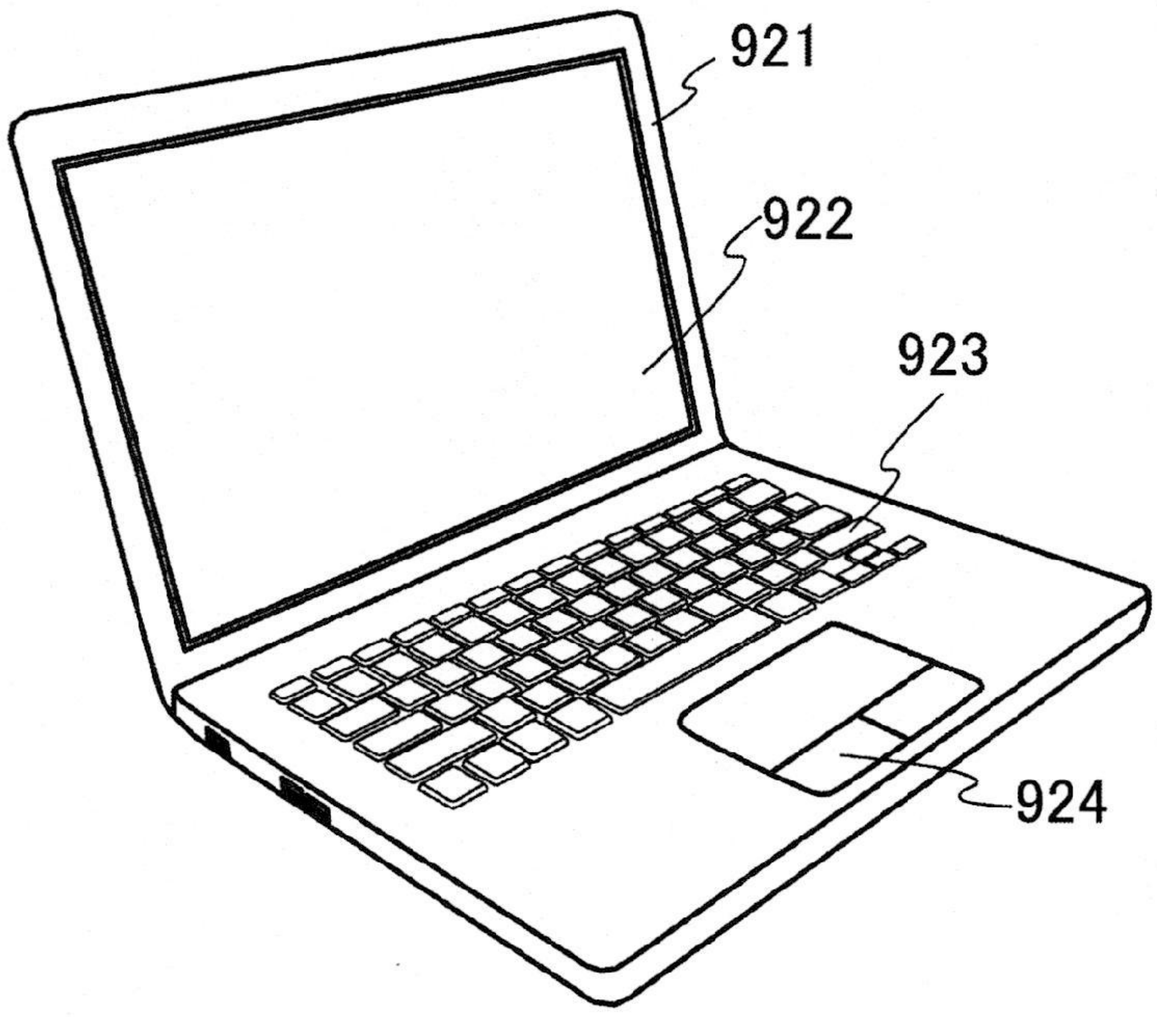

圖 37C

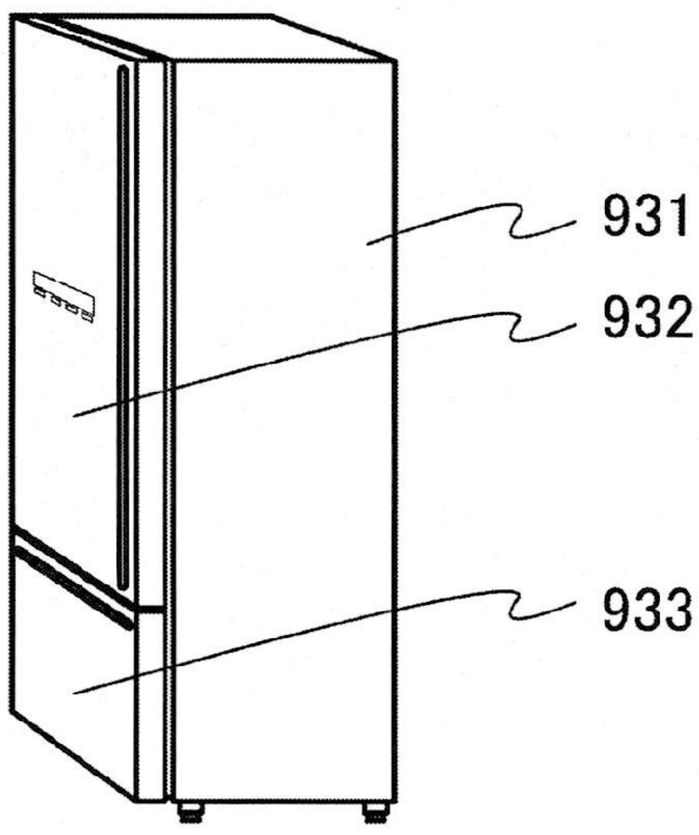

圖 37D

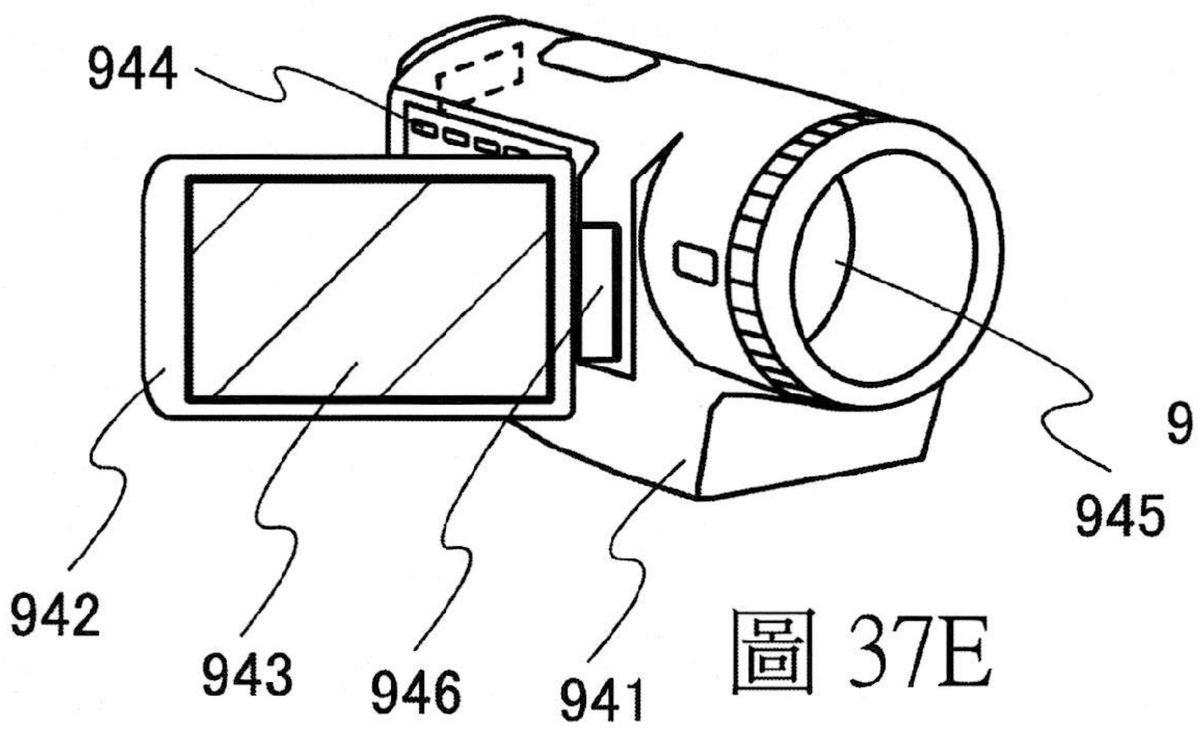

圖 37E

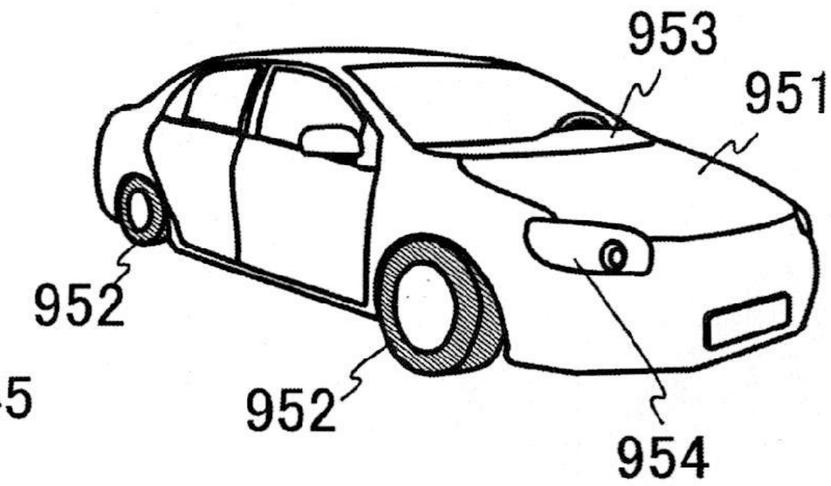

圖 37F

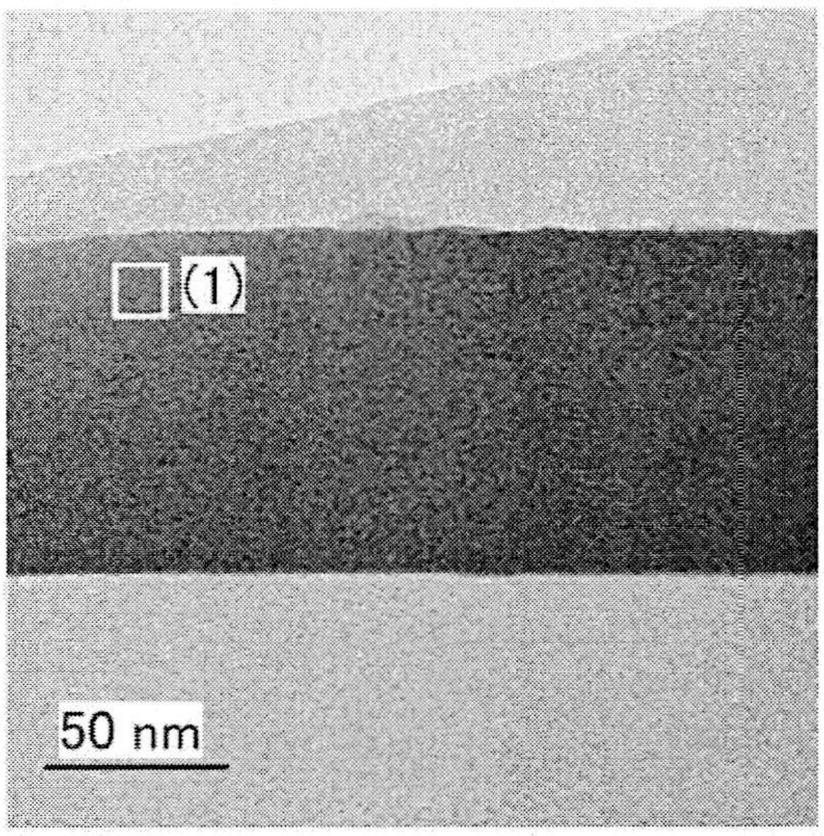

圖 38A

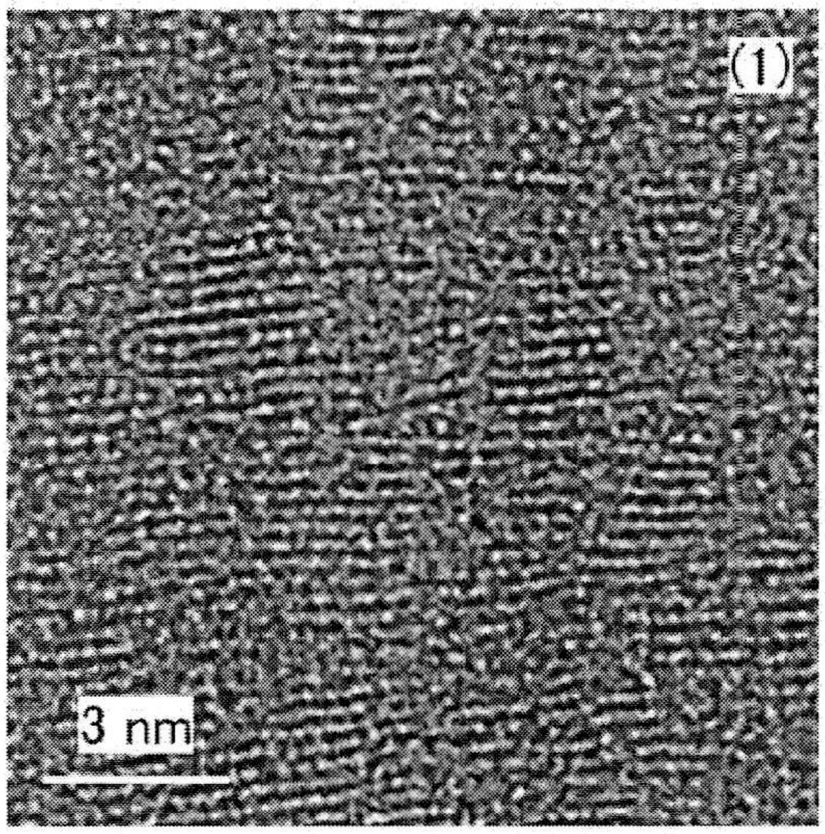

圖 38B

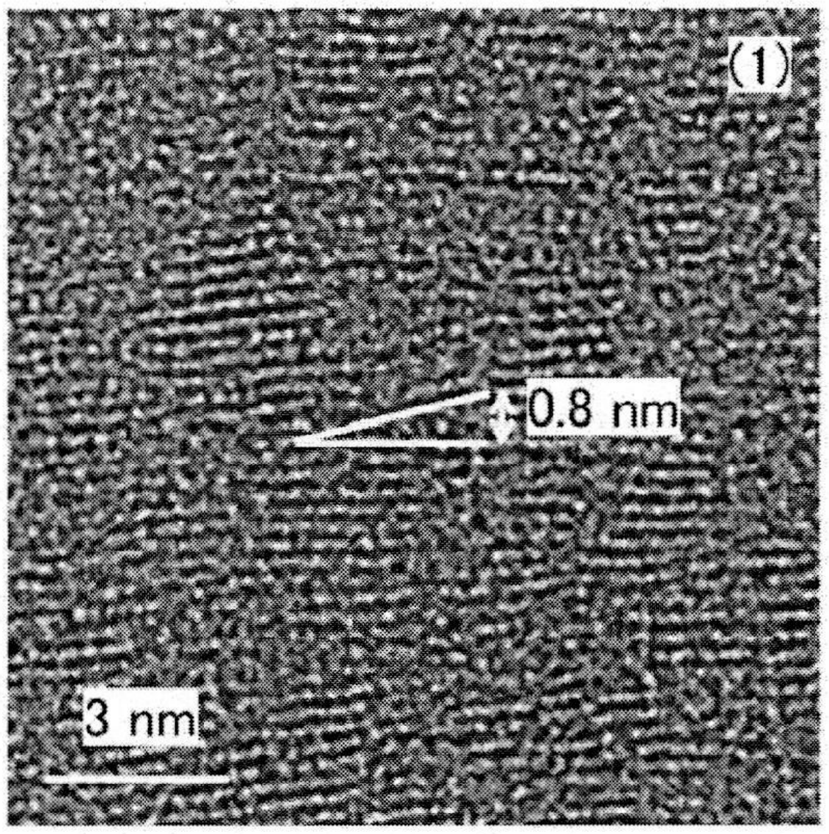

圖 38C

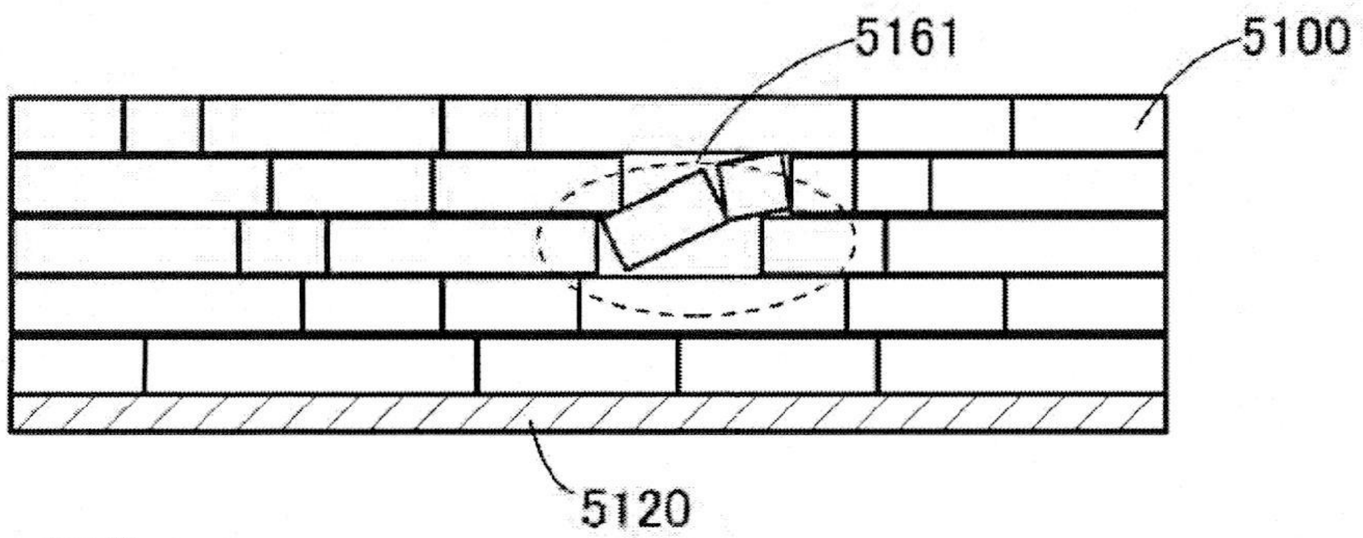

圖 38D

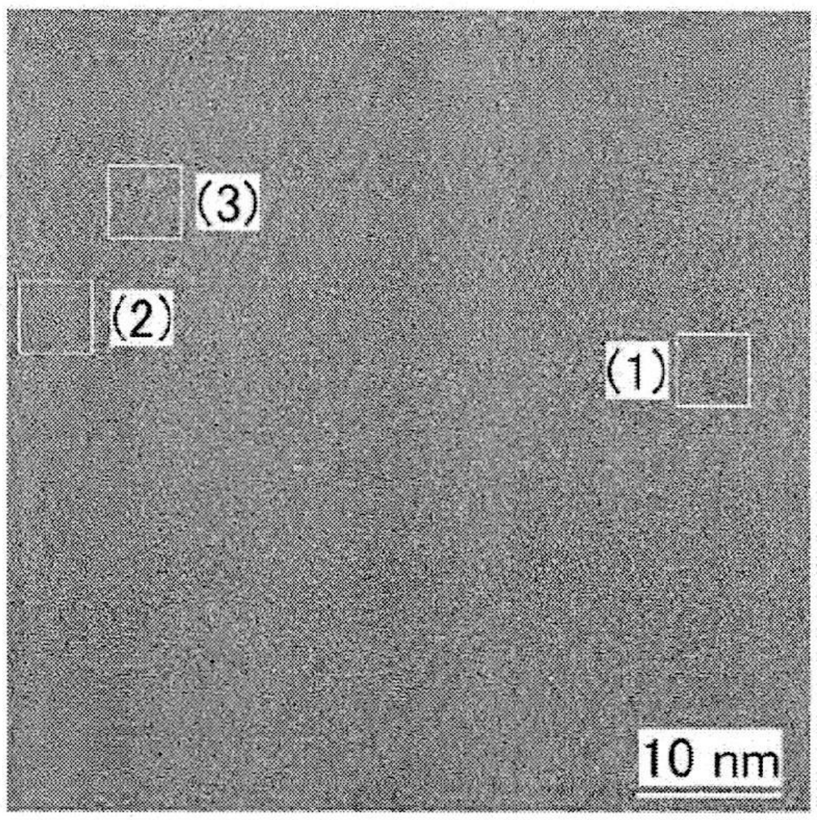

圖 39A

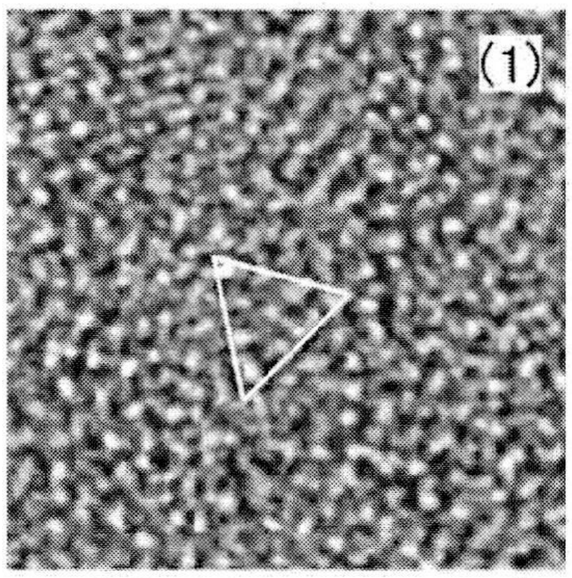

圖 39B

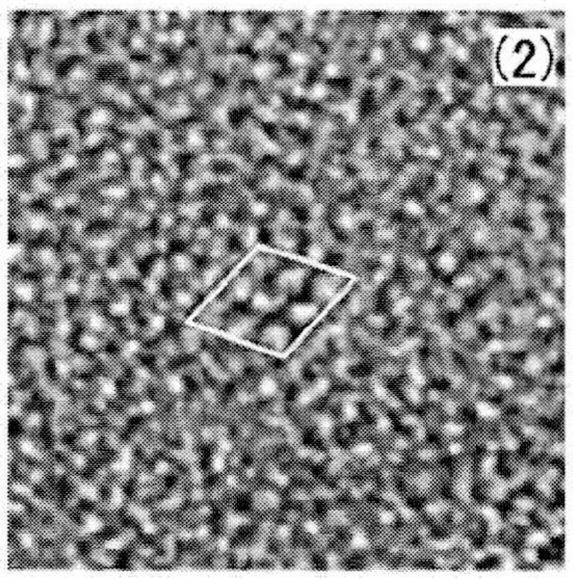

圖 39C

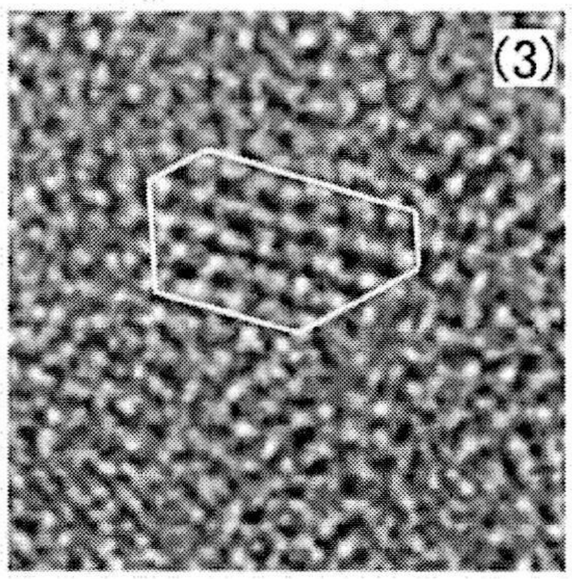

圖 39D

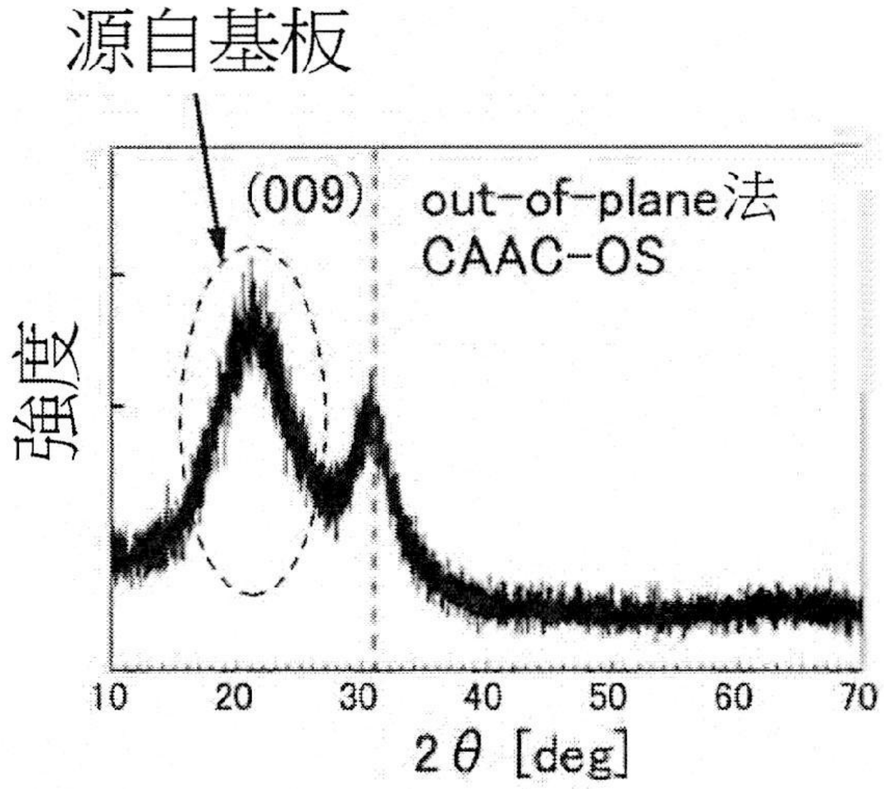

圖 40A

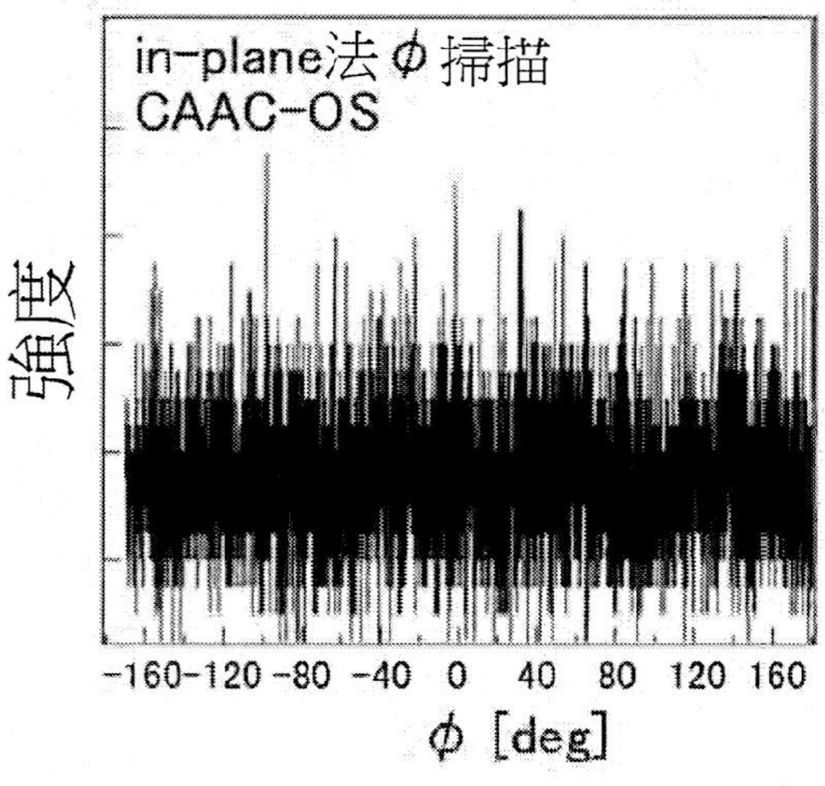

圖 40B

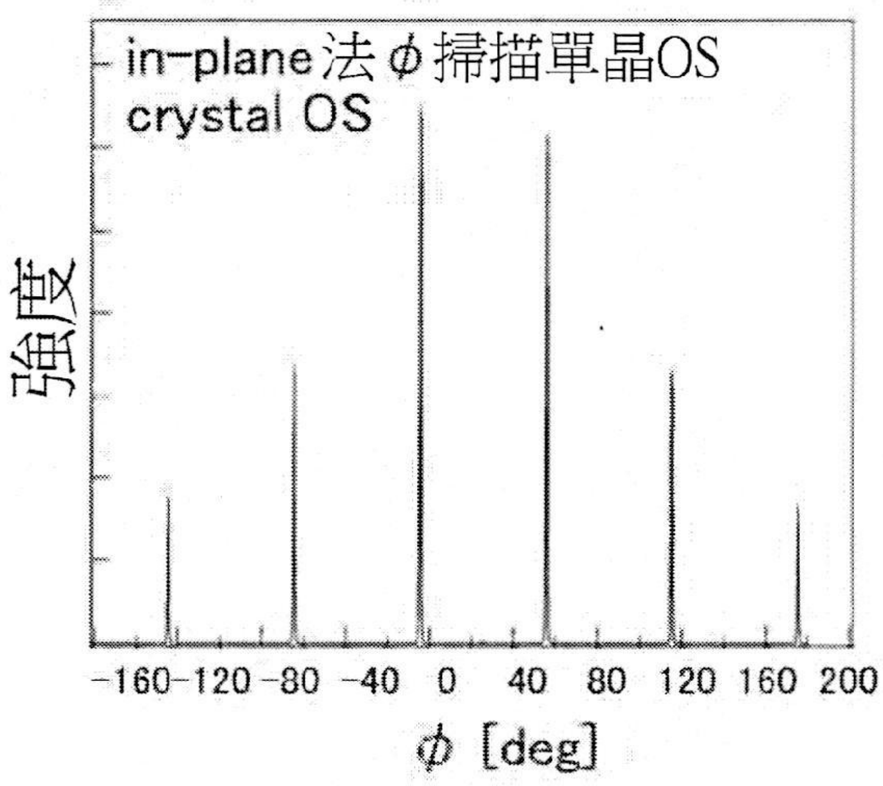

圖 40C

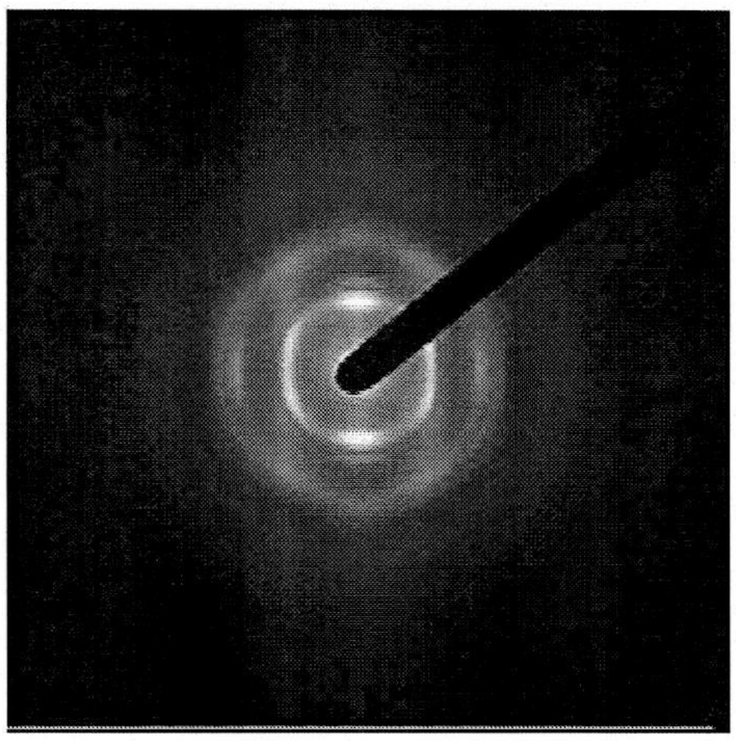

圖 41A

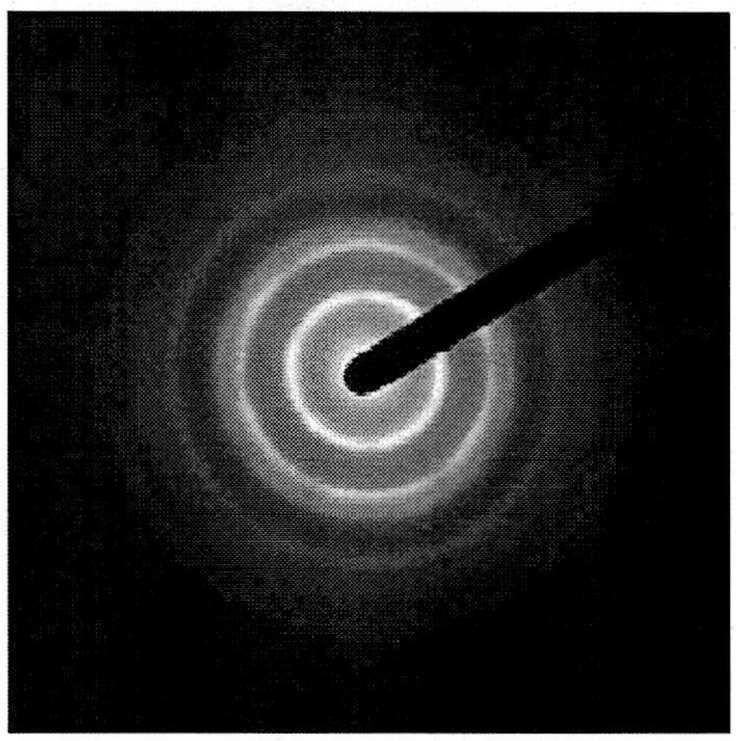

圖 41B

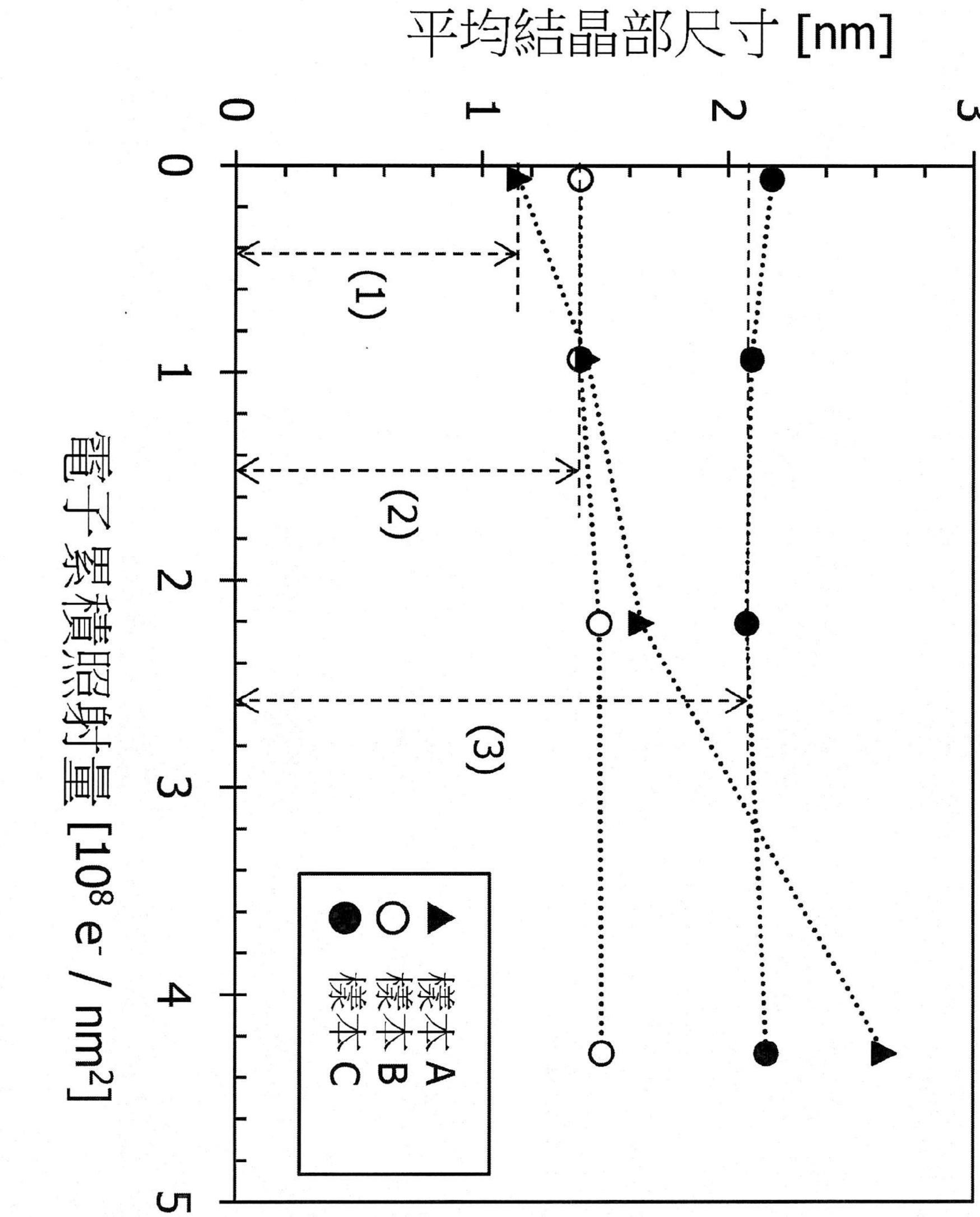

圖 42

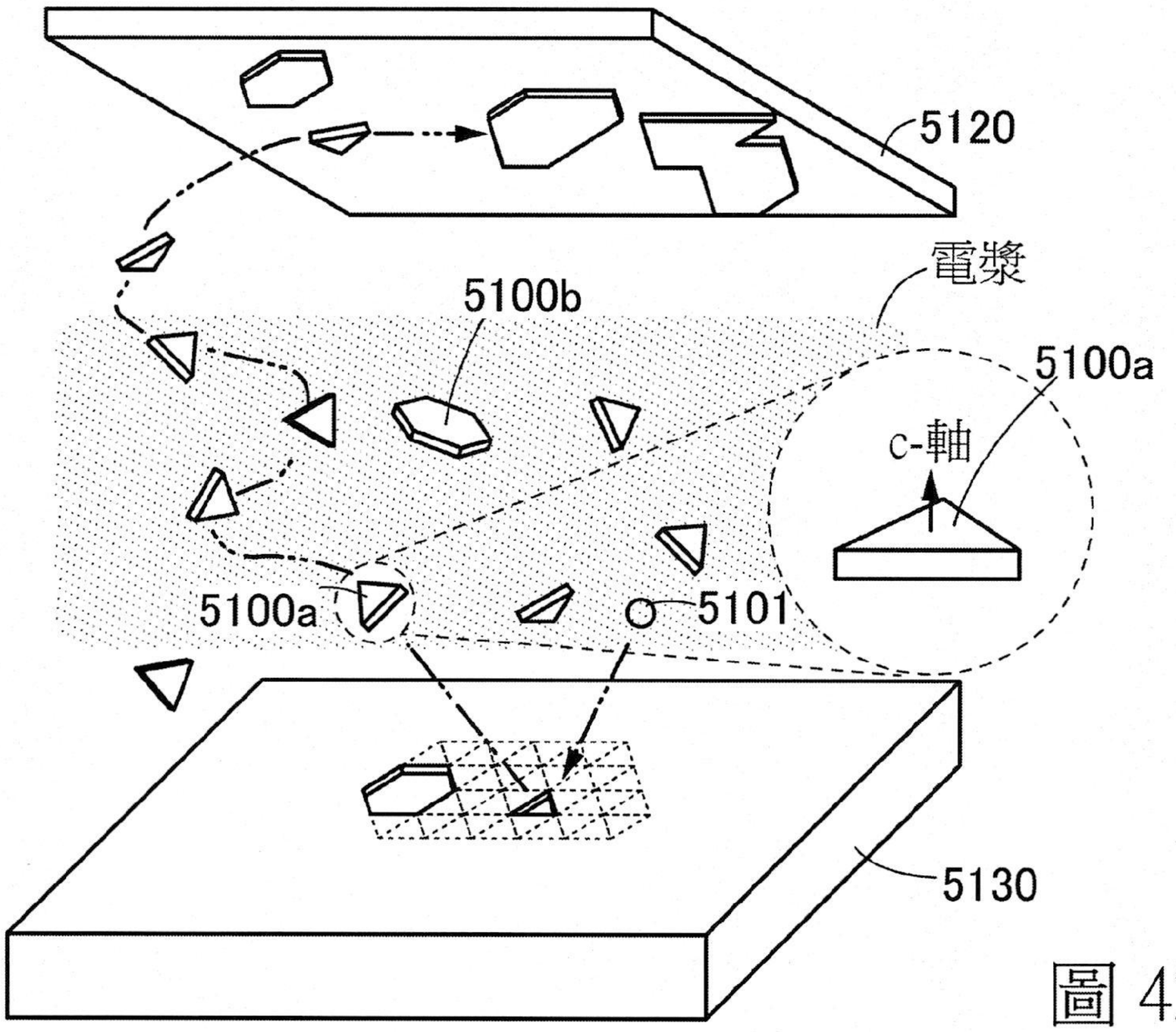
5120
電漿
5100b
5100a
c-軸
5100a
5101
5130

圖 43A

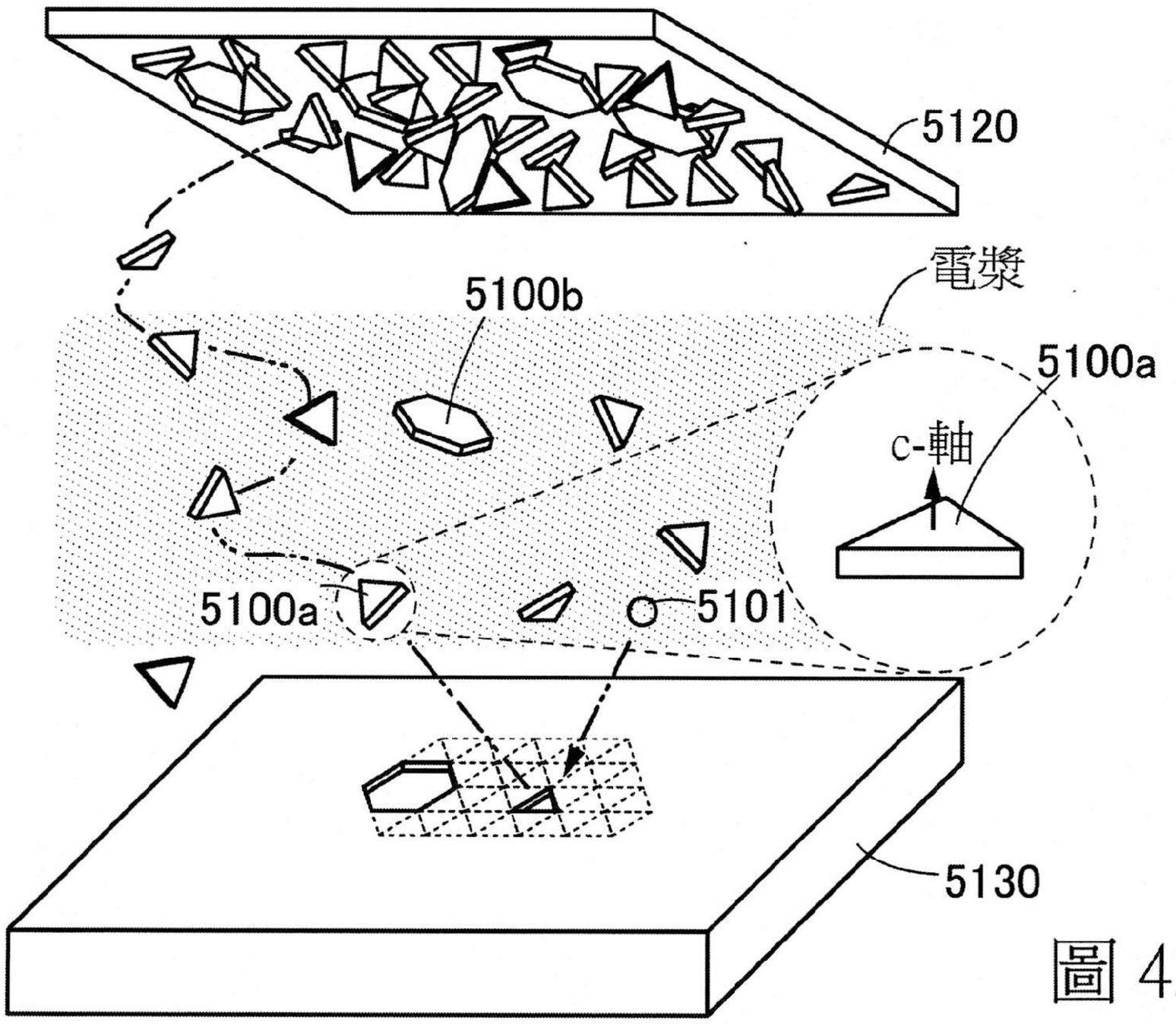
5120
電漿
5100b
5100a
c-軸
5100a
5101
5130

圖 43B

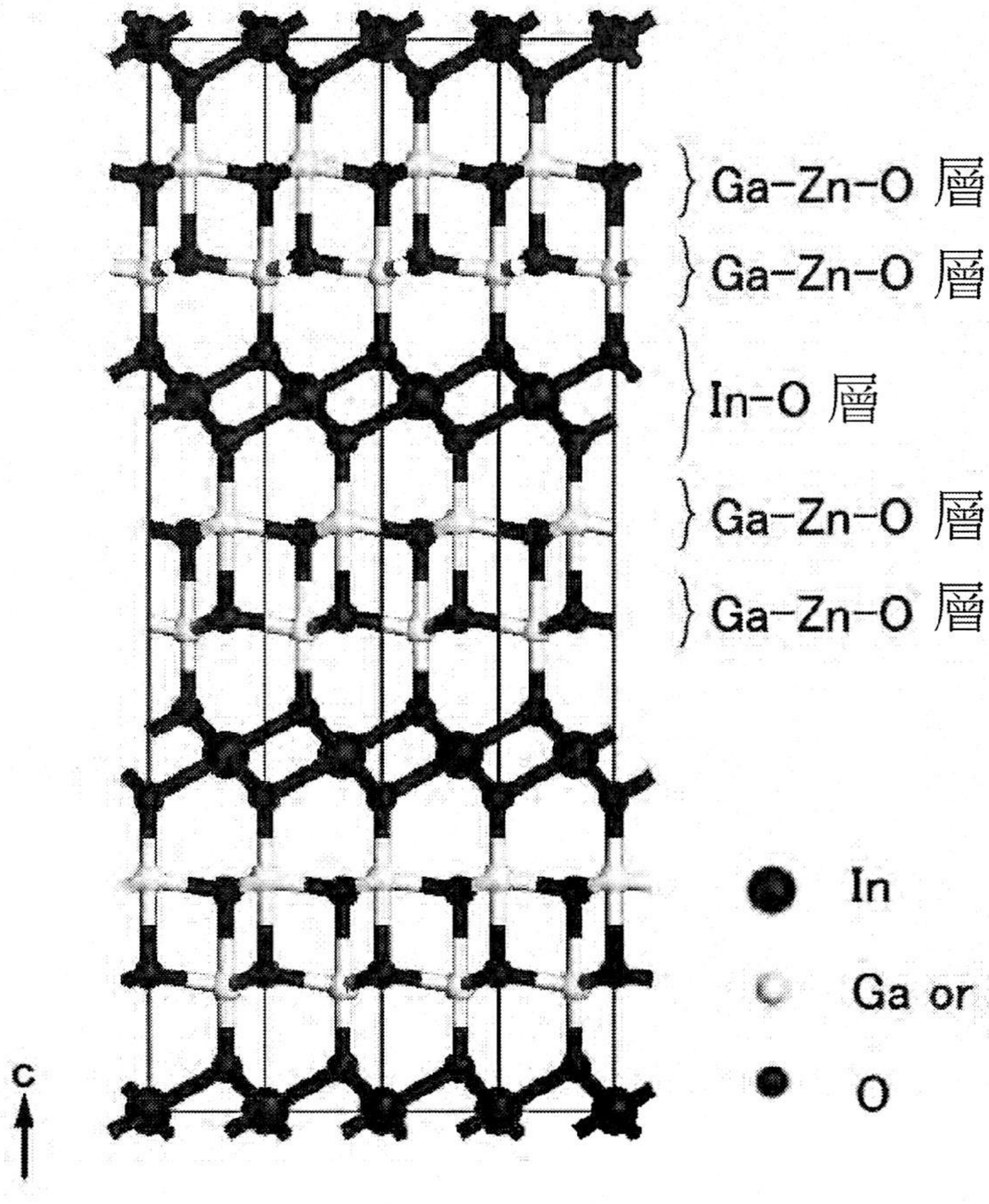

圖 44A

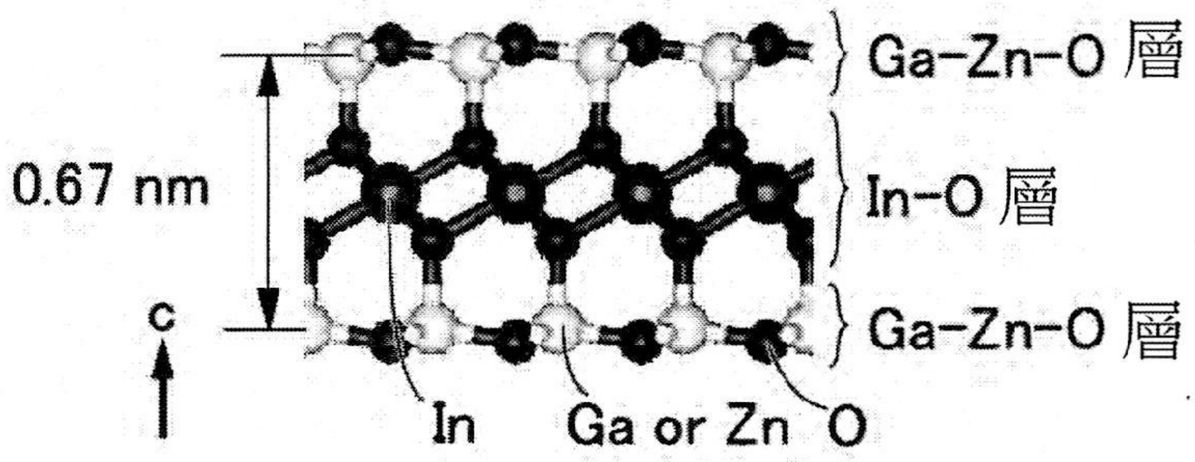

圖 44B

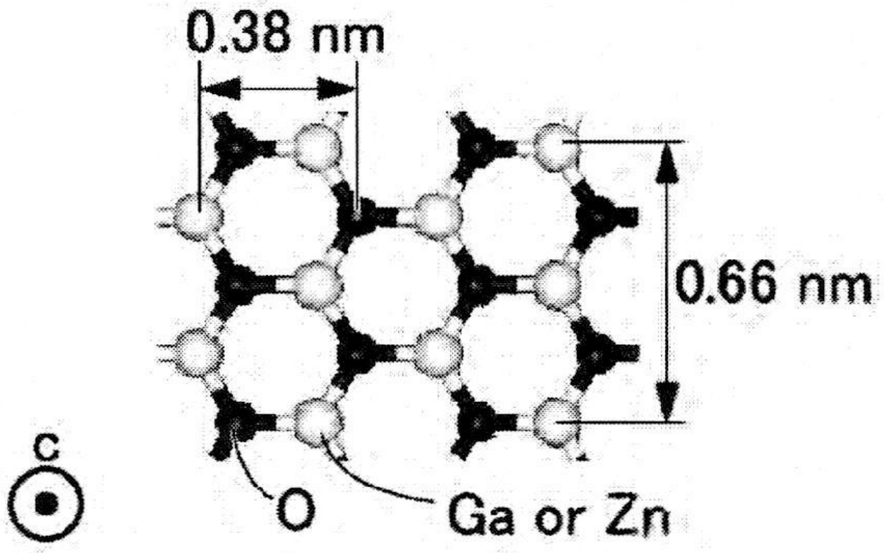

圖 44C

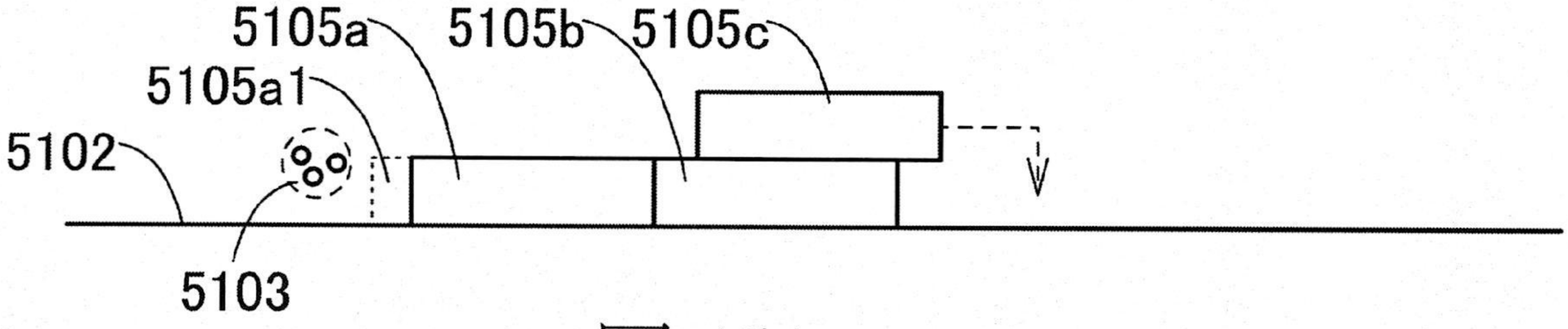

圖 45A

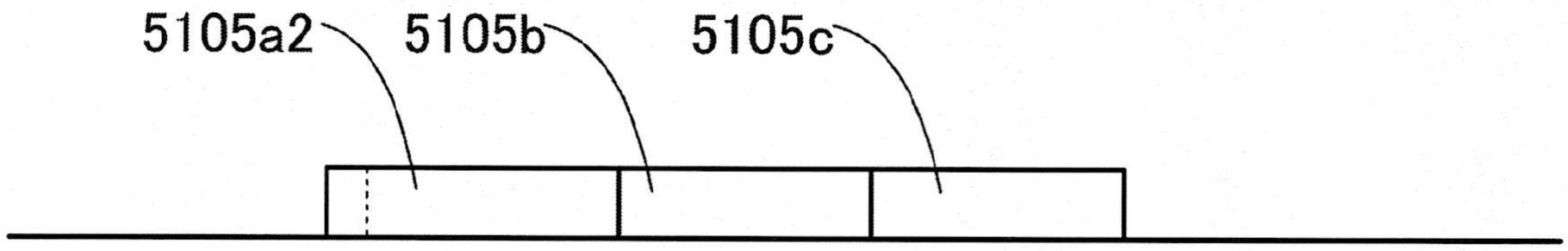

圖 45B

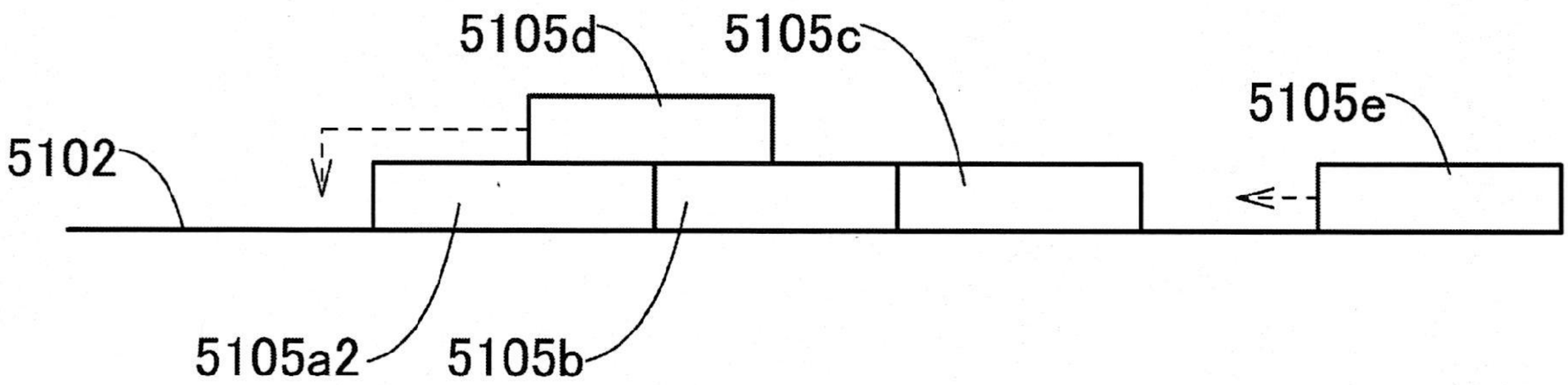

圖 45C

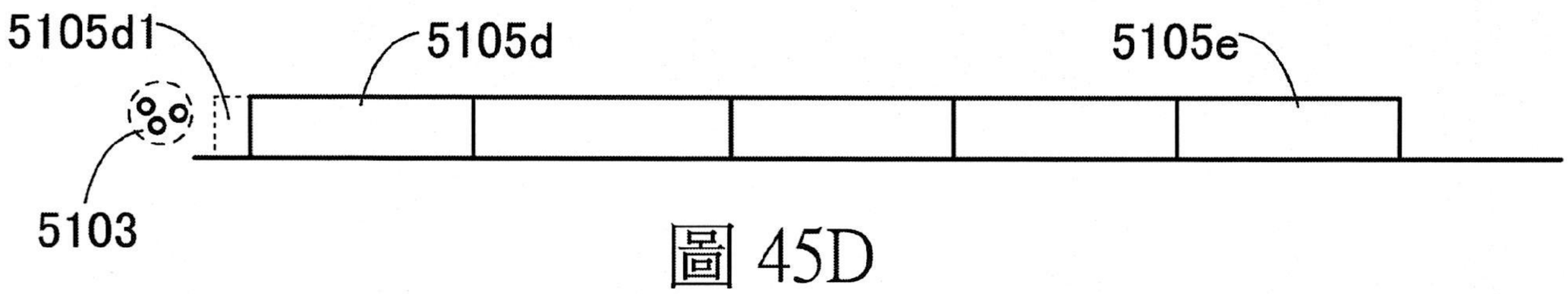

圖 45D

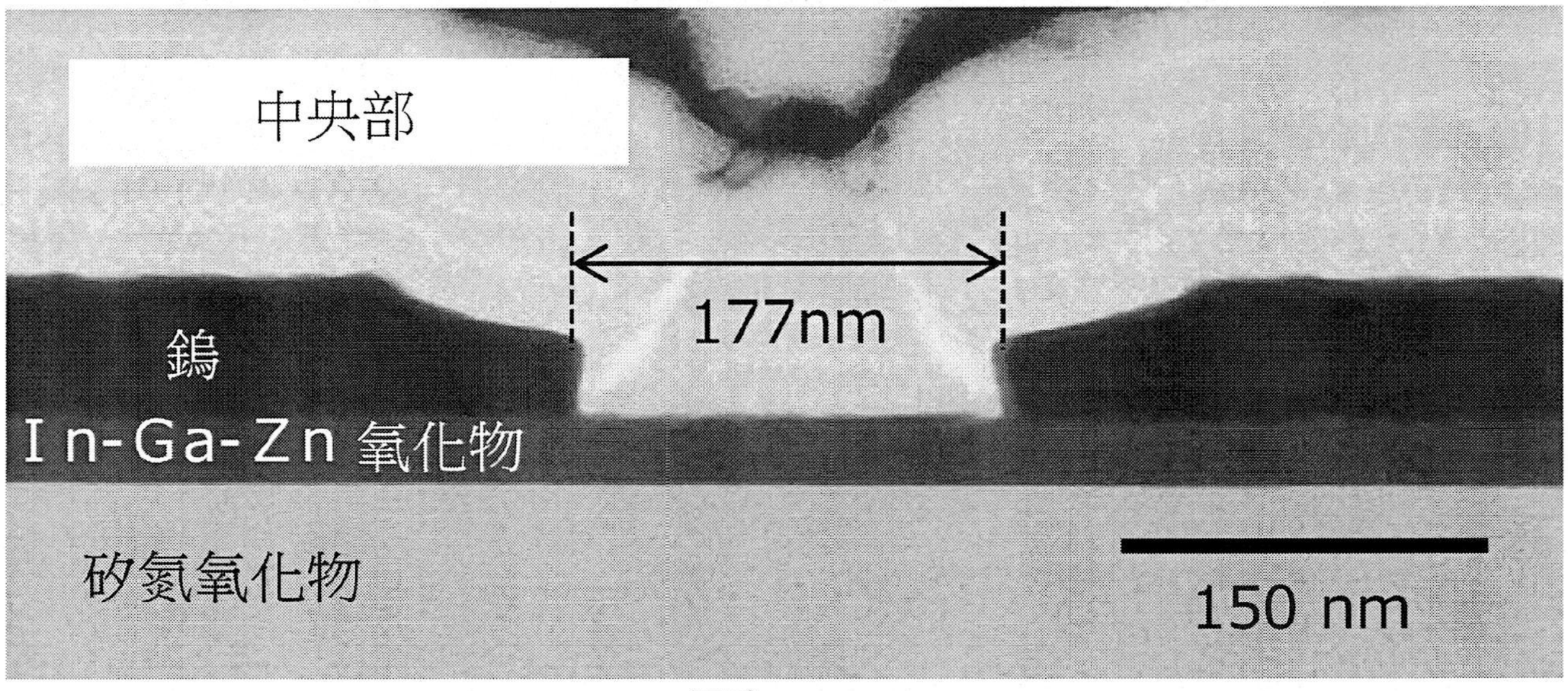
中央部
177nm
鎢
In-Ga-Zn 氧化物
矽氮氧化物
150 nm

圖 46A

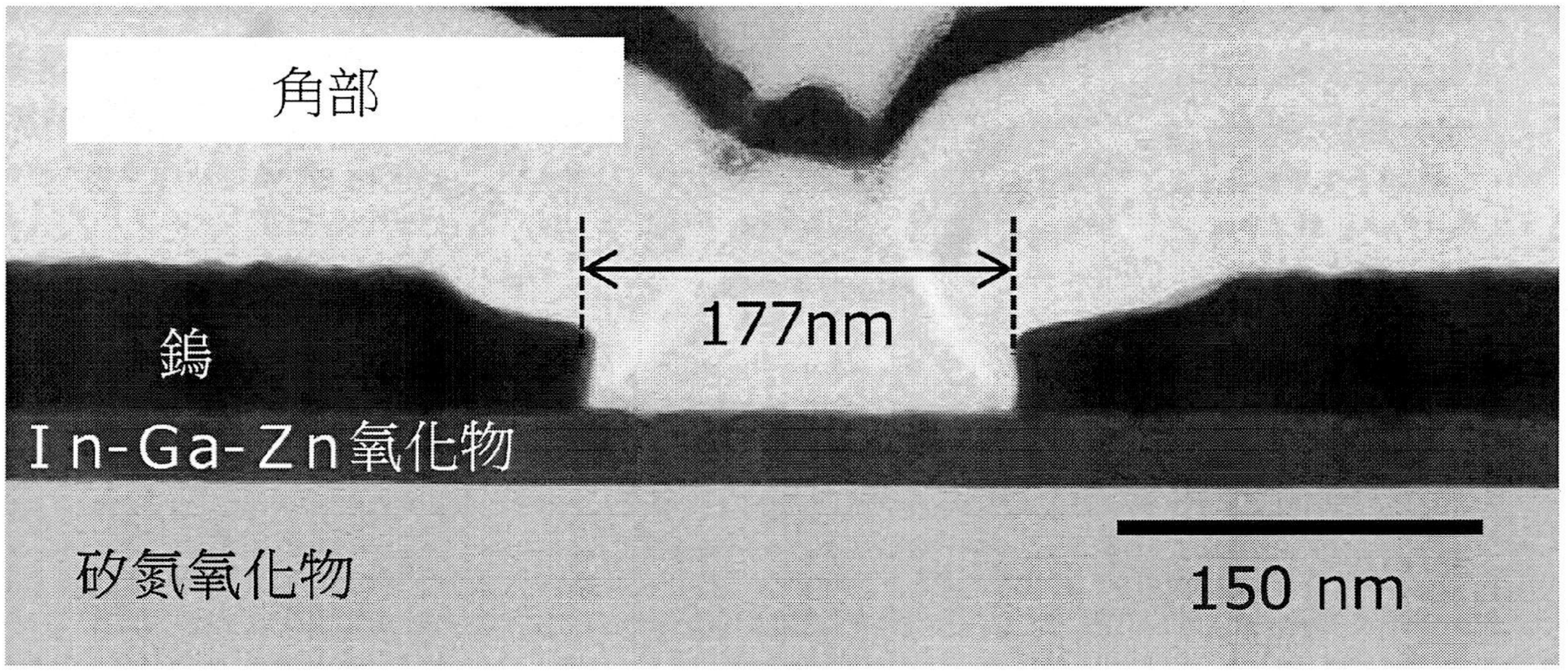
角部
177nm
鎢
In-Ga-Zn氧化物
矽氮氧化物
150 nm

圖 46B

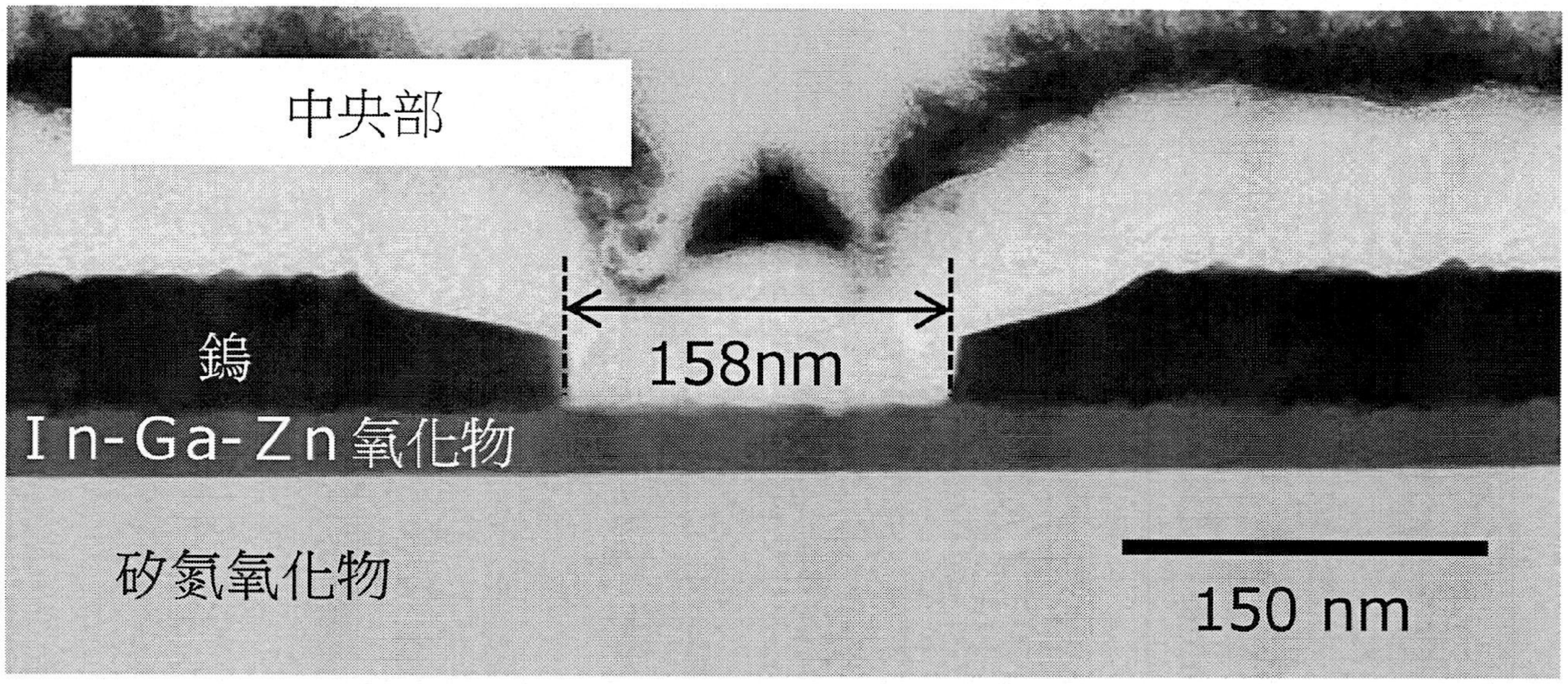
中央部
鎢
158nm
In-Ga-Zn氧化物
矽氮氧化物
150 nm

圖 47A

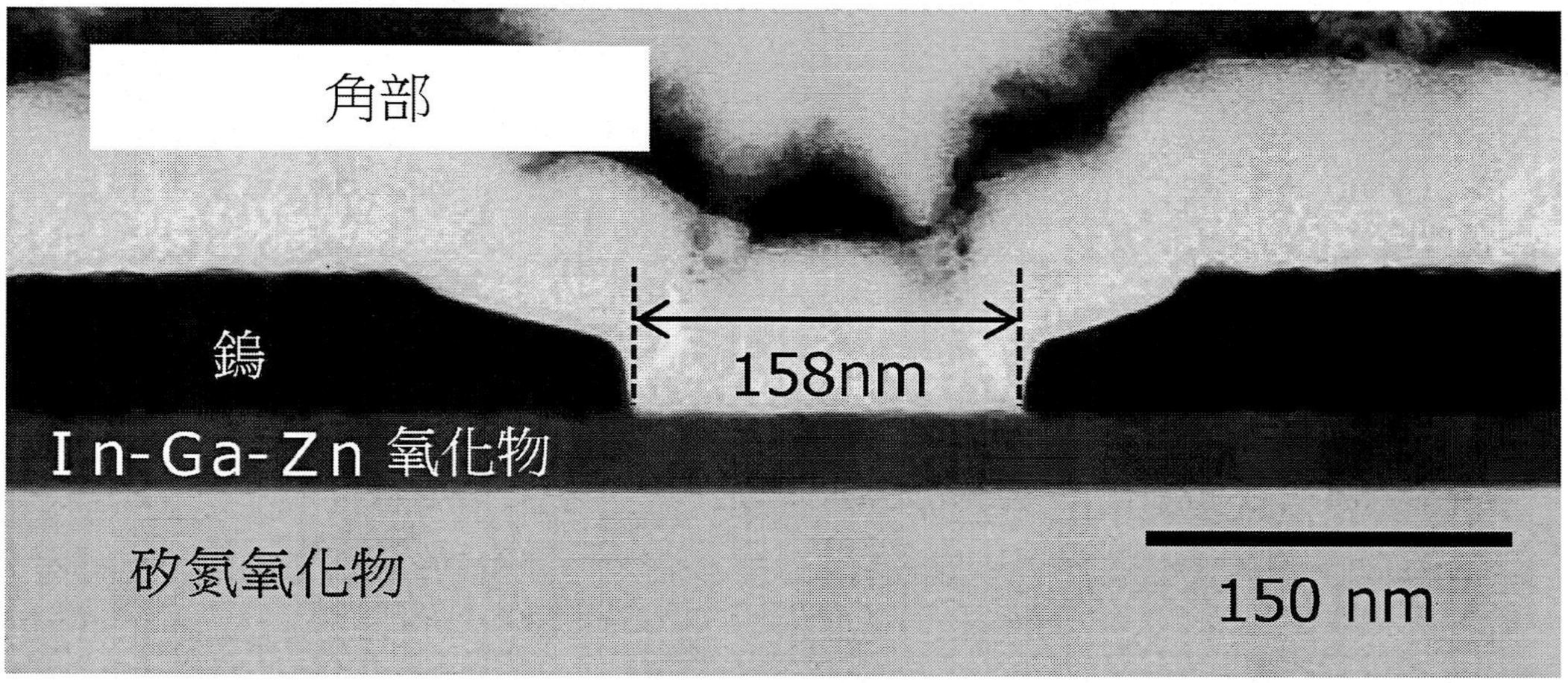
角部
鎢
158nm
In-Ga-Zn 氧化物
矽氮氧化物
150 nm

圖 47B

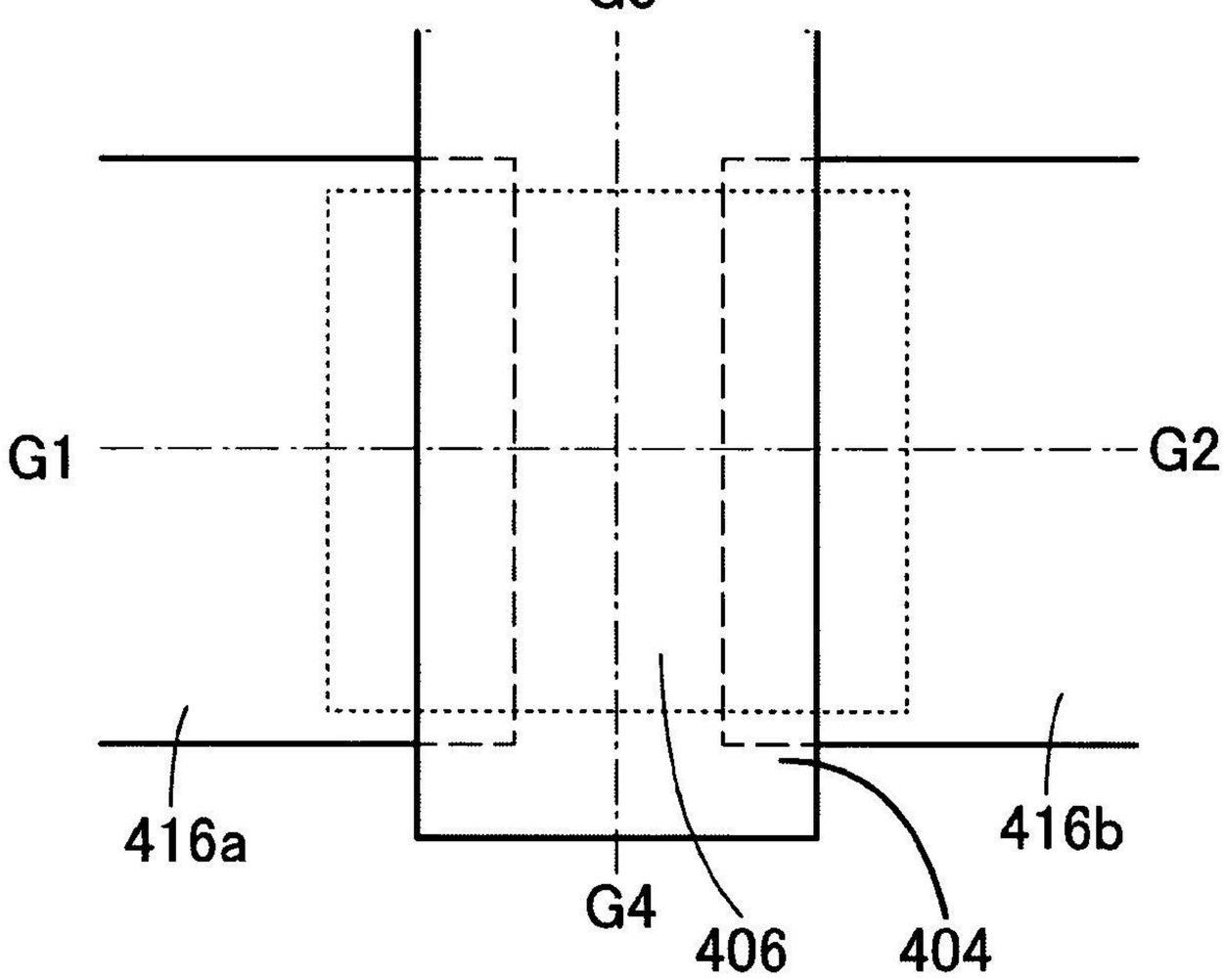
G3
G1
G2
416a
416b
G4
406
404

圖 48A

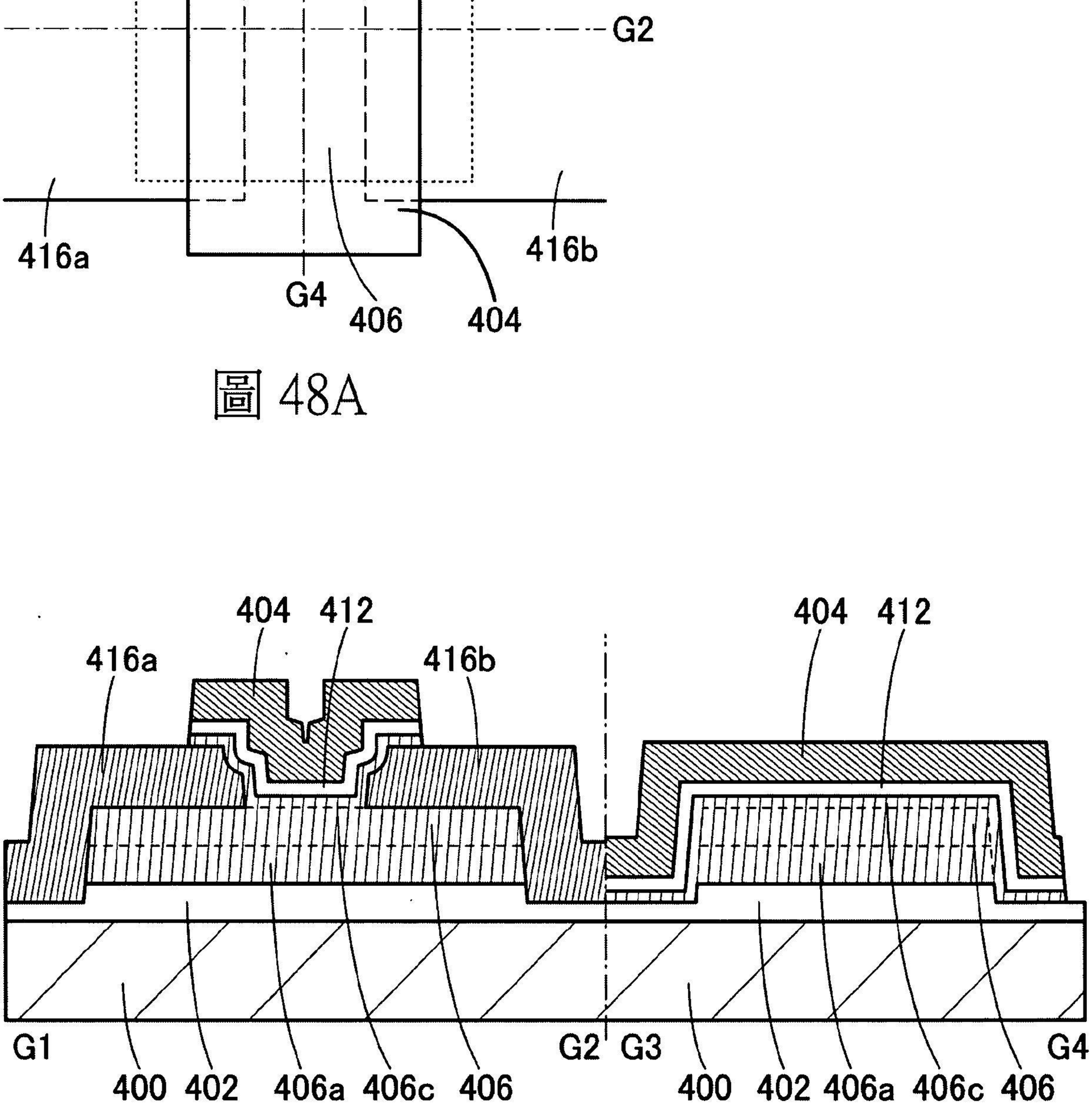
404
412
416a
416b
404
412
G1
G2
G3
G4
400
402
406a
406c
406
400
402
406a
406c
406

圖 48B

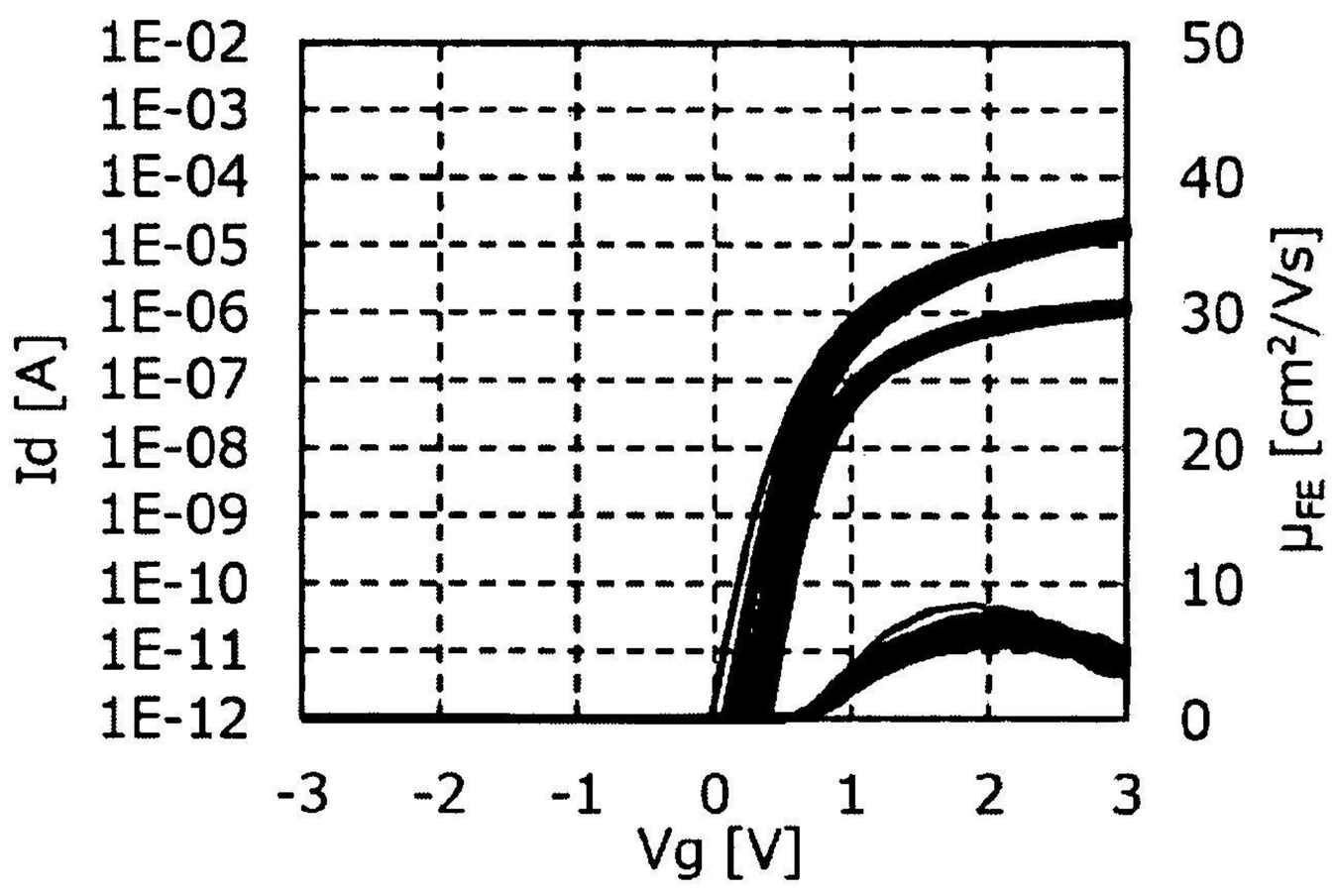
1E-02
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
Id [A]
50
40
30
20
10
0
μFE [cm²/Vs]
-3
-2
-1
0
1
2
3
Vg [V]

圖 49A

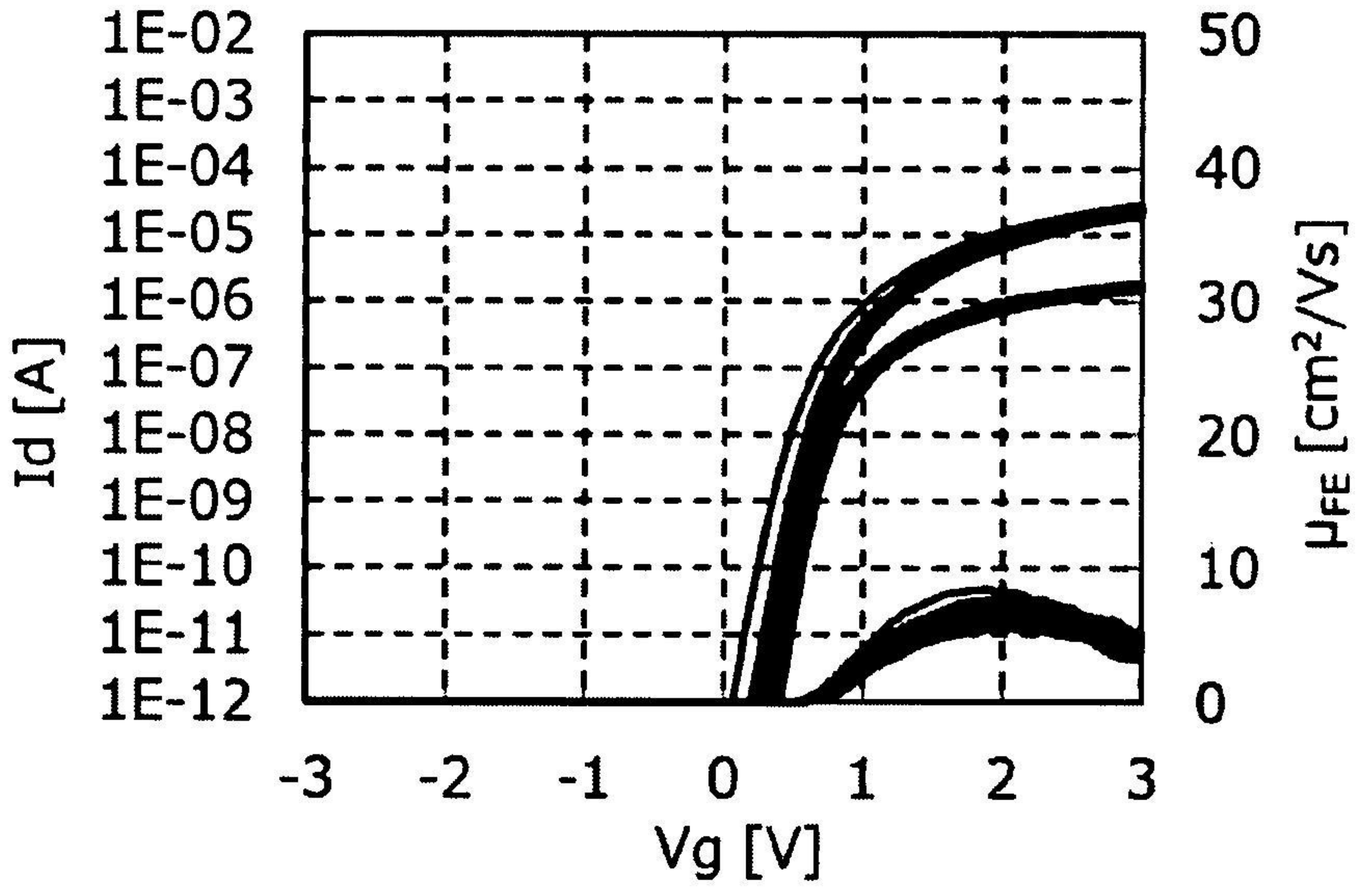
1E-02
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
Id [A]
50
40
30
20
10
0
μFE [cm²/Vs]
-3
-2
-1
0
1
2
3
Vg [V]

圖 49B

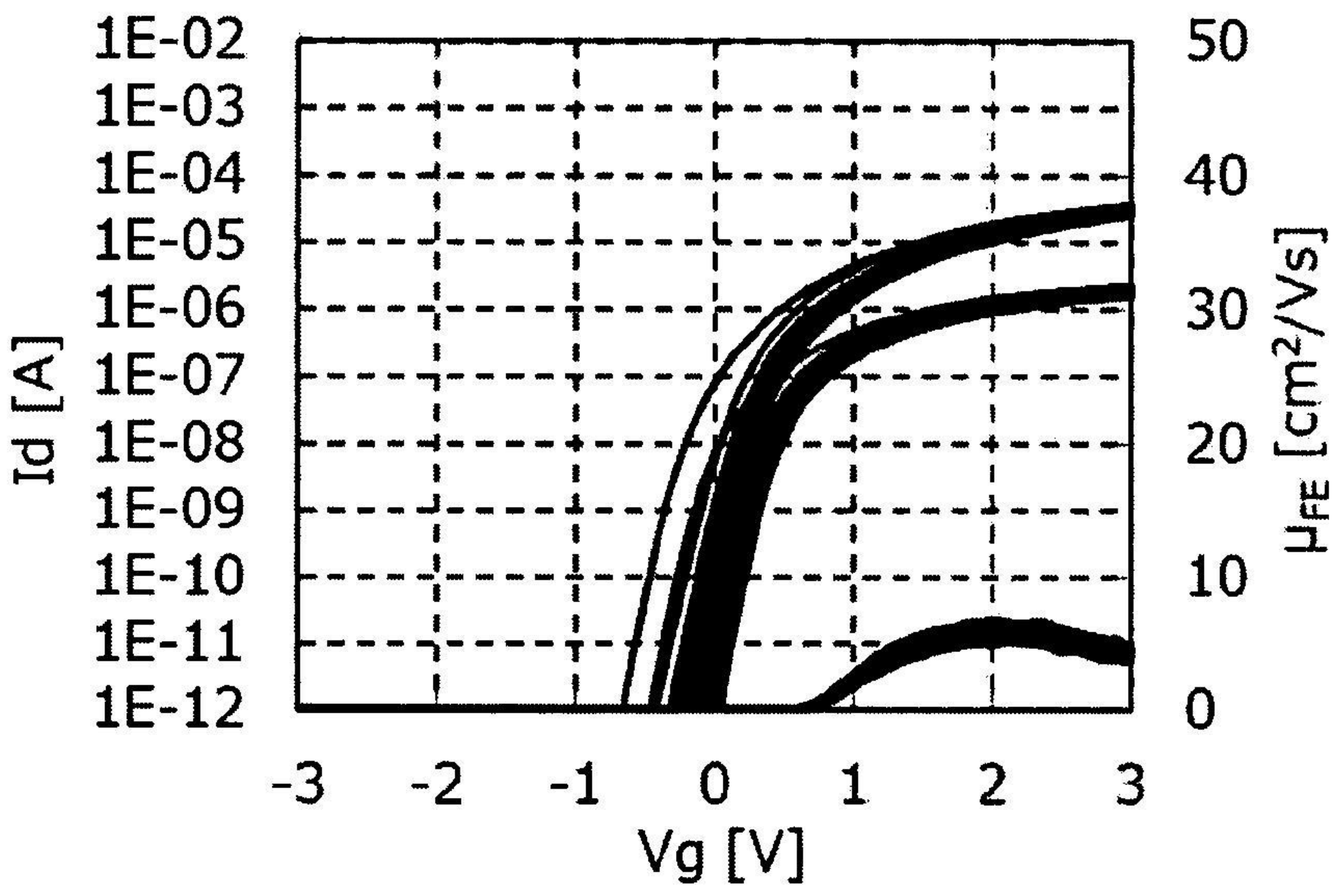
1E-02
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
Id [A]
50
40
30
20
10
0
μFE [cm²/Vs]
-3
-2
-1
0
1
2
3
Vg [V]

圖 50A

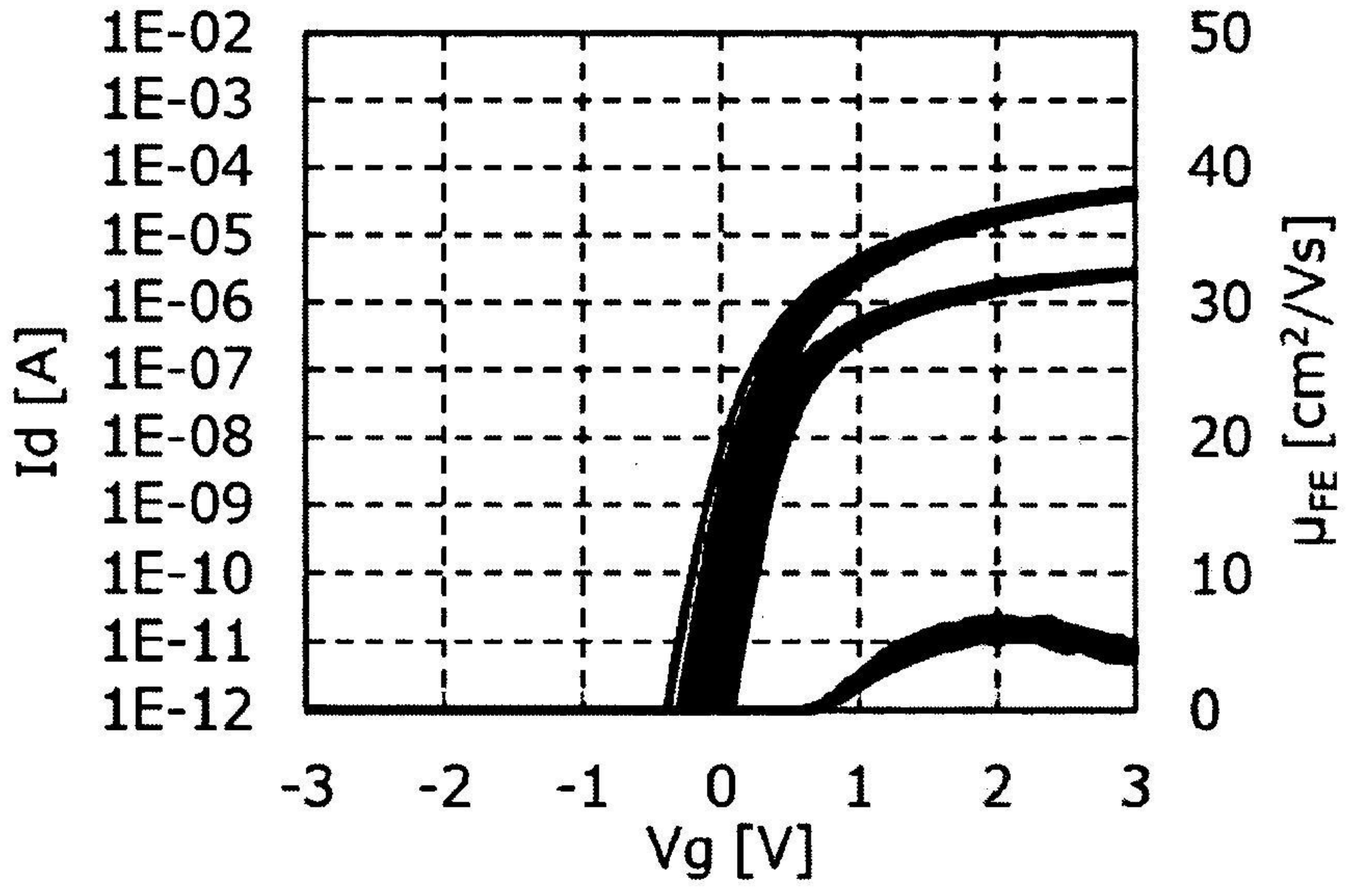
1E-02
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
Id [A]
50
40
30
20
10
0
μFE [cm²/Vs]
-3
-2
-1
0
1
2
3
Vg [V]

圖 50B

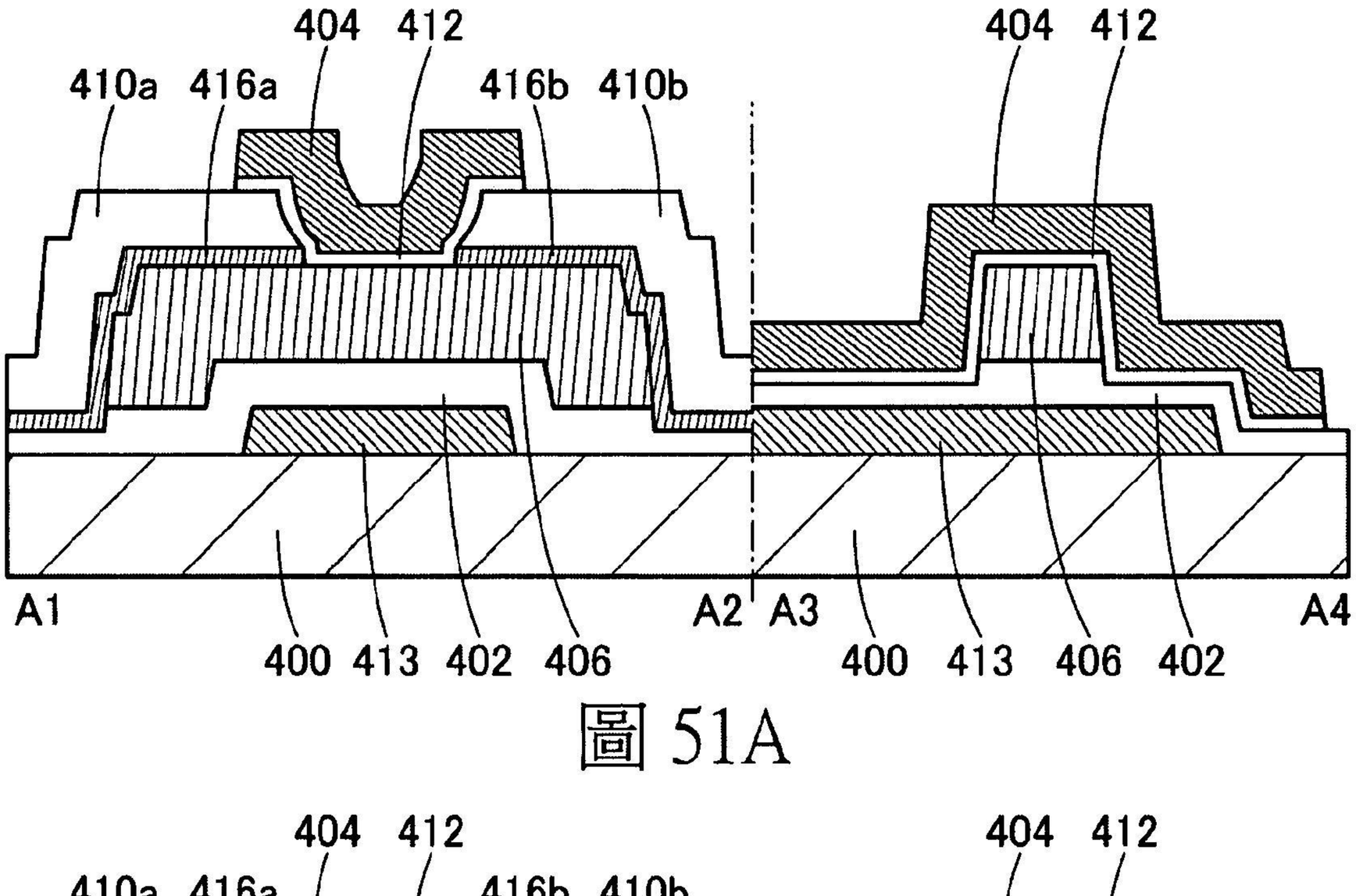

圖 51A

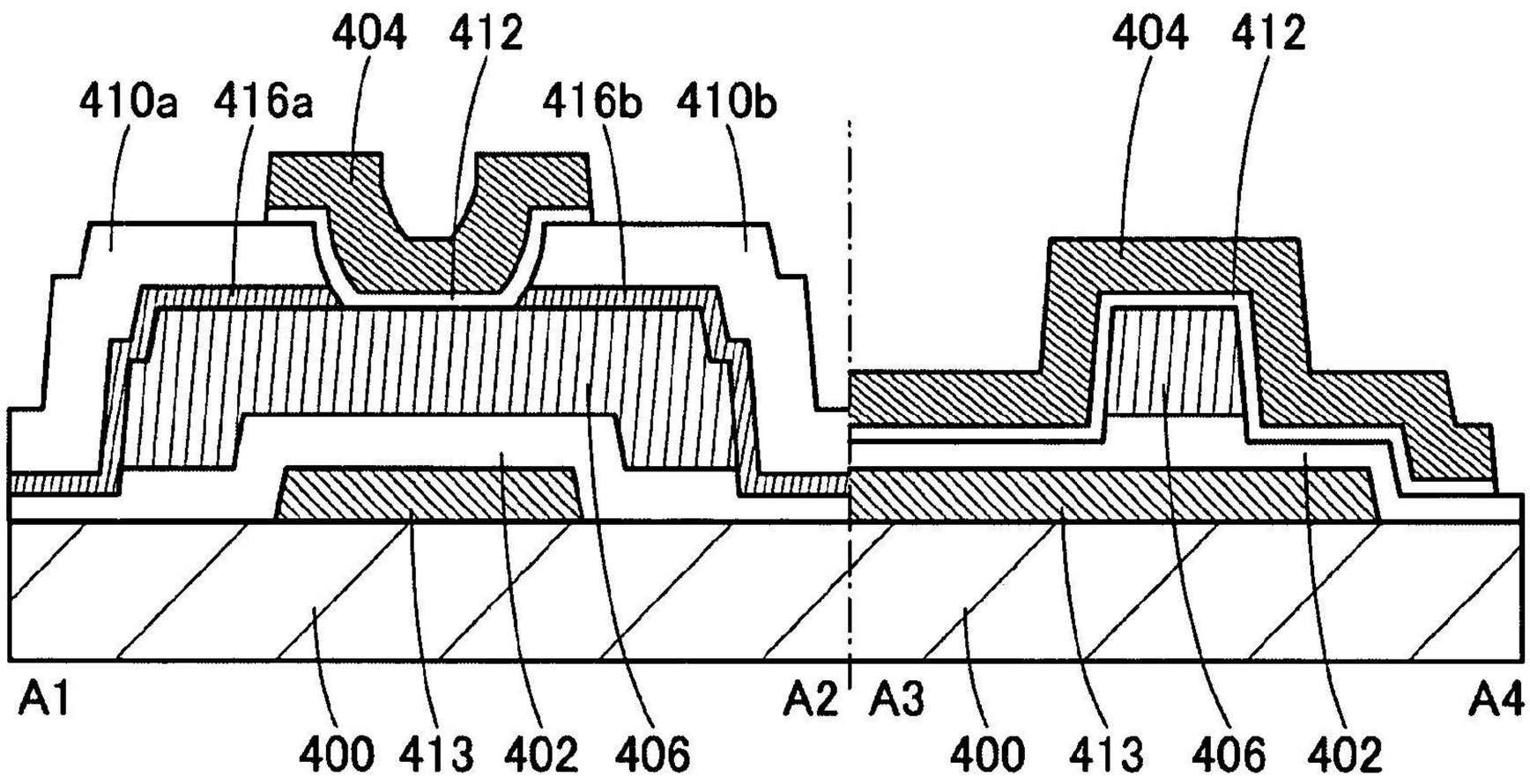

圖 51B

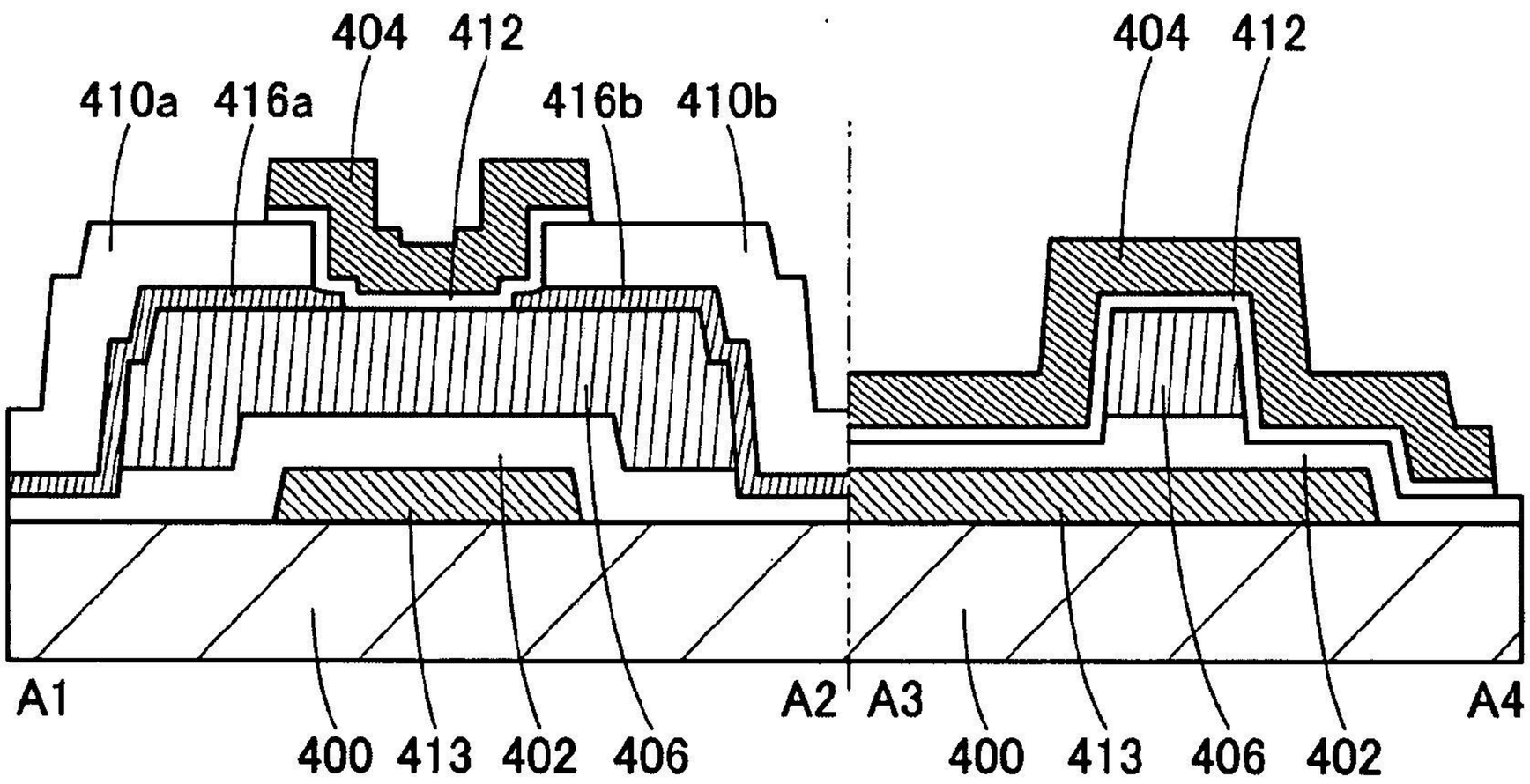

圖 51C

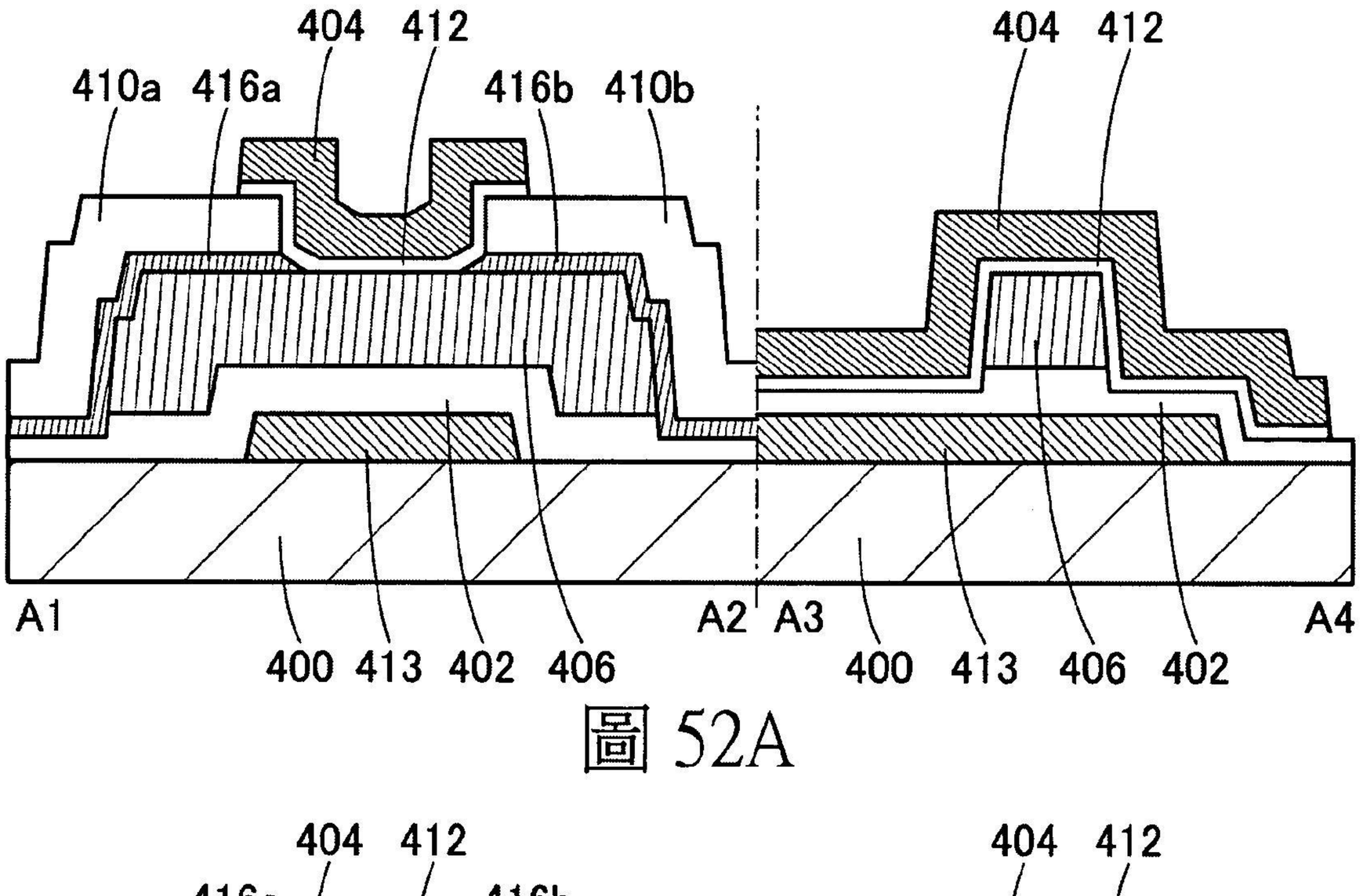

圖 52A

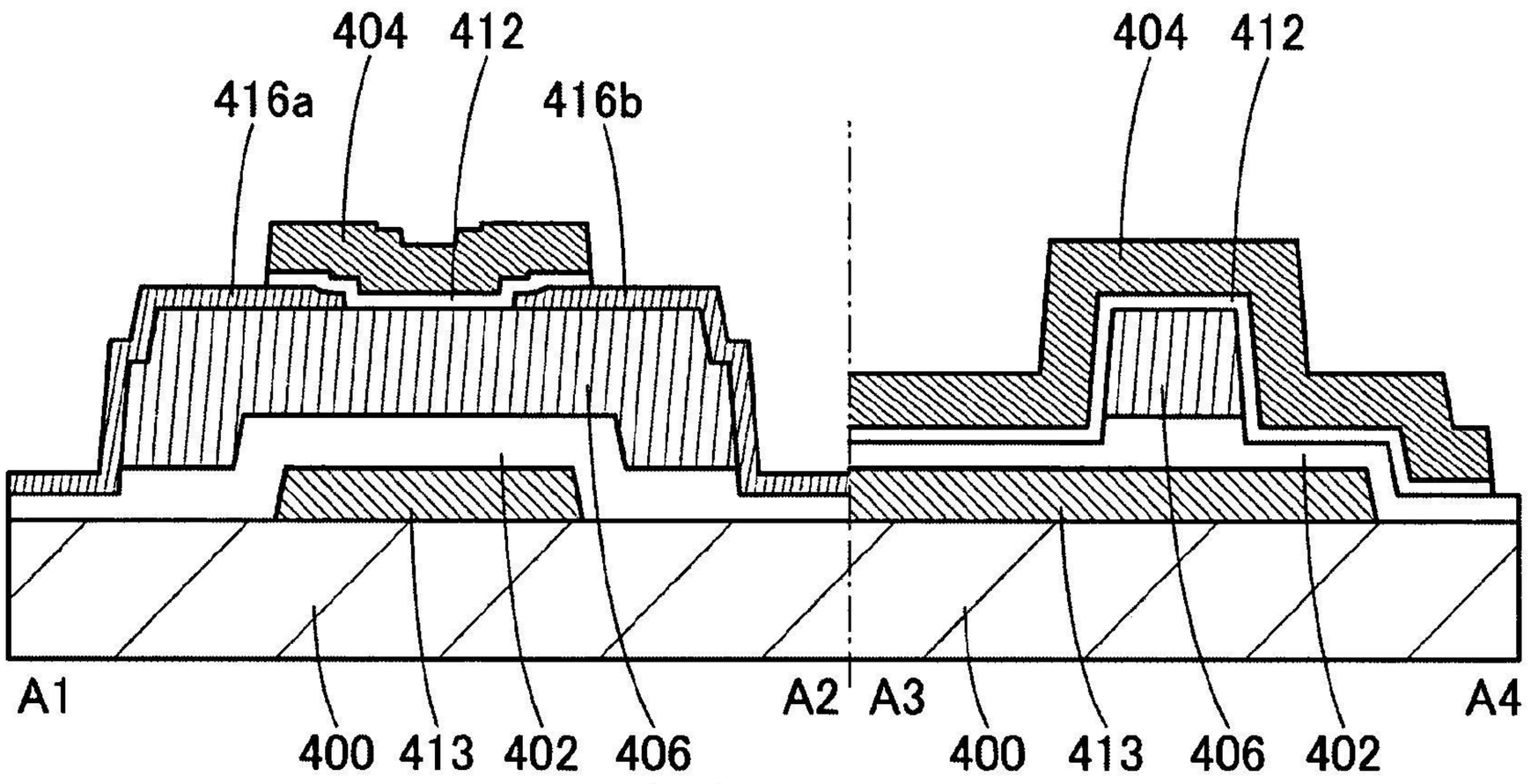

圖 52B

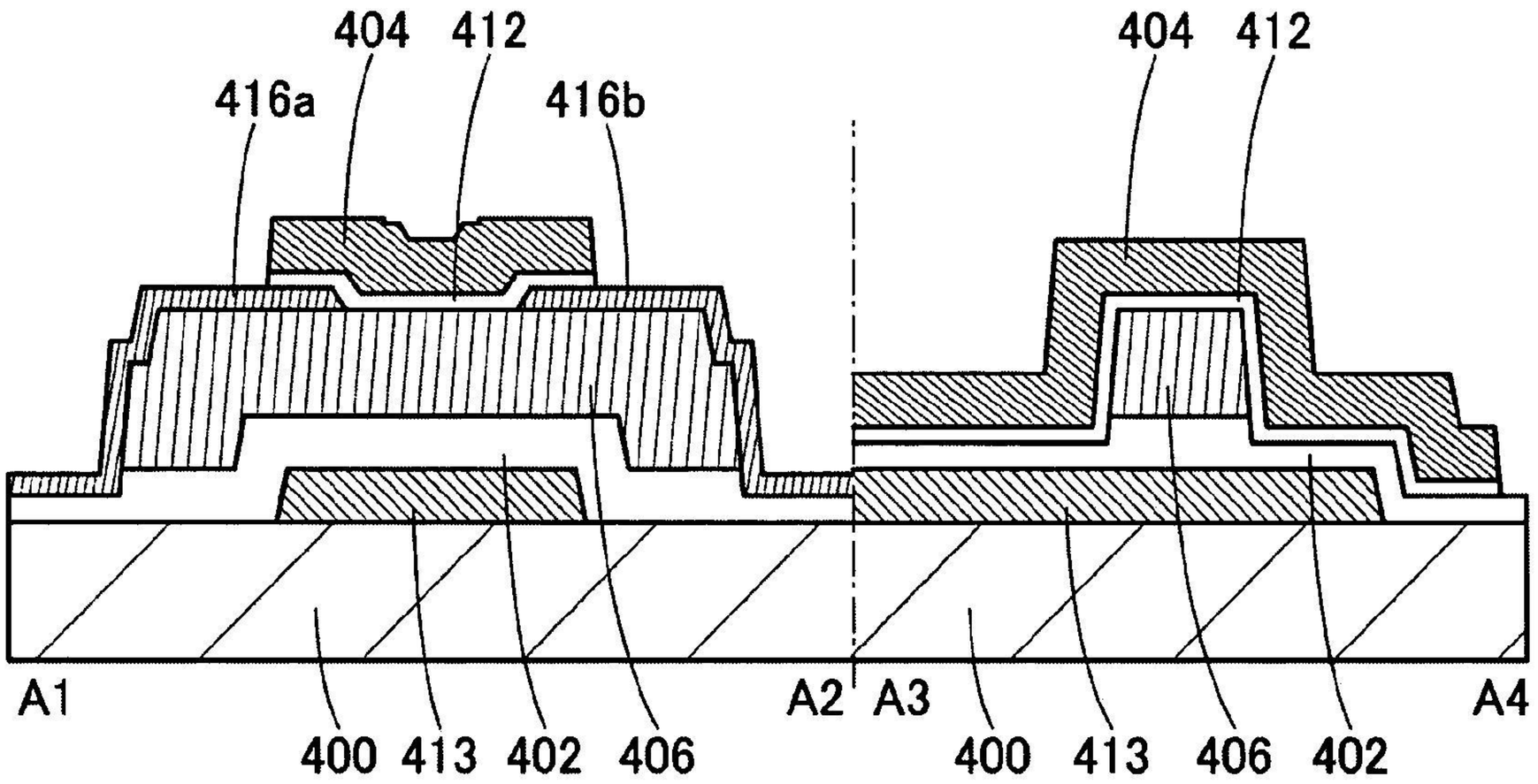

圖 52C

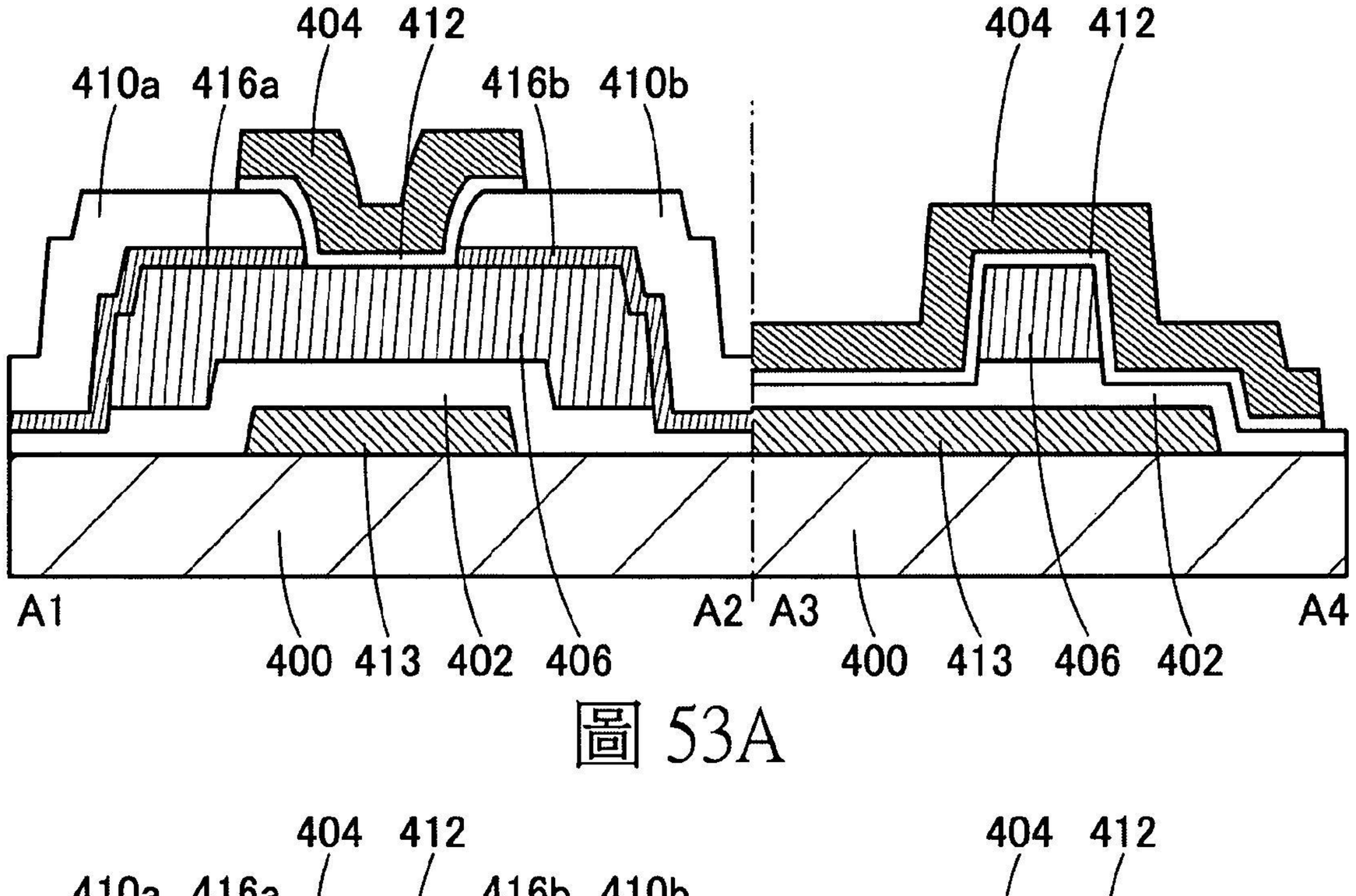

圖 53A

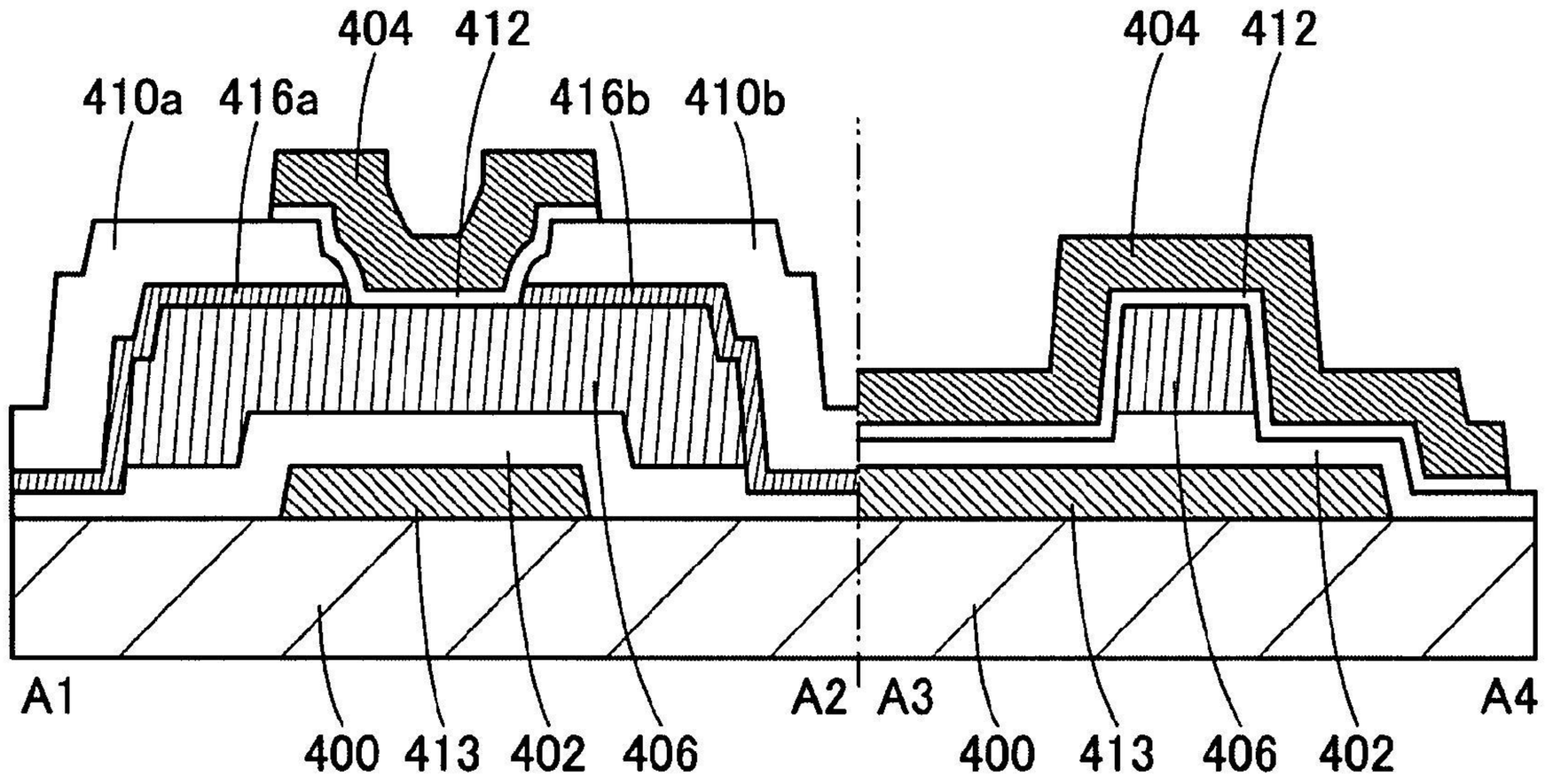

圖 53B

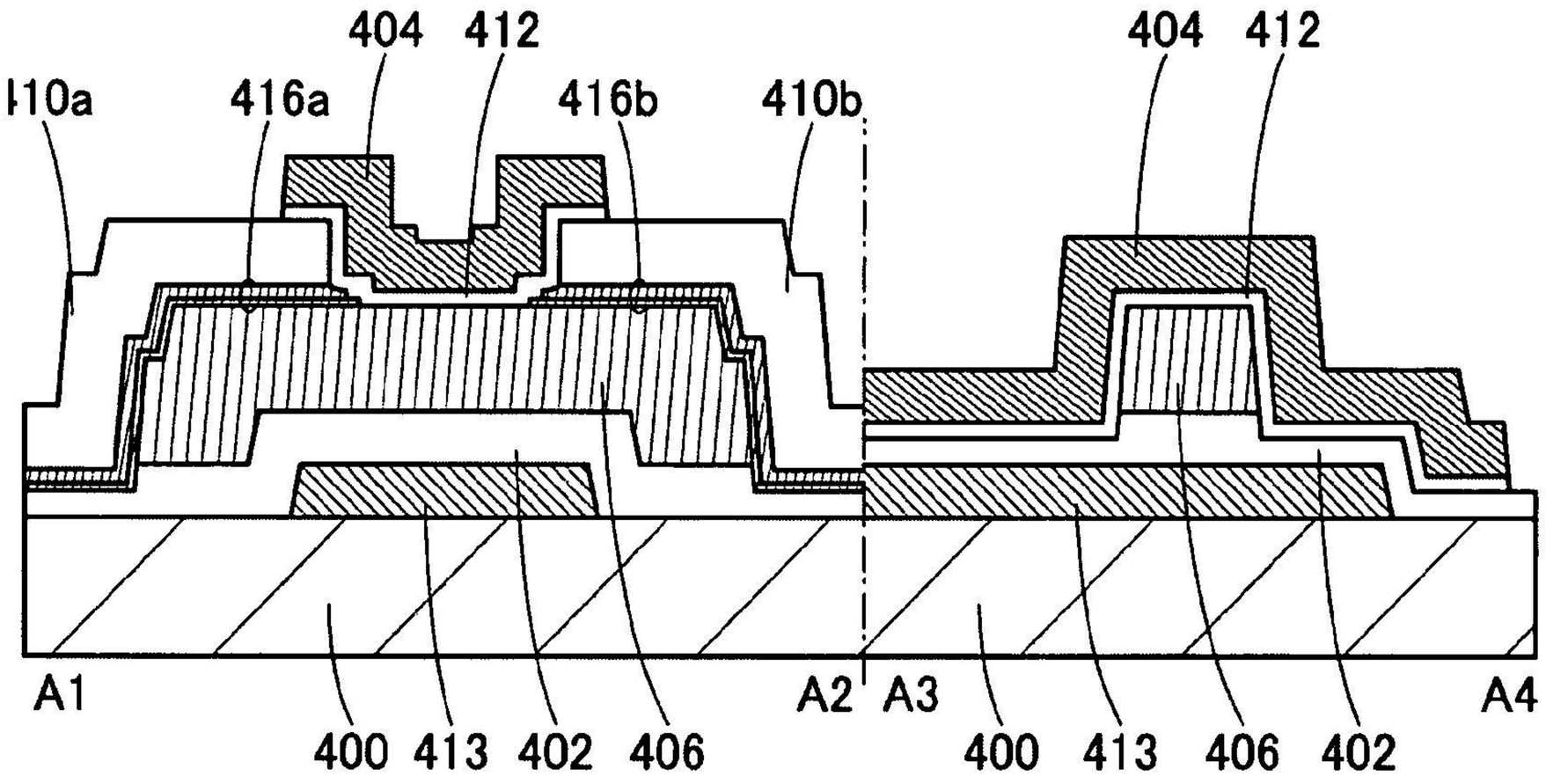

圖 53C