(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 104349146 A
(43)申请公布日 2015.02.11

(21)申请号 201410351784.2

(22)申请日 2014.07.22

(30)优先权数据
2013-156904 2013.07.29 JP

(71)申请人 索尼公司
地址 日本东京

(72)发明人 山中笃 斋藤泰 川又大典

(74)专利代理机构 北京康信知识产权代理有限责任公司 11240
代理人 余刚 吴孟秋

(51)Int.Cl.
H04N 9/04(2006.01)
H04N 5/3745(2011.01)
H04N 5/378(2011.01)

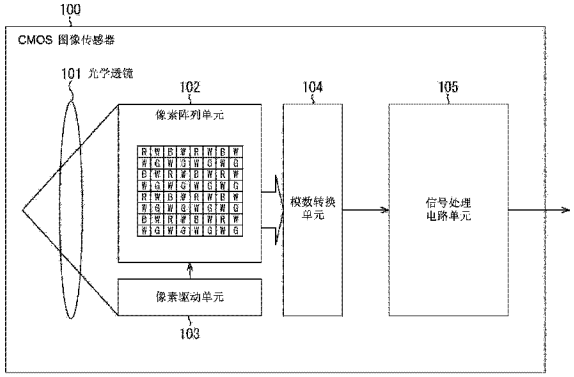
权利要求书2页 说明书17页 附图12页

(54)发明名称

固态成像装置、其驱动方法以及电子设备

(57)摘要

一种固态成像装置、其驱动方法以及电子设备。所述固态成像装置包括像素阵列单元、像素驱动单元以及信号处理单元。所述像素阵列单元包括第一像素和第二像素，所述第一像素与多个颜色分量的各颜色分量对应，所述第二像素具有亮度分量作为主要分量，所述第一像素和第二像素规则地排列在矩阵中。所述像素驱动单元被配置为驱动排列在所述像素阵列单元内的像素。所述信号处理单元被配置为通过仅使用从所述第一像素中获取的像素信息来执行预定的加权加法处理并且计算输出图像的像素值。



CN 104349146 A

1. 一种固态成像装置，包括：

像素阵列单元，包括第一像素和第二像素，所述第一像素与多个颜色分量的各颜色分量对应，所述第二像素具有亮度分量作为主要分量，所述第一像素和第二像素规则地排列在矩阵中；

像素驱动单元，被配置为驱动排列在所述像素阵列单元内的所述像素；以及

信号处理单元，被配置为通过仅使用从所述第一像素中获取的像素信息来执行预定的加权加法处理并且计算输出图像的像素值。

2. 根据权利要求 1 所述的固态成像装置，其中，

所述信号处理单元被配置为在水平方向、垂直方向以及倾斜方向的至少一个中执行所述加权加法处理。

3. 根据权利要求 2 所述的固态成像装置，其中，

所述输出图像包括拜耳阵列的图像，以及

所述信号处理单元被配置为执行所述加权加法处理，以获取所述拜耳阵列的所述图像的像素值。

4. 根据权利要求 3 所述的固态成像装置，其中，

所述像素阵列单元

包括排列为交错图案的所述第二像素以及排列在剩余部分中的所述第一像素，并且

包括浮动扩散区域，在包括多个像素的预定像素单元中共享所述浮动扩散区域，所述多个像素各自包括光电转换部件，并且所述浮动扩散区域保持要读出为信号的由像素的每个光电转换部件累积的电荷。

5. 根据权利要求 4 所述的固态成像装置，其中，

所述像素驱动单元被配置为使所述共享的浮动扩散区域保持从像素共享中的具有相同颜色分量的所述第一像素中获取的所述电荷并且同时读出所述电荷。

6. 根据权利要求 4 所述的固态成像装置，其中，

所述像素驱动单元被配置为读出从像素共享中的所有所述第一像素中获取的所述电荷。

7. 根据权利要求 4 所述的固态成像装置，进一步包括

模数转换单元，被配置为对从像素共享中的所述第一像素中获取的所述像素信息进行模数转换。

8. 根据权利要求 1 所述的固态成像装置，其中，

所述第一像素包括与红色 R、绿色 G 以及蓝色 B 的颜色分量中的任一个对应的像素，以及

所述第二像素包括白色 W 像素。

9. 一种固态成像装置的驱动方法，所述固态成像装置包括：

像素阵列单元，其包括第一像素和第二像素，所述第一像素与多个颜色分量的各颜色分量对应，所述第二像素具有亮度分量作为主要分量，所述第一像素和第二像素规则地排列在矩阵中；

像素驱动单元，被配置为驱动排列在所述像素阵列单元内的所述像素；以及

信号处理单元，被配置为通过仅使用从所述第一像素中获取的像素信息来执行预定的

加权加法处理并且计算输出图像的像素值，

所述驱动方法包括

通过所述像素驱动单元驱动所述像素，以在包括多个像素的预定的像素单元中共享浮动扩散区域，所述多个像素各自包括光电转换部件，所述浮动扩散区域保持要读出为信号的由所述像素的每个所述光电转换部件累积的电荷。

10. 一种电子设备，包括：

固态成像装置，包括：

像素阵列单元，包括第一像素和第二像素，所述第一像素与多个颜色分量的各颜色分量对应，所述第二像素具有亮度分量作为主要分量，所述第一像素和第二像素规则地排列在矩阵中；

像素驱动单元，被配置为驱动排列在所述像素阵列单元内的所述像素；以及

信号处理单元，被配置为通过仅使用从所述第一像素中获取的像素信息来执行预定的加权加法处理并且计算输出图像的像素值。

11. 根据权利要求 10 所述的电子设备，其中，

所述信号处理单元被配置为在水平方向、垂直方向以及倾斜方向的至少一个中执行所述加权加法处理。

固态成像装置、其驱动方法以及电子设备

[0001] 交叉引用相关申请

[0002] 本申请要求于2013年7月29日提交的日本优先权专利申请JP2013-156904的权益，其全部内容通过引用结合在本文中。

技术领域

[0003] 本公开涉及一种固态成像装置、一种固态成像装置的驱动方法以及一种电子设备，更具体而言，涉及一种固态成像装置、一种固态成像装置的驱动方法以及一种电子设备，其能够执行遵守图像捕捉状态的适当的信号处理。

背景技术

[0004] 长期以来，诸如CCD（电荷耦合装置）图像传感器和CMOS（互补金属氧化物半导体）图像传感器的固态成像装置已经广泛地用于数码照相机和数字摄影机中。

[0005] 在那些类型的固态成像装置中，研究了一种技术，该技术尽可能采入较多的光，同时使用滤色器执行颜色分离。作为用于该技术的一种方法，除了为获得颜色信息的R（红色）像素、G（绿色）像素以及B（蓝色）像素以外，还一种具有使用W（白色）像素获得亮度信息的方法（例如，见日本专利申请公开号2009-117979）。

[0006] 而且，在固态成像装置中，研究以下技术：通过薄型化来读出信号，以减少大量像素的数量，从而高速进行读出处理等。例如，日本专利申请公开号2005-210218公开了一种图像处理设备，在使用滤色器阵列的情况下，该设备通过薄型化来执行读出，在滤色器阵列中，G像素排列为交错图案，R像素和B像素排列在剩余部分中。

发明内容

[0007] 日本专利申请公开号2009-117979公开了一种技术，该技术使用W像素，以获得亮度信息。然而，该技术具有一种能够仅仅根据像素阵列的顺序输出信号的配置，从而不通过薄型化来读出信号。为此，像素的读取速度缓慢，并且帧速率难以提高。

[0008] 此外，在采用在日本专利申请公开号2005-210218中公开的滤色器阵列的情况下，由于图像质量的限制，所以仅可每隔一行执行借助于薄型化的信号读出，从而不执行两行或更多行中借助于薄型化的读出。由于薄型化的宽度较大，所以如果执行借助于薄型化的这种读出，那么可能云纹的出现变得突出。

[0009] 由于这些原因，在使用具有亮度分量作为主要分量的像素的像素阵列的情况下，需要执行遵守图像捕捉状态的适当的信号处理。

[0010] 考虑到上述情况而做出了本公开，并且在使用具有亮度分量作为主要分量的像素的像素阵列的情况下，可期望执行遵守图像捕捉状态的适当的信号处理。

[0011] 根据本公开的一个实施方式，提供了一种固态成像装置，所述固态成像装置包括像素阵列单元、像素驱动单元以及信号处理单元。所述像素阵列单元包括第一像素和第二像素，所述第一像素与多个颜色分量的各颜色分量对应，所述第二像素具有亮度分量作为

主要分量，所述第一像素和第二像素规则地排列在矩阵中。所述像素驱动单元被配置为驱动排列在所述像素阵列单元内的像素。所述信号处理单元被配置为通过仅使用从所述第一像素中获取的像素信息来执行预定的加权加法处理并且计算输出图像的像素值。

[0012] 所述信号处理单元可被配置为在水平方向、垂直方向以及倾斜方向的至少一个中执行加权加法处理。

[0013] 所述输出图像可包括拜耳阵列的图像，并且所述信号处理单元可被配置为执行加权加法处理，以获取拜耳阵列的图像的像素值。

[0014] 所述像素阵列单元可包括排列为交错图案的第二像素以及排列在剩余部分中的第一像素，并且可包括浮动扩散区域，所述浮动扩散区域在包括多个像素的预定像素单元中共享，所述多个像素各自包括光电转换部件，并且所述浮动扩散区域保持要读出作为信号的由像素的每个光电转换部件累积的电荷。

[0015] 所述像素阵列单元可被配置为促使所述共享的浮动扩散区域保持从像素共享中的具有相同的颜色分量的第一像素获取的电荷并且同时读出所述电荷。

[0016] 所述像素阵列单元可被配置为读出从像素共享中的所有第一像素获取的电荷。

[0017] 固态成像装置可进一步包括模数转换单元，所述模数转换单元被配置为对从像素共享中的第一像素获取的像素信息进行模数转换。

[0018] 所述第一像素可包括与红色 (R)、绿色 (G) 以及蓝色 (B) 的颜色分量中的任一个对应的像素，并且所述第二像素可包括白色 (W) 像素。

[0019] 根据本公开的另一个实施方式，提供了一种固态成像装置的驱动方法，所述固态成像装置包括像素阵列单元、像素驱动单元以及信号处理单元。所述像素阵列单元包括第一像素和第二像素，所述第一像素与多个颜色分量的各颜色分量对应，所述第二像素具有亮度分量作为主要分量，所述第一像素和第二像素规则地排列在矩阵中。所述像素驱动单元被配置为驱动排列在所述像素阵列单元内的像素。所述信号处理单元被配置为通过仅使用从所述第一像素中获取的像素信息来执行预定的加权加法处理并且计算输出图像的像素值。所述驱动方法包括：通过所述像素驱动单元驱动像素，以在包括多个像素的预定的像素单元中共享浮动的扩散区域，所述多个像素各自包括光电转换部件，所述浮动扩散区域保持要读出的由像素的每个光电转换部件累积的电荷。

[0020] 根据本公开的另一个实施方式，提供了一种包括固态成像装置的电子设备，所述固态成像装置包括像素阵列单元、像素驱动单元以及信号处理单元。所述像素阵列单元包括第一像素和第二像素，所述第一像素与多个颜色分量的各颜色分量对应，所述第二像素具有亮度分量作为主要分量，所述第一像素和第二像素规则地排列在矩阵中。所述像素驱动单元被配置为驱动排列在所述像素阵列单元内的像素。所述信号处理单元被配置为通过仅使用从所述第一像素中获取的像素信息来执行预定的加权加法处理并且计算输出图像的像素值。

[0021] 在根据本公开的实施方式的固态成像装置、固态成像装置的驱动方法以及电子设备中，驱动排列在像素阵列单元中的像素，像素阵列单元包括第一像素和第二像素，第一像素与多个颜色分量的各颜色分量对应，第二像素具有亮度分量作为主要分量，所述第一像素和第二像素规则地排列在矩阵中，通过仅使用从所述第一像素中获取的像素信息来执行预定的加权加法处理并且计算输出图像的像素值。

[0022] 根据本公开的实施方式，能够执行与图像捕捉状态对应的适当的信号处理。

[0023] 根据在附图中说明的其最佳实施方式的以下详细描述，本公开的这些和其他目标、特征以及优点将变得更加显而易见。

附图说明

[0024] 图 1 为应用本公开的一个实施方式的 CMOS（互补金属氧化物半导体）图像传感器的示图；

[0025] 图 2 为用于描述第一实施方式中的像素的读出驱动的示图；

[0026] 图 3 为用于描述第一实施方式中的加权加法处理的示图；

[0027] 图 4 为用于描述第二实施方式中的像素的读出驱动的示图；

[0028] 图 5 为用于描述第二实施方式中的加权加法处理的示图；

[0029] 图 6 为用于描述第三实施方式中的像素的读出驱动的示图；

[0030] 图 7 为用于描述第三实施方式中的加权加法处理的示图；

[0031] 图 8 为用于描述第四实施方式中的加权加法处理的示图；

[0032] 图 9 为用于描述第五实施方式中的加权加法处理的示图；

[0033] 图 10 为用于描述第六实施方式中的加权加法处理的示图；

[0034] 图 11 为用于描述成像处理的流程图；以及

[0035] 图 12 为应用本公开的一个实施方式的电子设备的示图。

具体实施方式

[0036] 在后文中，将参照附图描述本公开的实施方式。

[0037] ＜第一实施方式＞

[0038] （固态成像装置的配置实例）

[0039] 图 1 为应用本公开的一个实施方式的 CMOS（互补金属氧化物半导体）图像传感器的示图。

[0040] 图 1 的 CMOS 图像传感器 100 是固态成像装置的一个实例。如图 1 中所示，CMOS 图像传感器 100 包括光学透镜 101、像素阵列单元 102、像素驱动单元 103、AD（模数）转换单元 104 以及信号处理电路单元 105。

[0041] 在像素阵列单元 102 中，包括光电二极管 (PD) 的单元像素（在某些情况下，在后文中也称为“像素”）二维地排列在矩阵中。在像素阵列单元 102 中，将具有亮度分量作为主要分量的 W 像素排列为交错图案，并且将与多个颜色分量的各颜色分量对应的 R 像素、G 像素以及 B 像素排列在剩余的部分中。在图 1 的阵列实例中，所排列的 G 像素的数量大于所排列的 R 或 B 像素的数量。

[0042] 此外，在每个单元像素中，光电二极管生成电荷，电荷量与由光学透镜 101 收集的光量对应，并且在光电二极管内累积电荷。将由光电二极管 (PD) 累积的电荷转移至浮动扩散 (FD) 区域，在后文中称为 FD。读出在 FD 中保持的电荷，作为像素信号。

[0043] 此外，在像素阵列单元 102 中，对于排列在矩阵中的像素阵列，沿着像素行的像素阵列方向，为每行形成像素驱动线，并且沿着像素列的像素阵列方向，为每列形成垂直信号线。像素驱动线的端连接至遵守像素驱动单元 103 的各行的输出端。此外，垂直信号线的

端连接至遵守 AD 转换单元 104 的各列的输出端。

[0044] 像素驱动单元 103 以预定的方法对排列在像素阵列单元 102 中的像素执行读出驱动。经由垂直信号线，将从由像素驱动单元 103 驱动的像素行的单元像素中输出的像素信号提供给 AD 转换单元 104。

[0045] AD 转换单元 104 对模拟像素信号执行模数转换，经由垂直信号线将这些模拟像素信号输入数字像素信号内并且将这样获得的数字像素信号提供至信号处理电路单元 105。

[0046] 信号处理电路单元 105 对从 AD 转换单元 104 中提供的数字像素信号执行预定的信号处理，从而在后续阶段，计算输出图像的像素值并且将像素值输出给电路等。在该信号处理中，例如，执行在水平方向、垂直方向以及倾斜方向的至少一个中的加权加法处理。

[0047] 如上所述配置 CMOS 图像传感器 100。

[0048] （像素的读出驱动的实例）

[0049] 图 2 为用于描述第一实施方式中的像素的读出驱动的示图。

[0050] 在图 2 中，在图 1 的像素阵列单元 102 中排列在矩阵中的多个像素中，按照时间顺序提取和排列与四列对应的部分像素，将在图 2 中从左到右的方向设为时间方向。此外，在像素阵列单元 102 中，以由在水平方向的两个像素乘以在垂直方向的四个像素构成的八个像素（2×4 个像素）为单位，对像素执行像素共享。在像素共享中的这八个像素（四个 W 像素、两个 G 像素、一个 R 像素以及一个 B 像素）的光电二极管 (PD) 共享一个 FD。

[0051] 换言之，在图 2 的 A 部分中显示了在假设像素共享中的共用像素为一个单位的情况下，在第一和第二行中 0.5 秒之后的像素的状态以及 1 秒之后的像素的状态，并且显示了从每个像素共享中的像素读出具有影线的像素。

[0052] 应注意的是，在以下方向，在像素阵列单元 102 中，共用像素的区块称为像素共享 (i, j)。在这种情况下，i（i 是 1 或更大的整数）表示以共用像素为单位的行，并且 j（j 是 1 或更大的整数）表示以共用像素为单位的列。

[0053] 此外，在图 2 的 A 部分中显示了图 1 的 AD 转换单元 104。在此处，两个 ADC（模数转换器）（即，北 ADC 和南 ADC) 在图 2 的 A 部分设置在上侧和下侧。此外，每个像素共享经由在垂直方向排列的的垂直信号线连接至北 ADC 或南 ADC。在图 2 的 A 部分的实例中，在奇数行上的像素共享连接至北 ADC，而在偶数行上的像素共享连接至南 ADC。此外，每个像素共享经由在水平方向排列的像素驱动线连接至图 1 的像素驱动单元 103。

[0054] 如在图 2 的 A 部分中所示，在 0.5 秒内执行的第一 AD 转换中，由连接至北 ADC 的垂直信号线读出在像素共享 (1, 1) 中的 B 像素以及在像素共享 (1, 2) 中的 R 像素。此外，由连接至南 ADC 的垂直信号线读出在像素共享 (2, 1) 中的 B 像素以及在像素共享 (2, 2) 中的 R 像素。此外，在北 ADC 和南 ADC 中，对从各 B 像素和 R 像素中读出的模拟像素信号进行 AD 转换。

[0055] 在第一 AD 转换的终止之后，在下一个 0.5 秒中执行的第二 AD 转换中，由连接至北 ADC 的垂直信号线读出在像素共享 (1, 1) 中的两个 G 像素以及在像素共享 (1, 2) 中的两个 G 像素。此外，由连接至南 ADC 的垂直信号线读出在像素共享 (2, 1) 中的两个 G 像素以及在像素共享 (2, 2) 中的两个 G 像素。此外，在北 ADC 和南 ADC 中，对从各 G 像素中读出的模拟像素信号进行 AD 转换。

[0056] 应注意的是，在每个像素共享中的共用像素使用一个共享的 FD，因此，在第二 AD

转换中，经由垂直信号线，将在像素共享中由两个 G 像素的光电二极管 (PD) 累积的电荷同时转移至一个 FD 并且作为像素信号同时读出该电荷。

[0057] 在以上描述中，在第一行和第二行中的像素共享之中，已经作为一个实例，描述了在第一列和第二列中的像素共享的像素的读出，但是还通过相同的方式执行在第三列和后续列中的像素共享的像素的读出。此外，在以上描述中，已经作为一个实例，描述了在第一行和第二行中的像素共享的像素的读出，但是如在图 2 的 B 部分中所示，还通过相同的方式执行在第三行和后续行中的像素共享的像素的读出。

[0058] 通过这种方式，在像素阵列单元 102 中，采用一种像素阵列，其中，W 像素被排列为交错图案，并且 R 像素、G 像素以及 B 像素排列在剩余的部分中。在这种像素阵列中，未读出具有亮度分量作为主要分量的 W 像素，并且仅仅读出与多个颜色分量的各颜色分量对应的 R 像素、G 像素以及 B 像素。从具有各颜色分量的像素中获得的模拟像素信号执行 AD 转换，并且将模拟像素信号作为数字信号提供给信号处理电路单元 105。

[0059] 此外，提供北 ADC 和南 ADC，以用作 AD 转换单元 104，并且在像素共享中的共用像素经由垂直信号线连接至北 ADC 和南 ADC 中任一个。这允许读出与一条线路对应的像素的速度翻倍。结果，可高速读出在像素阵列单元 102 中排列在矩阵中的多个像素。

[0060] （加权加法处理的实例）

[0061] 图 3 为用于描述第一实施方式中的加权加法处理的示图。

[0062] 在第一实施方式中，图 1 的信号处理电路单元 105 包括水平加权加法电路单元 201 和垂直加权加法电路单元 202。

[0063] 水平加权加法电路单元 201 为从 AD 转换单元 104 中提供的数字像素信号在水平方向执行加权加法处理 (S11)。

[0064] 如图 3 中所示，水平加权加法电路单元 201 显示了在水平方向的加权加法处理的处理内容，并且 8×8 像素的方形与具有由 AD 转换获得的各颜色分量的像素的像素信号对应。

[0065] 应注意的是，在图 3 的步骤 S11 中的像素阵列中，为了容易理解本描述，仅仅在第三和第七行中显示了具有各颜色分量的像素，以便遵守具有在图 2 中所示的八个像素的像素共享。实际上，在每行中排列具有各颜色分量的像素。另外，在以下描述中，排列在矩阵中的像素各自称为像素 (m,n)。在这种情况下，m(m 是整数）表示行，n(n 是整数）表示列。

[0066] 例如，在第三行中，按照顺序设置各颜色分量 B、G、R、G、…的像素。B 像素 (3,1) 的像素信号与从像素共享 (1,1) 的 B 像素中读出的并且由图 2 的第一 AD 转换进行 AD 转换的像素信号对应。此外，G 像素 (3,2) 的像素信号与从像素共享 (1,1) 的两个 G 像素同时读出的并且由图 2 的第二 AD 转换进行 AD 转换的像素信号对应。

[0067] 同样，R 像素 (3,3) 的像素信号与从像素共享 (1,2) 的 R 像素中读出的并且由图 2 的第一 AD 转换进行 AD 转换的像素信号对应。此外，G 像素 (3,4) 的像素信号与同时从像素共享 (1,2) 的两个 G 像素中读出的并且由图 2 的第二 AD 转换进行 AD 转换的像素信号对应。

[0068] 虽然为了避免重复，不进行描述，但是在位于第三行的 B 像素 (3,5) 之后的各列像素中发现相同的关系。此外，在第七行中具有各颜色分量 B、G、R、G、…的像素中也发现相同的关系。

[0069] 在此处，水平加权加法电路单元 201 分别对相同行的 R 像素以及 B 像素执行加权加法，以便在水平方向获得比率 1:3。

[0070] 具体而言，例如，在水平方向以比率 1:3 对 B 像素 (3,1) 和 B 像素 (3,5) 执行加权加法时，在 G 像素 (3,4) 的位置，重叠执行加权加法的 B 像素。此外，例如，在水平方向以比率 1:3 对 R 像素 (3,3) 和 R 像素 (3,7) 执行加权加法时，在 G 像素 (3,6) 的位置，重叠执行加权加法的 R 像素。

[0071] 同样，对于具有在第七行的各颜色分量 B、G、R、G、…的像素，在水平方向以比率 1:3 分别对 R 像素和 B 像素执行加权加法。

[0072] 通过这种方式，当分别对相同行的 R 像素以及 B 像素执行加权加法，以便在水平方向获得比率 1:3 时，在 G 像素的位置，重叠被归入加权加法的 R 像素或 B 像素。应注意的是，在 G 像素的位置，重叠 R 像素或 B 像素，但是对 G 像素本身未执行在水平方向的加权加法。

[0073] 对要处理的像素重复如上所述在水平方向的加权加法处理，并且终止在水平方向的加权加法处理 (S11)。

[0074] 垂直加权加法电路单元 202 在垂直方向执行加权加法处理，使得水平加权加法电路单元 201(S12 的像素阵列) 的输出变成拜耳阵列的像素阵列 (S12 到 S14)。

[0075] 如图 3 所示，垂直加权加法电路单元 202 在垂直方向显示加权加法处理的处理内容。在 S12 的像素阵列中，由于在水平方向的上述加权加法处理 (S11)，所以在第三行和第七行的偶数列中，在 G 像素的位置重叠 R 像素或 B 像素 (在图 3 中的“R/G”或“B/G”)。

[0076] 例如，在垂直方向以比率 1:1 均等地添加 R/G 像素 (3,2) 的 G 像素和 R/G 像素 (7,2) 的 G 像素 (S12)，由此获得 G 像素 (5,2)(S13)。此外，在 R/G 像素 (3,2) 和 R/G 像素 (7,2) 的位置，当获取当前位置信息并且不变化地使用在 G 像素上重叠的 R 像素时，不经在垂直方向执行加权加法 (S13) 获得 R 像素。

[0077] 此外，在垂直方向以比率 1:1 均等地添加 B/G 像素 (3,4) 和 B/G 像素 (7,4)(S12)，由此获得 B 像素 (5,4)(S13)。此外，在 B/G 像素 (3,4) 和 B/G 像素 (7,4) 的位置，当获取当前位置信息并且不变化地使用 G 像素 (在该 G 像素上重叠 B 像素) 时，不经垂直方向执行加权加法 (S13) 获得 G 像素。

[0078] 通过这种方式，当通过使用 G 像素在垂直方向以比率 1:1 均等地添加在相同列中的 R/G 像素时，在中间位置获得 G 像素。此外，在 R/G 像素的位置不变化地使用 R 像素时，获得 R 像素。另一方面，在通过使用 B 像素在垂直方向以比率 1:1 均等地添加在相同列中的 B/G 像素时，在中间位置获得 B 像素。此外，当 B/G 像素的位置不变化地使用 G 像素时，获得 G 像素。

[0079] 重复如上所述的加权加法处理，由此，水平加权加法电路单元 201(S12 的像素阵列) 的输出变成拜耳阵列的像素阵列 (S12、S13)。

[0080] 换言之，在图 3 的信号处理电路单元 105 中，在水平加权加法电路单元 201 在水平方向执行加权加法处理 (S11) 之后，垂直加权加法电路单元 202 在垂直方向执行加权加法处理 (S12、S13)，使得输入像素排列在拜耳阵列中。随后，在信号处理电路单元 105 中，获得排列在拜耳阵列中的像素 (S14)，并且在随后的阶段，将其像素值输出给电路等。

[0081] 在上文中，已经描述了第一实施方式。在第一实施方式中，未使用具有亮度分量作为主要分量的 W 像素，而是仅使用与多个颜色分量的各颜色分量对应的 R 像素、G 像素以及

B 像素，在水平方向和垂直方向执行加权加法处理，并且输出排列在拜耳阵列中的像素的像素值。结果，从输出像素值中获得的捕捉图像可实现图像质量，其中，抑制假彩色。

[0082] 此外，如在图 2 的像素的读出驱动上所述，在垂直方向在四个像素之中，仅仅读出一个像素。这可减少在垂直方向读取的像素数量，从而允许高速读出。此外，由于设置了北 ADC 和南 ADC 以用作 AD 转换单元 104，所以可提高读出与一个线路对应的像素的速度。这可提高帧速率。此外，这可消除视角的损失，实现高帧速率，并且还可抑制由像素读出的薄型化间隔引起的云纹的产生。

[0083] ＜第二实施方式＞

[0084] （固态成像装置的配置实例）

[0085] 接下来，描述第二实施方式。在第二实施方式中，固态成像装置的配置与在图 1 中所示的 CMOS 图像传感器 100 的配置相同，因此，不对其进行描述。

[0086] （像素的读出驱动的实例）

[0087] 图 4 为用于描述第二实施方式中的像素的读出驱动的示图。

[0088] 在图 4 中，与在图 2 中一样，在图 1 的像素阵列单元 102 中，以排列在矩阵中的八个像素（4×2 个像素）为单位，对像素执行像素共享。此外，设置北 ADC 和南 ADC，以用作图 1 的 AD 转换单元 104，与在图 2 中一样。

[0089] 在图 4 的读出驱动中，在第一 AD 转换中读出在各像素共享中的 B 像素和 R 像素，并且在第二 AD 转换中读出在各像素共享中的 G 像素。这与图 2 的像素的读出驱动相同。另一方面，图 4 的像素的读出驱动与图 2 的像素的读出驱动的不同之处在于：在第二 AD 转换中仅仅读出一个 G 像素，尽管在图 2 的像素的读出驱动中，在第二 AD 转换中同时读出两个 G 像素。

[0090] （加权加法处理的实例）

[0091] 图 5 为用于描述第二实施方式中的加权加法处理的示图。

[0092] 在第二实施方式中，图 1 的信号处理电路单元 105 包括水平加权加法电路单元 211 和垂直加权加法电路单元 212。

[0093] 水平加权加法电路单元 211 为从 AD 转换单元 104 中提供的数字像素信号在水平方向执行加权加法处理 (S21)。

[0094] 如图 5 中所示，水平加权加法电路单元 211 显示了在水平方向的加权加法处理的处理内容。

[0095] 例如，在第三行中，每隔一列重复交替地排列 B 像素和 R 像素。B 像素 (3,1) 的像素信号与从像素共享 (1,1) 的 B 像素中读出的并且由图 4 的第一 AD 转换进行 AD 转换的像素信号对应。此外，R 像素 (3,3) 的像素信号与从像素共享 (1,2) 的 R 像素中读出的并且由图 4 的第一 AD 转换进行 AD 转换的像素信号对应。

[0096] 此外，例如，在第四行中，每隔一列重复排列 G 像素。G 像素 (4,2) 的像素信号与从像素共享 (1,1) 的一个 G 像素中读出的并且由图 4 的第二 AD 转换进行 AD 转换的像素信号对应。此外，G 像素 (4,4) 的像素信号与从像素共享 (1,2) 的一个 G 像素中读出的并且由图 4 的第二 AD 转换进行 AD 转换的像素信号对应。

[0097] 虽然为了避免重复，不进行描述，但是在其他像素中发现相同的关系。

[0098] 在此处，水平加权加法电路单元 211 分别对相同行的 R 像素和 B 像素执行加权加

法，以便在水平方向获得比率 1:3。

[0099] 具体而言，例如，在水平方向以比率 1:3 对 B 像素 (3,1) 和 B 像素 (3,5) 执行加权加法时，获得 B 像素 (3,4)。此外，例如，在水平方向以比率 1:3 对 R 像素 (3,3) 和 R 像素 (3,7) 执行加权加法时，获得 R 像素 (3,6)。

[0100] 通过这种方式，当分别对相同行的 R 像素以及 B 像素执行加权加法，以便在水平方向获得比率 1:3 时，获得 R 像素和 B 像素。应注意的是，对 G 像素未执行在水平方向的加权加法。获取 G 像素的当前位置信息，然后，在垂直加权加法电路单元 212 中不变化地使用 G 像素。

[0101] 对要处理的像素重复如上所述在水平方向的加权加法处理，并且终止在水平方向的加权加法处理 (S21)。

[0102] 垂直加权加法电路单元 212 在垂直方向执行加权加法处理，使得水平加权加法电路单元 211(S22 的像素阵列) 的输出变成拜耳阵列的像素阵列 (S22 到 S24)。

[0103] 如图 5 所示，垂直加权加法电路单元 212 在垂直方向显示加权加法处理的处理内容。在 S22 的像素阵列中，由于在水平方向的加权加法处理 (S21)，所以在第三行和第七行中，每隔一列交替地排列 R 像素和 B 像素，并且 R 像素和 B 像素排列在与 G 像素相同的列上。

[0104] 例如，在垂直方向以比率 3:1 对 R 像素 (3,2) 和 R 像素 (7,2) 执行加权加法 (S22)，由此，获得 R 像素 (4,2)(S23)。此外，在垂直方向以比率 1:3 对 B 像素 (3,4) 和 B 像素 (7,4) 执行加权加法 (S22)，因此，获得 B 像素 (6,4)(S23)。

[0105] 此外，由于在第四和第八行中每隔一列排列 G 像素，所以在垂直方向以比率 1:1 均等地添加 G 像素 (4,2) 和 G 像素 (8,2)(S22)，由此，获得 G 像素 (6,2)(S23)。此外，在 G 像素 (4,4) 和 G 像素 (8,4) 的位置，不变化地使用 G 像素时，不经在垂直方向执行加权加法获得 G 像素 (S23)。

[0106] 通过这种方式，当在相同列中的 R 像素被归入以比率 3:1 的垂直方向的加权加法并且在相同列中的 B 像素被归入以比率 1:3 的垂直方向的加权加法时，获得 R 像素和 B 像素。此外，在排列像素的列之中，在垂直方向以比率 1:1 均等地添加在奇数列中的 G 像素，并且在获取其当前位置信息之后，不变化地使用在偶数列中的 G 像素。

[0107] 重复如上所述的加权加法处理，由此，水平加权加法电路单元 211(S22 的像素阵列) 的输出变成拜耳阵列的像素阵列 (S22、S23)。

[0108] 换言之，在图 5 的信号处理电路单元 105 中，在水平加权加法电路单元 211 在水平方向执行加权加法处理 (S21) 之后，垂直加权加法电路单元 212 在垂直方向执行加权加法处理 (S22、S23)，使得输入像素排列在拜耳阵列中。随后，在信号处理电路单元 105 中，获得排列在拜耳阵列中的像素 (S24)，并且在随后的阶段，将其像素值输出给电路等。

[0109] 在上文中，已经描述了第二实施方式。在第二实施方式中，未使用具有亮度分量作为主要分量的 W 像素，而是仅使用与多个颜色分量的各颜色分量对应的 R 像素、G 像素以及 B 像素，在水平方向和垂直方向执行加权加法处理，并且输出排列在拜耳阵列中的像素的像素值。结果，从输出像素值中获得的捕捉图像可实现图像质量，其中，抑制假彩色。

[0110] 此外，在图 4 的像素的读出驱动中，与同时读出两个 G 像素的图 2 的像素的读出驱动不同，由第二 AD 转换仅仅读出一个 G 像素。这允许以比图 2 的像素的读出驱动更高的速度执行读出。此外，设置北 ADC 和南 ADC，以用作 AD 转换单元 104，由此，可提高读出与一个

线路对应的像素的速度。结果，可实现提高帧速率和读出速度，并且可保持高性能。

[0111] ＜第三实施方式＞

[0112] （固态成像装置的配置实例）

[0113] 接下来，描述第三实施方式。在第三实施方式中，固态成像装置的配置与在图 1 中所示的 CMOS 图像传感器 100 的配置相同，因此不对其进行描述。

[0114] （像素的读出驱动的实例）

[0115] 图 6 为用于描述第三实施方式中的像素的读出驱动的示图。

[0116] 在图 6 中，与在图 2 中一样，在图 1 的像素阵列单元 102 中，以排列在矩阵中的八个像素（4×2 像素）为单位，对像素执行像素共享。此外，设置北 ADC 和南 ADC，以用作图 1 的 AD 转换单元 104，与在图 2 中一样。

[0117] 在图 6 的读出驱动中，在第一 AD 转换中读出在各像素共享中的 B 像素和 R 像素，并且在第二 AD 转换中读出在各像素共享中的 G 像素。这与图 2 和图 4 的像素的读出驱动相同。另一方面，图 6 的像素的读出驱动与图 2 和图 4 的像素的读出驱动的不同之处在于，还读出在图 2 和图 4 的像素的读出驱动中未读出的 R 像素、G 像素以及 B 像素。

[0118] 通过这种方式，在图 6 的像素的读出驱动中，读出与多个颜色分量的各颜色分量对应的 R 像素、G 像素以及 B 像素，换言之，读出除了具有亮度分量作为主要分量的 W 像素以外的所有像素。

[0119] （加权加法处理的实例）

[0120] 图 7 为用于描述第三实施方式中的加权加法处理的示图。

[0121] 在第三实施方式中，图 1 的信号处理电路单元 105 包括加权加法电路单元 221 和拜耳输出电路单元 222。

[0122] 加权加法电路单元 221 为从 AD 转换单元 104 中提供的数字像素信号执行加权加法处理 (S31)。

[0123] 如图 7 中所示，加权加法电路单元 221 显示了加权加法处理的处理内容。

[0124] 例如，在第一行中，每隔一列重复交替地排列 R 像素和 B 像素。R 像素 (1,1) 的像素信号与从像素共享 (1,1) 的 R 像素中读出的并且由图 6 的第一 AD 转换进行 AD 转换的像素信号对应。此外，B 像素 (1,3) 的像素信号与从像素共享 (1,2) 的 B 像素中读出的并且由图 6 的第一 AD 转换进行 AD 转换的像素信号对应。

[0125] 此外，例如，在第二行中，每隔一列重复排列 G 像素。G 像素 (2,2) 的像素信号与从像素共享 (1,1) 的一个 G 像素中读出的并且由图 6 的第二 AD 转换进行 AD 转换的像素信号对应。此外，G 像素 (2,4) 的像素信号与从像素共享 (1,2) 的一个 G 像素中读出的并且由图 6 的第二 AD 转换进行 AD 转换的像素信号对应。

[0126] 此外，例如，在第三行中，每隔一列重复交替地排列 B 像素和 R 像素。B 像素 (3,1) 的像素信号与从像素共享 (1,1) 的 B 像素中读出的并且由图 6 的第一 AD 转换进行 AD 转换的像素信号对应。此外，R 像素 (3,3) 的像素信号与从像素共享 (1,2) 的 R 像素中读出的并且由图 6 的第一 AD 转换进行 AD 转换的像素信号对应。

[0127] 此外，例如，在第四行中，每隔一列重复排列 G 像素。G 像素 (4,2) 的像素信号与从像素共享 (1,1) 的一个 G 像素中读出的并且由图 6 的第二 AD 转换进行 AD 转换的像素信号对应。此外，G 像素 (4,4) 的像素信号与从像素共享 (1,2) 的一个 G 像素中读出的并且由

图 6 的第二 AD 转换进行 AD 转换的像素信号对应。

[0128] 虽然为了避免重复，不进行描述，但是在其他像素中发现相同的关系。

[0129] 在此处，加权加法电路单元 221 在倾斜方向以比率 1:1 在第一和第三行中均等地添加 R 像素 (S31)。具体而言，例如，当在倾斜方向以比率 1:1 均等地添加 R 像素 (1,1) 和 R 像素 (3,3) 时，获得 R 像素 (2,2)。此外，例如，在倾斜方向以比率 1:1 均等地添加 R 像素 (1,5) 和 R 像素 (3,7) 时，获得 R 像素 (2,6)。

[0130] 此外，加权加法电路单元 221 在倾斜方向以比率 1:1 在第三和第五行中均等地添加 B 像素 (S31)。具体而言，例如，当在倾斜方向以比率 1:1 均等地添加 B 像素 (3,5) 和 B 像素 (5,3) 时，获得 B 像素 (4,4)。此外，例如，在倾斜方向以比率 1:1 均等地添加 B 像素 (3,9) 和 B 像素 (5,7) 时，获得 B 像素 (4,8)。

[0131] 此外，加权加法电路单元 221 对所关注的 G 像素以及位于所关注的 G 像素周围的四个 G 像素执行加权加法，以获得比率 4:1:1:1:1(S31)。

[0132] 具体而言，例如，在以 G 像素 (2,4) 为中心的横向上执行加权加法的情况下，当将排列在 G 像素 (2,4) 周围的 G 像素 (2,4) 和 G 像素 (2,2)、G 像素 (2,6)、G 像素 (0,4) 以及 G 像素 (4,4) 以比率 4:1:1:1:1 归入加权加法时，获得 G 像素 (2,4)。同样，还对 G 像素 (4,2) 执行在横向上的加权加法，并且获得 G 像素 (4,2)。

[0133] 对要处理的像素重复如上所述的加权加法处理，并且输入像素 (S31 的像素阵列) 排列在拜耳阵列的像素阵列中，从而终止加权加法处理 (S31)。

[0134] 如图 7 所示，拜耳输出电路单元 222 显示拜耳输出的处理内容。在 S32 的像素阵列中，由于上述加权加法处理 (S31)，所以在第二行和第六行中，每隔一列重复地交替排列 R 像素和 G 像素，并且在第四行和第八行中，每隔一列重复地交替排列 G 像素和 B 像素。该像素阵列是拜耳阵列，由此，拜耳输出电路单元 222 在随后的阶段将那些像素的像素值输出给电路等 (S33)。

[0135] 换言之，在图 7 的信号处理电路单元 105 中，在加权加法电路单元 221 在倾斜方向和横向上执行加权加法处理 (S31)，使得输入像素排列在拜耳阵列中之后，拜耳输出电路单元 222 在随后的阶段将排列在拜耳阵列中的像素的像素值输出给电路等 (S32、S33)。

[0136] 在上文中，已经描述了第三实施方式。在第三实施方式中，未使用具有亮度分量作为主要分量的 W 像素，而是仅使用与多个颜色分量的各颜色分量对应的 R 像素、G 像素以及 B 像素，执行在倾斜方向和横向上的加权加法处理，并且输出排列在拜耳阵列中的像素的像素值。结果，从输出像素值中获得的捕捉图像可实现图像质量，其中，抑制假彩色。

[0137] 此外，在图 6 的像素的读出驱动中，还读出在图 2 和图 4 的像素的读出驱动中未读出的 R 像素、G 像素以及 B 像素，并且读出与多个颜色分量的各颜色分量对应的像素，换言之，读出除了具有亮度分量作为主要分量的 W 像素以外的所有像素。结果，获取更多的颜色信息，由此，从输出的像素值中获得的捕捉图像可进一步提高图像质量。

[0138] < 第四实施方式 >

[0139] (固态成像装置的配置实例)

[0140] 接下来将描述第四实施方式。在第四实施方式中，固态成像装置的配置与在图 1 中所示的 CMOS 图像传感器 100 的配置相同，由此，不对其进行描述。

[0141] (像素的读出驱动的实例)

[0142] 在第四实施方式中，像素的读出驱动与图 6 的像素的读出驱动相同，因此，不对其进行描述。

[0143] （加权加法处理的实例）

[0144] 图 8 为用于描述第四实施方式中的加权加法处理的示图。

[0145] 在第四实施方式中，图 1 的信号处理电路单元 105 包括加权加法电路单元 231 和拜耳输出电路单元 232。

[0146] 如图 8 中所示，加权加法电路单元 231 显示了加权加法处理的处理内容。然而，由于在第四实施方式中执行图 6 的像素的读出驱动，所以输入加权加法电路单元 231 中的像素阵列与输入图 7 的加权加法电路单元 221 中的像素阵列对应。

[0147] 在此处，加权加法电路单元 231 在倾斜方向以比率 1:1 在第一和第三行中均等地添加 R 像素 (S41)。具体而言，例如，当在倾斜方向以比率 1:1 均等地添加 R 像素 (1,1) 和 R 像素 (3,3) 时，获得 R 像素 (2,2)。此外，例如，在倾斜方向以比率 1:1 均等地添加 R 像素 (1,5) 和 R 像素 (3,7) 时，获得 R 像素 (2,6)。

[0148] 此外，加权加法电路单元 231 在倾斜方向以比率 1:1 在第三和第五行中均等地添加 B 像素 (S41)。具体而言，例如，在倾斜方向以比率 1:1 均等地添加 B 像素 (3,5) 和 B 像素 (5,3) 时，获得 B 像素 (4,4)。此外，例如，在倾斜方向以比率 1:1 均等地添加 B 像素 (3,9) 和 B 像素 (5,7) 时，获得 B 像素 (4,8)。

[0149] 此外，在加权加法电路单元 231 中，例如，当不变化地使用 G 像素 (2,4) 和 G 像素 (4,2) 时，不经执行加权加法获得 G 像素 (2,4) 和 G 像素 (4,2)。

[0150] 换言之，加权加法电路单元 231 与图 7 的加权加法电路单元 221 的不同之处在于，虽然通过相同的方式为 R 像素和 B 像素执行加权加法，但是，照原样使用 G 像素而不执行加权加法。

[0151] 对要处理的像素重复如上所述的加权加法处理，并且输入像素 (S41 的像素阵列) 排列在拜耳阵列的像素阵列中，从而终止加权加法处理 (S41)。

[0152] 与图 7 的拜耳输出电路单元 222 一样，拜耳输出电路单元 232 在随后的阶段将排列在拜耳阵列中的像素的像素值输出给电路等 (S42、S43)。

[0153] 换言之，在图 8 的信号处理电路单元 105 中，在加权加法电路单元 231 在倾斜方向执行加权加法处理 (S41)，使得输入像素排列在拜耳阵列中之后，拜耳输出电路单元 232 在随后的阶段将排列在拜耳阵列中的像素的像素值输出给电路等 (S42、S43)。

[0154] 在上文中，已经描述了第四实施方式。在第四实施方式中，未使用具有亮度分量作为主要分量的 W 像素，而是仅使用与多个颜色分量的各颜色分量对应的 R 像素、G 像素以及 B 像素，执行在倾斜方向的加权加法处理，并且输出排列在拜耳阵列中的像素的像素值。结果，从输出像素值中获得的捕捉图像可实现图像质量，其中，抑制假彩色。

[0155] 此外，在图 6 的像素的读出驱动中，还读出在图 2 和图 4 的像素的读出驱动中未读出的 R 像素、G 像素以及 B 像素，并且读出与多个颜色分量的各颜色分量对应的像素，换言之，读出除了具有亮度分量作为主要分量的 W 像素以外的所有像素。结果，获取更多的颜色信息，从而从输出的像素值中获得的捕捉图像可进一步提高图像质量。

[0156] 此外，图 8 的加权加法处理与图 7 的加权加法处理的不同之处在于，未执行 G 像素的加权加法处理。这可使分辨率提高。

[0157] ＜第五实施方式＞

[0158] （固态成像装置的配置实例）

[0159] 接下来，描述第五实施方式。在第五实施方式中，固态成像装置的配置与在图 1 中所示的 CMOS 图像传感器 100 的配置相同，因此，不对其进行描述。

[0160] （像素的读出驱动的实例）

[0161] 在第五实施方式中，像素的读出驱动与图 2 的像素的读出驱动相同，因此，不对其进行描述。

[0162] （加权加法处理的实例）

[0163] 图 9 为用于描述第五实施方式中的加权加法处理的示图。

[0164] 在第五实施方式中，图 1 的信号处理电路单元 105 包括水平加权加法电路单元 241 和拜耳输出电路单元 242。

[0165] 如图 9 中所示，水平加权加法电路单元 241 显示了在水平方向的加权加法处理的处理内容。然而，由于在第四实施方式中执行图 2 的像素的读出驱动，所以输入水平加权加法电路单元 241 中的像素阵列与输入图 3 的水平加权加法电路单元 201 中的像素阵列对应。

[0166] 在此处，水平加权加法电路单元 241 在水平方向均等地添加相邻的 G 像素，以获得拜耳阵列的像素阵列，同时不变化地使用 R 像素和 B 像素 (S51)。

[0167] 具体而言，例如，不变化地使用 R 像素 (3,3)，从而不经执行加权加法获得 R 像素 (3,3)。此外，当在水平方向以比率 1:1 均等地添加 G 像素 (3,6) 和 G 像素 (3,8) 时，获得 G 像素 (3,7)。

[0168] 此外，在水平方向以比率 1:1 均等地添加 G 像素 (7,2) 和 G 像素 (7,4) 时，获得 G 像素 (7,3)。此外，不变化地使用 B 像素 (7,5)，从而不经执行加权加法获得 B 像素 (7,5)。

[0169] 对要处理的像素重复如上所述的加权加法处理等，并且输入像素 (S51 的像素阵列）排列在拜耳阵列的像素阵列中，从而终止在水平方向的加权加法处理 (S51)。

[0170] 与图 7 的拜耳输出电路单元 222 等一样，拜耳输出电路单元 242 在随后的阶段将排列在拜耳阵列中的像素的像素值输出给电路等 (S52、S53)。

[0171] 换言之，在图 9 的信号处理电路单元 105 中，在水平加权加法电路单元 241 在水平方向执行加权加法处理 (S51)，使得输入像素排列在拜耳阵列中之后，拜耳输出电路单元 242 在随后的阶段将排列在拜耳阵列中的像素的像素值输出给电路等 (S52、S53)。

[0172] 在上文中，已经描述了第五实施方式。在第五实施方式中，未使用具有亮度分量作为主要分量的 W 像素，而是仅使用与多个颜色分量的各颜色分量对应的 R 像素、G 像素以及 B 像素，执行在水平方向的加权加法处理，并且输出排列在拜耳阵列中的像素的像素值。结果，从输出像素值中获得的捕捉图像可实现图像质量，其中，抑制假彩色。

[0173] 此外，在图 9 的加权加法处理中，未执行 R 像素和 B 像素的加权加法处理，这可使分辨率提高。另外，在图 9 的加权加法处理中，对于 G 像素，在水平方向均等地添加相邻的 G 像素，并且对于 R 像素和 B 像素，执行仅仅获取像素信息的处理。这减少了计算量，结果是可降低功耗。

[0174] ＜第六实施方式＞

[0175] 最后，描述第六实施方式。在第六实施方式中，固态成像装置的配置与在图 1 中所

示的 CMOS 图像传感器 100 的配置相同，因此，不对其进行描述。

[0176] （像素的读出驱动的实例）

[0177] 在第六实施方式中，像素的读出驱动与 2 的像素的读出驱动相同，因此，不对其进行描述。

[0178] （加权加法处理的实例）

[0179] 图 10 为用于描述第六实施方式中的加权加法处理的示图。

[0180] 在第六实施方式中，图 1 的信号处理电路单元 105 包括水平加权加法电路单元 251 和加权加法电路单元 252。

[0181] 如图 10 中所示，水平加权加法电路单元 251 显示了在水平方向的加权加法处理的处理内容。然而，由于在第六实施方式中执行图 2 的像素的读出驱动，所以输入水平加权加法电路单元 251 中的像素阵列与输入图 3 的水平加权加法电路单元 201 中的像素阵列对应。

[0182] 在此处，水平加权加法电路单元 251 在水平方向均等地添加相邻的 G 像素，同时不变化地使用 R 像素和 B 像素 (S61)。

[0183] 具体而言，不变化地使用 B 像素 (3,1)、R 像素 (3,3)、B 像素 (3,5) 以及 R 像素 (3,7)，从而不经执行加权加法获得 B 像素 (3,1)、R 像素 (3,3)、B 像素 (3,5) 以及 R 像素 (3,7)。

[0184] 此外，在水平方向以比率 1:1 均等地添加 G 像素 (3,2) 和 G 像素 (3,4) 时，在 R 像素 (3,3) 的位置重叠被归入加权加法的 G 像素。同样，在水平方向以比率 1:1 均等地添加 G 像素 (3,6) 和 G 像素 (3,8) 时，在 R 像素 (3,7) 的位置重叠被归入加权加法的 G 像素。

[0185] 此外，同样，对于在第七行的各颜色分量 B、G、R、G、…的像素，在水平方向均等地添加相邻的 G 像素，同时照原样使用 R 像素和 B 像素，而不经对 R 像素和 B 像素执行加权加法。由此，获得 R 像素和 B 像素并且在 R 像素上重叠 G 像素。

[0186] 对要处理的像素重复如上所述的加权加法处理等，并且输入像素 (S61 的像素阵列）排列在 S62 的像素阵列中，从而终止在水平方向的加权加法处理 (S61)。

[0187] 加权加法电路单元 252 执行加权加法处理，使得来自水平加权加法电路单元 251 的输出 (S62 的像素阵列）获得拜耳阵列的像素阵列 (S62 到 S64)。

[0188] 如图 10 中所示，加权加法电路单元 252 显示了加权加法处理的处理内容。

[0189] 加权加法电路单元 252 对所关注的 G 像素以及位于所关注的 G 像素周围的四个 G 像素执行加权加法，以获得比率 4:1:1:1:1(S62)。

[0190] 具体而言，例如，在执行以 R/G 像素 (7,3) 为中心的横向上的加权加法的情况下，当排列在 R/G 像素 (7,3) 周围的 R/G 像素 (7,3) 和 R/G 像素 (7,-1)、R/G 像素 (7,7)、R/G 像素 (3,3) 以及 R/G 像素 (11,3) 被以比率 4:1:1:1:1 归入加权加法时，获得 G 像素 (7,3)。在这种情况下，仅使用 R/G 像素的 G 像素元件。

[0191] 同样，对于 R/G 像素 (3,7)、R 像素 (3,3) 以及 B 像素 (7,5)，也执行在以那些像素中的每个为中心的横向上的加权加法，从而获得 G 像素 (3,7)、R 像素 (3,3) 以及 B 像素 (7,5)。

[0192] 对要处理的像素重复如上所述的加权加法处理，并且来自水平加权加法电路单元 251 的输出 (S62 的像素阵列）变成拜耳阵列的像素阵列 (S62、S63)，从而终止加权加法处

理。

[0193] 与图 7 的拜耳输出电路单元 222 一样，加权加法电路单元 252 在随后的阶段将排列在拜耳阵列中的像素的像素值输出给电路等 (S64)。

[0194] 换言之，在图 10 的信号处理电路单元 105 中，在水平加权加法电路单元 251 在水平方向执行加权加法处理 (S61) 之后，加权加法电路单元 252 在横向上执行加权加法处理 (S62)，使得输入像素排列在拜耳阵列中。然后，加权加法电路单元 252 在随后的阶段将排列在拜耳阵列中的像素的像素值输出给电路等 (S63、S64)。

[0195] 在上文中，已经描述了第六实施方式。在第六实施方式中，未使用具有亮度分量作为主要分量的 W 像素，而是仅使用与多个颜色分量的各颜色分量对应的 R 像素、G 像素以及 B 像素，执行在水平方向和横向上的加权加法处理，并且输出排列在拜耳阵列中的像素的像素值。结果，从输出像素值中获得的捕捉图像可实现图像质量，其中，抑制假彩色。

[0196] 此外，在图 10 的加权加法处理中，相邻的 R、G 以及 B 像素被归入在横向上的加权加法处理，从而减少假彩色。

[0197] < 成像处理 >

[0198] 接下来将参照图 11 的流程图，描述由 CMOS 图像传感器 100 执行的成像处理。

[0199] 在步骤 S101 中，像素驱动单元 103 通过预定的方法对排列在像素阵列单元 102 中的像素执行读出驱动。作为像素的读出驱动方法，使用图 2、4 以及 6 的像素的任一个读出驱动。

[0200] 应注意的是，在上述像素的读出驱动中，已经描述了仅仅读出在像素共享中的 R 像素、G 像素以及 B 像素的实例，但是在从 W 像素中获得亮度信息的情况下，读出 W 像素。例如，根据模式，切换是否读出 W 像素。

[0201] 在步骤 S102 中，AD 转换单元 104 对模拟像素信号进行 AD 转换，经由垂直信号线从排列在像素阵列单元 102 中的像素中输入这些模拟像素信号。在此处，如图 2 等中所示，为每个像素共享，通过连接的北 ADC 或南 ADC 执行 AD 转换。

[0202] 在步骤 S103 中，信号处理电路单元 105 使用来自 AD 转换单元 104 的数字像素信号执行预定的加权加法处理。

[0203] 然而，在加权加法处理中，未使用具有亮度分量作为主要分量的 W 像素，而是仅使用与多个颜色分量的各颜色分量对应的 R 像素、G 像素以及 B 像素，执行在水平方向、垂直方向以及倾斜方向的至少一个中的加权加法处理，并且获得拜耳阵列的图像，作为输出图像。

[0204] 具体而言，执行在上述第一到第六实施方式中的任一类型的加权加法处理。此外，例如，那些类型的加权加法处理可根据模式进行切换。这允许根据图像捕捉状态执行适当的信号处理。

[0205] 在步骤 S104 中，在后续阶段，信号处理电路单元 105 将由预定的加权加法处理获取的输出图像的像素值输出给电路等。在此处，输出排列在拜耳阵列中的像素的像素值。

[0206] 在上文中，已经描述了成像处理。

[0207] < 应用本公开的实施方式的电子设备的配置实例 >

[0208] 图 12 为示出应用本公开的一个实施方式的电子设备的一个配置实例的示图。

[0209] 图 12 的电子设备 300 包括由透镜组等构成的光学单元 301、由根据上述每个实施方式的 CMOS 图像传感器 100 构成的固态成像装置 302 以及用作照相机信号处理电路的

DSP（数字信号处理）电路 303。此外，电子设备 300 包括帧存储器 304、显示器 305、记录单元 306、操作单元 307 以及电源单元 308。DSP 电路 303、帧存储器 304、显示器 305、记录单元 306、操作单元 307 以及电源单元 308 经由总线 309 彼此连接。

[0210] 光学单元 301 采入来自对象的入射光，即，图像光，并且在固态成像装置 302 的成像表面上形成图像。固态成像装置 302 逐个像素地将入射光的量转换成电信号，光学单元 301 通过该入射光在成像表面上形成图像。固态成像装置 302 随后输出电信号，作为像素信号。固态成像装置（诸如，根据上述每个实施方式的 CMOS 图像传感器 100）可用作固态成像装置 302。

[0211] 例如，显示器 305 由诸如液晶面板或有机 EL（电致发光）面板的平板显示器构成，并且显示由固态成像装置 302 捕捉的运动图像或静止图像。记录单元 306 在诸如闪速存储器的记录介质上记录由固态成像装置 302 捕捉的运动图像或静止图像。

[0212] 在用户的操作下，操作单元 307 发起电子设备 300 的各种功能的操作命令。电源单元 308 将用作 DSP 电路 303、帧存储器 304、显示器 305、记录单元 306 以及操作单元 307 的操作电源的各种电源酌情提供给那些供应目标。

[0213] 将根据上述每个实施方式的 CMOS 图像传感器 100 用作固态成像装置 302，允许执行噪音减少处理，包括 kTC 噪音，从而可确保高 S/N 比。因此，同样在电子设备 300（诸如数码相机、数字摄像机以及用于包括移动电话等的移动装置的相机模块）中，捕捉的图像可实现高图像质量。

[0214] 此外，在上述实施方式中，作为一个实例，已经描述了本公开应用于 CMOS 图像传感器的情况。CMOS 图像传感器由单位像素构成，这些单位像素作为物理量检测与可见光量对应的信号电荷并且排列在矩阵中。然而，本公开不限于应用于 CMOS 图像传感器并且适用于由为像素阵列单元的每个像素列排列的列处理单元构成的所有列系统固态成像装置。

[0215] 此外，本公开不限于应用于固态成像装置，该固态成像装置检测入射的可见光量的分布并且捕捉该分布作为图像。本公开适用于固态成像装置，该固态成像装置捕捉红外线或 X 射线的入射光量的分布或者颗粒等的分布作为图像，或者在更广泛的意义上，本公开适用于所有固态成像装置（物理量分布检测装置），包括指纹检测传感器，该传感器检测另一个物理量（诸如压力和静电电容）的分布并且捕捉该分布的图像。

[0216] 应注意的是，本公开的实施方式不限于上述实施方式，并且只要不背离本公开的主旨，就可不同地修改这些实施方式。

[0217] 此外，本公开可具有以下配置。

[0218] (1) 一种固态成像装置，包括 ：

[0219] 像素阵列单元，其包括第一像素和第二像素，所述第一像素与多个颜色分量的各颜色分量对应，所述第二像素具有亮度分量作为主要分量，所述第一像素和第二像素规则地排列在矩阵中 ；

[0220] 像素驱动单元，其被配置为驱动排列在所述像素阵列单元内的像素 ；以及

[0221] 信号处理单元，其被配置为通过仅使用从所述第一像素中获取的像素信息来执行预定的加权加法处理并且计算输出图像的像素值。

[0222] (2) 根据 (1) 所述的固态成像装置，其中，

[0223] 所述信号处理单元被配置为在水平方向、垂直方向以及倾斜方向的至少一个中执

行加权加法处理。

[0224] (3) 根据 (2) 或 (3) 所述的固态成像装置，其中，

[0225] 所述输出图像包括拜耳阵列的图像，并且

[0226] 所述信号处理单元被配置为执行加权加法处理，以获取拜耳阵列的图像的像素值。

[0227] (4) 根据 (1) 到 (3) 中任一项所述的固态成像装置，其中，

[0228] 所述像素阵列单元

[0229] 包括排列为交错图案的第二像素以及排列在剩余部分中的第一像素，并且

[0230] 包括浮动扩散区域，在包括多个像素的预定像素单元中共享所述浮动扩散区域，所述多个像素各自包括光电转换部件，并且所述浮动扩散区域保持要读出为信号的由像素的每个光电转换部件累积的电荷。

[0231] (5) 根据 (4) 所述的固态成像装置，其中，

[0232] 所述像素阵列单元被配置为使所述共享的浮动扩散区域在像素共享中保持从具有相同的颜色分量的第一像素中获取的电荷并且同时读出所述电荷。

[0233] (6) 根据 (4) 所述的固态成像装置，其中，

[0234] 所述像素阵列单元被配置为读出从像素共享中的所有第一像素中获取的电荷。

[0235] (7) 根据 (4) 所述的固态成像装置，进一步包括

[0236] 模数转换单元，被配置为对在像素共享中从第一像素中获取的像素信息进行模数转换。

[0237] (8) 根据 (1) 到 (7) 中任一项所述的固态成像装置，其中，

[0238] 所述第一像素包括与红色 (R)、绿色 (G) 以及蓝色 (B) 的颜色分量中的任一个对应的像素，并且

[0239] 所述第二像素包括白色 (W) 像素。

[0240] (9) 一种固态成像装置的驱动方法，所述固态成像装置包括：

[0241] 像素阵列单元，其包括第一像素和第二像素，所述第一像素与多个颜色分量的各颜色分量对应，所述第二像素具有亮度分量作为主要分量，所述第一像素和第二像素规则地排列在矩阵中；

[0242] 像素驱动单元，其被配置为驱动排列在所述像素阵列单元内的像素；以及

[0243] 信号处理单元，其被配置为通过仅使用从所述第一像素中获取的像素信息来执行预定的加权加法处理并且计算输出图像的像素值，

[0244] 所述驱动方法包括：

[0245] 通过所述像素驱动单元驱动像素，以在包括多个像素的预定的像素单元中共享浮动的扩散区域，所述多个像素各自包括光电转换部件，所述浮动扩散区域保持要读出为信号的由像素的每个光电转换部件累积的电荷。

[0246] (10) 一种电子设备，包括：

[0247] 固态成像装置，其包括：

[0248] 像素阵列单元，其包括第一像素和第二像素，所述第一像素与多个颜色分量的各颜色分量对应，所述第二像素具有亮度分量作为主要分量，所述第一像素和第二像素规则地排列在矩阵中；

[0249] 像素驱动单元，其被配置为驱动排列在所述像素阵列单元内的像素；以及

[0250] 信号处理单元，其被配置为通过仅使用从所述第一像素中获取的像素信息来执行预定的加权加法处理并且计算输出图像的像素值。

[0251] 本领域的技术人员应理解的是，只要在所附权利要求或其等同物的范围内，根据设计要求和其他因素，可进行各种修改、组合、次组合以及变更。

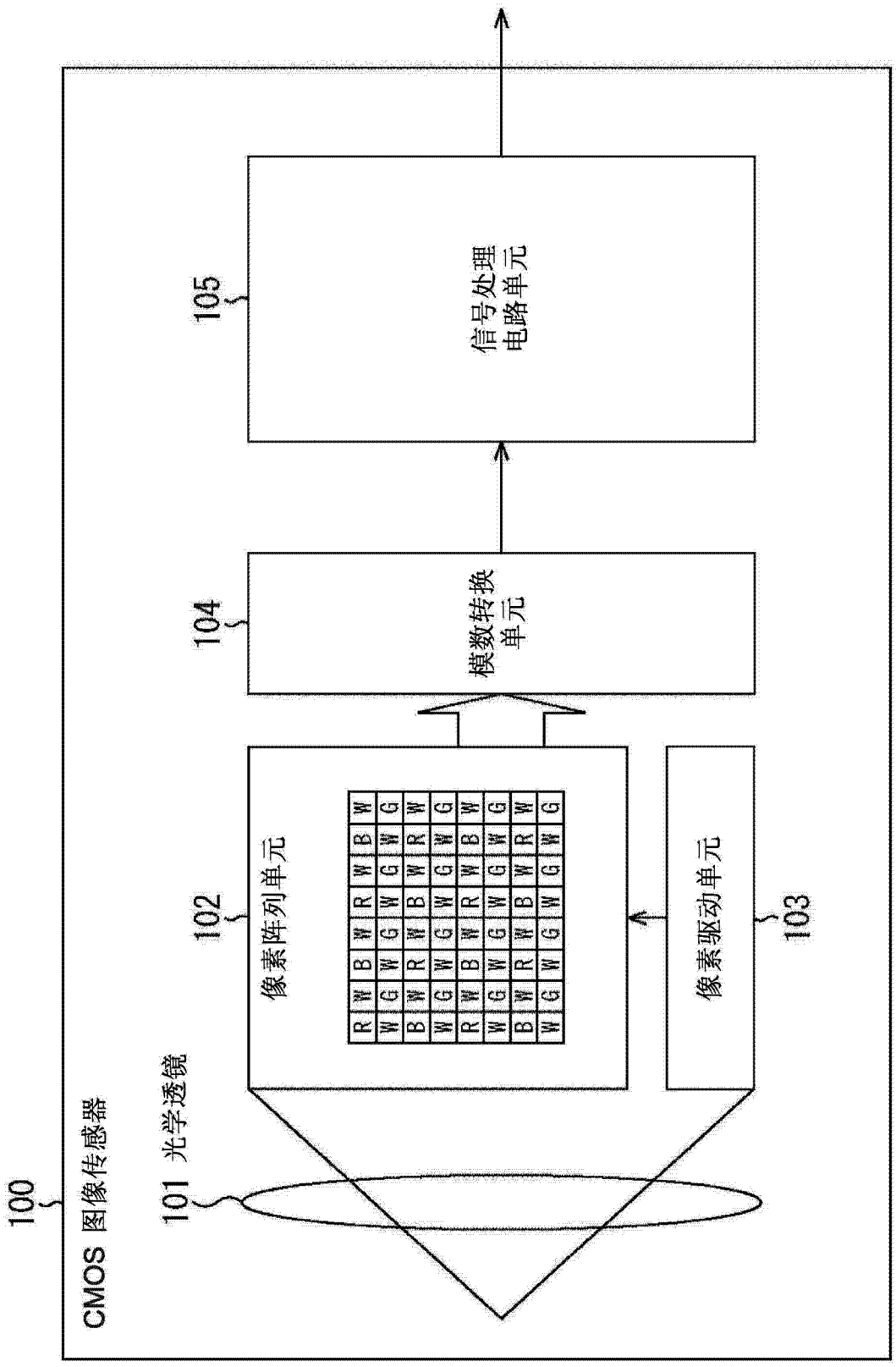

100
CMOS 图像传感器
101 光学透镜
102
像素阵列单元
103
像素驱动单元
104
模数转换单元
105
信号处理电路单元

图 1

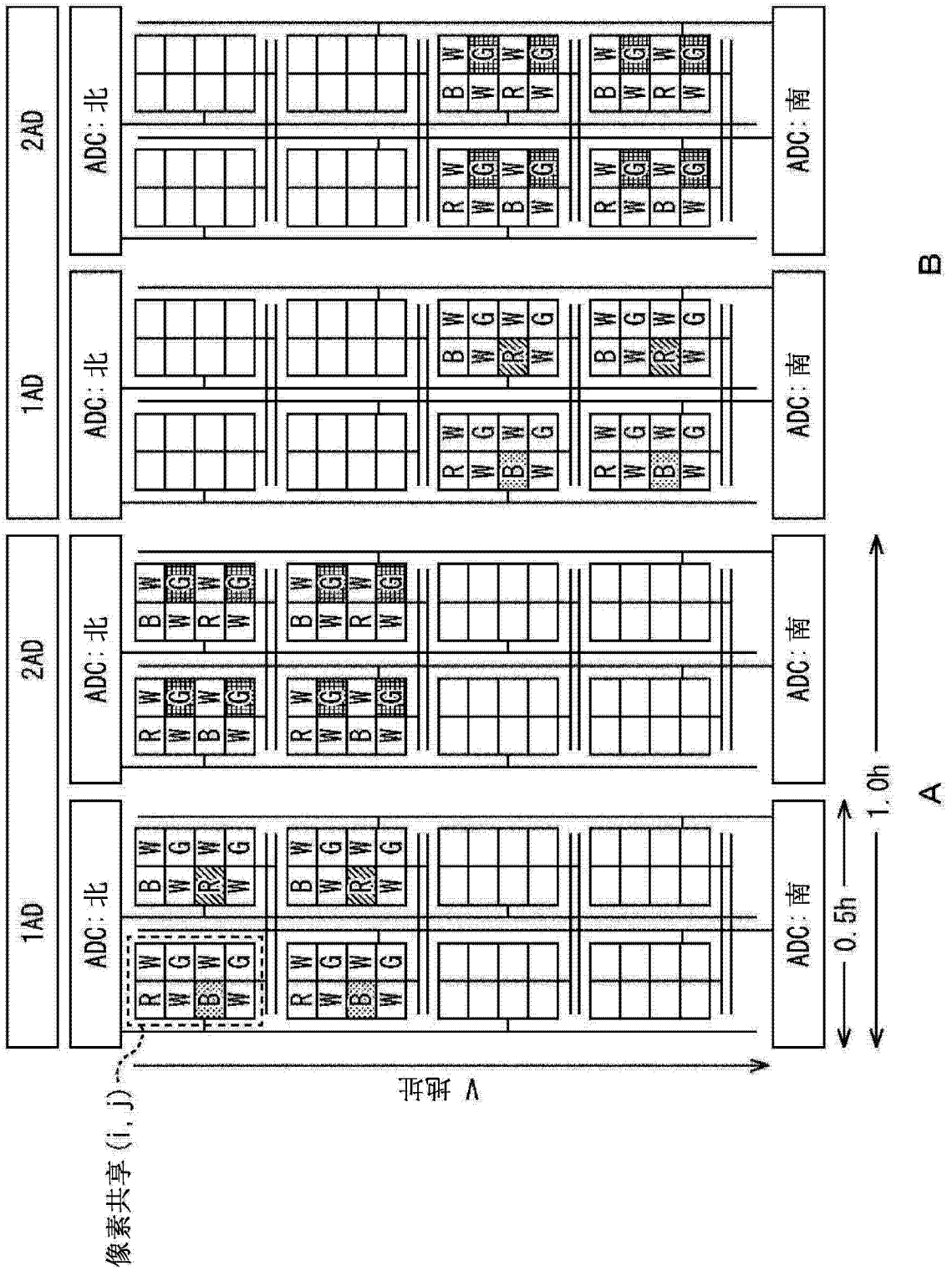


图 2

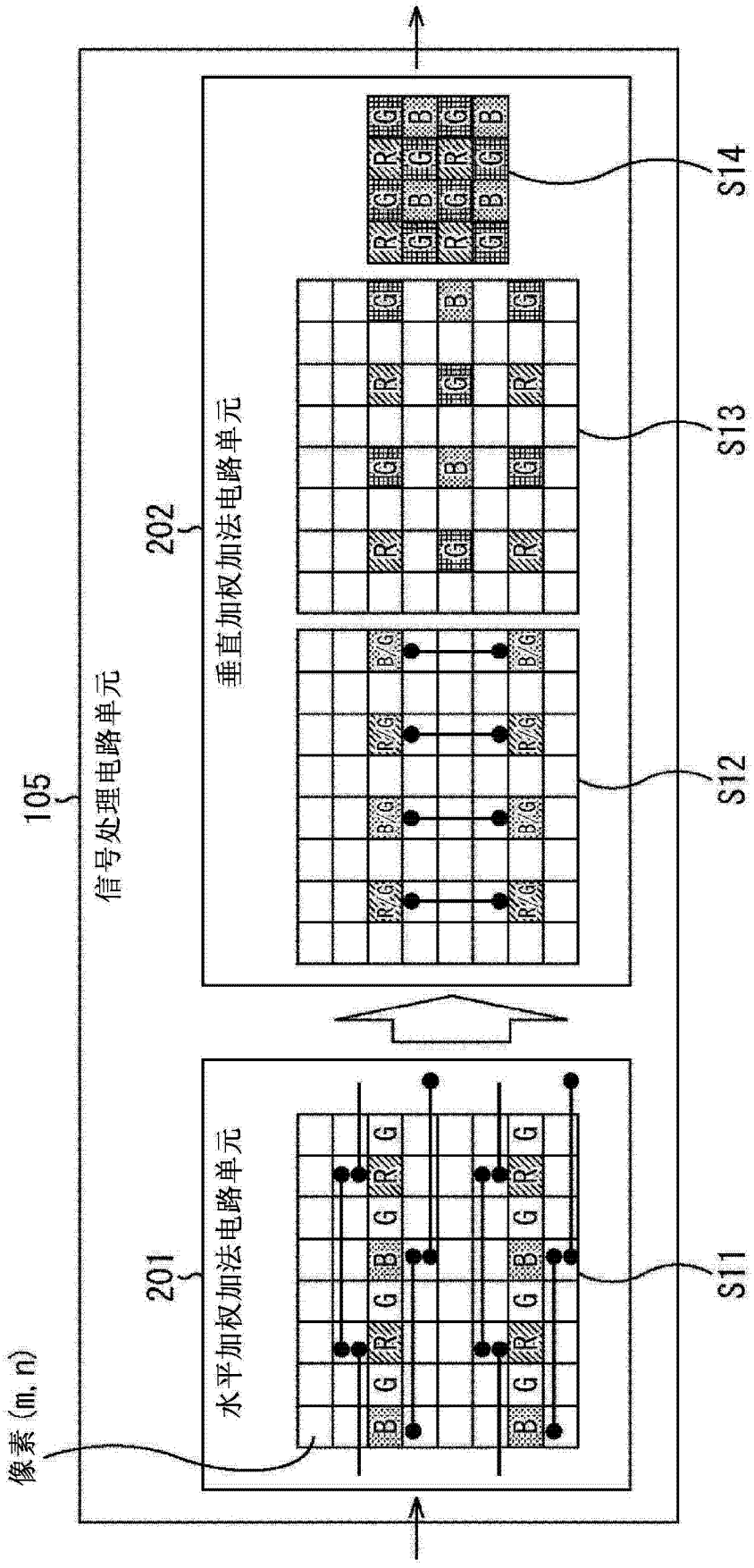

105
信号处理电路单元
201
水平加权加法电路单元
202
垂直加权加法电路单元
像素(m, n)
S11
S12
S13
S14

图 3

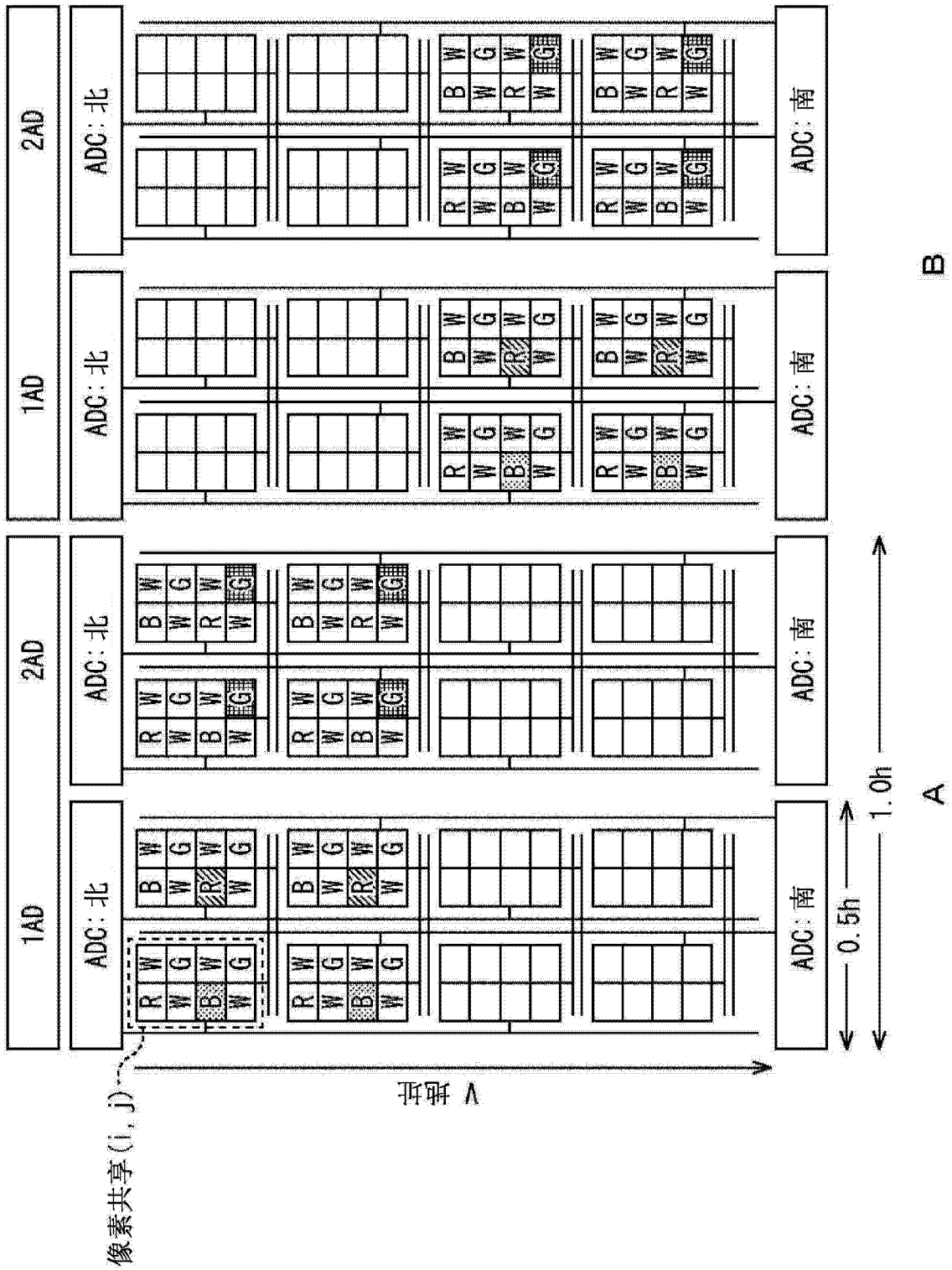


图 4

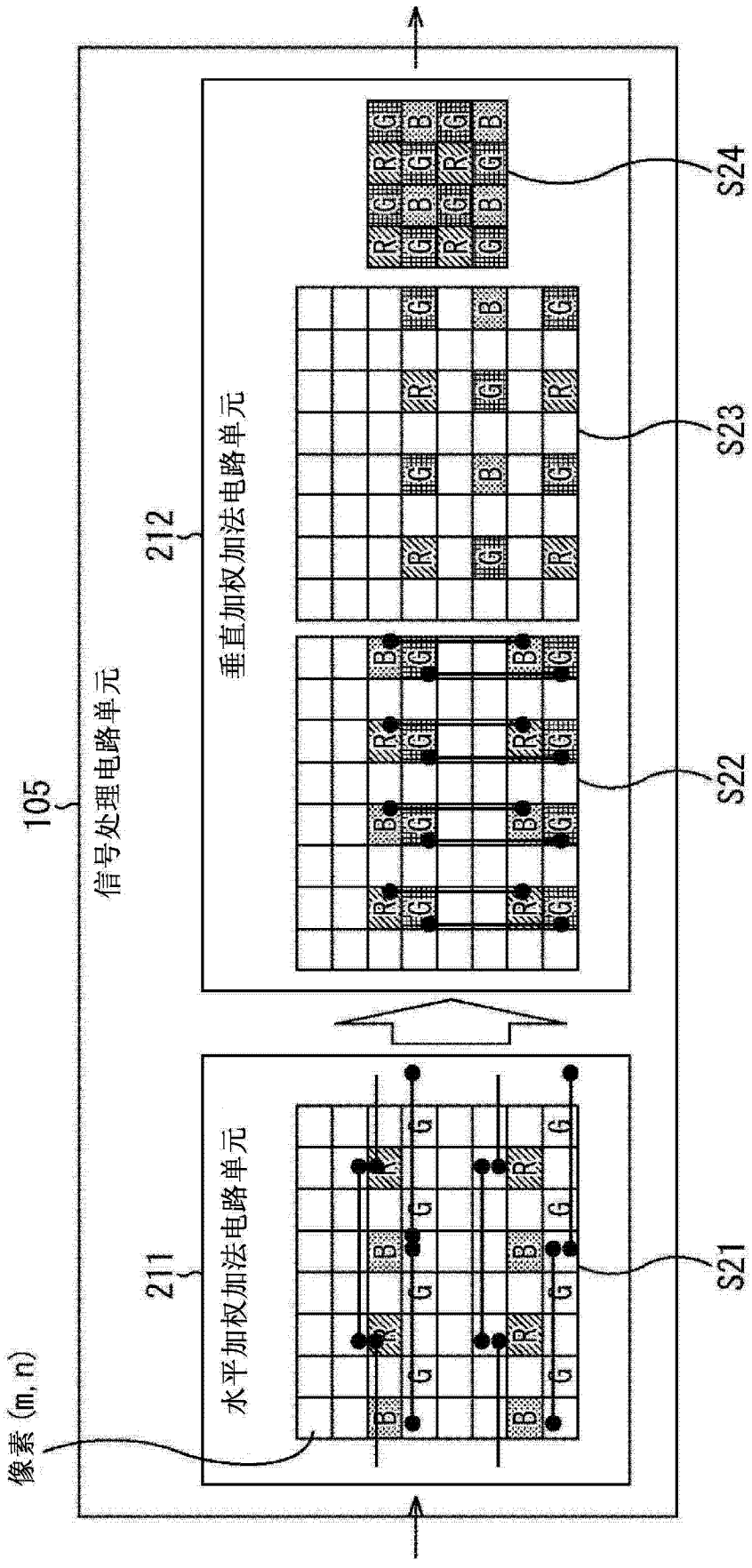

105
信号处理电路单元
211
水平加权加法电路单元
212
垂直加权加法电路单元
像素 (m, n)
S21
S22
S23
S24

图 5

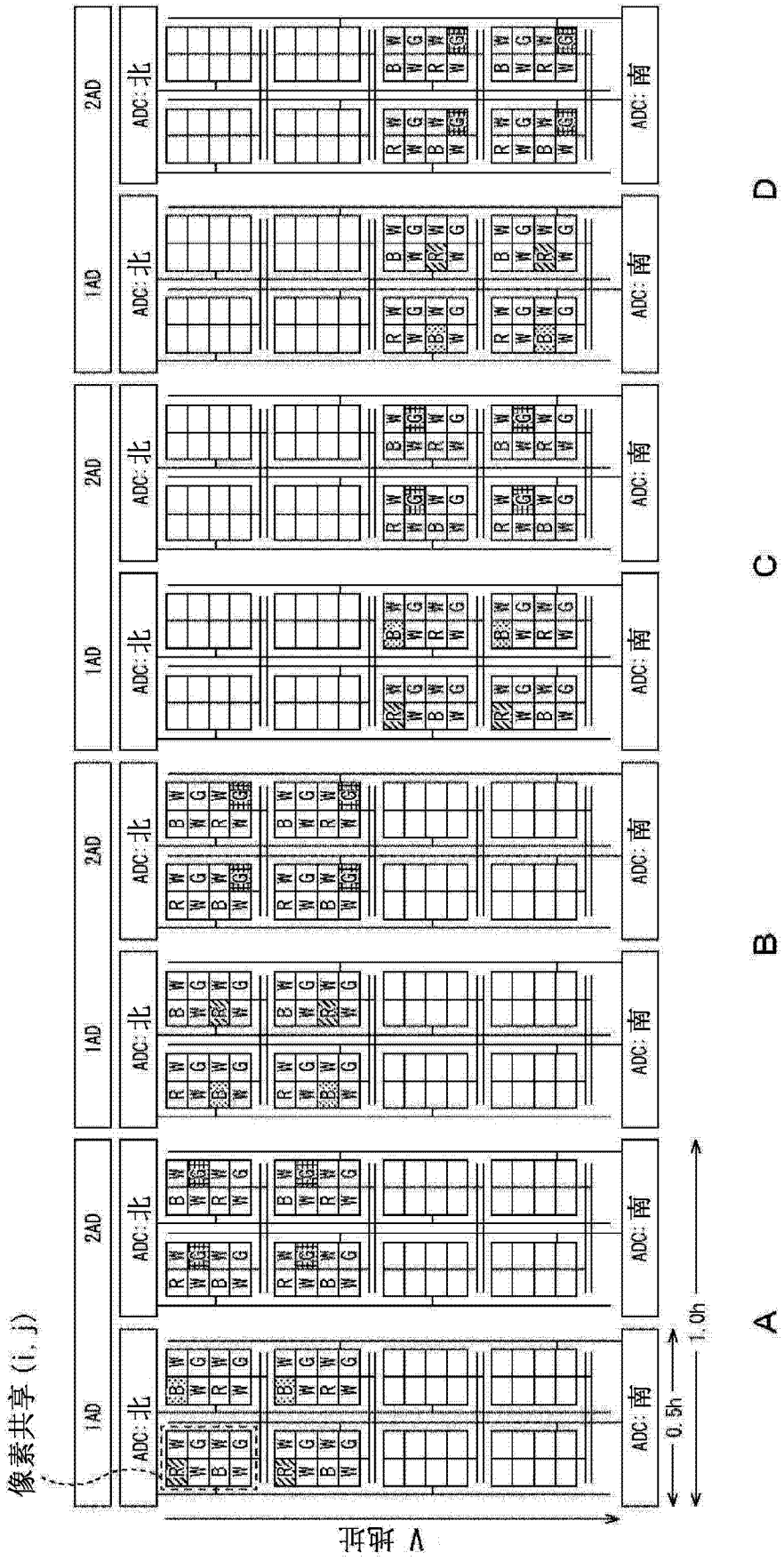


图 6

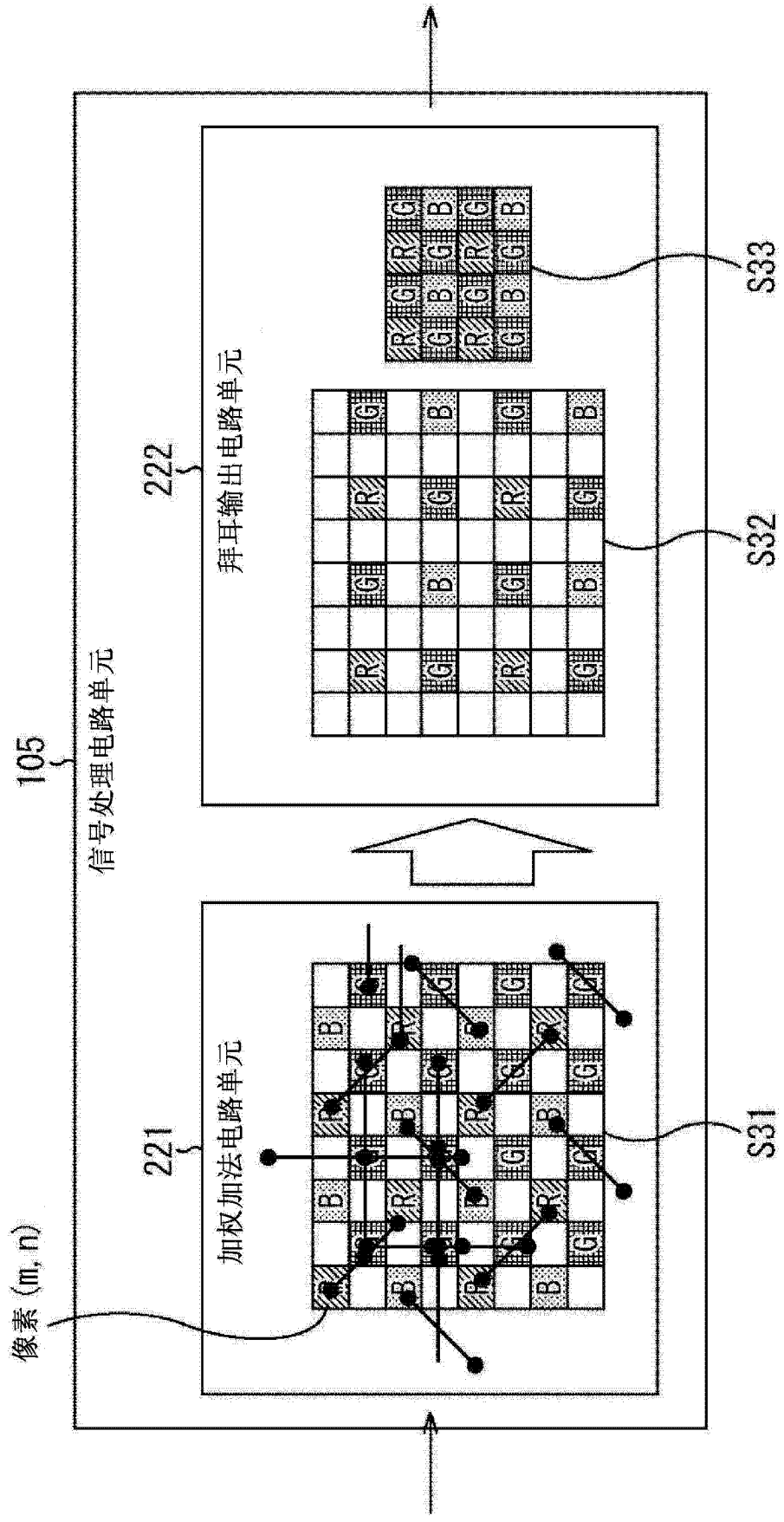


图 7

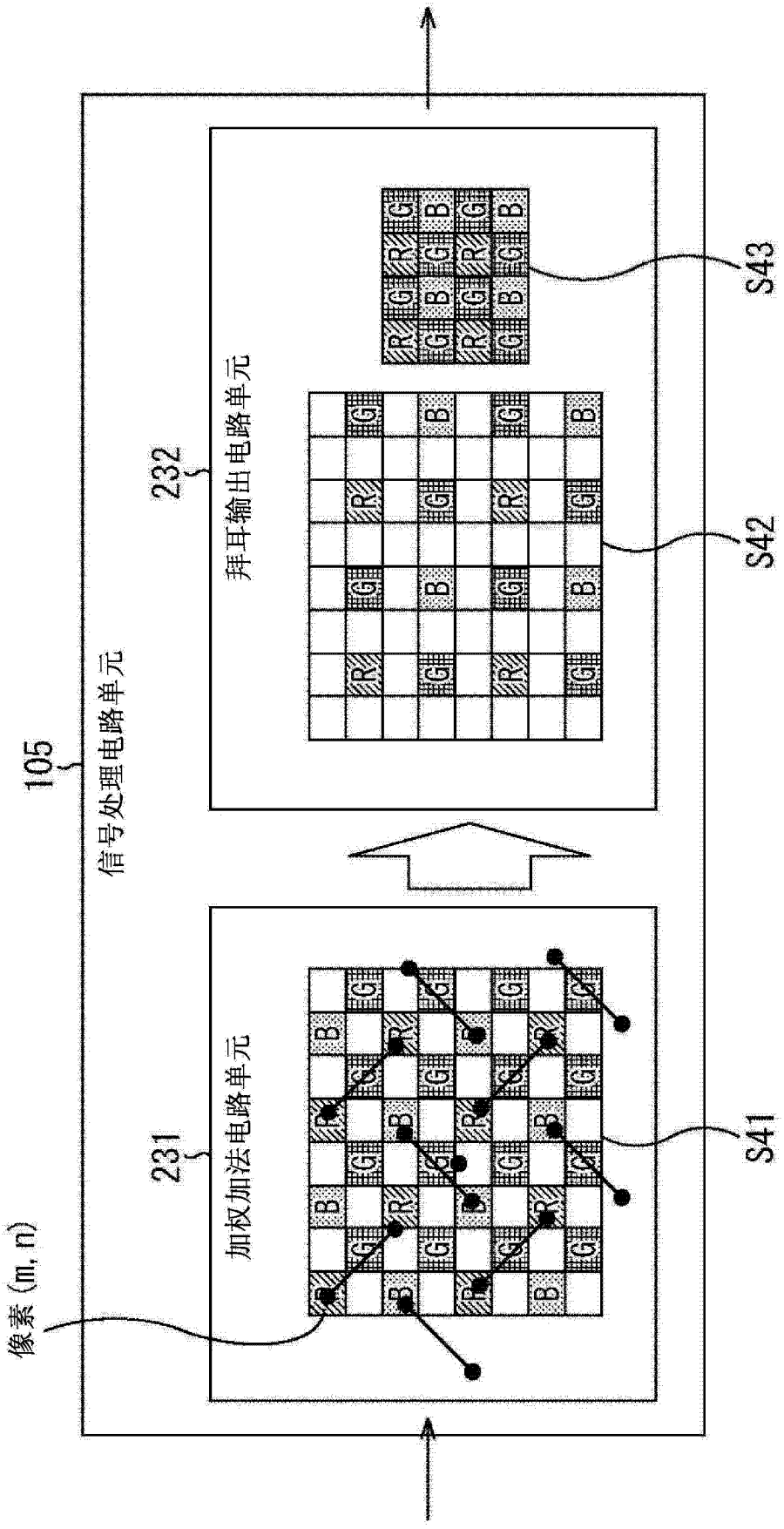


图 8

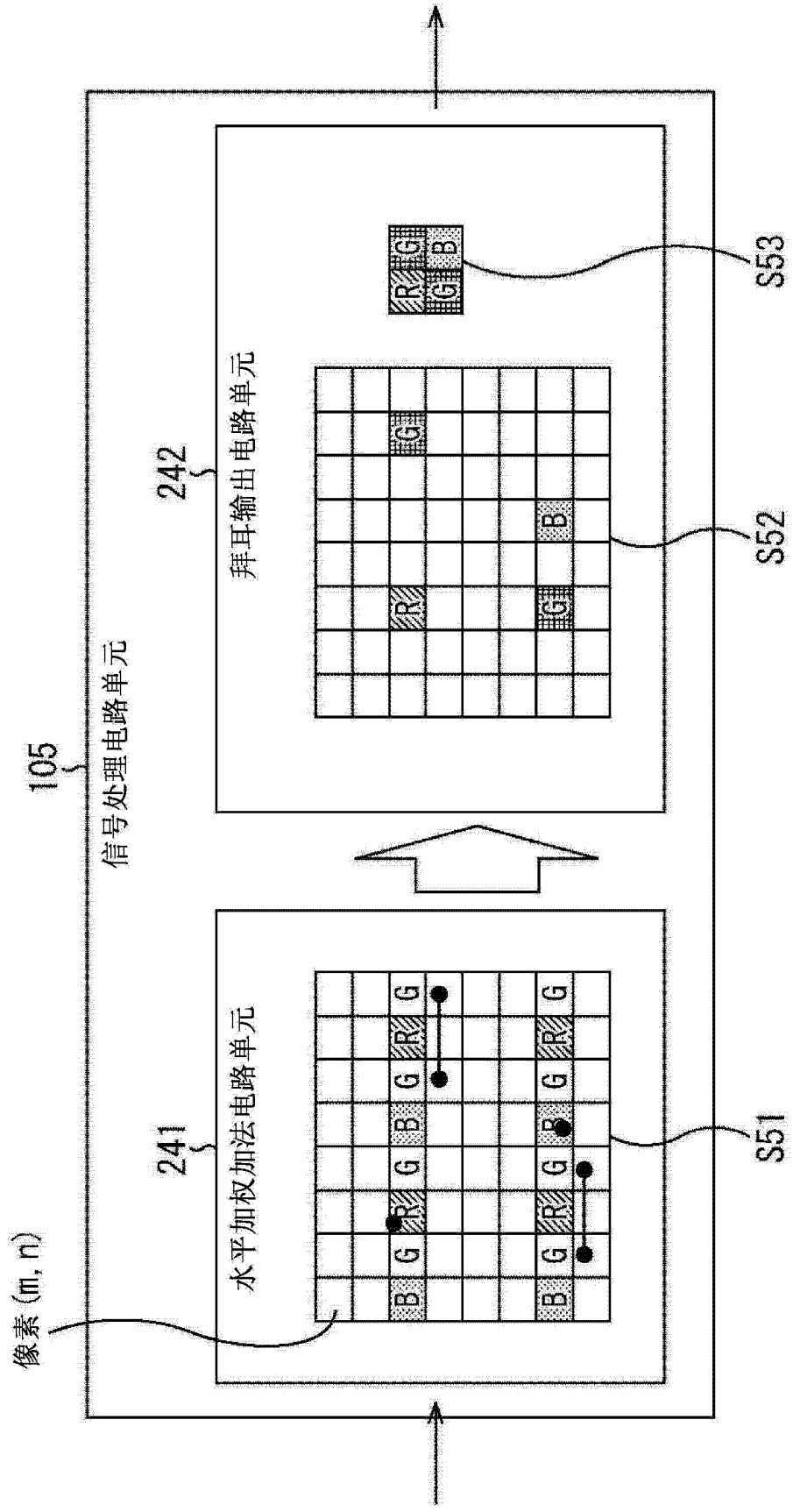


图 9

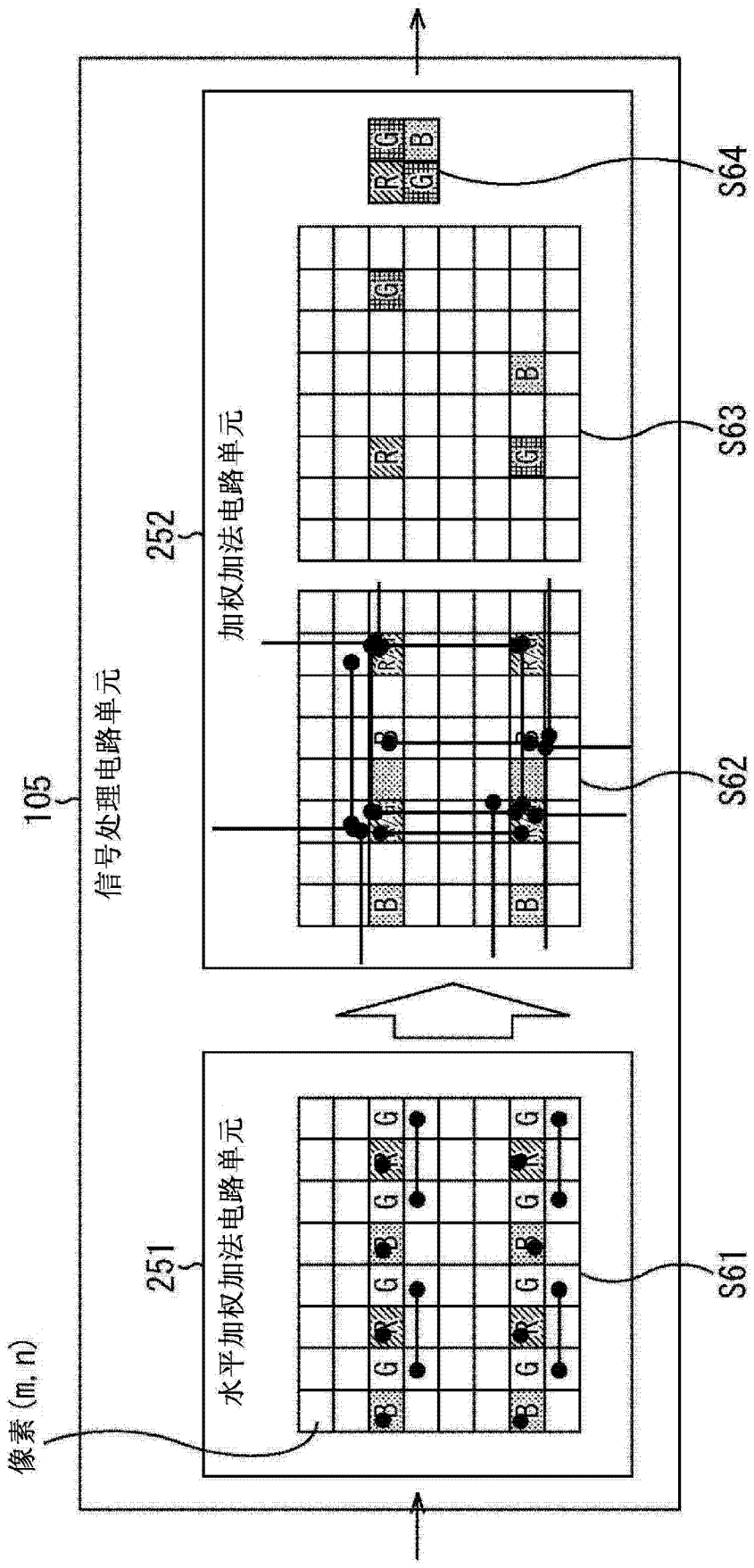

105
信号处理电路单元
252
加权加法电路单元
251
水平加权加法电路单元
像素(m,n)
S61
S62
S63
S64

图 10

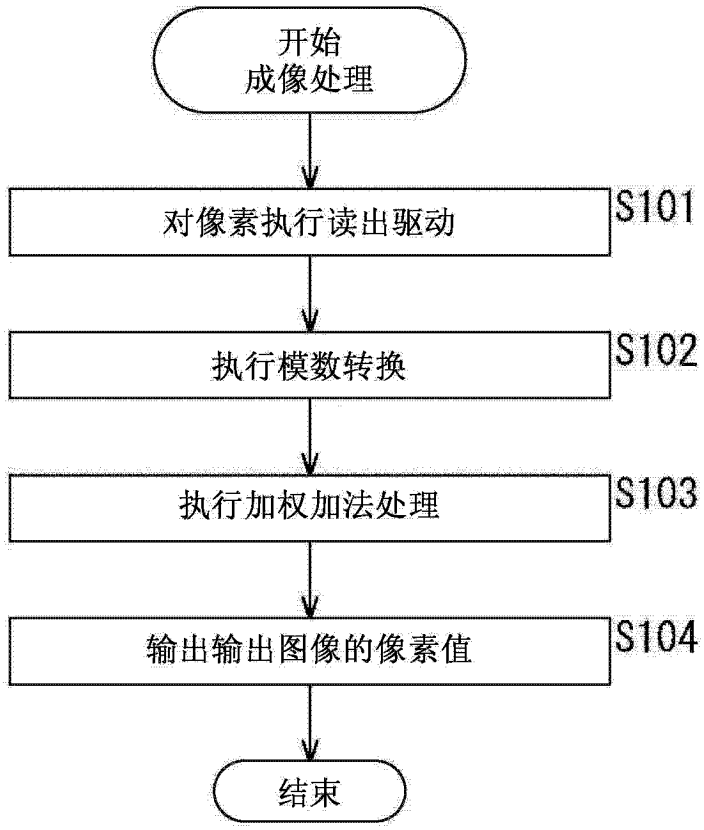

开始
成像处理
对像素执行读出驱动
S101
执行模数转换
S102
执行加权加法处理
S103
输出输出图像的像素值
S104
结束

图 11

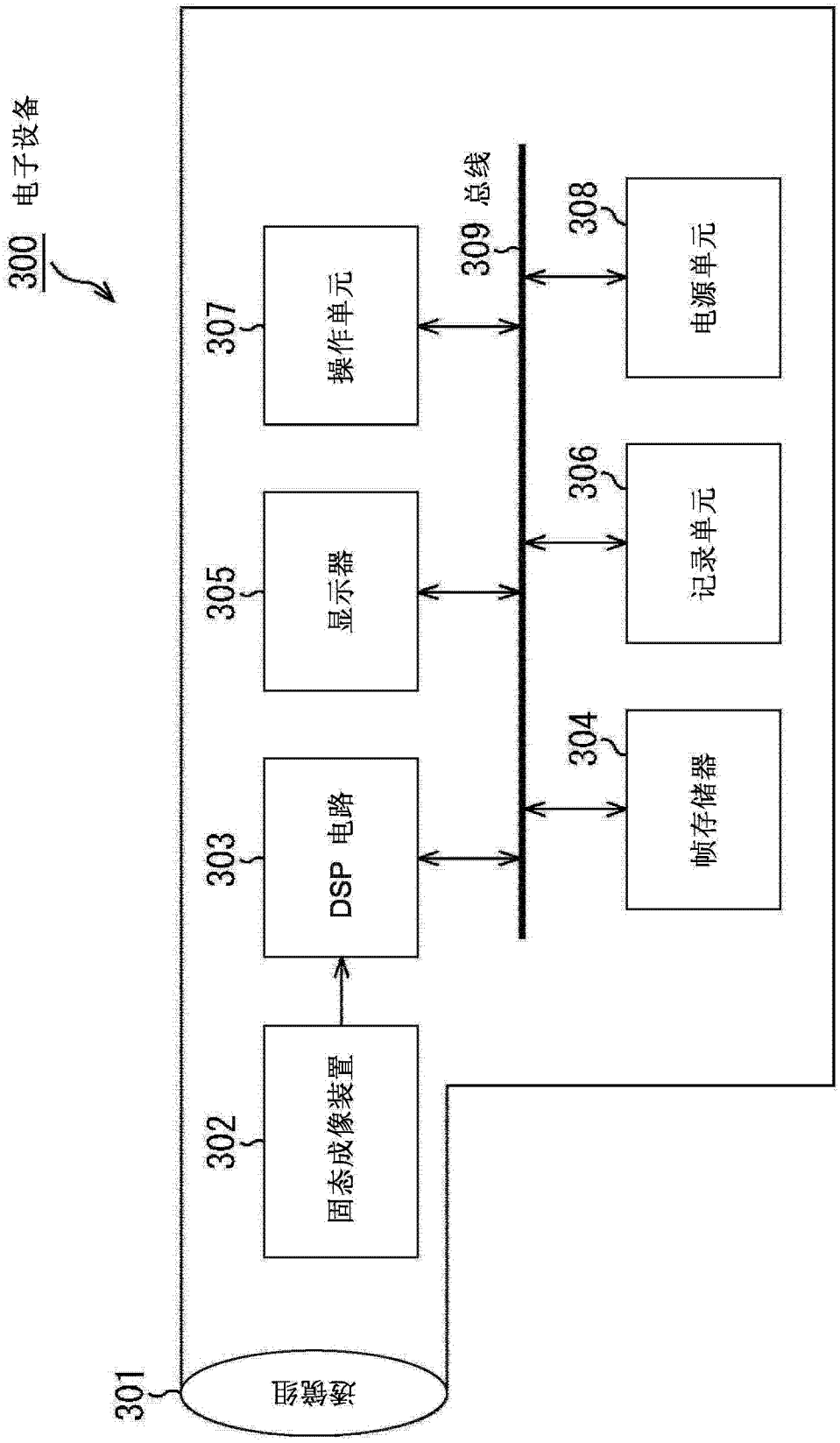

300 电子设备
301 镜头组
302 固态成像装置
303 DSP 电路
304 帧存储器
305 显示器
306 记录单元
307 操作单元
308 电源单元
309 总线

图 12