

[続葉有]

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

sequentially in the shift register (112).

(57) 要約: 圧電素子を構成する壁部で各別に区画された複数のインクチャネル (T c) を有し、複数のインクチャネル (T c) を、当該複数のインクチャネル (T c) それぞれの圧電素子への電圧供給によって各別に駆動するインクジェットヘッド (100) であって、画像形成装置 (1) の本体 (2) からデータ転送される1ビット毎に画素データと固定値データとが交互に配列された画像データのうちの固定値データを間引いた画素データのみが、シフトレジスター (112) に順番に記憶されるように、本体 (2) とシフトレジスター (112) の間を中継する固定値データ除去回路 (111) を有している。

明 細 書

発明の名称： インクジェットヘッド、及び画像形成装置

技術分野

[0001] 本開示は、インクジェットヘッド、及び画像形成装置に関する。

背景技術

[0002] 従来、圧電素子を構成する壁部で各別に区画された複数のインクチャネルを有し、当該複数のインクチャネルを、当該複数のインクチャネルそれぞれの圧電素子への電圧供給によって各別に駆動するインクジェットヘッドが知られている（例えば、特許文献1を参照）。

[0003] この種のインクジェットヘッドとしては、例えば、シアモード型圧電素子を用いたインクジェットヘッド（シアモード型インクジェットヘッドとも称される）が知られている。シアモード型インクジェットヘッドは、圧電部材たる壁部（以下、「駆動壁」と称する）を挟んで、インク吐出を行う圧力室（以下、「インクチャネル」と称する）とインク吐出を行わない空気室（以下、「エアチャネル」と称する）とが交互に配設された構造を有している。当該インクジェットヘッドにおいては、駆動壁の両側面に、インクチャネル内に当該駆動壁に電圧を印加する一方側の電極が配設され、エアチャネル内に当該駆動壁に電圧を印加する他方側の電極が配設され、これによって、圧電素子が構成されている。そして、当該インクジェットヘッドは、当該駆動壁の両側面に配設した当該一対の電極に電圧を印加することにより、当該駆動壁をせん断変形させ、インクチャネル内のインクをノズルから吐出する（図3A、図3B、図3Cを参照して後述）。

[0004] 従来、この種のインクジェットヘッドは、ドライバーICによって、複数のインクチャネルそれぞれの圧電素子に対して、個別に、電圧供給の制御を行っており、これにより、複数のインクチャネルそれぞれを独立に駆動している。

[0005] 当該ドライバーICは、通常、一のインクチャネルを駆動制御する際には

、インクチャネルを膨張させるタイミングで圧電素子の一方の電極（例えば、インクチャネル内に配設された電極）に対して個別に、画像データに応じた駆動電圧を供給し、又、インクチャネルを収縮させるタイミングで圧電素子の他方の電極（例えば、エアチャネル内に配設された電極）に対して基準電圧を供給する構成となっている。そのため、画像形成装置の本体から、ドライバーIC内のシフトレジスターに対しては、画素領域のアドレス順に、1ビット毎に、一方の電極に対応する画素データと他方の電極に対応するゼロフィルデータ（即ち、ダミーデータ）とが交互に配列された画像データが、シリアルにデータ転送される構成となっている（図5を参照して後述）。

先行技術文献

特許文献

[0006] 特許文献1：特開2014-226788号公報

発明の概要

発明が解決しようとする課題

[0007] ところで、この種の画像形成装置においては、印刷画像の高画質化及び印刷の高速化等の要請から、圧電素子に対して電圧供給を行うドライバーICの高速動作が求められている。

[0008] この点、特許文献1等の従来技術においては、ドライバーICの高速動作を実行しようとした場合、ドライバーIC内のシフトレジスターに対するデータ転送の失敗や、ドライバーICから圧電素子に対して電圧供給する際の実出力波形のなまり等が生じるおそれがあった。そして、かかるデータ転送の失敗や出力波形のなまりに起因して、例えば、インクの吐出位置や吐出量にずれが生じ、印刷画像の画質が劣化するおそれがあった。

[0009] 本開示は、上記問題点に鑑みてなされたもので、印刷画像の高画質化及び印刷の高速化等の実現により好適なインクジェットヘッド、及び画像形成装置を提供することを目的とする。

課題を解決するための手段

[0010] 前述した課題を解決する主たる本開示は、

圧電素子を構成する壁部で各別に区画された複数のインクチャンネルを有し、前記複数のインクチャンネルを、当該複数のインクチャンネルそれぞれの前記圧電素子への電圧供給によって各別に駆動するインクジェットヘッドであって、

画像形成装置の本体からデータ転送される画像データをシフトレジスターに記憶して、当該画像データに基づいて、前記複数のインクチャンネルそれぞれの前記圧電素子の一方の電極に対して、個別に駆動電圧を供給する第1の駆動回路と、

前記複数のインクチャンネルそれぞれの前記圧電素子の他方の電極に対して、前記複数のインクチャンネルに共通のコモン電圧を供給する第2の駆動回路と、

を備え、

前記第1の駆動回路は、前記本体からデータ転送される1ビット毎に画素データと固定値データとが交互に配列された前記画像データのうちの前記固定値データを間引いた前記画素データのみが、前記シフトレジスターに順番に記憶されるように、前記本体と前記シフトレジスターの間を中継する固定値データ除去回路を有し、

前記第1の駆動回路と前記第2の駆動回路とは、所定のタイミング指令信号に従って、同期して動作する

インクジェットヘッドである。

[0011] 又、他の局面では、

上記インクジェットヘッドを備える画像形成装置である。

発明の効果

[0012] 本開示に係るインクジェットヘッドは、印刷画像の高画質化及び印刷の高速化等の実現に好適である。

図面の簡単な説明

[0013] [図1]第1の実施形態に係る画像形成装置の構成の一例を示すブロック図

[図2]第1の実施形態に係るヘッド本体の構成の一例を示す分解斜視図

[図3A]第1の実施形態に係るヘッド本体の構成の一例を示す側面断面図

[図3B]第1の実施形態に係るヘッド本体の構成の一例を示す側面断面図

[図3C]第1の実施形態に係るヘッド本体の構成の一例を示す側面断面図

[図4]第1の実施形態に係る駆動部の構成の一例を示す図

[図5A]第1の実施形態に係る固定値データ除去回路の機能について説明する図

[図5B]第1の実施形態に係る固定値データ除去回路の機能について説明する図

[図6A]第1の実施形態に係る固定値データ除去回路の機能について説明する図

[図6B]第1の実施形態に係る固定値データ除去回路の機能について説明する図

[図7A]第1の実施形態に係る固定値データ除去回路の構成の一例を示す図

[図7B]第1の実施形態に係る固定値データ除去回路における書き込み動作及び読み出し動作のシーケンスの一例を示すタイミングチャート

[図8]第1の実施形態に係るグレイスケールコントローラーが参照する画素データと駆動波形パターンデータの変換テーブルの一例を示す図

[図9]図8の駆動波形パターンデータ内における3種類の駆動波形を示す図

[図10]第1の実施形態に係るグレイスケールコントローラーの駆動信号に基づいて、バッファアンプが個別電極に出力する出力波形の一例を示す図

[図11]第1の実施形態に係るグレイスケールコントローラーの駆動信号に基づいて、バッファアンプが個別電極に出力する出力波形の一例を示す図

[図12]第1の実施形態に係るバッファアンプ及びCOMドライバーの構成の一例を示す図

[図13A]従来技術に係るインクジェットヘッドにおいて、1個の圧電素子のみを駆動した場合（左図）と隣り合う2個の圧電素子を同時に駆動した場合（右図）の動作の相違を示す図

[図13B]本実施形態に係るインクジェットヘッドにおいて、1個の圧電素子のみを駆動した場合（左図）と隣り合う2個の圧電素子を同時に駆動した場合（右図）の動作の相違を示す図

[図14]従来技術に係るインクジェットヘッドにおいて、隣接チャネルクロストークが発生した状態の一例を示す図

[図15]従来技術に係るインクジェットヘッドにおいて、負荷チャネルクロストークが発生した状態の一例を示す図

[図16]第2の実施形態に係るインクジェットヘッドの駆動部の構成の一例を示す図

[図17A]第2の実施形態に係る固定値データ除去回路の構成の一例を示す図

[図17B]第2の実施形態に係る固定値データ除去回路の動作時のタイミングチャート

発明を実施するための形態

[0014] 以下に添付図面を参照しながら、本開示の好適な実施形態について詳細に説明する。尚、本明細書及び図面において、実質的に同一の機能を有する構成要素については、同一の符号を付することにより重複説明を省略する。

[0015] （第1の実施形態）

〔画像形成装置の全体構成〕

以下、図1を参照して、本実施形態に係る画像形成装置1の全体構成の一例について説明する。

[0016] 図1は、画像形成装置1の構成の一例を示すブロック図である。

[0017] 画像形成装置1は、本体2と、イエロー、マゼンタ、シアン、ブラックの各色に対応するインクジェットヘッド100Y、100M、100C、100Kとを備えている。インクジェットヘッド100Y、100M、100C、100Kは、それぞれ、信号線19を介して、本体2に制御される。

[0018] インクジェットヘッド100Y、100M、100C、100Kは、それぞれ、駆動部110Y、110M、110C、110K、及び、ヘッド本体120Y、120M、120C、120Kを備えている。尚、以下では、イ

ンクジェットヘッド１００Ｙ，１００Ｍ，１００Ｃ，１００Ｋの各構成は、同様の構成であるものとして、単に、「インクジェットヘッド１００」、「駆動部１１０」、及び「ヘッド本体１２０」と称して説明する。

[0019] 本体２は、ＣＰＵ（Central Processing Unit）１１、ＣＰＵ１１に電氣的に接続されたＲＡＭ（Random Access Memory）１２、ＲＯＭ（Read Only Memory）１３、インターフェース１４、ページメモリー１５、ラインメモリー１６、制御回路１７、及び、駆動信号発生回路１８を備えている。

[0020] ＣＰＵ１１は、ＲＯＭ１３に記憶されているプログラムをＲＡＭ１２に読み出して、当該プログラムに従って画像形成装置１の各部の動作を制御する。

[0021] インターフェース１４は、パーソナルコンピューター等の外部装置４との間でデータの送受信を行う手段であり、各種シリアルインターフェース、各種パラレルインターフェースのいずれか又はこれらの組み合わせで構成される。

[0022] ページメモリー１５は、外部装置４から送信された印刷対象の画像データを記憶する。

[0023] ページメモリー１５が記憶する「画像データ」は、印刷対象の画像全体のデータであり、例えば、印刷対象の画像の二次元面内における位置を示すアドレスデータと、当該位置における画素データと、を含んで構成される。「画素データ」は、「画像データ」のうちの画素領域毎の階調データであり、ヘッド本体１２０の各ノズルが一画素領域において吐出するインク吐出量に相当する。換言すると、一のノズルの一画素領域における吐出動作は、一の「画素データ」に基づいて、制御される。尚、本実施形態に係る「画素データ」は、３ビットで１画素領域の階調を表す。

[0024] ラインメモリー１６は、記録媒体に画像を印刷する際、ページメモリー１５が記憶する画像データのうち、ヘッド本体１２０の各ノズルに吐出させる対象の画素データを一時的に記憶するメモリーである。そして、ラインメモリー１６は、記憶する画像データを駆動部１１０に対して順次データ転送す

る。尚、ページメモリー１５からラインメモリー１６へのデータ転送は、ＣＰＵ１１の制御によって実行される。

[0025] ラインメモリー１６から駆動部１１０にデータ転送される「画像データ」は、印刷対象の画像内のアドレス順に、１ビット毎に、「画素データ」（即ち、「０」又は「１」を示す１ビットデータ）と「ゼロフィルデータ」（即ち、「０」を示す１ビットデータ）とが交互に配列したデータ構造となっている（詳細は、図５Ｂ、図６Ｂを参照して後述）。

[0026] 尚、本実施形態に係る「画素データ」は、３ビットで１画素領域の階調を表す構成となっており、ラインメモリー１６から駆動部１１０へは、３本の信号線１９（図１では１本のみを示す）によって、３ビットの画素データが並列にデータ転送される。

[0027] 制御回路１７は、各種動作を制御する制御信号を駆動部１１０に供給する。

[0028] 本実施形態に係る制御回路１７は、ラインメモリー１６から駆動部１１０に画像データを転送する際の転送タイミングを制御するための転送クロック信号INPUT_CLK、シフトレジスター１１２からラッチ回路１１３に対して画像データを転送する際の転送タイミングを制御するためのラッチ信号LAT、グレイスケールコントローラー１１４において駆動電圧の供給タイミングを制御する駆動クロック信号GS_CLK、リセット信号RS等を駆動部１１０に対して供給する（図４を参照して後述）。

[0029] 駆動信号発生回路１８は、駆動電圧の波形を表す駆動信号（本発明の「タイミング指令信号」に相当）を駆動部１１０に供給する。尚、インクジェットヘッド１００は、当該駆動信号を契機として、各インクチャネルの圧電素子への電圧供給を実行する。

[0030] 本実施形態に係る駆動信号発生回路１８は、非吐出波形を含む駆動信号pulse_timing0、非動作波形を含む駆動信号pulse_timing1、及び、吐出波形を含む駆動信号pulse_timing2の３種類の駆動信号を駆動部１１０に供給する（図４、図９を参照して後述）。

[0031] [ヘッド本体の構成]

次に、図2、図3A、図3B、図3Cを参照して、ヘッド本体120の構成について説明する。本実施形態では、典型的な一例として、シアモード型圧電素子で駆動するヘッド本体120の構成について、説明する。

[0032] 図2は、ヘッド本体120の構成の一例を示す分解斜視図である。

[0033] 本実施形態に係るヘッド本体120は、基材121、ノズルプレート122、及び、カバープレート123を備えている。

[0034] 基材121は、例えば、2枚の板状の圧電部材121a、121bが接着された構造を有している。圧電部材121a、121bは、例えば、チタン酸ジルコン酸鉛等の圧電材料によって構成されている。圧電部材121aと圧電部材121bとは、厚さ方向において互いに逆方向に分極されている。

[0035] 基材121の表面には、当該基材121の短手方向に延びた第1溝Tcと第2溝Tdとが交互に形成されている。そして、第1溝Tcがインク吐出を行うインクチャネル（以下、「インクチャネルTc」と称する）を構成し、第2溝Tdがインク吐出を行わないエアチャネル（以下、「エアチャネルTd」と称する）を構成する。又、インクチャネルTcとエアチャネルTdとの間に介在する圧電部材121a、121bによって形成される壁部Teが、駆動壁（以下、「駆動壁Te」と称する）を構成する。

[0036] 尚、ヘッド本体120の各インクチャネルTcには、インクタンク（図示せず）からインクの供給が行われ、各インクチャネルTcは、常時、インクが充填された状態で保持される。

[0037] 本実施形態に係るヘッド本体120は、128個のインクチャネルTcと、127個のエアチャネルTd_{ch1}～Td_{ch127}とを有している。尚、図2では、説明の便宜として、4個のインクチャネルTcと3個のエアチャネルTdのみを示している。以下、128個のインクチャネルTcをそれぞれ、インクチャネルTc_{ch1}～Tc_{ch128}と称し、127個のエアチャネルTdをそれぞれ、インクチャネルTd_{ch1}～Td_{ch127}と称して説明する。

- [0038] ノズルプレート122は、基材121のインクチャンネルTc及びエアチャンネルTdが延在する方向の端面に接着され、各インクチャンネルTcの吐出口であるノズルTfの列を構成する。各ノズルTfは、基材121の各インクチャンネルTcと連通するように、各インクチャンネルTcに対応する位置に形成されている。そして、インクチャンネルTcに貯留されたインクは、当該ノズルTfを介して吐出される。一方、エアチャンネルTdからは、インクの吐出を行わないため、ノズルプレート122のエアチャンネルTdに対応する位置には、ノズルTfが形成されていない。
- [0039] カバープレート123は、インクチャンネルTc及びエアチャンネルTdを覆うように、基材121の上部に取り付けられている。
- [0040] 図3A～図3Cは、ヘッド本体120の構成の一例を示す側面断面図である。尚、図3A～図3Cは、図2のヘッド本体120をF-Fの位置で切断した断面図に相当する。
- [0041] ヘッド本体120には、各インクチャンネルTc__ch1～Tc__ch128を個別に駆動するため、第1電極Tg__ch1～Tg__ch128及び第2電極Th__ch0～Th__ch128が配設されている（図2では図示せず）。
- [0042] 第1電極Tg__ch1～Tg__ch128及び第2電極Th__ch0～Th__ch128は、駆動壁Teを挟んで互いに対向するように、インクチャンネルTc__ch1～Tc__ch128及びエアチャンネルTd__ch1～Td__ch127それぞれの側面に形成された電極対である。つまり、駆動壁Te、第1電極Tg、及び第2電極Thによって、一のインクチャンネルTcを駆動するための圧電素子を構成する。
- [0043] 第1電極Tg__ch1～Tg__ch128は、圧電部材Taと圧電部材Tbの両方を跨ぐように、各インクチャンネルTc__ch1～Tc__ch128の側面に形成されている。第1電極Tg__ch1～Tg__ch128は、それぞれ、互いに電氣的に分離した状態となるように形成され、個別に駆動部110のドライバーIC110A（図4を参照して後述）に配線接続されて

いる（以下、「個別電極 T_g」とも称する）。換言すると、各個別電極 T_g__ch1～T_g__ch128 には、ドライバー IC110A により、個別に電圧供給が行われる。

[0044] 又、第2電極 T_h__ch0～T_h__ch128 は、圧電部材 T_a と圧電部材 T_b の両方を跨ぐように、各エアチャネル T_d__ch1～T_d__ch127 の側面に形成されている。第2電極 T_h__ch0～T_h__ch128 は、それぞれ、互いに電氣的に接続され、共用配線によって、駆動部 110 の COM ドライバー 110B（図4を参照して後述）に配線接続されている（以下、「共通電極 T_h」とも称する）。換言すると、各共通電極 T_h__ch0～T_h__ch128 には、COM ドライバー 110B により、共通に電圧供給が行われる。

[0045] 図3A～図3Cは、それぞれ、シアモード型インクジェットヘッド100の基本動作を示しており、図3Aは、駆動壁 T_e がせん断変形していない状態を表し、図3B及び図3Cは、駆動壁 T_e が屈曲（せん断変形）している状態を表す。

[0046] 駆動時においては、駆動部 110 は、個別電極 T_g と共通電極 T_h との間に電位差が生じるように、個別電極 T_g 及び共通電極 T_h それぞれに対して電圧を供給する。これによって、圧電部材の駆動壁 T_e は、印加された電圧に応じて圧電部材 T_a と圧電部材 T_b の間の接着部を中心として屈曲する。そして、圧電部材の駆動壁 T_e の屈曲によって、インクチャネル T_c の容積が変化し、インクがノズル T_f から吐出される。

[0047] 駆動部 110 は、インクチャネル T_c__ch2 からインク吐出する際には、例えば、まず、図3Bに示すように、個別電極 T_g__ch2 に +V_{H2} 電圧を供給し、共通電極 T_h__ch1、T_h__ch2 に基準電圧（GND）を供給することで、駆動壁 T_e をせん断変形させてインクチャネル T_c__ch2 の容積を膨張させる。

[0048] 駆動部 110 は、その後に、図3Cに示すように、個別電極 T_g__ch2 に基準電圧（GND）を供給し、共通電極 T_h__ch1、T_h__ch2 に+

Vcom電圧 (<+VH2) を供給することで、駆動壁Teをせん断変形させてインクチャネルTc__ch2の容積を収縮させる。これにより、インクチャネルTc__ch2内のインクに高い圧力がかかり、ノズルTfからインクが吐出される。

[0049] 本実施形態に係るインクジェットヘッド100は、このように、個別電極Tg__ch1～Tg__ch128と共通電極Th__ch0～Th__ch128により、各インクチャネルTc__ch1～Tc__ch128の壁部Teに、各別の圧電素子を構成することによって、各インクチャネルTc__ch1～Tc__ch128を個別に駆動する。

[0050] [駆動部の構成]

次に、図4～図12を参照して、本実施形態に係る駆動部110の構成の一例について説明する。

[0051] 図4は、駆動部110の構成の一例を示す図である。

[0052] 本実施形態に係る駆動部110は、ドライバーIC110A（本発明の「第1の駆動回路」に相当）と、COMドライバー110B（本発明の「第2の駆動回路」に相当）とを含んで構成される。

[0053] ドライバーIC110Aは、各インクチャネルTc__ch1～Tc__ch128の個別電極Tg__ch1～Tg__ch128それぞれに対して供給する駆動電圧を生成し、当該駆動電圧を個別電極Tg__ch1～Tg__ch128へ各別に供給する。

[0054] 一方、COMドライバー110Bは、各インクチャネルTc__ch1～Tc__ch128の共通電極Th__ch0～Th__ch128へ供給するコモン電圧を生成し、当該コモン電圧を共通電極Th__ch0～Th__ch128へ共通に供給する。

[0055] 尚、ドライバーIC110AとCOMドライバー110Bとは、駆動信号発生回路18から出力される駆動信号（即ち、インクチャネルTcの膨張及び収縮のタイミングを指令する信号）に従って、同期して動作する（図12を参照して後述）。

[0056] ドライバー I C 1 1 0 A は、固定値データ除去回路 1 1 1、シフトレジスタ 1 1 2、ラッチ回路 1 1 3、グレースケールコントローラ 1 1 4、及び、バッファアンプ 1 1 5 を備えている。

[0057] <固定値データ除去回路 1 1 1 の構成>

固定値データ除去回路 1 1 1 は、シフトレジスタ 1 1 2 に対して、ラインメモリ 1 6 からデータ転送される画像データ INPUT_DATA のうちのゼロフィルデータが間引かれた画像データ INPUT_DATA2 のみを取得させる。

[0058] 図 5 A、図 5 B、図 6 A、図 6 B は、固定値データ除去回路 1 1 1 の機能について説明する図である。

[0059] 図 5 A、図 5 B は、従来技術に係るインクジェットヘッド P 1 0 0 における本体 2 からドライバー I C P 1 1 0 へのデータ転送の態様を示している。

[0060] 図 6 A、図 6 B は、本実施形態に係るインクジェットヘッド 1 0 0 における本体 2 からドライバー I C 1 1 0 へのデータ転送の態様を示している。

[0061] 図 5 B、図 6 B に示すように、本体 2 のラインメモリ 1 6 からドライバー I C (P 1 1 0 又は 1 1 0) にデータ転送される画像データ INPUT_DATA は、通常、画素領域のアドレス順に、1 ビット毎に、「画素データ」（即ち、「0」又は「1」を示す 1 ビットデータ）と「ゼロフィルデータ」（即ち、「0」を示す 1 ビットデータ）とが交互に配列したデータ構造となっている。当該画像データ INPUT_DATA は、例えば、1 ビット毎に、2 5 5 番地のアドレスの画素データ D 2 5 5、ゼロフィルデータ、2 5 4 番地のアドレスの画素データ D 2 5 4、ゼロフィルデータ、2 5 3 番地のアドレスの画素データ D 2 5 3 . . . の順に、転送クロック信号 INPUT_CLK と同期して、データ転送される。

[0062] 又、ドライバー I C (P 1 1 0 又は 1 1 0) には、本体 2 から、当該画像データ INPUT_DATA と共に、当該画像データ INPUT_DATA の転送クロック信号（以下、「第 1 転送クロック信号」と称する）INPUT_CLK が入力される。

[0063] 尚、「画素データ」は、上記したように、「画像データ」のうちの画素領域毎の階調データであり、ヘッド本体 1 2 0 の各インクチャネル T c __ c h

1～Tc__ch128が一画素領域において吐出するインク吐出量に相当する。換言すると、ドライバーIC（P110又は110）は、「画素データ」に基づいて、各インクチャネルTc__ch1～Tc__ch128に設けられた個別電極Tg__ch1～Tg__ch128に供給する駆動電圧を決定する。

[0064] 又、「ゼロフィルデータ」（以下、「固定値データ」とも称する）は、共通電極Th__ch0～Th__ch128への電圧供給タイミングを、個別電極Tg__ch1～Tg__ch128への電圧供給タイミングと同期させるために入力されるデータであり、通常、「0」等の固定値が設定される。

[0065] 従来技術に係るインクジェットヘッドP100においては、図5Bに示すように、ドライバーICP110内のシフトレジスターは、第1転送クロック信号INPUT_CLKと同期して、「画素データ」と「ゼロフィルデータ」の両方を含む画像データINPUT_DATAを取得している。そのため、シフトレジスターに対するデータ転送速度（即ち、第1転送クロック信号INPUT_CLKのクロック周波数）が高速化した場合には、転送失敗等が発生する可能性がある。

[0066] 本実施形態に係るインクジェットヘッド100においては、かかる観点から、固定値データ除去回路111を用いて、ラインメモリー16からデータ転送される1ビット毎に画素データとゼロフィルデータとが交互に配列した画像データINPUT_DATAのうち、画素データINPUT_DATA2のみをシフトレジスター112に記憶させる。

[0067] 固定値データ除去回路111は、例えば、ラインメモリー16とシフトレジスター112の間に介在し、ラインメモリー16からデータ転送される画像データINPUT_DATAを、第1転送クロック信号INPUT_CLKに同期して取得する。そして、固定値データ除去回路111は、取得した画像データINPUT_DATAのうち偶数番地又は奇数番地のいずれか一方の画像データINPUT_DATA2のみを、第1転送クロック信号INPUT_CLKを1/2分周した転送クロック信号（以下、「第2転送クロック信号」と称する）INPUT_CLK2と同期して、シフトレジスター112にデータ転送する。

[0068] これによって、固定値データ除去回路 111 は、シフトレジスタ 112 に対して、ラインメモリー 16 からデータ転送される画像データ INPUT_DATA のうちゼロフィルデータが間引かれた画素データ INPUT_DATA2 のみを取得させることになる。換言すると、これによって、シフトレジスタ 112 にデータ転送されるデータ量を半減すると共に、シフトレジスタ 112 の動作速度を低下させる。

[0069] 固定値データ除去回路 111 の回路構成としては、画像データの書き込み動作と画像データの読み出し動作とを同時に実行可能に構成された S R A M (以下、デュアルポート S R A M と称される)、又は、分周回路 (第 2 の実施形態において後述) 等が適用し得る。

[0070] 図 7 A は、本実施形態に係る固定値データ除去回路 111 の構成の一例を示す図である。又、図 7 B は、固定値データ除去回路 111 における書き込み動作及び読み出し動作のシーケンスの一例を示すタイミングチャートである。

[0071] 本実施形態に係る固定値データ除去回路 111 は、例えば、デュアルポート S R A M 111 A 及びメモリーコントローラー 111 B を含んで構成される。尚、ここでは、メモリーコントローラー 111 B は、デュアルポート S R A M 111 A の動作を制御するべく設けられている。

[0072] 尚、図 7 B のタイミングチャートは、それぞれ、以下の信号波形を表す。

INPUT_DATA : ラインメモリー 16 から入力された画像データ (D255, D254, D253, D252...D1, D0 は、対応するアドレスの画素データを表す)

W_ADDRESS : デュアルポート S R A M 111 A 内への書き込みアドレス指令

INPUT_CLK : ラインメモリー 16 から入力される第 1 転送クロック信号

R_ADDRESS : デュアルポート S R A M 111 A 内からの読み出しアドレス指令

DATA_OUT(INPUT_DATA2) : デュアルポート S R A M 111 A からシフトレジスタ 112 に出力する画像データ (D255, D254, D253, D252...D1, D0 は、対応するアドレスの画素データを表す)

CLK_OUT(INPUT_CLK2) : デュアルポートSRAM111Aからシフトレジスタ112に出力する第2転送クロック信号

[0073] 本実施形態に係る固定値データ除去回路111においては、まず、メモリーコントローラー111Bが、ラインメモリー16からデータ転送される画像データINPUT_DATAを、第1転送クロック信号INPUT_CLKに同期して取得する。そして、メモリーコントローラー111Bは、当該画像データINPUT_DATAを、デュアルポートSRAM111Aのデータ書き込み用の入力端子WDATAに対して順次データ転送する。又、メモリーコントローラー111Bは、第1転送クロック信号INPUT_CLKを、デュアルポートSRAM111Aの書き込みクロック信号用の入力端子WCLKに対して順次データ転送する。又、メモリーコントローラー111Bは、画像データINPUT_DATAが書き込まれるデュアルポートSRAM111A内におけるアドレスのインクリメント指令を、当該第1転送クロック信号INPUT_CLKに同期してデュアルポートSRAM111Aの書き込みアドレス用の入力端子W_ADDRESSに対して順次出力する。

[0074] 又、メモリーコントローラー111Bは、第1転送クロック信号INPUT_CLKを1/2分周した第2転送クロック信号INPUT_CLK2を生成し、当該第2転送クロック信号INPUT_CLK2をデュアルポートSRAM111Aの読み出しクロック信号用の入力端子RCLKに対して順次出力する。又、メモリーコントローラー111Bは、画像データINPUT_DATA2が読み出されるデュアルポートSRAM111A内におけるアドレスのインクリメント指令を、奇数番地を間引いた状態で、第2転送クロック信号INPUT_CLKに同期してデュアルポートSRAM111Aの読み出しアドレス用の入力端子R_ADDRESSに対して順次出力する。

[0075] つまり、メモリーコントローラー111Bは、デュアルポートSRAM111Aに書き込んだ画像データINPUT_DATAのうちの偶数番地（又は奇数番地）のアドレスのデータのみが、デュアルポートSRAM111Aから読み出されるように制御する。

[0076] デュアルポートSRAM111Aは、メモリーコントローラー111Bか

ら転送される画像データINPUT_DATAを、第1転送クロック信号INPUT_CLKに同期して順番に取得して、「0」、「1」、「2」、「3」のアドレス番地のいずれかに順次格納する。そして、デュアルポートSRAM111Aは、自身に記憶した画像データのうち偶数番地の画像データのみを読み出し、第2転送クロック信号INPUT_CLK2と同期して、ゼロフィルデータが間引かれた「画素データ」INPUT_DATA2のみをシフトレジスタ112に対して出力する。

[0077] デュアルポートSRAM111Aは、このように、かかる書き込み動作と読み出し動作を同時に実行することになる。

[0078] <シフトレジスタ112の構成>

シフトレジスタ112は、複数のインクチャネルTc__ch1～Tc__ch128それぞれと関連付けて、本体2からデータ転送される画像データINPUT_DATAのうちの画素データINPUT_DATA2を記憶する。

[0079] シフトレジスタ112は、例えば、128インクチャネルTc__ch1～Tc__ch128分の画素データ（例えば、3ビット×128インクチャネルのデータ）を記憶するFIFO型のメモリーによって構成される。

[0080] より詳細には、本実施形態に係るシフトレジスタ112には、固定値データ除去回路111から、画像データINPUT_DATA2及び第2転送クロック信号INPUT_CLK2が入力される。そして、シフトレジスタ112は、3本の信号線を介して、固定値データ除去回路111から順次転送される3ビットの画素データを、第2転送クロック信号INPUT_CLK2と同期して順番に取得する。換言すると、本体2からデータ転送される画像データINPUT_DATAに含まれる各画素データINPUT_DATA2は、シフトレジスタ112に入力された順番に128個ずつ記憶される。

[0081] シフトレジスタ112に記憶された3×128ビットの画像データは、ラッチ信号LATを契機として、ラッチ回路113に平行データとして一括して出力される。

[0082] <ラッチ回路113の構成>

ラッチ回路113は、シフトレジスタ112から出力された画像データ

(ここでは、128インクチャネル分の3ビットの画素データ)を保持して、グレイスケールコントローラ114へ出力する。そして、ラッチ回路113は、ラッチ信号LATを契機として保持した画像データをリセットして、シフトレジスタ112から新たな画像データを取得する。

[0083] <グレイスケールコントローラ114の構成>

グレイスケールコントローラ114は、ラッチ回路113から出力される画像データに基づいて、各個別電極Tg__ch1~Tg__ch128に対して供給する駆動電圧のパターンを決定すると共に、当該駆動電圧のパターンに対応する駆動信号をバッファアンプ115に出力する。

[0084] 図8は、グレイスケールコントローラ114が参照する画素データと駆動波形パターンデータの変換テーブルの一例を示す図である。図9は、図8の駆動波形パターンデータ内における3種類の駆動波形を示す図である。

[0085] 図10、図11は、グレイスケールコントローラ114の駆動信号に基づいて、バッファアンプ115が個別電極Tgに出力する出力波形の一例を示す図である。

[0086] まず、グレイスケールコントローラ114には、ラッチ回路113から128インクチャネルTc__ch1~Tc__ch128分の画素データ(3×128ビットのデータ)がパラレルに入力される。又、グレイスケールコントローラ114には、駆動信号発生回路18から3種類の駆動信号(非吐出波形を含む駆動信号pulse_timing0、非動作波形を含む駆動信号pulse_timing1、吐出波形を含む駆動信号pulse_timing2の駆動信号の3種類)が入力される。

[0087] グレイスケールコントローラ114は、ラッチ回路113からパラレルに出力される128インクチャネルTc__ch1~Tc__ch128分の画素データ(3×128ビットのデータ)それぞれの画素データを、各別に、駆動波形パターンデータに変換する。そして、グレイスケールコントローラ114は、駆動信号発生回路18から入力される3種類の駆動信号のうち、駆動波形パターンデータに規定された駆動信号を、選択的に、128イン

クチャネルTc__ch1～Tc__ch128それぞれに接続されたバッファアンプ115に対して出力する。

[0088] 尚、グレイスケールコントローラ114は、制御回路17から、同期クロック信号GSCLK及びリセット信号RSTを取得しており、当該同期クロック信号GSCLK及びリセット信号RSTのタイミングにあわせて、バッファアンプ115へ出力する駆動信号の切り替えを行っている。

[0089] 図8に示す変換テーブルは、3ビット(0, 0, 0)～(1, 1, 1)の画素データを、グレイスケールカウントGSC(0～7)の8カウント内における8個の駆動波形の配列を表すデータに変換するテーブルデータである。駆動波形パターンのそれぞれのカウント内における駆動波形は、「0」、「1」、「2」の3通りの値をとりうる。例えば、画素データ(1, 0, 1)に対しては、(1, 1, 2, 2, 2, 2, 2, 0)の駆動波形パターンデータが選択されることを表す。

[0090] 尚、図8の変換テーブルは、例えば、グレイスケールコントローラ114に内蔵されるレジスタ(図示せず)に格納されている。又、グレイスケールカウントGSC(0～7)は、制御回路17から入力される同期クロック信号GSCLKに基づいて、グレイスケールコントローラ114に内蔵されるカウンタ(図示せず)によってカウントされる。

[0091] ここで、図8の変換テーブル内の駆動波形パターンデータの値である「0」、「1」、「2」は、それぞれ、グレイスケールカウントGSCの1カウント分の期間において、駆動信号発生回路18から入力される駆動信号pulse_timing0、駆動信号pulse_timing1、駆動信号pulse_timing2のうちからいずれの駆動信号が選択されるかを表す。

[0092] 3種類の駆動信号は、ハイレベル及びローレベルの二値の間での時間変化を示すデジタルデータである(図9を参照)。駆動信号pulse_timing0は、グレイスケールカウントGSCの1カウント分の期間中ローレベルに維持される信号であり、非吐出波形に相当する。駆動信号pulse_timing2は、グレイスケールカウントGSCの1カウント分の期間のうちの所定期間ハイレベルと

なる信号であり、吐出波形に相当する。駆動信号pulse_timing1は、グレイスケールカウンタGSCの1カウント分の期間のうち、駆動信号pulse_timing2がローレベルに戻った後の所定期間ハイレベルとなる信号であり、非動作波形に相当する。尚、駆動信号pulse_timing1、pulse_timing2は、グレイスケールカウンタGSCの1カウント分の期間のうちに1パルスを出し得るように、同期クロック信号GSCLKと同期して生成されている。

[0093] つまり、図8に示す変換テーブルにおいて、例えば、画素データ(1, 0, 1)に対しては、グレイスケールコントローラ114は、グレイスケールカウンタGSC=0からグレイスケールカウンタGSC=7までの間に、駆動信号がpulse_timing0, pulse_timing2, pulse_timing2, pulse_timing2, pulse_timing2, pulse_timing2, pulse_timing1, pulse_timing1の順に選択して、対応する駆動信号が繋ぎ合わされた駆動波形のパターンを生成する(図11を参照)。

[0094] 尚、全ての駆動波形パターンデータにおいて、グレイスケールカウンタGSC=0では、駆動波形パターンデータの値として「0」(非吐出波形)が設定されている。

[0095] グレイスケールコントローラ114は、駆動波形パターンデータに基づいて、これら3種類の駆動信号の中からどれか一つの駆動信号を選択して、バッファアンプ115に対して出力する。

[0096] <バッファアンプ115の構成>

バッファアンプ115は、グレイスケールコントローラ114から入力される駆動信号に基づいて、各個別電極Tg_ch1~Tg_ch128に対して駆動電圧を供給する。

[0097] バッファアンプ115は、128インクチャネルTc_ch1~Tc_ch128の個別電極Tg_ch1~Tg_ch128それぞれに対して個別に駆動電圧を供給し得るように、128インクチャネルTc_ch1~Tc_ch128それぞれに対応するように個別に設けられている。

[0098] バッファアンプ115は、図10、図11に示すように、吐出波形を含

む駆動信号pulse_timing2がハイレベルである期間には、電圧+V_{H2}を個別電極T_gに供給する。又、バッファアンプ115は、非動作波形を含む駆動信号pulse_timing1がハイレベルである期間には、電圧+V_{H2}よりも小さい電圧+V_{H1}を個別電極T_gに供給する。又、バッファアンプ115は、駆動信号pulse_timing1, pulse_timing2がいずれもローレベルである期間、及び、駆動信号pulse_timing0が選択されている期間には、GND電圧を個別電極T_gに供給する。

[0099] 図12は、バッファアンプ115及びCOMドライバー110Bの構成の一例を示す図である。尚、図12のTMは、一のインクチャネルT_cの両側面に形成された圧電素子である。

[0100] バッファアンプ115は、例えば、第1のトランジスタ115a、第2のトランジスタ115b、及び、第3のトランジスタ115cを含んで構成される。

[0101] バッファアンプ115には、電圧+V_{H2}が第1の電源から入力され、電圧+V_{H2}より低い電圧+V_{H1}が第2の電源から入力されている。

[0102] バッファアンプ115は、グレイスケールコントローラ114から入力される駆動信号（駆動信号pulse_timing0、駆動信号pulse_timing1、又は駆動信号pulse_timing2）に基づいて、第1のトランジスタ115a、第2のトランジスタ115b、又は、第3のトランジスタ115cのいずれかを動作させて、電圧+V_{H1}、電圧+V_{H2}、GND電圧の何れかの出力電圧を圧電素子TMの個別電極T_gに供給する。

[0103] 第1のトランジスタ115aは、例えば、ドレイン端子に電圧+V_{H2}の電源が接続され、ソース端子に個別電極T_gが接続されたN型MOSFETである。第1のトランジスタ115aのゲート端子には、グレイスケールコントローラ114から駆動信号pulse_timing2に対応する駆動信号が入力される。

[0104] 又、第2のトランジスタ115bは、例えば、ドレイン端子に電圧+V_{H1}の電源が接続され、ソース端子に個別電極T_gが接続されたN型MOS

FETである。第2のトランジスタ115bのゲート端子には、グレイスケールコントローラ114から駆動信号pulse_timing1に対応する駆動信号が入力される。

[0105] 又、第3のトランジスタ115cは、例えば、ソース端子が接地され、ドレイン端子に個別電極T_gが接続されたN型MOSFETである。第3のトランジスタ115cのゲート端子には、グレイスケールコントローラ114から駆動信号pulse_timing0に対応する駆動信号が入力される。

[0106] バッファアンプ115は、かかる構成によって、駆動信号pulse_timing0がハイレベルの期間にはGND電圧を圧電素子TMの個別電極T_gに供給し、駆動信号pulse_timing1がハイレベルの期間には電圧+V_{H1}を圧電素子TMの個別電極T_gに供給し、駆動信号pulse_timing2がハイレベルの期間には電圧+V_{H2}を圧電素子TMの個別電極T_gに供給する。

[0107] <COMドライバー110Bの構成>

COMドライバー110Bは、インクチャネルT_cを収縮させるタイミングで、共通電極T_h__ch0~T_h__ch128に対してコモン電圧を供給する。つまり、COMドライバー110Bは、ドライバーIC110Aが個別電極T_gに対して駆動電圧（ここでは、電圧+V_{H2}）を供給して、インクチャネルT_cを膨張させた後（図3Bを参照）、当該インクチャネルT_cを収縮させるべく、共通電極T_hに対してコモン電圧を供給する。これによって、駆動壁T_eには、駆動電圧とは逆電圧が供給され、インクチャネルT_cからの吐出が実行される（図3Cを参照）。

[0108] 本実施形態に係るCOMドライバー110Bには、駆動信号発生回路18から駆動信号pulse_timing1が入力されると共に、電圧+V_{com}が電源から入力される。

[0109] そして、COMドライバー110Bは、駆動信号pulse_timing1を契機として、コモン電圧+V_{com}を共通電極T_h__ch0~T_h__ch128に対して供給する。つまり、COMドライバー110Bは、グレイスケールカウンタGSCの1カウント分の期間内で、駆動信号pulse_timing2に続く駆動信

号pulse_timing1のタイミングで、コモン電圧+Vcomを共通電極Th__ch0～Th__ch128に対して供給する。これによって、インクチャネルTcは、吐出動作時には、グレースケールカウントGSCの1カウント分の期間内で、膨張した直後に収縮して、インクの吐出を実行するように動作する。

[0110] 「コモン電圧」としては、本発明では特に限定されないが、例えば、ドライバIC110Aが非動作時（駆動信号pulse_timing1がハイレベルである期間）に個別電極Tgに対して供給する駆動電圧+VH1と同じ電圧に設定される。

[0111] 尚、インクチャネルTc内におけるインク吐出圧力は、インクチャネルTcが一旦収縮した後は、再度、当該インクチャネルTcが膨張するまで高まることなく定常状態となる。つまり、本実施形態に係るインクチャネルTcは、駆動信号pulse_timing2がハイレベルの期間に個別電極Tgから駆動電圧が供給された後に、駆動信号pulse_timing1がハイレベルとなって共通電極Thに対してコモン電圧が供給された直後のタイミングにのみ、インクを吐出する。

[0112] COMドライバ110Bは、図12に示すように、例えば、第4トランジスタ110Baと、第5トランジスタ110Bbと、を含んで構成される。

[0113] COMドライバ110Bは、例えば、駆動信号発生回路18から入力される駆動信号（ここでは、駆動信号pulse_timing1）に基づいて、第4トランジスタ110Ba又は第5トランジスタ110Bbのいずれかを動作させて、コモン電圧+Vcom、又は、GND電圧の何れかの出力電圧を圧電素子TMの共通電極Thに供給する。

[0114] 第4トランジスタ110Baは、例えば、ドレイン端子に電圧+Vcomの電源が接続され、ソース端子に共通電極Thが接続されたN型MOSFETである。又、第5トランジスタ110Bbは、例えば、ソース端子が接地され、ドレイン端子に共通電極Thが接続されたP型MOSFETであ

る。第4トランジスタ110Baと第5トランジスタ110Bbのゲート端子には、共に、駆動信号pulse_timing1が入力される。

[0115] COMドライバー110Bは、かかる構成によって、駆動信号pulse_timing1がハイレベルの期間にはコモン電圧+Vcomを圧電素子TMの共通電極Thに供給し、それ以外の期間には、GND電圧を共通電極Thに供給する。

[0116] [インクジェットヘッドの動作]

本実施形態に係るインクジェットヘッド100は、上記のように、従来技術に係るインクジェットヘッドと異なり、ドライバーIC110AとCOMドライバー110Bとによって、各インクチャネルTc_ch1~Tc_ch128の圧電素子に供給する電圧を制御する。COMドライバー110Bは、典型的には、ドライバーIC110Aとは別体の回路基板上に構成されるため、低い出力インピーダンスを実現することができる。

[0117] 以下、図13A、図13B、図14、図15を参照して、かかる構成による本実施形態に係るインクジェットヘッド100の動作特徴について、説明する。

[0118] 図13Aは、従来技術に係るインクジェットヘッドP100において、1個の圧電素子TM1のみを駆動した場合（左図）と隣り合う2個の圧電素子TM1、TM2を同時に駆動した場合（右図）の動作の相違を示す図である。

[0119] 図13Bは、本実施形態に係るインクジェットヘッド100において、1個の圧電素子TM1のみを駆動した場合（左図）と隣り合う2個の圧電素子TM1、TM2を同時に駆動した場合（右図）の動作の相違を示す図である。

[0120] 従来技術に係るインクジェットヘッドP100においては、図13Aに示すように、ドライバーICP110のみを用いて、個別電極Tgに対する駆動電圧の供給を実行すると共に、共通電極Thに対するコモン電圧の供給を実行する構成となっている。

[0121] 従って、従来技術に係るドライバー I C P 1 1 0 においては、バッファアンプ P 1 1 5 の出力インピーダンスは、一般に、チップサイズの制約等に起因から大きくなる。かかるバッファアンプ P 1 1 5 の出力インピーダンスの大きさは、特に、共通電極 T h にコモン電圧を供給するバッファアンプ P 1 1 5 において問題となる。

[0122] より詳細には、インクジェットヘッドにおいては、従来構成及び本願構成のいずれにおいても、駆動する圧電素子の個数が、時間的に変化する。換言すると、従来構成に係るバッファアンプ P 1 1 5 及び本実施形態に係る C O M ドライバー 1 1 0 B のいずれにおいても、共通電極 T h に対してコモン電圧を供給する対象の圧電素子の個数は、時間的に変化する。

[0123] この点、従来構成に係るドライバー I C P 1 1 0 においては、バッファアンプ P 1 1 5 の出力インピーダンスが大きいため、コモン電圧を供給する対象の圧電素子の個数に影響を受けやすくなる。つまり、従来構成に係るドライバー I C P 1 1 0 においては、駆動する圧電素子の個数が増加した場合には、図 1 3 A の右図に示すように、共通電極 T h に対してコモン電圧を供給する際に、当該バッファアンプ P 1 1 5 の動作遅延（R C 遅延）が生じ、バッファアンプ P 1 1 5 から共通電極 T h に対して供給する出力波形がなまるおそれがある（隣接チャネルクロストークとも称される）。かかる隣接チャネルクロストークが発生した場合には、インクチャネル T c からインクを吐出するタイミングの遅延が生じてしまう。

[0124] 又、従来技術に係るドライバー I C P 1 1 0 においては、駆動する圧電素子の個数を増加させる際には、駆動する圧電素子同士が隣接していない場合でも、隣接チャネルクロストークと同様に、出力波形がなまり、インクを吐出するタイミングの遅延が生じてしまう。その結果、駆動する圧電素子の個数を増加させた後に駆動する圧電素子の個数を減少させると、その間の領域でインクの吐出間隔が大きく開き、インクを吐出できない領域が生じてしまう（負荷クロストークとも称される）。

[0125] 図 1 4 は、従来技術に係るインクジェットヘッド P 1 0 0 において、隣接

チャネルクロストークが発生した状態の一例を示す図である。又、図15は、従来技術に係るインクジェットヘッドP100において、負荷チャネルクロストークが発生した状態の一例を示す図である。

[0126] 図14、図15は、いずれもインクジェットヘッドP100がヘッドスキャン方向に沿って移動しながら、5つの各ノズルから同時にインク吐出を実行した状態を示している。図14、図15において、矢印方向はインクジェットヘッドのヘッドスキャン方向を示し、点線領域は各ノズルにおける目標吐出位置を示し、ドット領域は各ノズルにおける実際の吐出位置を示している。

[0127] 図14においては、隣接チャネルクロストークに起因して、一番左側のノズルから吐出されるインクの吐出位置（一点鎖線で囲んだ領域F1）が、他のノズルから吐出されるインクの吐出位置よりも、ヘッドスキャン方向と逆側にずれた状態となっている。

[0128] 一方、図15においては、負荷クロストークに起因して、各ノズルから吐出されるインクの吐出位置（一点鎖線で囲んだ領域F2）に遅延が生じており、その直後に、駆動する圧電素子の個数を減少させた際に、その間の領域でインクの吐出間隔が大きく開き、インクを吐出できない領域が生じている。尚、インクを吐出できない領域は、例えば、印刷媒体上において、ヘッドスキャン方向と直交する方向に沿って、インクが吐出されていない白線状態の領域として表出する。

[0129] このように、従来技術に係るインクジェットヘッドP100においては、隣接チャネルクロストークや負荷クロストークに起因してインクの吐出位置の位置ずれが発生しており、画質劣化の要因となっている。

[0130] この点、本実施形態に係るインクジェットヘッド100においては、ドライバIC110Aと別体のCOMドライバ110Bを用いて、共通電極Thに対してコモン電圧を供給する構成となっている。

[0131] かかるCOMドライバ110Bは、大きなサイズのトランジスタ（例えば、第4トランジスタ110Ba、第5トランジスタ110Bb）を

用いることができるため、ドライバー IC 110A のトランジスターと比較して、オン抵抗を低減することができる。かかる COM ドライバー 110B の圧電素子に対する出力インピーダンスは、典型的には、ドライバー IC 110A の圧電素子に対する出力インピーダンスの $1/1000$ 以下まで低減することができる。

[0132] 従って、本実施形態に係るインクジェットヘッド 100 においては、図 13B の右側に示すように、複数の圧電素子 TM1、TM2 を同時に駆動する際にも、波形なまりを生じさせることなく、共通電極 Th に対してコモン電圧を供給することができる。

[0133] [効果]

以上のように、本実施形態に係るインクジェットヘッド 100 は、画像形成装置 1 の本体 2 からデータ転送される画像データをシフトレジスター 112 に記憶して、当該画像データに基づいて、複数のインクチャネル Tc__ch1 ~ Tc__ch128 それぞれの圧電素子 TM の一方の電極（個別電極）Tg に対して、個別に駆動電圧を供給するドライバー IC（第 1 の駆動回路）110A と、複数のインクチャネル Tc__ch1 ~ Tc__ch128 それぞれの圧電素子 TM の他方の電極（共通電極）Th に対して、複数のインクチャネル Tc__ch1 ~ Tc__ch128 に共通のコモン電圧を供給する COM ドライバー（第 2 の駆動回路）110B と、を備えている。

[0134] そして、本実施形態に係るインクジェットヘッド 100 においては、ドライバー IC 110A は、本体 2 からデータ転送される 1 ビット毎に画素データと固定値データとが交互に配列された画像データ INPUT_DATA のうち、固定値データを間引いた画素データ INPUT_DATA2 のみが、シフトレジスター 112 に順番に記憶されるように、本体 2 とシフトレジスター 112 間の中継を行う固定値データ除去回路 111 を有し、ドライバー IC 110A と COM ドライバー 110B とは、所定のタイミング指令信号（例えば、駆動信号 pulse_timing0、pulse_timing1、pulse_timing2）に従って、同期して動作するように構成されている。

[0135] 従って、本実施形態に係るインクジェットヘッド100によれば、既存の画像データの転送方式（即ち、1ビット毎に画素データと固定値データとが交互に配列された形式で画像データのデータ転送を行う方式）との互換性を保ちながら、ドライバーIC110Aのシフトレジスター112の動作速度を低下させることができる。これによって、ドライバーIC110Aのシフトレジスター112におけるデータ転送の失敗を抑制することが可能である。又、これによって、ドライバーIC110Aのシフトレジスター112に対する画素データのデータ転送速度自体は、高速化させることも可能である。

[0136] 又、特に、本実施形態に係るインクジェットヘッド100は、ドライバーIC110Aとは別体のCOMドライバー110Bによって、圧電素子TMの共通電極Thに対してコモン電圧を供給する構成とできるため、COMドライバー110Bの圧電素子TMに対する出力インピーダンス（例えば、オン抵抗）を低下させることが可能である。典型的には、当該構成によって、COMドライバー110Bの圧電素子TMに対する出力インピーダンスを、ドライバーIC110Aの圧電素子TMに対する出力インピーダンスの1/1000以下まで低下させることができる。これによって、隣接チャネルクロストーク及び負荷クロストークの発生を抑制することができる。

[0137] 又、特に、本実施形態に係る固定値データ除去回路111は、デュアルポートSRAM110B等によって、本体2から第1転送クロック信号INPUT_CLKに同期してデータ転送される画像データを取得すると共に、シフトレジスター112に対して、第1転送クロック信号INPUT_CLKを1/2分周した第2転送クロック信号INPUT_CLK2に同期して、画素データINPUT_DATA2のみをデータ転送するように、構成される。これによって、第2転送クロック信号INPUT_CLK2と画像データINPUT_DATA2とを同期して、後段のシフトレジスター112等に対してデータ転送する構成となるため、高いノイズ耐性を実現することができる。

[0138] （第2の実施形態）

次に、図 1 6、図 1 7 A、図 1 7 Bを参照して、第 2 の実施形態に係るインクジェットヘッド 1 0 0 の構成の一例について説明する。

[0139] 第 1 の実施形態では、固定値データ除去回路 1 1 1 が、本体 2 からシフトレジスタ 1 1 2 に対してデータ転送される画像データ INPUT_DATA 及び第 1 転送クロック信号 INPUT_CLK の両方を中継する態様を示した。本実施形態に係るインクジェットヘッド 1 0 0 は、本体 2 から入力される第 1 転送クロック信号 INPUT_CLK のみの中継する点で、第 1 の実施形態と相違する。尚、第 1 の実施形態と共通する構成については、説明を省略する。

[0140] 図 1 6 は、本実施形態に係るインクジェットヘッド 1 0 0 の駆動部 1 1 0 の構成の一例を示す図である。図 1 7 A は、本実施形態に係る固定値データ除去回路 1 1 1 の構成の一例を示す図である。図 1 7 B は、本実施形態に係る固定値データ除去回路 1 1 1 の動作時のタイミングチャートである。

[0141] 固定値データ除去回路 1 1 1 は、本体 2 から入力される画像データ INPUT_DATA の第 1 転送クロック信号 INPUT_CLK2 を取得すると共に、当該第 1 転送クロック信号 INPUT_CLK を 1 / 2 分周した第 2 転送クロック信号 INPUT_CLK2 を生成する分周回路によって、構成されている。そして、固定値データ除去回路 1 1 1 は、当該第 2 転送クロック信号 INPUT_CLK2 を用いて、画像データ INPUT_DATA のうちのゼロフィルデータをマスクすることによって、本体 2 からデータ転送される画像データ INPUT_DATA のうちの画素データ INPUT_DATA2 のみを、シフトレジスタ 1 1 2 に記憶させる。

[0142] 尚、第 2 転送クロック信号 INPUT_CLK2 を用いたマスク処理は、図 1 6 に示すように、シフトレジスタ 1 1 2 のエッジトリガ信号の入力を第 2 転送クロック信号 INPUT_CLK2 とする態様であってもよいし、その他、AND 回路等を用いた態様であってもよい。

[0143] 本実施形態に係る固定値データ除去回路 1 1 1 は、D フリップフロップ 1 1 1 C 及びインバータ回路 1 1 1 D によって、分周回路を構成している。

[0144] 尚、図 1 7 B のタイミングチャートは、それぞれ、以下の信号波形を表す。

INPUT_DATA : ラインメモリー 1 6 からシフトレジスター 1 1 2 に入力された画像データ (D255, D254, D253, D252...D1, D0は、対応するアドレスの画素データを表す)

INPUT_CLK : ラインメモリー 1 6 からDフリップフロップ 1 1 1 Cに入力される第 1 転送クロック信号

CLK_OUT(INPUT_CLK2) : Dフリップフロップ 1 1 1 Cからシフトレジスター 1 1 2 に出力する第 2 転送クロック信号

[0145] 図 1 7 A の固定値データ除去回路 1 1 1 においては、Dフリップフロップ 1 1 1 C のクロック入力端子CKには、本体 2 からの第 1 転送クロック信号INPUT_CLKが入力される。そして、当該Dフリップフロップ 1 1 1 C のデータ入力端子Dとデータ出力端子Qの間に、インバータ回路 1 1 1 D が配設され、データ出力端子Qの出力を反転してデータ入力端子Dに戻す構成となっている。

[0146] かかる構成によって、Dフリップフロップ 1 1 1 C は、第 1 転送クロック信号INPUT_CLKの立ち上がりエッジのタイミングで、データ出力端子Qの反転信号を保持する構成となる。これによって、Dフリップフロップ 1 1 1 C のデータ出力端子Qからは、第 1 転送クロック信号INPUT_CLKを 1 / 2 分周した第 2 転送クロック信号INPUT_CLK2が出力されることになる。

[0147] 本実施形態に係るインクジェットヘッド 1 0 0 においては、当該第 2 転送クロック信号INPUT_CLK2をシフトレジスター 1 1 2 のエッジトリガ信号として入力する。これによって、シフトレジスター 1 1 2 は、当該第 2 転送クロック信号INPUT_CLK2に同期して、本体 2 から第 1 転送クロック信号INPUT_CLKに同期してデータ転送される画像データINPUT_DATAを取得する。つまり、シフトレジスター 1 1 2 は、本体 2 からデータ転送される画像データINPUT_DATAのうちの偶数番地又は奇数番地のいずれか一方のデータのみ、即ち画素データのみを記憶する。

[0148] 以上のように、本実施形態に係るインクジェットヘッド 1 0 0 は、簡易な構成で、固定値データ除去回路 1 1 1 を実現できる点で有用である。

[0149] 但し、本実施形態に係る固定値データ除去回路 1 1 1 は、第 1 の実施形態

に係る固定値データ除去回路 111 と異なり、非同期状態の画像データ INPUT_DATA と第 2 転送クロック信号 INPUT_CLK2 とを、シフトレジスター 112 に出力する構成となるため、ノイズ耐性の点では、第 1 の実施形態に係る固定値データ除去回路 111 よりも脆弱である。従って、回路構成の簡易化とノイズ耐性の両観点を踏まえて、固定値データ除去回路 111 の回路構成を検討することが望ましい。

[0150] (その他の実施形態)

本発明は、上記実施形態に限らず、種々に変形態様が考えられる。

[0151] 上記実施形態では、固定値データ除去回路 111 の一例として、常時、固定値データを間引く態様を示した。しかしながら、固定値データ除去回路 111 の構成としては、より好適には、シフトレジスター 112 に対して、取得した画像データ INPUT_DATA のうち偶数番地又は奇数番地のいずれか一方のデータのみをデータ転送する第 1 のモードと、シフトレジスター 112 に対して、取得した画像データ INPUT_DATA のうちの偶数番地及び奇数番地の両方のデータをデータ転送する第 2 のモードと、を選択的に実行可能にする。これによって、本体 2 が固定値データを含まない画像データをデータ転送する装置構成である場合にも、本発明を適用することができる。

[0152] 又、上記実施形態では、固定値データ除去回路 111 をドライバー IC 110A に内蔵する構成としたが、固定値データ除去回路 111 は、ドライバー IC 110A とは別体の基板上に構成されてもよい。

[0153] 又、上記実施形態では、ドライバー IC 110A 及び COM ドライバー 110B の構成の典型的な一例を示した。しかしながら、本発明は、ドライバー IC 110A が、画像形成装置の本体 2 からデータ転送される画像データをシフトレジスター 112 に記憶して、当該画像データに基づいて、複数のインクチャネル Tc それぞれの圧電素子の個別電極に対して、個別に駆動電圧を供給する回路構成であって、COM ドライバー 110B が、複数のインクチャネル Tc それぞれの圧電素子の共通電極に対して、コモン電圧を供給する回路構成であれば、種々に変更可能である。典型的には、ドライバー I

C 1 1 0 AとCOMドライバー1 1 0 Bとが、インクチャネルT cの膨張及び収縮のタイミングを指令する信号に基づいて同期して動作していればよい。

[0154] 又、上記実施形態では、COMドライバー1 1 0 Bから電圧供給する対象の圧電素子の個数の一例として、ヘッド本体1 2 0のインクチャネルT c__c h 1～T c__c h 1 2 8それぞれに構成された1 2 8個の圧電素子の全部とする態様を示した。しかしながら、当該態様に代えて、複数のCOMドライバー1 1 0 Bによって、1 2 8個の圧電素子に対して電圧供給する構成としてもよい。

[0155] 又、上記実施形態では、インクジェットヘッド1 0 0の一例として、シアモード型インクジェットヘッドを示した。しかしながら、本発明は、シアモード型インクジェットヘッド以外の種類のインクジェットヘッド、例えば、ラジアルモード型インクジェットヘッド等にも適用し得る。

[0156] 以上、本発明の具体例を詳細に説明したが、これらは例示にすぎず、請求の範囲を限定するものではない。請求の範囲に記載の技術には、以上に例示した具体例を様々に変形、変更したものが含まれる。

産業上の利用可能性

[0157] 本開示に係るインクジェットヘッドは、印刷画像の高画質化及び印刷の高速化等の実現に好適である。

符号の説明

- [0158]
- 1 画像形成装置
 - 2 本体
 - 4 外部装置
 - 1 1 C P U
 - 1 2 R A M
 - 1 3 R O M
 - 1 4 インターフェース
 - 1 5 ページメモリー

- 1 6 ラインメモリー
- 1 7 制御回路
- 1 8 駆動信号発生回路
- 1 9 信号線
- 1 0 0 インクジェットヘッド
- 1 1 0 駆動部
- 1 1 0 A ドライバー I C (第 1 の駆動回路)
- 1 1 1 固定値データ除去回路
- 1 1 2 シフトレジスター
- 1 1 3 ラッチ回路
- 1 1 4 グレyscaleコントローラー
- 1 1 5 バッファアンプ
- 1 1 0 B C O M ドライバー (第 2 の駆動回路)
- 1 2 0 ヘッド本体
- 1 2 1 基材
- 1 2 2 ノズルプレート
- 1 2 3 カバープレート
- T M 圧電素子
- T c インクチャネル
- T d エアチャネル
- T e 駆動壁
- T f ノズル
- T g 個別電極
- T h 共通電極

請求の範囲

[請求項1]

圧電素子を構成する壁部で各別に区画された複数のインクチャネルを有し、前記複数のインクチャネルを、当該複数のインクチャネルそれぞれの前記圧電素子への電圧供給によって各別に駆動するインクジェットヘッドであって、

画像形成装置の本体からデータ転送される画像データをシフトレジスターに記憶して、当該画像データに基づいて、前記複数のインクチャネルそれぞれの前記圧電素子の一方の電極に対して、個別に駆動電圧を供給する第1の駆動回路と、

前記複数のインクチャネルそれぞれの前記圧電素子の他方の電極に対して、前記複数のインクチャネルに共通のコモン電圧を供給する第2の駆動回路と、

を備え、

前記第1の駆動回路は、前記本体からデータ転送される1ビット毎に画素データと固定値データとが交互に配列された前記画像データのうちの前記固定値データを間引いた前記画素データのみが、前記シフトレジスターに順番に記憶されるように、前記本体と前記シフトレジスターの間を中継する固定値データ除去回路を有し、

前記第1の駆動回路と前記第2の駆動回路とは、所定のタイミング指令信号に従って、同期して動作する、

インクジェットヘッド。

[請求項2]

前記固定値データ除去回路は、前記本体からデータ転送される前記画像データを第1転送クロック信号に同期して取得すると共に、取得した前記画像データのうちの偶数番地又は奇数番地のいずれか一方のデータのみを、前記第1転送クロック信号を1/2分周した第2転送クロック信号に従って前記シフトレジスターにデータ転送する、

請求項1に記載のインクジェットヘッド。

[請求項3]

前記固定値データ除去回路は、前記画像データを書き込み動作と前

記画像データの読み出し動作とを同時に実行可能に構成されたS R A Mを含む、

請求項2に記載のインクジェットヘッド。

[請求項4]

前記固定値データ除去回路は、

前記シフトレジスターに対して、取得した前記画像データのうち偶数番地又は奇数番地のいずれか一方のデータのみをデータ転送する第1のデータ転送モードと、

前記シフトレジスターに対して、取得した前記画像データのうちの偶数番地及び奇数番地の両方のデータをデータ転送する第2のデータ転送モードと、を選択的に実行可能に構成されている、

請求項2乃至3のいずれか一項に記載のインクジェットヘッド。

[請求項5]

前記固定値データ除去回路は、前記本体から入力される前記画像データが同期する第1転送クロック信号を取得すると共に、当該第1転送クロック信号を1/2分周した第2転送クロック信号を生成する分周回路を含んで構成され、

前記固定値データ除去回路は、前記本体から入力される前記画像データを、前記第2転送クロック信号に同期して前記シフトレジスターに記憶させる、

請求項1に記載のインクジェットヘッド。

[請求項6]

前記第1の駆動回路と前記第2の駆動回路とは、別体の回路基板上に実装されている、

請求項1乃至5のいずれか一項に記載のインクジェットヘッド。

[請求項7]

前記第2の駆動回路の前記圧電素子に対する出力インピーダンスは、前記第1の駆動回路の前記圧電素子に対する出力インピーダンスの1/1000以下である、

請求項6に記載のインクジェットヘッド。

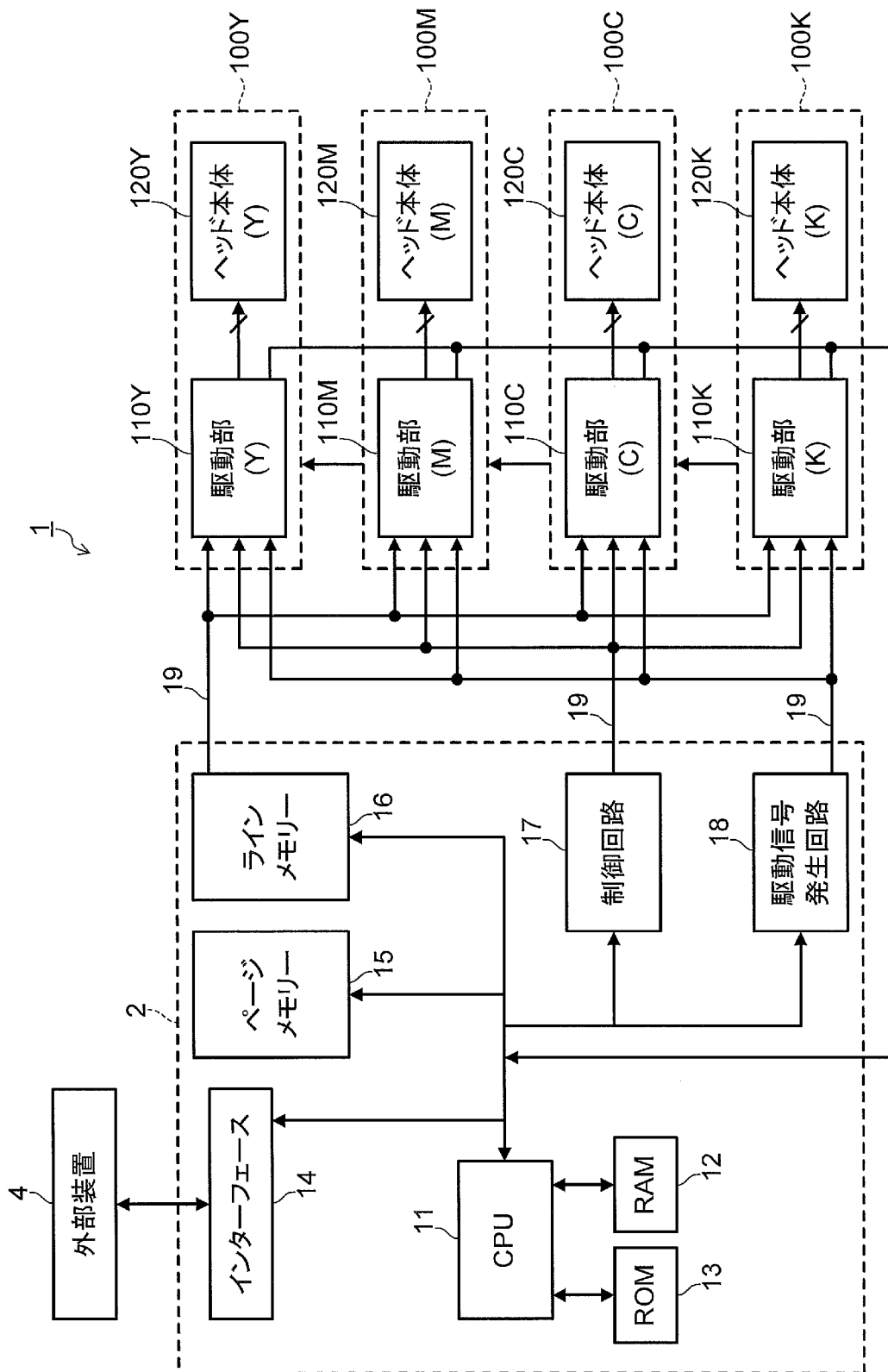
[請求項8]

シアモード型インクジェットヘッドに適用された、

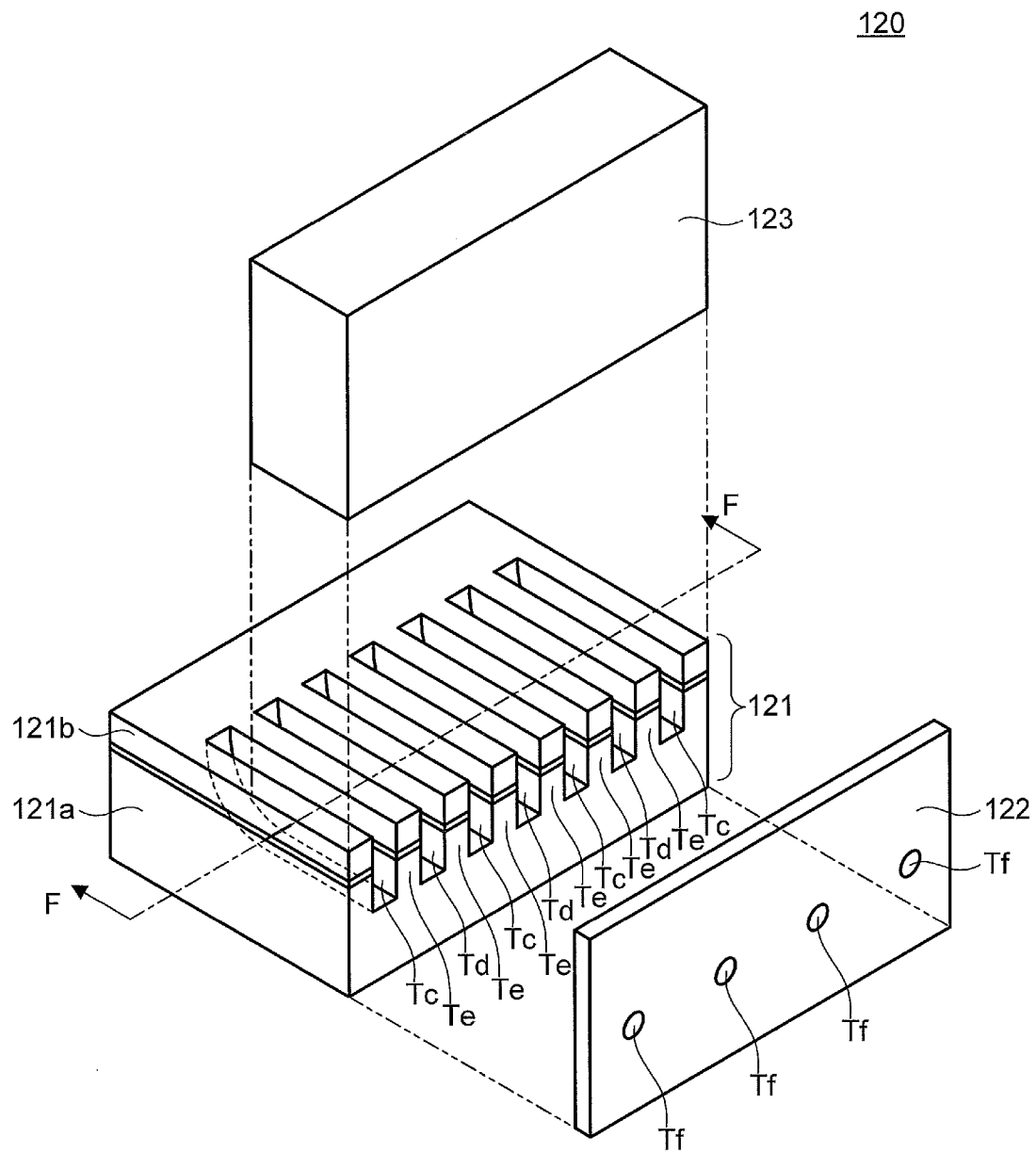
請求項1乃至7のいずれか一項に記載のインクジェットヘッド。

- [請求項9] 前記所定のタイミング指令信号は、前記インクチャネルの膨張及び収縮のタイミングを指令する信号である、
請求項1乃至8のいずれか一項に記載のインクジェットヘッド。
- [請求項10] 請求項1乃至9のいずれか一項に記載のインクジェットヘッドを備える画像形成装置。

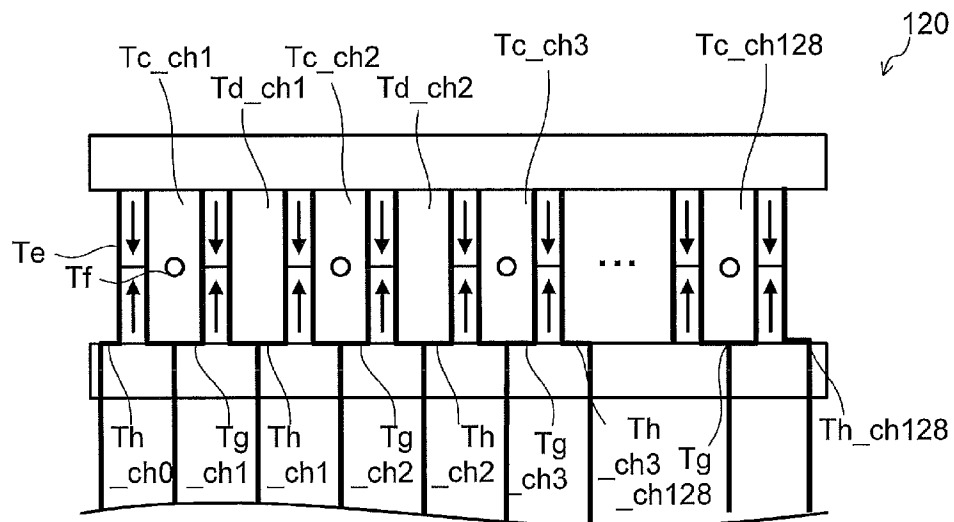
[図1]



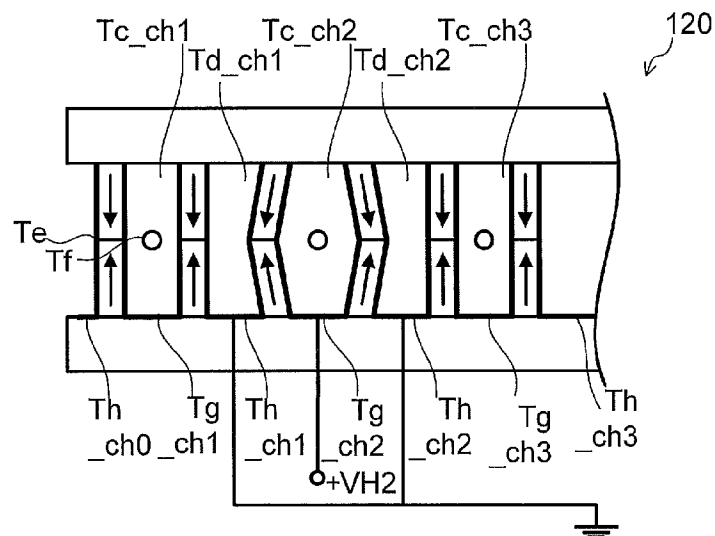
[図2]



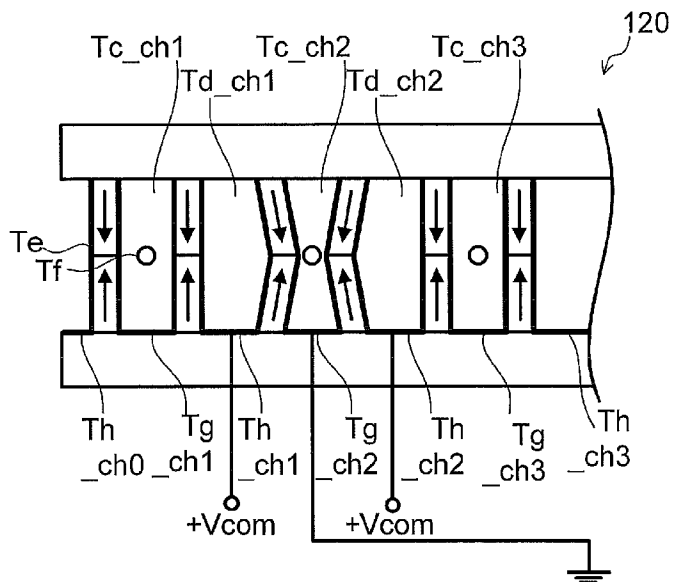
[図3A]



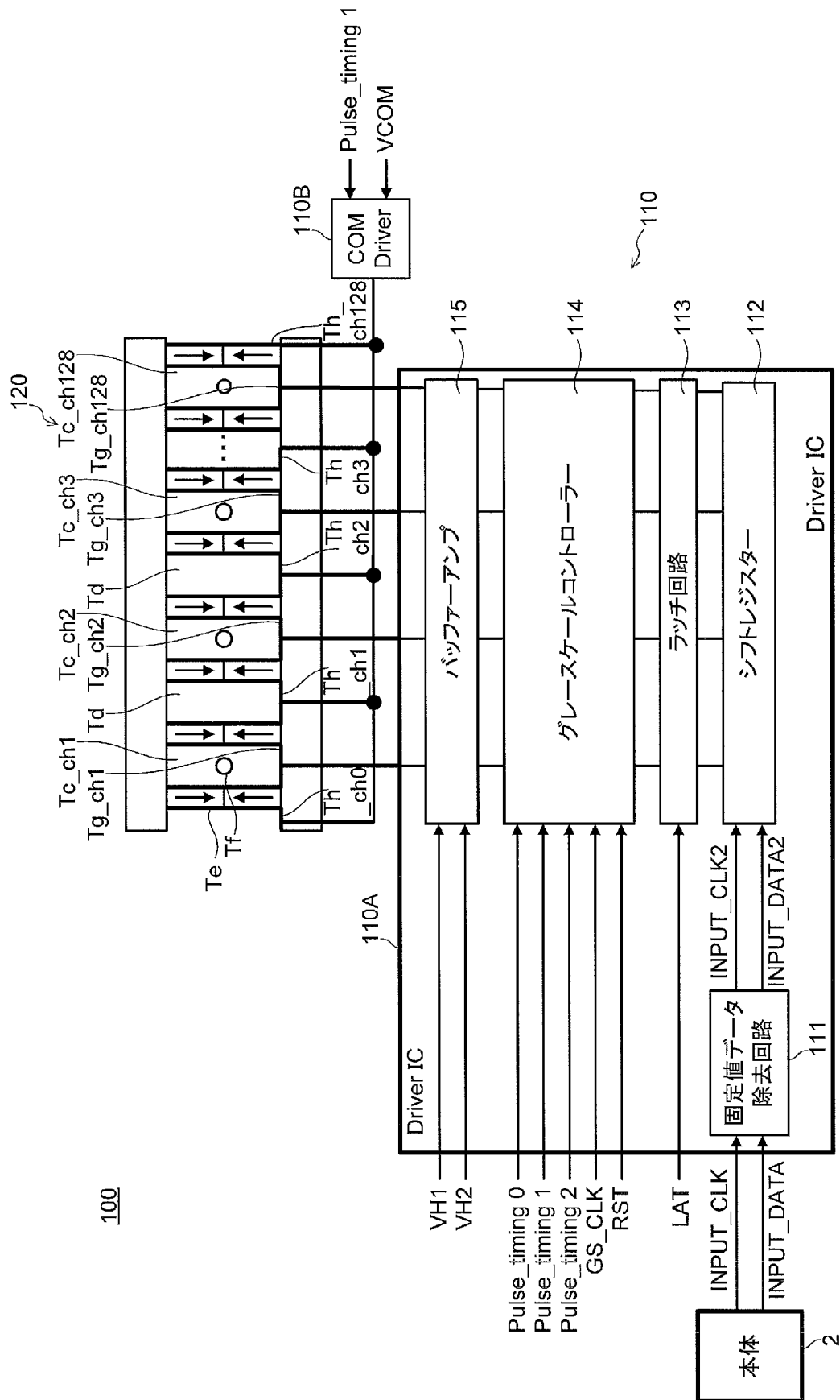
[図3B]



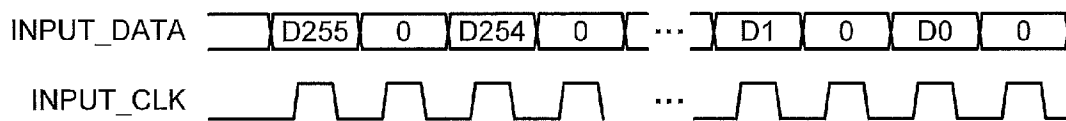
[図3C]



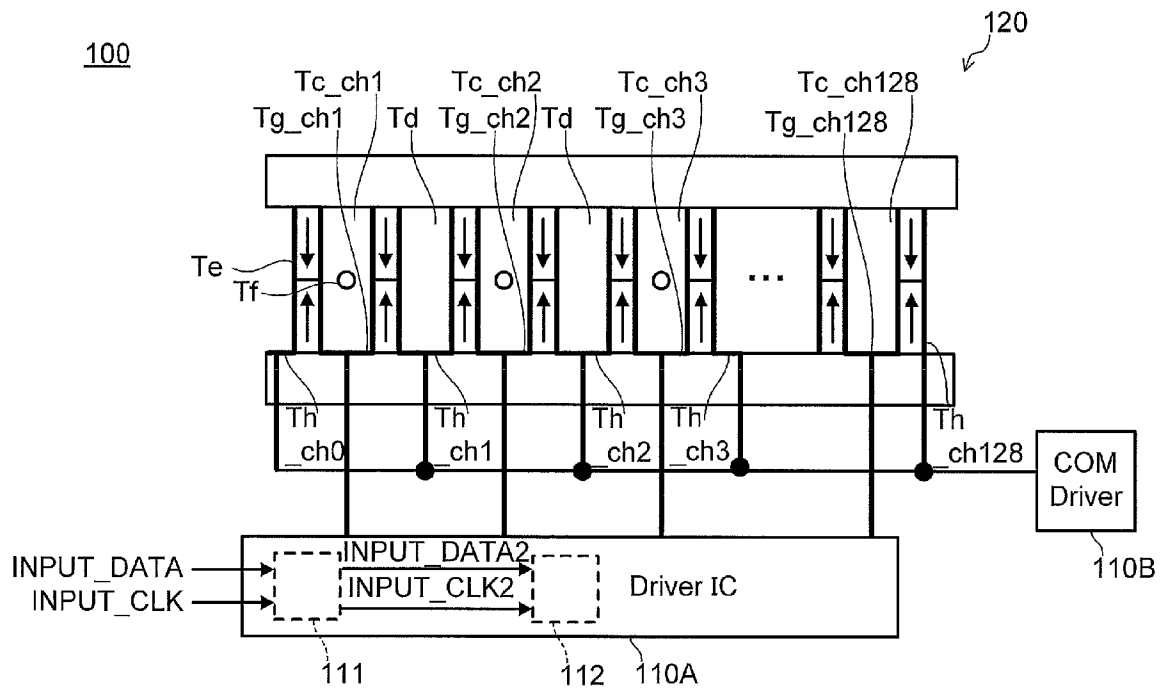
[図4]



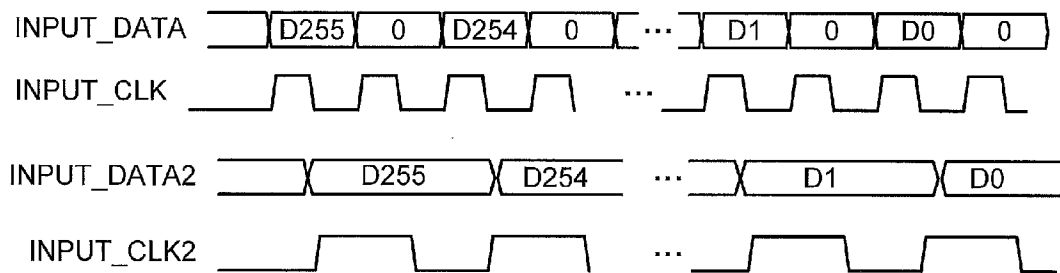
P100



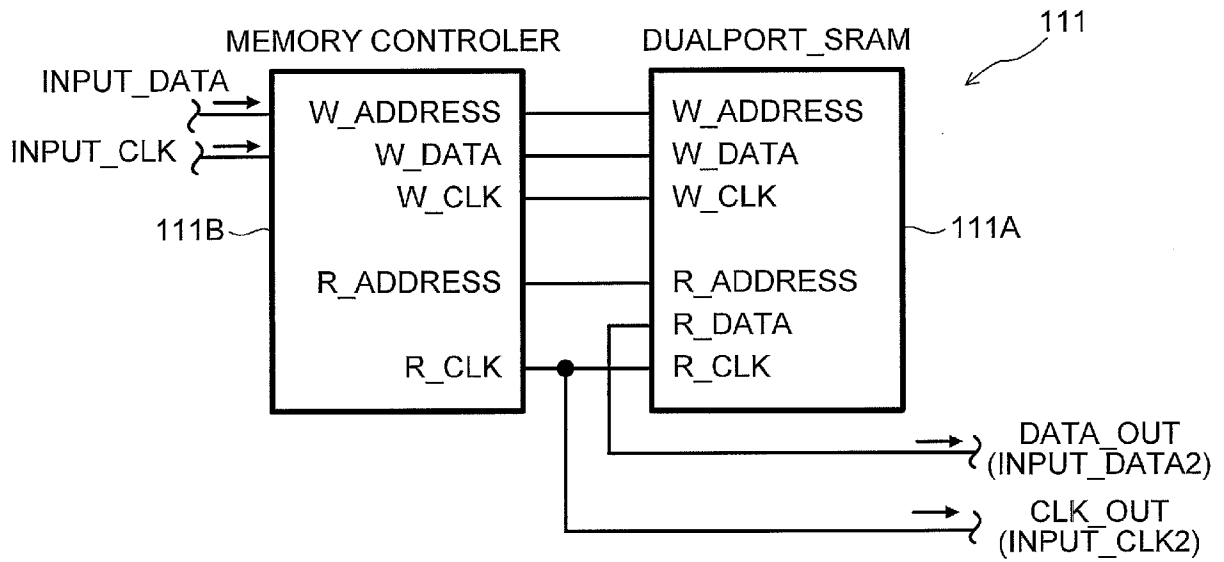
[図6A]



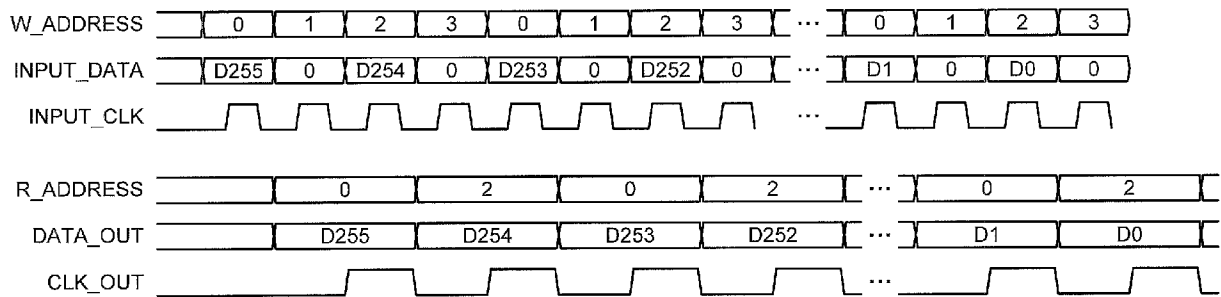
[図6B]



[図7A]



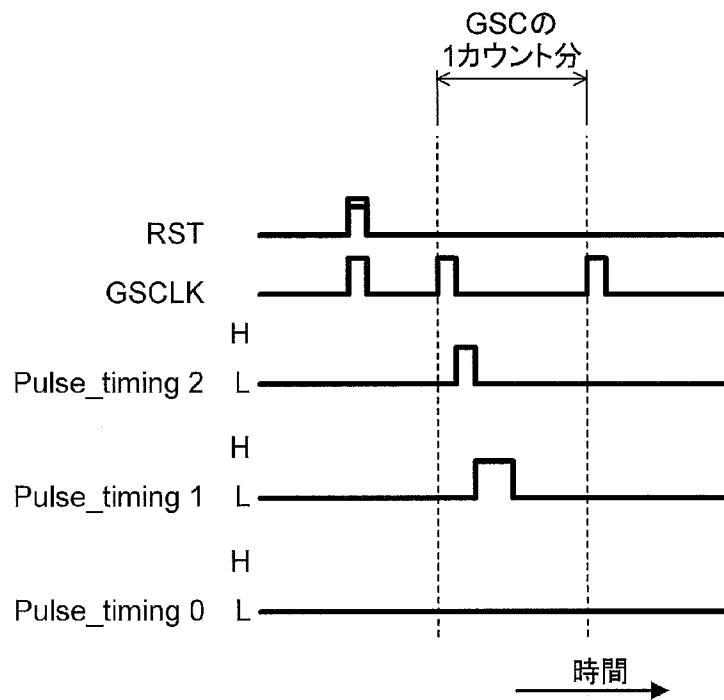
[図7B]



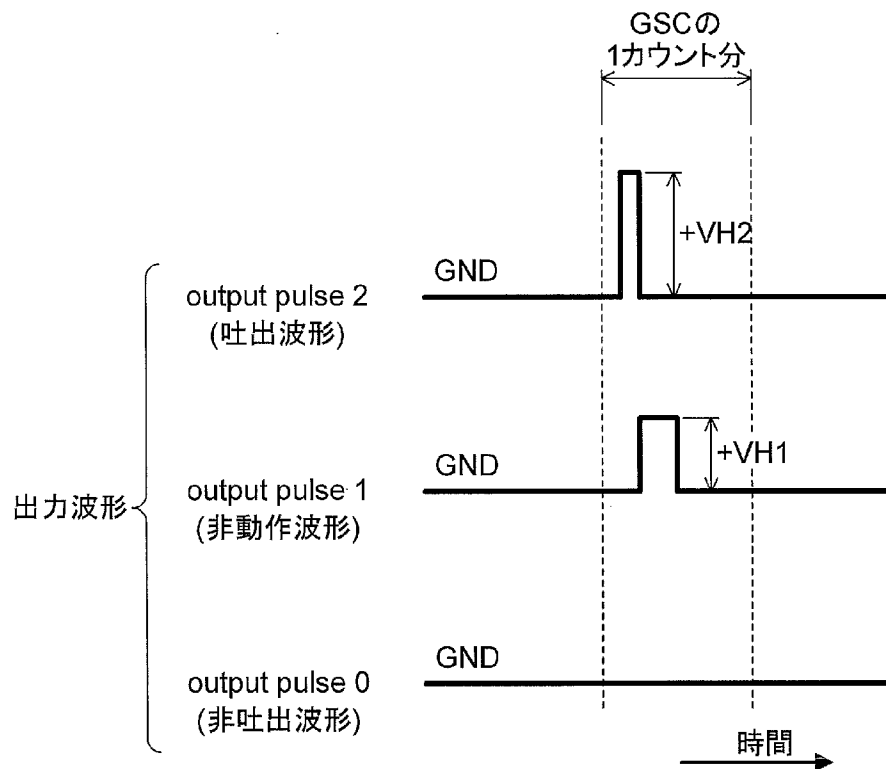
[図8]

No.	画素データ	駆動波形パターンデータ							
		GSC							
		7	6	5	4	3	2	1	0
0	(0,0,0)	1	1	1	1	0	1	1	0
1	(0,0,1)	1	1	1	1	2	1	1	0
2	(0,1,0)	1	1	1	2	2	1	1	0
3	(0,1,1)	1	1	1	2	2	2	1	0
4	(1,0,0)	1	1	2	2	2	2	1	0
5	(1,0,1)	1	1	2	2	2	2	2	0
6	(1,1,0)	1	2	2	2	2	2	2	0
7	(1,1,1)	2	2	2	2	2	2	2	0

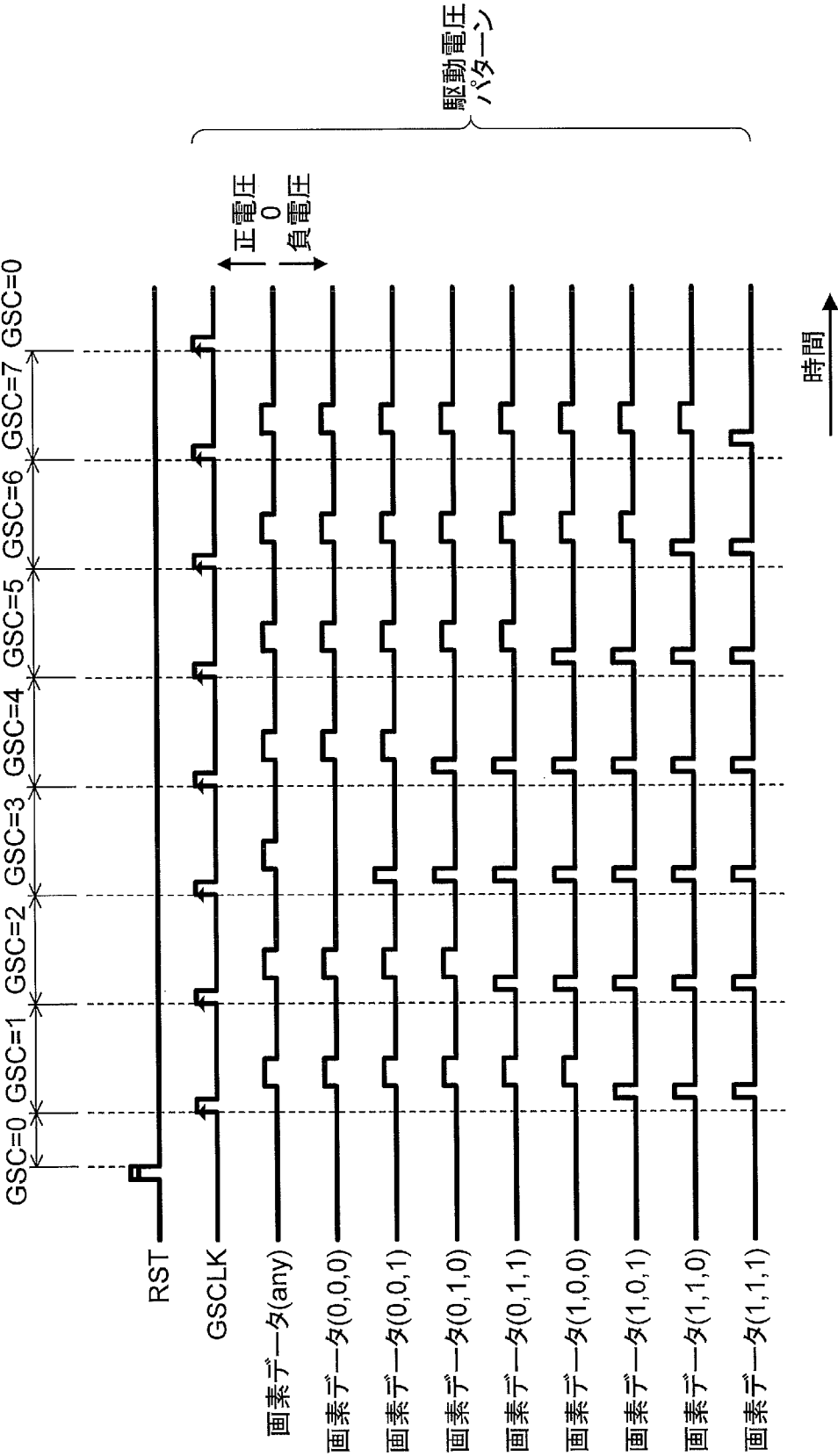
[図9]



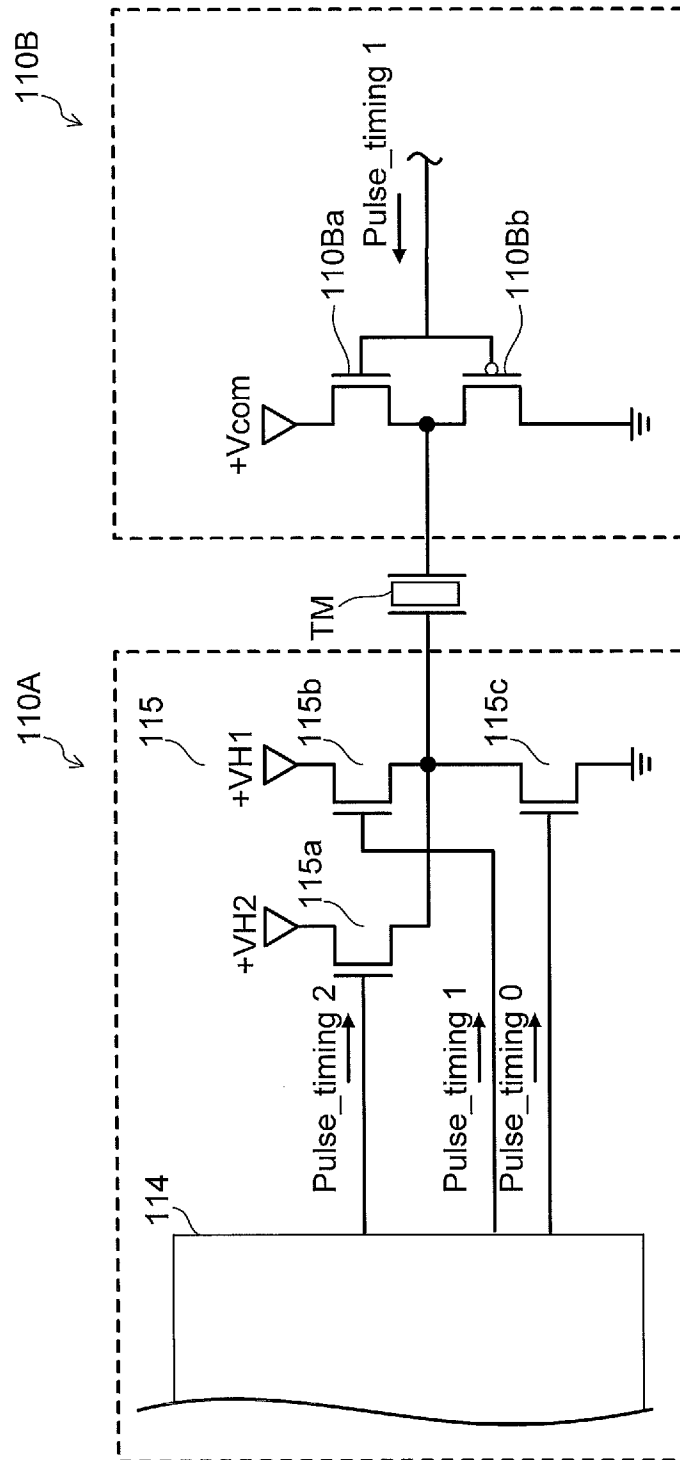
[図10]



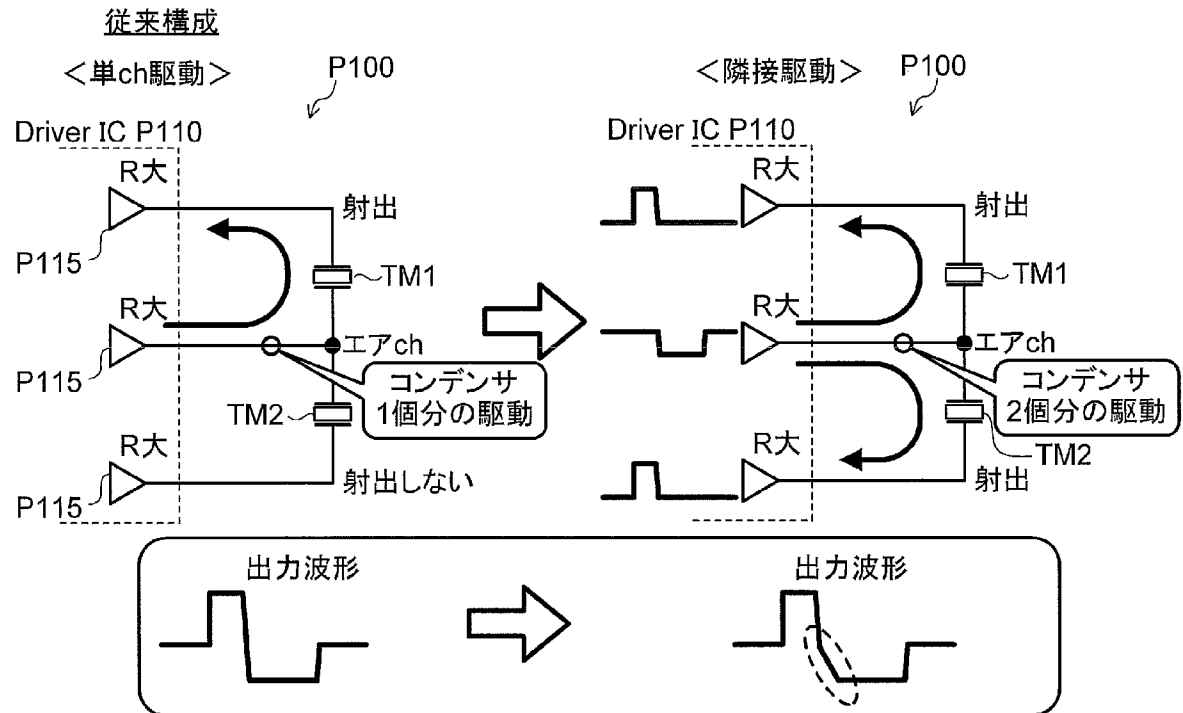
[図11]



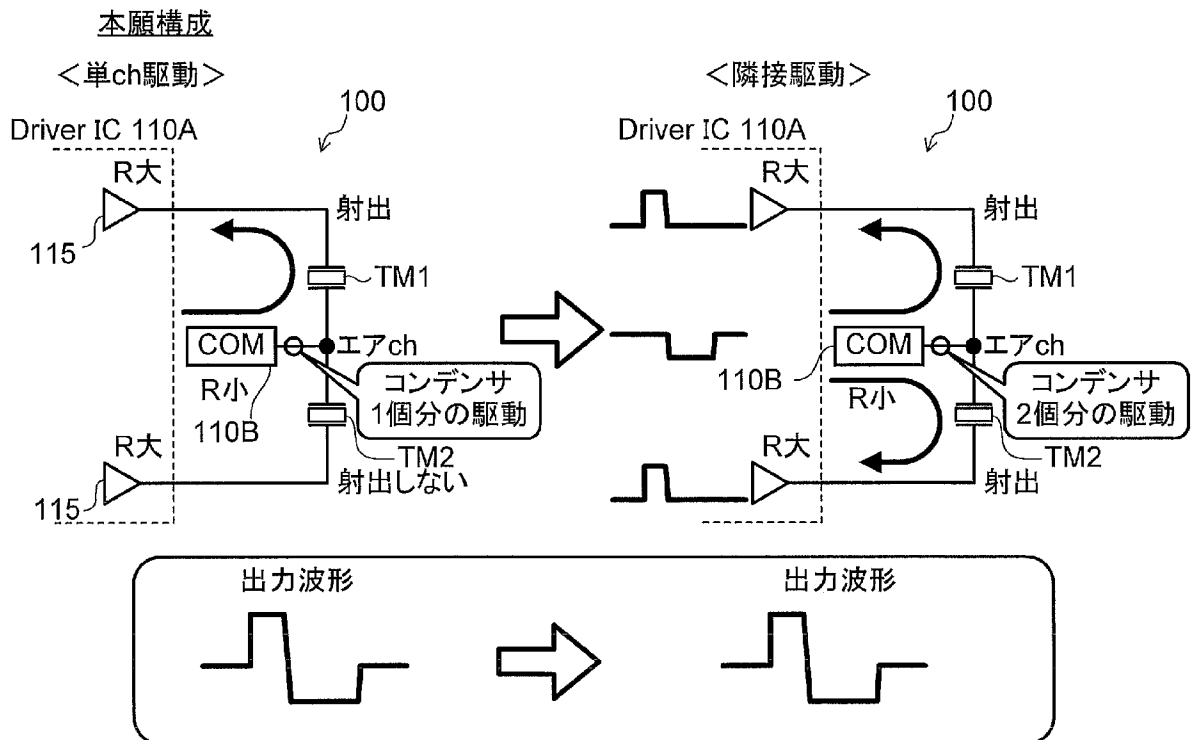
[図12]



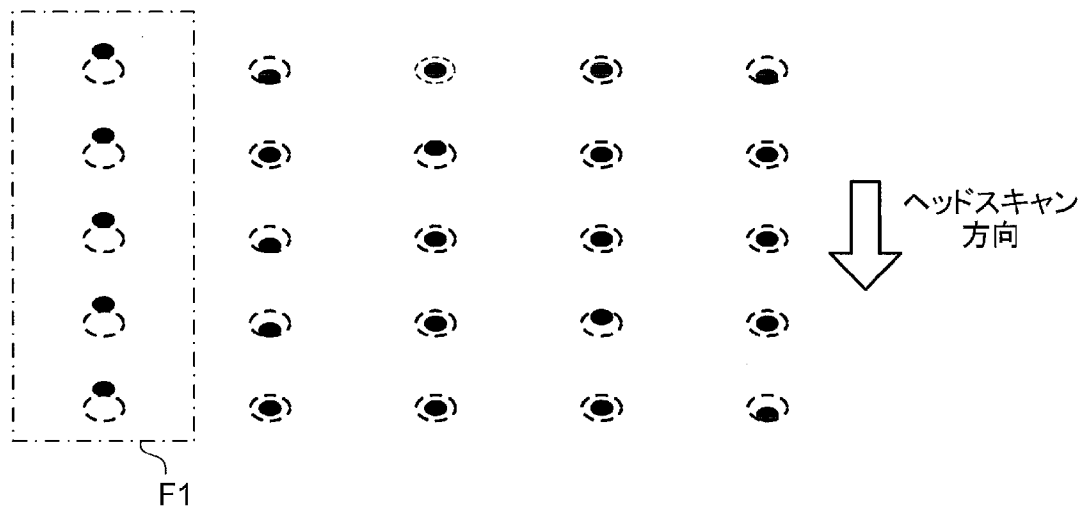
[図13A]



[図13B]



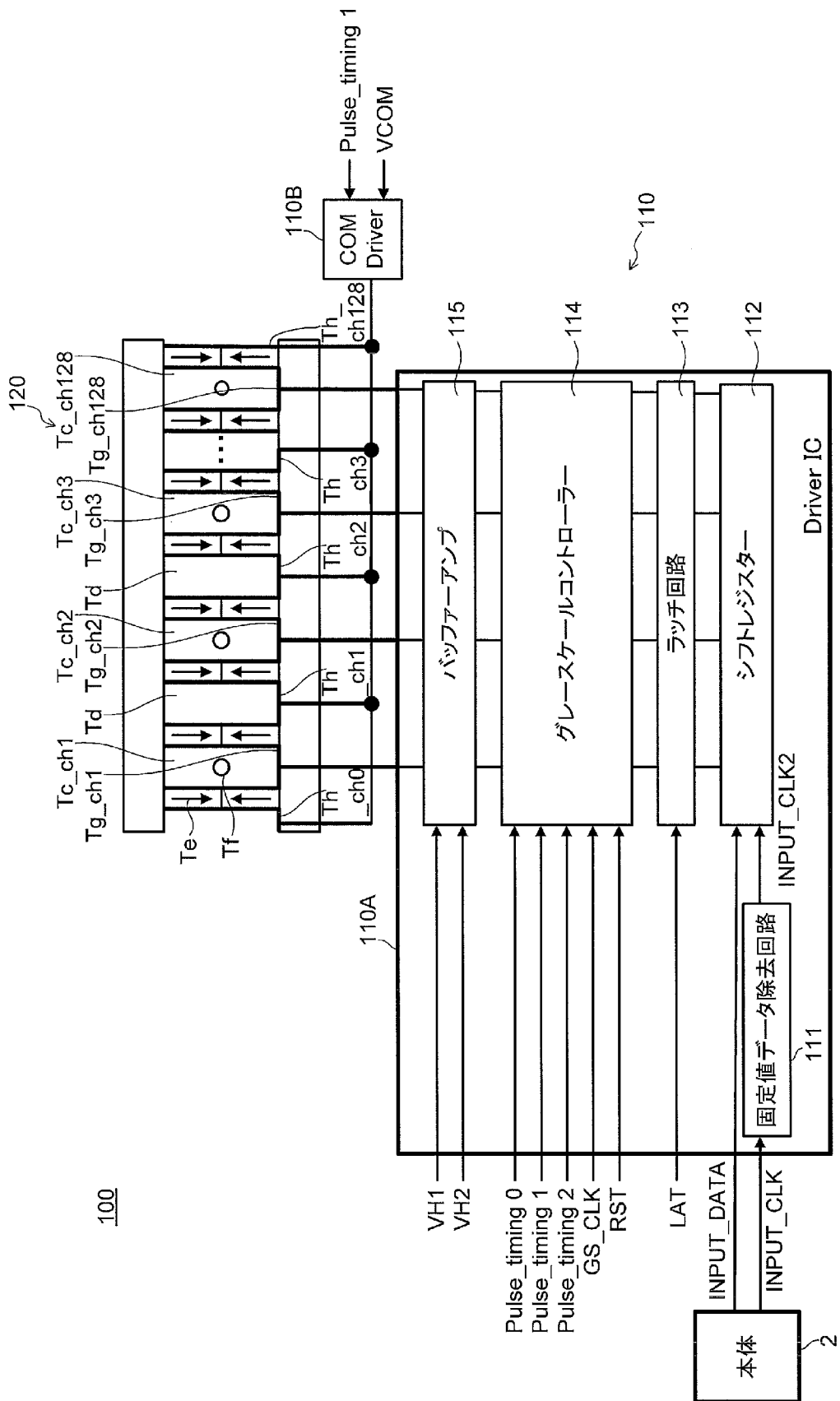
[図14]



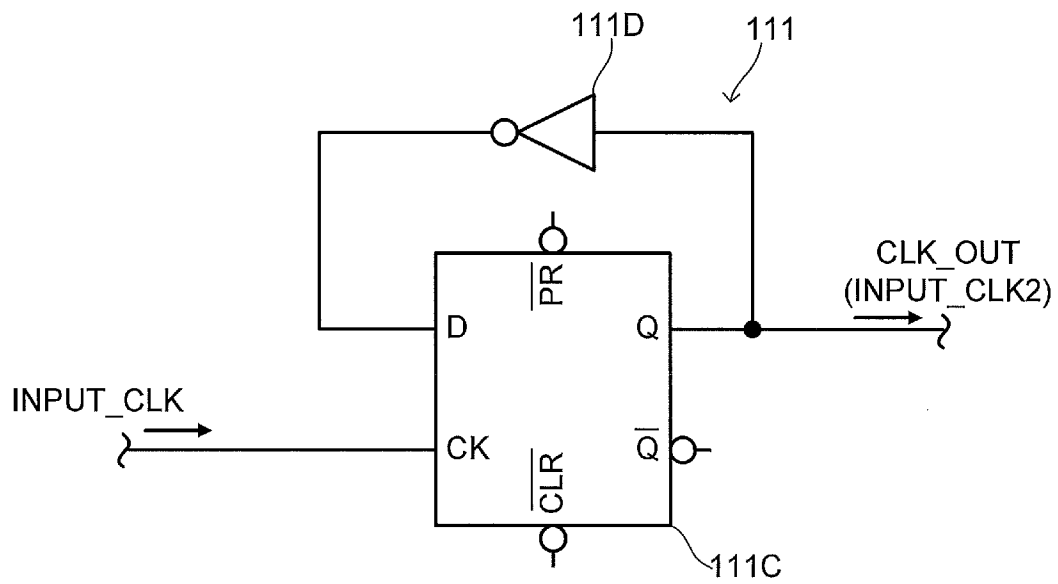
[図15]



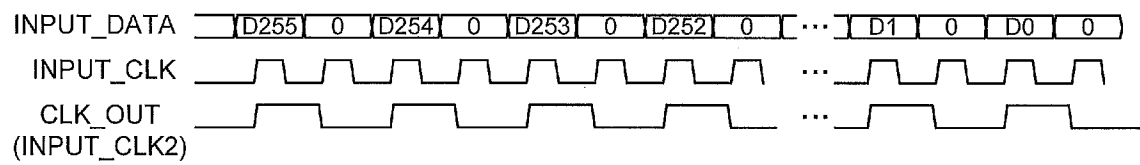
[図16]



[図17A]



[図17B]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/017922

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. B41J2/14 (2006.01) i, B41J2/045 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. B41J2/14, B41J2/045

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 10-034911 A (TEC CO., LTD.) 10 February 1998, paragraphs [0020]-[0028], fig. 1-17 (Family: none)	1-10
A	JP 11-291498 A (TOSHIBA TEC CORP.) 26 October 1999, paragraphs [0015]-[0021], fig. 1-19 & US 6386666 B1, paragraphs [0031]-[0036], fig. 1-19 & EP 936069 A2	1-10
A	US 2017/0320322 A1 (KIJI et al.) 09 November 2017, paragraph [0059], fig. 3-7, 9, 25 & US 2018/0037027 A1	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
05.07.2018

Date of mailing of the international search report
17.07.2018

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/017922

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2016-016660 A (KONICA MINOLTA, INC.) 01 February 2016, paragraphs [0034], [0035], [0043], [0045], [0056], [0067]-[0069], fig. 7, 9 & US 2016/0009080 A1, paragraphs [0146], [0147], [0152], [0164], fig. 7, 9 & EP 2965910 A1 & CN 105313467 A	1-10

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. B41J2/14(2006.01)i, B41J2/045(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. B41J2/14, B41J2/045

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 10-034911 A（株式会社テック）1998.02.10, 段落 0020-0028, 図 1-17（ファミリーなし）	1-10
A	JP 11-291498 A（東芝テック株式会社）1999.10.26, 段落 0015-0021, 図 1-19 & US 6386666 B1 段落 0031-0036, 図 1-19 & EP 936069 A2	1-10
A	US 2017/0320322 A1（KIJI et al.）2017.11.09, 段落 0059, 図 3-7, 9, 25 & US 2018/0037027 A1	1-10

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

05.07.2018

国際調査報告の発送日

17.07.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

大浜 登世子

2 P

4468

電話番号 03-3581-1101 内線 3261

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2016-016660 A (コニカミノルタ株式会社) 2016. 02. 01, 段落 0034-0035, 0043, 0045, 0056, 0067-0069, 図 7, 9 & US 2016/0009080 A1 段落 0146-0147, 0152, 0164, 図 7, 9 & EP 2965910 A1 & CN 105313467 A	1-10