



POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

243228
(11) (B1)

[51] Int. Cl.⁴
H 03 K 17/00

[22] Přihlášeno 28 11 84
[21] [PV 9141-84]

[40] Zveřejněno 16 07 85

[45] Vydáno 15 11 87

[75]

Autor vynálezu

POSPÍŠIL JIŘÍ doc. ing. CSc.; DOSTÁL TOMÁŠ doc. ing. CSc., BRNO

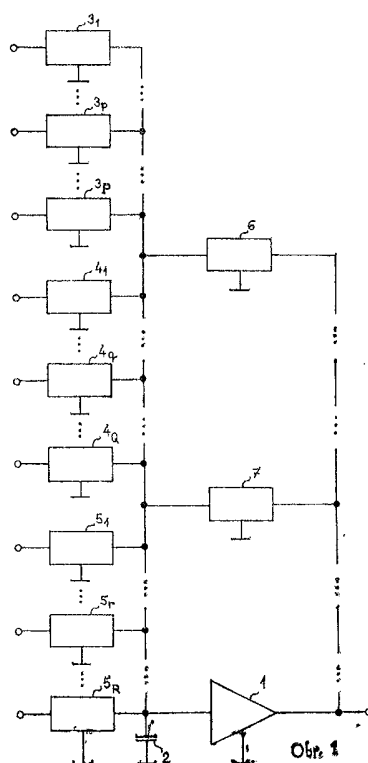
(54) Zapojení vícevstupového stavebního bloku se spínanými kapacitami

1

Řešení se týká zapojení vícevstupového stavebního bloku spínacími kapacitami. Podstatou řešení je, že je tvořeno napěťovým zesilovačem, uzemněným integrovaným kapacitorem, sadou vstupních přímo vybíjených spínaných kapacitních bloků, sadou vstupních invertujících přepínaných kapacitních bloků, sadou vstupních přepínaných kapacitních bloků, zpětnovazebním přímo-vybíjeným spínaným kapacitním blokem a zpětnovazebním invertujícím přepínaným kapacitním blokem. Výstupní napětí zapojení je rovno váženému součtu jednotlivých vstupních napětí, přičemž přenosy od vstupních přepínaných kapacitních bloků a od vstupních invertujících přepínaných bloků jsou navíc zpožděny o dobu periody spínání. Hodnoty všech koeficientů přenosu včetně jejich znamének lze snadno nastavit pomocí kapacit jednotlivých spínaných a přepínaných kapacitních bloků.

Řešení je možné s výhodou použít při syntéze složitějších obvodů se spínanými kapacitami, zejména filtrů vyšších řádů a mnohobranů, jsou-li jejich vlastnosti předepsány přímo v rovině z.

2



Vynález se týká zapojení vícevstupového stavebního bloku se spínanými kapacitory.

Dosud známé metody syntézy důvodů se spínanými kapacitory jsou dvojího druhu, a to nepřímá, kdy se prvky či bloky nekapacitního charakteru v analogových obvodech nahrazují odpovídajícími obvody se spínanými kapacitory, a přímá, kdy se simuluje přenosná funkce odpovídajícího analogového obvodu jako celku. V obou případech se při návrhu vždy vychází z určité transformace $p \rightarrow z$, také dosud známé stavební bloky se spínanými kapacitory odpovídají příslušným analogovým stavebním blokům pouze pro určitý typ této transformace.

Základní nevýhodou současného stavu je tedy skutečnost, že dosud známé stavební bloky se spínanými kapacitory neumožňují syntézu tohoto druhu obvodů přímo v oblasti z , například přímo přenosovou funkci $T(z)$.

Uvedenou nevýhodu současného stavu odstraňuje zapojení vícevstupového stavebního bloku se spínanými kapacitory podle vynálezu, jehož podstatou je, že je tvořeno napěťovým zesilovačem, spojeným svým vstupem s prvním vývodem integračního kapacitoru, jehož druhý vývod je uzemněn, s výstupem každého p -tého z celkového počtu P vstupních přímo vybíjených spínaných kapacitních bloků, kde p je přirozené číslo v rozmezí od 1 do P , s výstupem každého q -tého z celkového počtu Q vstupních invertujících přepínaných kapacitních bloků, kde q je přirozené číslo v rozmezí od 1 do Q , s výstupem každého r -tého z celkového počtu R vstupních přepínaných kapacitních bloků, kde r je přirozené číslo v rozmezí od 1 do R , se vstupem zpětnovazebního přímo vybíjeného kapacitního bloku a se vstupem zpětnovazebního invertujícího přepínaného kapacitního bloku, a svým výstupem s výstupem zpětnovazebního přímo vybíjeného kapacitního bloku a s výstupem zpětnovazebního invertujícího přepínaného kapacitního bloku, přičemž každý kapacitní blok ze skupiny zahrnující první až P -tý vstupní přímo vybíjený spínaný kapacitní blok, první až Q -tý vstupní invertující přepínaný kapacitní blok a první až R -tý vstupní přepínaný kapacitní blok, je opatřen jedním samostatným vstupem.

Výhoda zapojení vícevstupového stavebního bloku se spínanými kapacitory podle vynálezu spočívá v tom, že umožňuje přímou syntézu obvodů se spínanými kapacitory v oblasti z a lze ho aplikovat na libovolnou známou strukturu vycházející z rozkladu přenosové funkce definované v této oblasti na dílčí funkce prvního řádu.

Vynález bude dále podrobněji popsán podle přiložených výkresů, kde na obr. 1 je znázorněno blokové schéma základního zapojení vícevstupového stavebního bloku se spínanými kapacitory podle vynálezu a na obr. 2 je znázorněno schéma zapojení příkladného provedení vícevstupového bloku se spínanými kapacitory podle vynálezu. Zá-

kladní zapojení vícevstupového stavebního bloku se spínanými kapacitory podle vynálezu, jak je znázorněno na obr. 1, je tvořeno napěťovým zesilovačem 1, k jehož vstupu je připojen první vývod integračního kapacitoru 2, jehož druhý vývod je uzemněn, soustavou P vstupních přímo vybíjených spínaných kapacitních bloků 3p, kde p je přirozené číslo v rozmezí od 1 do P , soustavou Q vstupních invertujících přepínaných kapacitních bloků 4q, kde q je přirozené číslo v rozmezí od 1 do Q , soustavou R vstupních přepínaných kapacitních bloků 5r, kde r je přirozené číslo v rozmezí od 1 do R , zpětnovazebním přímo vybíjeným spínaným kapacitním blokem 6 a zpětnovazebním invertujícím přepínaným kapacitním blokem 7. Přitom jsou každý p -tý vstupní přímo vybíjený spínaný kapacitní blok 3p, každý q -tý vstupní invertující přepínaný kapacitní blok 4q a každý r -tý vstupní přepínaný kapacitní blok 5r spojeny se vstupem napěťového zesilovače 1, k němuž jsou připojeny i vstupy zpětnovazebního přímo vybíjeného spínaného kapacitního bloku 6 a vstup zpětnovazebního invertujícího, přepínaného kapacitního bloku 7. K výstupu napěťového zesilovače 1, který je současně i výstupem celého zapojení, jsou připojeny výstup zpětnovazebního přímo vybíjeného spínaného kapacitního bloku 6 a výstup zpětnovazebního invertujícího přepínaného kapacitního bloku 7. Přitom jsou každý p -tý vstupní přímo vybíjený spínaný kapacitní blok 3p, každý q -tý vstupní invertující přepínaný kapacitní blok 4q a každý r -tý vstupní přepínaný kapacitní blok 5r opatřený jedním samostatným vstupem a každý z těchto vstupů je současně i jedním ze vstupů celého zapojení.

Ve výhodném provedení vícevstupového stavebního bloku se spínanými kapacitory podle vynálezu, znázorněném na obr. 2, je každý p -tý vstupní přímo vybíjený spínaný kapacitní blok 3p tvořen p -tým přímo vybíjeným spínaným kapacitorem 8p a vstupním přepínačem 9 a výstupním přepínačem 10 p -tého vstupního přímo vybíjeného spínaného kapacitního bloku 3p, přičemž vstupní přepínač 9 p -tého vstupního přímo vybíjeného spínaného kapacitního bloku 3p je spojen svou společnou svorkou s prvním vývodem p -tého přímo vybíjeného spínaného kapacitoru 8p, svou první svorkou se vstupem p -tého vstupního přímo vybíjeného spínaného kapacitního bloku 3p a svou druhou svorkou se zemí, zatímco výstupní přepínač 10 p -tého vstupního přímo vybíjeného spínaného kapacitního bloku 3p je spojen svou společnou svorkou s druhým vývodem p -tého přímo vybíjeného spínaného kapacitoru 8p, svou první svorkou s výstupem p -tého vstupního přímo vybíjeného spínaného kapacitního bloku 3p a svou druhou svorkou se zemí. Každý q -tý vstupní invertující přepínaný kapacitní blok 4q je tvořen q -tým invertujícím přepínaným kapacitorem 11q a vstupním

přepínačem 9 a výstupním přepínačem 10 q-tého vstupního invertujícího přepínaného kapacitního bloku 4q, přičemž vstupní přepínač 9 q-tého vstupního invertujícího přepínaného kapacitního bloku 4q je spojen svou společnou svorkou s prvním vývodem q-tého invertujícího přepínaného kapacitoru 11q, svou první svorkou se vstupem q-tého vstupního invertujícího přepínaného kapacitního bloku 4q a svou druhou svorkou se zemí, zatímco výstupní přepínač 10 q-tého výstupního invertujícího přepínaného kapacitního bloku 4q je spojen svou společnou svorkou s druhým vývodem q-tého invertujícího přepínaného kapacitoru 11q, svou první svorkou se zemí a svou druhou svorkou s výstupem q-tého vstupního invertujícího přepínaného kapacitního bloku 4q. Každý r-tý vstupní přepínaný kapacitní blok 5r je tvořen r-tým přepínaným kapacitorem 12r, spojeným svým prvním vývodem se zemí a svým druhým vývodem se společnou svorkou r-tého vnitřního přepínače 13, jehož první svorka je spojena se vstupem r-tého vstupního přepínaného kapacitního bloku 5r a jehož druhá svorka je spojena s výstupem r-tého vstupního přepínaného kapacitního bloku 5r. Zpětnovazební přímovybíjený kapacitní blok 6 je tvořen prvním zpětnovazebním kapacitorem 14 a vstupním přepínačem 9 a výstupním přepínačem 10 zpětnovazebního přímo vybíjeného kapacitního bloku 6, přičemž vstupní přepínač 9 zpětnovazebního přímo vybíjeného kapacitního bloku 6 je spojen svou společnou svorkou s prvním vývodem prvního zpětnovazebního kapacitoru 14, svou první svorkou se vstupem zpětnovazebního přímo vybíjeného kapacitního bloku 6 a svou druhou svorkou se zemí, zatímco výstupní přepínač 10 zpětnovazebního přímo vybíjeného kapacitního bloku 6 je spojen svou společnou svorkou s druhým vývodem prvního zpětnovazebního kapacitoru 14, svou první svorkou s výstupem zpětnovazebního přímo vybíjeného kapacitního bloku a svou druhou svorkou se zemí. Zpětnovazební in-

vertující přepínaný kapacitní blok 7 je tvořen druhým zpětnovazebním kapacitorem 15 a vstupním přepínačem 9 a výstupním přepínačem 10 zpětnovazebního invertujícího přepínaného kapacitního bloku 7, přičemž vstupní přepínač 9 zpětnovazebního invertujícího přepínaného kapacitního bloku 7 je spojen svou společnou svorkou s prvním vývodem druhého zpětnovazebního kapacitoru 15, svou první svorkou se zemí a svou druhou svorkou se vstupem zpětnovazebního invertujícího přepínaného kapacitního bloku 7, zatímco výstupní přepínač 10 zpětnovazebního invertujícího přepínaného kapacitního bloku 7 je spojen svou společnou svorkou s druhým vývodem druhého zpětnovazebního kapacitoru 15, svou první svorkou s výstupem zpětnovazebního invertujícího přepínaného kapacitního bloku 7 a svou druhou svorkou se zemí.

V činnosti vícevstupového stavebního bloku se spínanými kapacitory podle vynálezu se ke vstupním svorkám zapojení připojí zdroje vstupního napětí a všechny vstupní přepínače 9, výstupní přepínače 10 a vnitřní přepínače 13 se pravidelně dvoufázově přepínají tak, že u nich dochází v liché fázi ke spojení společné svorky a první svorky a v sudé fázi ke spojení společné svorky a druhé svorky. V liché fázi se tak každý p-tý přímo vybíjený spínaný kapacitor 8p a první zpětnovazební kapacitor 14 nabíjejí, zatímco v sudé fázi se přímo vybíjejí, aniž by svůj náboj předaly jiným kapacitorům. Každý q-tý invertující přepínaný kapacitor 11q a druhý zpětnovazební kapacitor 15 se v liché fázi spínání také nabíjejí, avšak v sudé fázi předávají svůj náboj s opačnou polaritou integračnímu kapacitoru 2, zatímco každý r-tý přepínaný kapacitor 12r, který se také v liché fázi spínání nabíjí, předává v sudé fázi tento náboj integračnímu kapacitoru 2 s nezměněnou polaritou. Napěťový zesilovač 1 zesiluje napětí z integračního kapacitoru 2, takže na výstupu zapojení je v liché fázi spínání napětí

$$U_o^{(L)} = \sum_{p=1}^{p=P} K_{3p} \cdot U_{3p}^{(L)} + Z^{-1} \cdot \sum_{q=1}^{q=Q} K_{4q} \cdot U_{4q}^{(L)} + Z^{-1} \sum_{r=1}^{r=R} K_{5r} \cdot U_{5r}^{(L)} \quad (1)$$

kde $U_{3p}^{(L)}$ je napětí přiváděné na vstup p-tého vstupního přímo vybíjeného spínaného kapacitního bloku 3p, $U_{4q}^{(L)}$ je napětí přiváděné na vstup q-tého vstupního invertujícího přepínaného kapacitního bloku 4q, $U_{5r}^{(L)}$ je napětí přiváděné na vstup r-tého vstupního

přepínaného kapacitního bloku 5r, zatímco koeficienty přenosu K_{3p} , K_{4q} a K_{5r} jsou dány vztahy

$$K_{3p} = \pm K \cdot \frac{C_{3p}}{C} \quad (2)$$

$$K_{4q} = \pm \frac{C_{4q}}{C} \quad (3)$$

$$K_{5r} = \pm \frac{C_{5r}}{C} \quad (4)$$

kde

$$K = 1 + \frac{1}{A} + \frac{1}{C} \left(\sum_{q=1}^{q=Q} C_{4q} + \sum_{r=1}^{r=R} C_{5r} \right) \quad (5)$$

příčemž C_{3p} je kapacita p-tého přímo vybíjeného spínaného kapacitoru **8p**, C_{4q} je kapacita q-tého invertujícího přepínaného kapacitoru **11q**, C_{5r} je kapacita r-tého přepínaného kapacitoru **12r**, C je kapacita integračního kapacitoru **2** a A je zesílení napěťového zesilovače **1**. Vztah (1) platí za předpokladu,

že kapacita druhého zpětnovazebního kapacitoru **15** je rovna C/A . Znaménka jednotlivých koeficientů přenosu K_{3p} , K_{4q} a K_{5r} ve vztazích (2), (3) a (4) jsou dány hodnotou kapacity C_0 prvního zpětnovazebního kapacitoru **14**, pro kterou platí vztah

$$C_0 = \frac{1}{A-1} \left[\sum_{p=1}^{p=P} C_{3p} + C \left(1 + \frac{A}{K} \right) \right] \quad (6)$$

Přenos napětí v liché fázi spínání ze vstupu každého p-tého vstupního přímo vybíjeného spínaného kapacitního bloku **3p** tedy nemá časové zpoždění a je buď kladný nebo záporný podle toho, zda v rovnici (6) platí horní nebo dolní znaménko. Přenos napětí ze vstupu každého q-tého vstupního invertujícího přepínaného kapacitního bloku **4q** je zpožděn o jednu periodu spínání, stejně

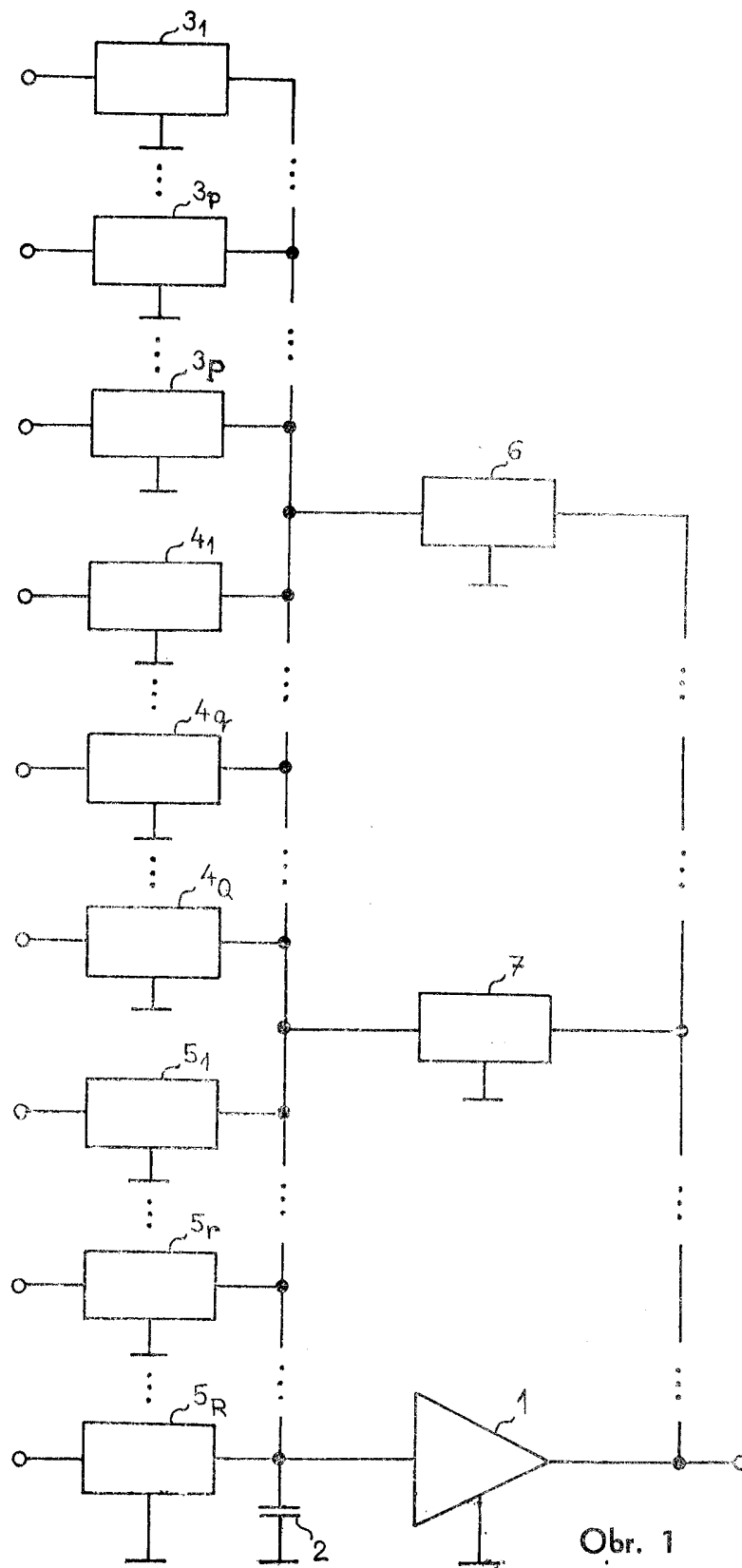
jako přenos napětí z každého r-tého vstupu vstupního přepínaného kapacitního bloku **5r**, který však má vždy opačné znaménko, což vyplývá z rovnice (3) a (4).

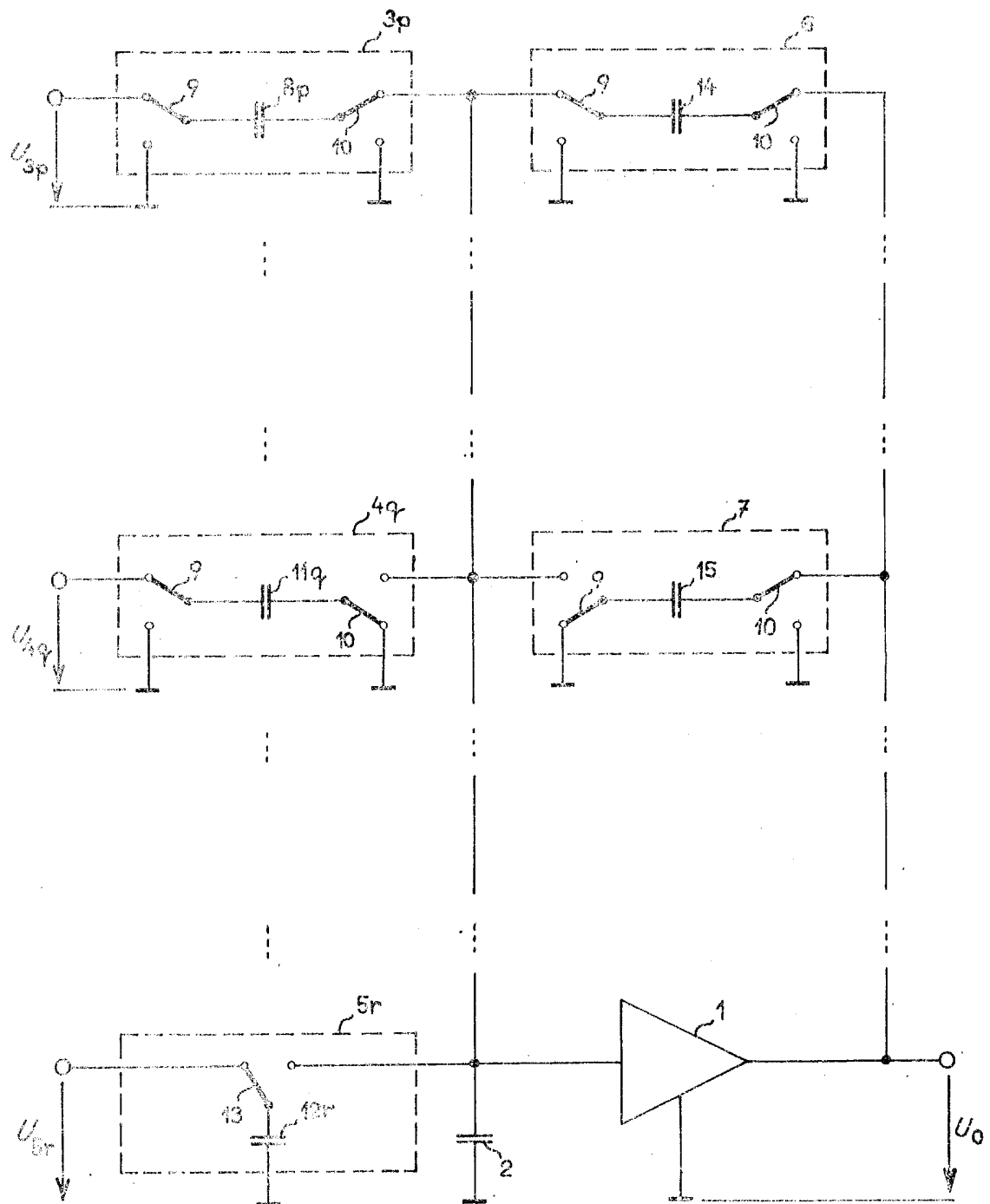
Vynález je možné s výhodou využít při syntéze složitějších obvodů se spínanými kapacitry, zejména filtrů vyšších řádů a mnohohranů, jsou-li jejich vlastnosti předepsány přímo v rovině z .

PŘEDMĚT VYNÁLEZU

Zapojení vícevstupového stavebního bloku se spínanými kapacitry, vyznačující se tím, že je tvořeno napěťovým zesilovačem (1), spojeným svým vstupem s prvním vývodem integračního kapacitoru (2), jehož druhý vývod je uzemněn, s výstupem každého p-tého z celkového počtu P vstupních přímovybíjených spínaných kapacitních bloků (3p), kde p je přirozené číslo v rozmezí od 1 do P , s výstupem každého q-tého z celkového počtu Q vstupních invertujících přepínaných kapacitních bloků (4q), kde q je přirozené číslo v rozmezí od 1 do Q , s výstupem každého r-tého z celkového počtu R vstupních přepínaných kapacitních bloků (5r), kde r je přirozené číslo v rozmezí od

1 do R , se vstupem zpětnovazebního přímo vybíjeného kapacitního bloku (6) a se vstupem zpětnovazebního invertujícího přepínaného kapacitního bloku (7), a svým výstupem s výstupem zpětnovazebního přímovybíjeného kapacitního bloku (6) a s výstupem zpětnovazebního invertujícího přepínaného kapacitního bloku (7), přičemž každý kapacitní blok ze skupiny zahrnující první až P -tý vstupní přímovybíjený spínaný kapacitní blok (31 až 3P), první až Q -tý vstupní invertující přepínaný kapacitní blok (41 až 4Q) a první až R -tý vstupní přepínaný kapacitní blok (51 až 5R), je opatřen jedním samostatným vstupem.





Obr. 2