

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】令和5年9月26日(2023.9.26)

【公開番号】特開2023-42402(P2023-42402A)

【公開日】令和5年3月27日(2023.3.27)

【年通号数】公開公報(特許)2023-056

【出願番号】特願2021-149681(P2021-149681)

【国際特許分類】

H 0 1 L 29/78(2006.01)

H 0 1 L 29/739(2006.01)

H 0 1 L 29/06(2006.01)

H 0 1 L 29/861(2006.01)

H 0 1 L 21/336(2006.01)

H 0 1 L 29/12(2006.01)

H 0 1 L 21/8234(2006.01)

10

【F I】

H 0 1 L 29/78 6 5 7 D

H 0 1 L 29/78 6 5 5 G

H 0 1 L 29/78 6 5 2 P

H 0 1 L 29/78 6 5 7 A

H 0 1 L 29/78 6 5 7 F

H 0 1 L 29/78 6 5 2 K

H 0 1 L 29/78 6 5 3 A

H 0 1 L 29/78 6 5 2 J

H 0 1 L 29/78 6 5 5 B

H 0 1 L 29/78 6 5 2 M

H 0 1 L 29/78 6 5 2 D

H 0 1 L 29/91 C

H 0 1 L 29/06 3 0 1 G

H 0 1 L 29/06 3 0 1 V

H 0 1 L 29/06 3 0 1 S

H 0 1 L 29/78 6 5 8 A

H 0 1 L 29/78 6 5 8 F

H 0 1 L 29/78 6 5 2 T

H 0 1 L 29/91 F

H 0 1 L 27/06 1 0 2 A

20

30

【手続補正書】

【提出日】令和5年9月15日(2023.9.15)

40

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

トランジスタとダイオードとが共通の半導体基板に形成された半導体装置であって、
前記半導体基板は、
前記トランジスタが形成されたトランジスタ領域と、

50

前記ダイオードが形成されたダイオード領域と、を有し、
 前記ダイオード領域は、
 前記半導体基板の第 2 主面側に設けられた第 1 導電型の第 1 半導体層と、
 前記第 1 半導体層上に設けられた第 1 導電型の第 2 半導体層と、
 前記第 2 半導体層よりも前記半導体基板の第 1 主面側に設けられた第 2 導電型の第 3 半導体層と、
 前記ダイオードに第 1 電位を与える第 1 主電極と、
 前記ダイオードに第 2 電位を与える第 2 主電極と、
 前記半導体基板の前記第 1 主面から前記第 2 半導体層に達するように設けられた少なくとも 1 つのダミーアクティブトレンチゲートを備え、
 前記少なくとも 1 つのダミーアクティブトレンチゲートは、
 2 つの側面の少なくとも一方側に、前記第 1 電位が与えられずフローティング状態となった前記第 3 半導体層を有し、
 前記少なくとも 1 つのダミーアクティブトレンチゲートには、前記トランジスタのゲート電位が与えられる、半導体装置。

10

【請求項 2】

前記ダイオード領域は、
 前記半導体基板の第 1 主面から前記第 2 半導体層に達するように設けられた複数のトレンチゲートを備え、
 前記少なくとも 1 つのダミーアクティブトレンチゲートは、2 つの半トレンチゲートで挟まれるように設けられ、
 前記少なくとも 1 つのダミーアクティブトレンチゲートと前記 2 つの半トレンチゲートとの間にはフローティング状態となった前記第 3 半導体層を有し、
 前記複数のトレンチゲートは、それぞれの 2 つの側面の両側に前記第 1 電位が与えられる前記第 3 半導体層を有し、
 前記 2 つの半トレンチゲートは、それぞれの 2 つの側面のうち前記少なくとも 1 つのダミーアクティブトレンチゲート側となる一方側に、フローティング状態となった前記第 3 半導体層を有し、他方側に前記第 1 電位が与えられる前記第 3 半導体層を有し、
 前記複数のトレンチゲートおよび前記 2 つの半トレンチゲートには前記第 1 電位が与えられる、請求項 1 記載の半導体装置。

20

30

【請求項 3】

前記少なくとも 1 つのダミーアクティブトレンチゲートは、
 前記 2 つの半トレンチゲートの間に複数設けられる、請求項 2 記載の半導体装置。

【請求項 4】

前記ダイオード領域は、
 前記半導体基板の第 1 主面から前記第 2 半導体層に達するように設けられた複数のトレンチゲートを備え、
 前記少なくとも 1 つのダミーアクティブトレンチゲートは、対向して配置された 2 つの半ダミーアクティブトレンチゲートとして設けられ、
 前記 2 つの半ダミーアクティブトレンチゲートは、それぞれの 2 つの側面のうち対向する側となる一方側に、フローティング状態となった前記第 3 半導体層を有し、他方側に前記第 1 電位が与えられる前記第 3 半導体層を有し、
 前記複数のトレンチゲートは、それぞれの 2 つの側面の両側に前記第 1 電位が与えられる前記第 3 半導体層を有し、
 前記 2 つの半ダミーアクティブトレンチゲートには前記トランジスタのゲート電位が与えられ、
 前記複数のトレンチゲートには前記第 1 電位が与えられる、請求項 1 記載の半導体装置。

40

【請求項 5】

前記ダイオード領域は、

50

前記半導体基板の第1主面から前記第2半導体層に達するように設けられた複数のトレンチゲートを備え、

前記少なくとも1つのダミーアクティブトレンチゲートは、2つの半ダミーアクティブトレンチゲートで挟まれるように設けられ、

前記少なくとも1つのダミーアクティブトレンチゲートと前記2つの半ダミーアクティブトレンチゲートとの間にはフローティング状態となった前記第3半導体層を有し、

前記複数のトレンチゲートは、それぞれの2つの側面の両側に前記第1電位が与えられる前記第3半導体層を有し、

前記2つの半ダミーアクティブトレンチゲートは、それぞれの2つの側面のうち前記少なくとも1つのダミーアクティブトレンチゲート側となる一方側に、フローティング状態となった前記第3半導体層を有し、他方側に前記第1電位が与えられる前記第3半導体層を有し、

前記2つの半ダミーアクティブトレンチゲートには前記トランジスタのゲート電位が与えられ、

前記複数のトレンチゲートには前記第1電位が与えられる、請求項1記載の半導体装置。

【請求項6】

前記ダイオード領域は、

前記半導体基板の第1主面から前記第2半導体層に達するように設けられた複数のアクティブトレンチゲートおよび複数のトレンチゲートを備え、

前記少なくとも1つのダミーアクティブトレンチゲートは、2つの半ダミーアクティブトレンチゲートで挟まれるように設けられ、

前記少なくとも1つのダミーアクティブトレンチゲートと前記2つの半ダミーアクティブトレンチゲートとの間にはフローティング状態となった前記第3半導体層を有し、

前記複数のアクティブトレンチゲートは、それぞれの2つの側面の両側に前記第1電位が与えられる前記第3半導体層を有し、

前記2つの半ダミーアクティブトレンチゲートは、それぞれの2つの側面のうち前記少なくとも1つのダミーアクティブトレンチゲート側となる一方側に、フローティング状態となった前記第3半導体層を有し、他方側に前記第1電位が与えられる前記第3半導体層を有し、

前記複数のアクティブトレンチゲートおよび前記2つの半ダミーアクティブトレンチゲートには前記トランジスタのゲート電位が与えられる、請求項1記載の半導体装置。

【請求項7】

前記少なくとも1つのダミーアクティブトレンチゲートは、

前記2つの半ダミーアクティブトレンチゲートの間に複数設けられる、請求項5または請求項6記載の半導体装置。

【請求項8】

前記少なくとも1つのダミーアクティブトレンチゲートおよび前記2つの半ダミーアクティブトレンチゲートの配置間隔は、

少なくとも前記複数のトレンチゲートの配置間隔よりも狭い、請求項5または請求項6記載の半導体装置。

【請求項9】

前記少なくとも1つのダミーアクティブトレンチゲートは、延伸方向の複数の部分で、前記延伸方向とは垂直な方向に分岐し、前記2つの半ダミーアクティブトレンチゲートと接続され、前記少なくとも1つのダミーアクティブトレンチゲートと前記2つの半ダミーアクティブトレンチゲートとで、格子状の平面パターンを構成する、請求項5または請求項6記載の半導体装置。

【請求項10】

トランジスタとダイオードとが共通の半導体基板に形成された半導体装置であって、

前記半導体基板は、

10

20

30

40

50

前記トランジスタが形成されたトランジスタ領域と、
 前記ダイオードが形成されたダイオード領域と、を有し、
 前記ダイオード領域は、
 前記半導体基板の第 2 主面側に設けられた第 1 導電型の第 1 半導体層と、
 前記第 1 半導体層上に設けられた第 1 導電型の第 2 半導体層と、
 前記第 2 半導体層よりも前記半導体基板の第 1 主面側に設けられた第 2 導電型の第 3 半導体層と、

前記ダイオードに第 1 電位を与える第 1 主電極と、
 前記ダイオードに第 2 電位を与える第 2 主電極と、
 前記半導体基板の第 1 主面から前記第 2 半導体層に達するように設けられた少なくとも 10
 1 つのダミーアクティブトレンチゲートを備え、
 前記少なくとも 1 つのダミーアクティブトレンチゲートは、
 2 つの側面の少なくとも一方側に、前記第 1 電位が与えられずフローティング状態とな
 った前記第 2 半導体層を有し、
 前記少なくとも 1 つのダミーアクティブトレンチゲートには、前記トランジスタのゲー
 ト電位が与えられる、半導体装置。

【請求項 1 1】

前記トランジスタ領域および前記ダイオード領域は、トレンチゲートの延伸方向に交互
 に配置され、
 前記トレンチゲートは、前記トランジスタ領域および前記ダイオード領域を平面視で貫
 20
 くように設けられ、
 前記少なくとも 1 つのダミーアクティブトレンチゲートは、
 前記トランジスタ領域において、前記半導体基板の前記第 1 主面から前記第 2 半導体層
 に達するように設けられ、前記トランジスタのゲート電位が与えられるアクティブトレン
 チゲートと連続するように設けられる、請求項 1 記載の半導体装置。

【請求項 1 2】

前記トランジスタ領域および前記ダイオード領域は、トレンチゲートの延伸方向に交互
 に配置され、
 前記トレンチゲートは、前記トランジスタ領域および前記ダイオード領域を平面視で貫
 30
 くように設けられ、
 前記ダイオード領域は、
 前記少なくとも 1 つのダミーアクティブトレンチゲートが設けられた領域と、
 前記半導体基板の前記第 1 主面から前記第 2 半導体層に達するように設けられた少なく
 とも 1 つのアクティブトレンチゲートが設けられた領域と、が交互に配置され、
 前記少なくとも 1 つのダミーアクティブトレンチゲートおよび前記少なくとも 1 つの ア
クティブトレンチゲートは、
 前記トランジスタ領域において、前記半導体基板の前記第 1 主面から前記第 2 半導体層
 に達するように設けられ、前記トランジスタのゲート電位が与えられるアクティブトレン
 チゲートと連続するように設けられる、請求項 1 記載の半導体装置。

【請求項 1 3】

前記半導体基板は、
 珪素、炭化珪素、窒化ガリウム系材料、酸化ガリウム系材料またはダイヤモンドから選
 40
 択される材料によって構成される、請求項 1 記載の半導体装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 2

【補正方法】変更

【補正の内容】

【0 0 2 2】

(2) アイランド型の全体平面構造

図 2 において、半導体装置 101 は、1 つの半導体装置内に IGBT 領域 10 とダイオード領域 20 とを備えている。ダイオード領域 20 は、半導体装置内の縦方向および横方向にそれぞれ複数並んで配置されており、ダイオード領域 20 は周囲を IGBT 領域 10 に取り囲まれている。つまり、IGBT 領域 10 内に複数のダイオード領域 20 がアイランド状に設けられている。図 2 では、ダイオード領域 20 は紙面左右方向に 4 列、紙面上下方向に 2 行のマトリクス状に設けた構成で示しているが、ダイオード領域 20 の個数および配置はこれに限るものではなく、IGBT 領域 10 内に 1 つまたは複数のダイオード領域 20 が点在して設けられ、それぞれのダイオード領域 20 が周囲を IGBT 領域 10 に囲まれた構成であればよい。

【手続補正 3】

10

【補正対象書類名】明細書

【補正対象項目名】0081

【補正方法】変更

【補正の内容】

【0081】

次に、半導体基板の第 2 主面上にコレクタ電極 7 を形成することで、図 9 に示した断面構成を得ることができる。コレクタ電極 7 は、第 2 主面の IGBT 領域 10、ダイオード領域 20 および終端領域 30 の全面に亘って形成される。また、コレクタ電極 7 は、半導体基板である n 型ウエハの第 2 主面の全面に亘って形成してよい。コレクタ電極 7 は、スパッタリングまたは蒸着などの PVD によって、アルミニウムシリコン合金 (Al-Si 系合金) またはチタン (Ti) などを堆積させて形成してよく、アルミニウムシリコン合金、チタン、ニッケルあるいは金など複数の金属を積層させて形成してもよい。さらには、PVD で形成した金属膜上に無電解めっきまたは電解めっきで、さらに金属膜を形成してコレクタ電極 7 としてもよい。

20

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0085

【補正方法】変更

【補正の内容】

【0085】

30

図 23 に示す RC-IGBT1000 においては、ダイオード領域 20 は半導体基板の第 1 主面である n⁺ 型ソース層 13、p⁺ 型コンタクト層 14、p⁺ 型コンタクト層 24 および p 型アノード層 25 の紙面上端から、n⁻ 型ドリフト層 1 に達する複数のアクティブトレンチゲート 11、複数のダミートレンチゲート 12、複数のダイオードトレンチゲート 21、複数のダイオード半トレンチゲート 22 およびダイオードダミーアクティブトレンチゲート 41 を有している。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0141

【補正方法】変更

40

【補正の内容】

【0141】

図 33 は、図 31 における G-G 線での矢示方向断面図である。図 33 に示すダイオード領域 20 の断面構成は、図 26 に示した RC-IGBT2001 の断面構成と基本的には同じであり、ダイオード半ダミーアクティブトレンチゲート 51 の隣にダイオードダミーアクティブトレンチゲート 41 を設けた構成となっている。なお、RC-IGBT2001 と同一の構成については同一の符号を付し、重複する説明は省略する。

【手続補正 6】

【補正対象書類名】図面

【補正対象項目名】図 6

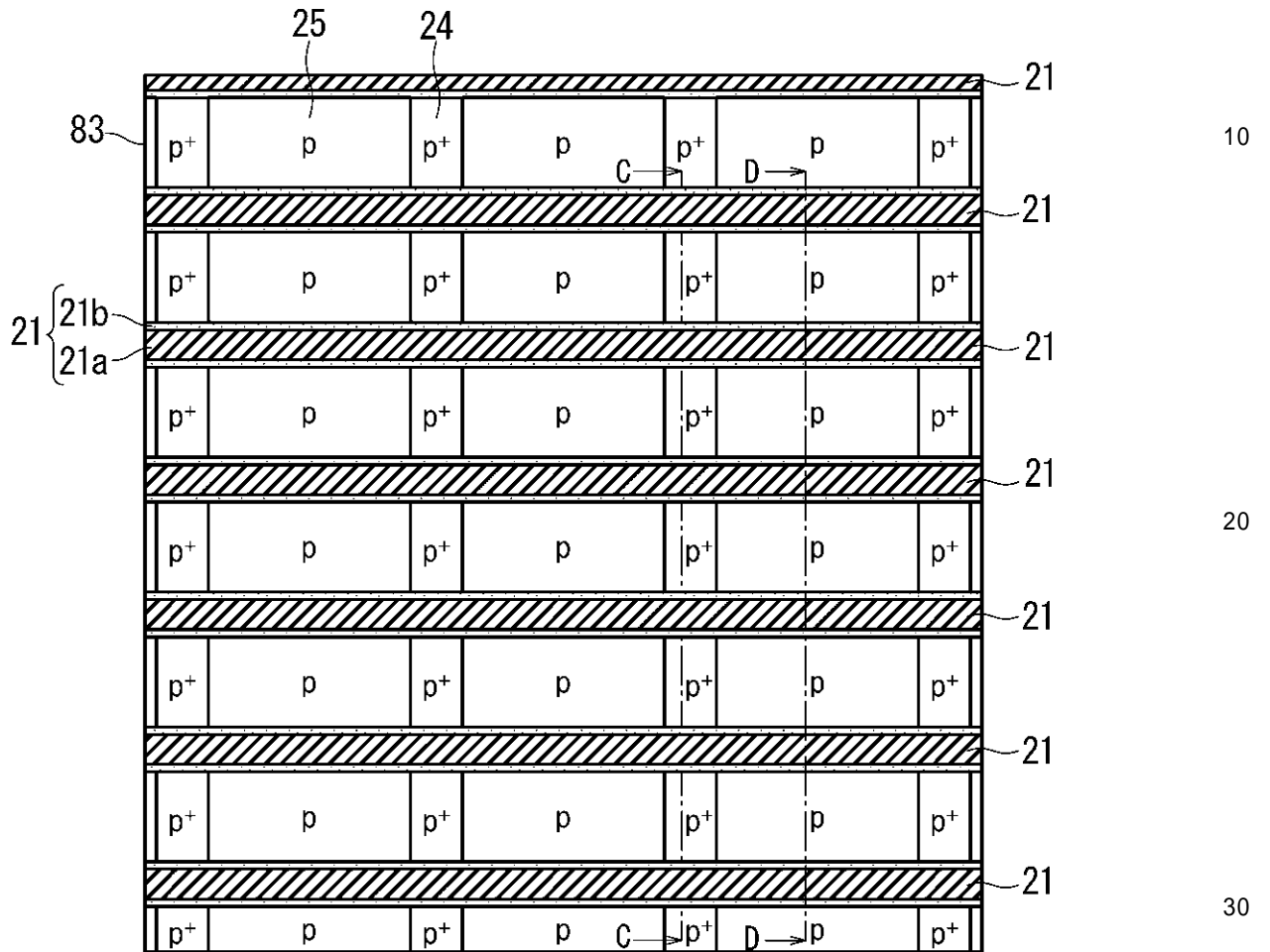
50

【補正方法】変更

【補正の内容】

【図 6】

20



【手続補正 7】

【補正対象書類名】図面

【補正対象項目名】図 7

【補正方法】変更

【補正の内容】

10

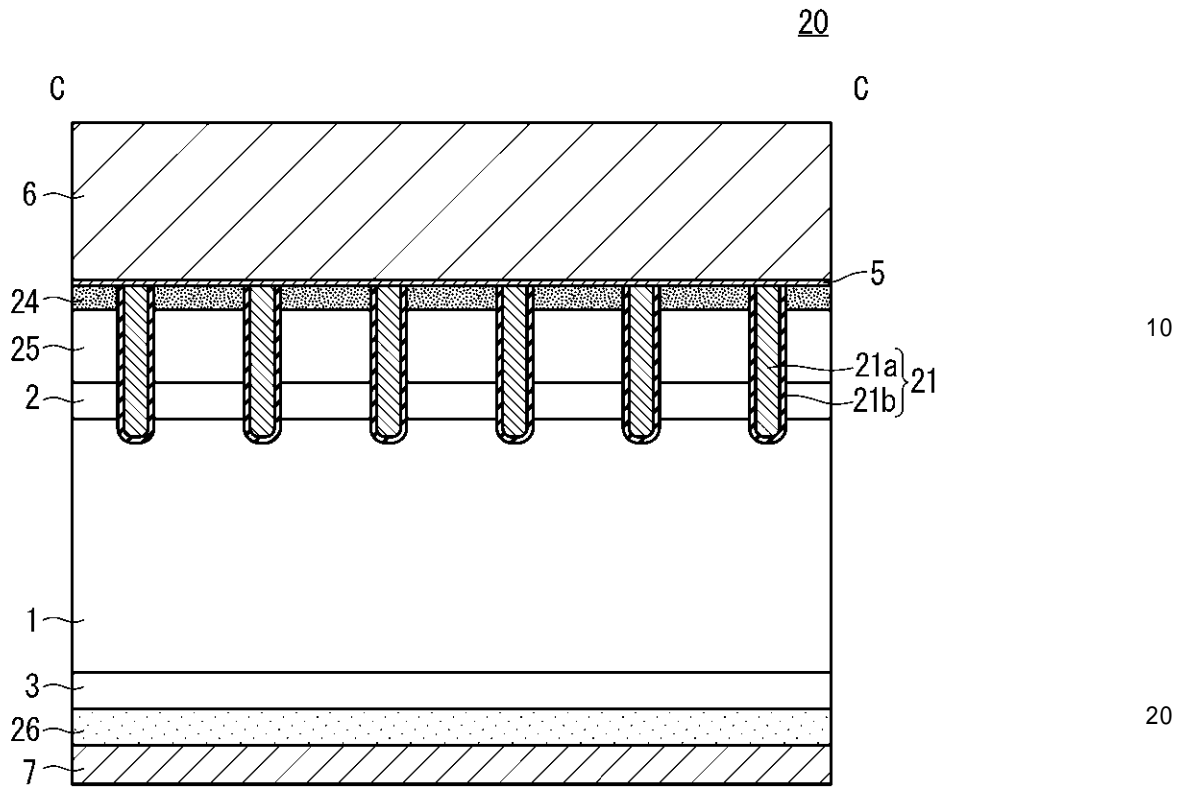
20

30

40

50

【 図 7 】



【 手続補正 8 】
【 補正対象書類名 】 図面
【 補正対象項目名 】 図 9
【 補正方法 】 変更
【 補正の内容 】

10

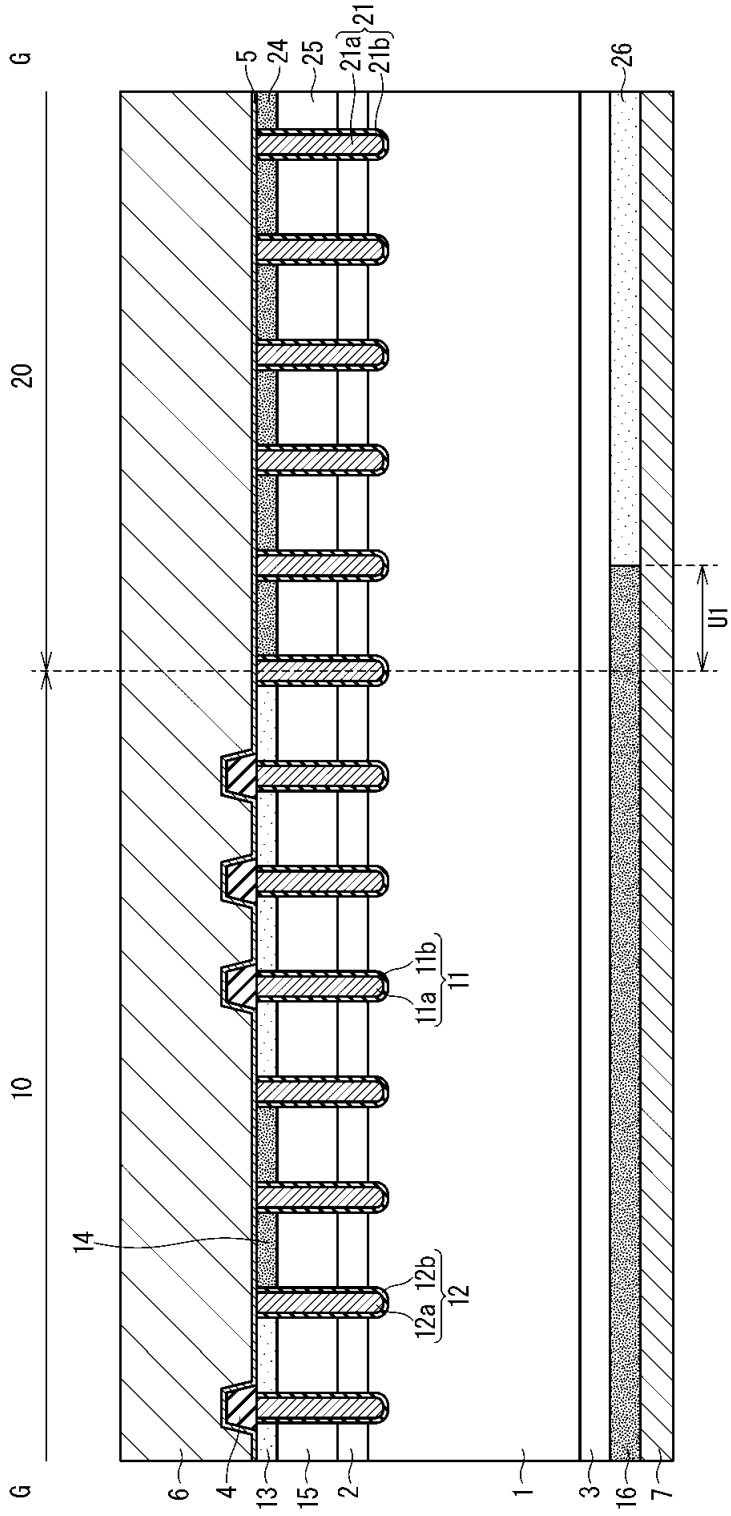
20

30

40

50

【 9 】



10

20

30

40

50