



(21)申請案號：110148147

(22)申請日：中華民國 110 (2021) 年 12 月 22 日

(51)Int. Cl. : H01L23/488 (2006.01)

H01L23/31 (2006.01)

(30)優先權：2021/02/01 美國

17/164,723

(71)申請人：美商高通公司 (美國) QUALCOMM INCORPORATED (US)

美國

(72)發明人：佩托 安尼奇 PATIL, ANIKET (IN)；魏 弘博 WE, HONG BOK (US)

(74)代理人：李世章

申請實體審查：無 申請專利範圍項數：23 項 圖式數：14 共 60 頁

(54)名稱

具有包括周邊互連的基板的封裝

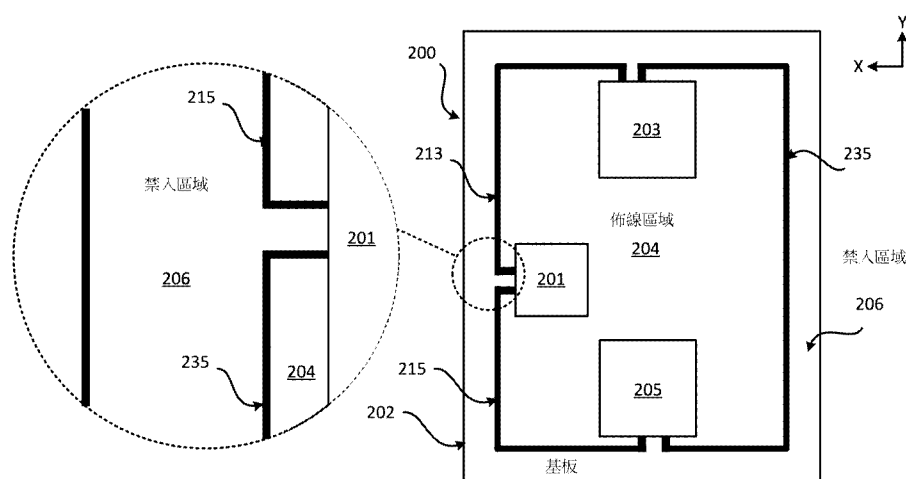
(57)摘要

一種封裝，其包括基板、第一集成裝置和第二集成裝置。該基板包括至少一個介電層、複數個互連、阻焊層和位於阻焊層之上的複數個周邊互連。第一集成裝置被耦合到該基板。第二集成裝置被耦合到該基板。第二集成裝置被配置成經由該複數個周邊互連電耦合到第一集成裝置。

A package comprising a substrate, a first integrated device and a second integrated device. The substrate includes at least one dielectric layer, a plurality of interconnects, a solder resist layer, and a plurality of periphery interconnects located over the solder resist layer. The first integrated device is coupled to the substrate. The second integrated device is coupled to the substrate. The second integrated device is configured to be electrically coupled to the first integrated device through the plurality of periphery interconnects.

指定代表圖：

符號簡單說明：



平面視圖

圖2

- 200:封裝
- 201:集成裝置
- 202:基板
- 203:集成裝置
- 204:佈線區域
- 205:集成裝置
- 206:禁入區域
- 213:周邊互連
- 215:周邊互連
- 235:周邊互連

## 【發明摘要】

【中文發明名稱】具有包括周邊互連的基板的封裝

【英文發明名稱】 PACKAGE WITH A SUBSTRATE COMPRISING PERIPHERY INTERCONNECTS

【中文】

一種封裝，其包括基板、第一集成裝置和第二集成裝置。該基板包括至少一個介電層、複數個互連、阻焊層和位於阻焊層之上的複數個周邊互連。第一集成裝置被耦合到該基板。第二集成裝置被耦合到該基板。第二集成裝置被配置成經由該複數個周邊互連電耦合到第一集成裝置。

【英文】

A package comprising a substrate, a first integrated device and a second integrated device. The substrate includes at least one dielectric layer, a plurality of interconnects, a solder resist layer, and a plurality of periphery interconnects located over the solder resist layer. The first integrated device is coupled to the substrate. The second integrated device is coupled to the substrate. The second integrated device is configured to be electrically coupled to the first integrated device through the plurality of periphery interconnects.

【指定代表圖】第（ 2 ）圖。

【代表圖之符號簡單說明】

2 0 0：封 裝

2 0 1：集 成 裝 置

2 0 2：基 板

2 0 3：集 成 裝 置

- 2 0 4 : 佈 線 區 域
- 2 0 5 : 集 成 裝 置
- 2 0 6 : 禁 入 區 域
- 2 1 3 : 周 邊 互 連
- 2 1 5 : 周 邊 互 連
- 2 3 5 : 周 邊 互 連

【特徵化學式】

無

## 【發明說明書】

【中文發明名稱】具有包括周邊互連的基板的封裝

【英文發明名稱】 PACKAGE WITH A SUBSTRATE COMPRISING PERIPHERY INTERCONNECTS

【技術領域】

【0001】 本申請案主張於2021年2月1日在美國專利局提交的非臨時申請案第17/164,723號的優先權和權益，該申請案的全部內容藉由援引如同整體在下文全面闡述一般且出於所有適用目的而被納入於此。

【0002】 各種特徵係關於包括集成裝置的封裝，但尤其關於包括集成裝置和基板的封裝。

【先前技術】

【0003】 圖1示出了包括基板102、集成裝置104和集成裝置106的封裝100。基板102包括至少一個介電層120、複數個互連122和複數個焊料互連124。複數個焊料互連144耦合到基板102和集成裝置104。複數個焊料互連164耦合到基板102和集成裝置106。電耦合該集成裝置104和集成裝置106可對封裝100的整體效能產生不利影響。一直存在提供效能更好的封裝的需求。

【發明內容】

【0004】 各種特徵係關於包括集成裝置的封裝，但尤其關於包括集成裝置和基板的封裝。

【0005】 一個實例提供了包括基板、第一集成裝置和第二集成裝置的封裝。該基板包括至少一個介電層、複數個互

連、阻焊層和位於阻焊層之上的複數個周邊互連。第一集成裝置被耦合到該基板。第二集成裝置被耦合到該基板。第二集成裝置被配置成經由該複數個周邊互連電耦合到第一集成裝置。

**【0006】** 另一實例提供了包括基板、第一集成裝置和第二集成裝置的設備。該基板包括至少一個介電層、複數個互連、阻焊層、以及位於阻焊層之上的用於周邊互連的構件。第一集成裝置被耦合到該基板。第二集成裝置被耦合到該基板。第二集成裝置被配置成經由該用於周邊互連的構件電耦合到第一集成裝置。

**【0007】** 另一實例提供了一種用於製造封裝的方法。該方法提供包括至少一個介電層、複數個互連、阻焊層；及位於阻焊層之上的複數個周邊互連的基板。該方法將第一集成裝置耦合到該基板。該方法將第二集成裝置耦合到該基板。第二集成裝置被配置成經由該複數個周邊互連電耦合到第一集成裝置。

#### **【圖式簡單說明】**

**【0008】** 在結合附圖理解下文闡述的詳細描述時，各種特徵、本質和優點會變得明顯，在附圖中，相同的元件符號始終作對應標識。

圖1示出了包括集成裝置和基板的封裝的剖面視圖。

圖2示出了包括具有周邊互連的基板的封裝的平面視圖。

圖 3 示出了耦合到具有周邊互連的基板的集成裝置的  
近景視圖的平面視圖。

圖 4 示出了具有周邊互連的基板的剖面視圖。

圖 5 示出了具有周邊互連的基板的剖面視圖。

圖 6 示出了包括具有周邊互連的基板的封裝的剖面視  
圖。

圖 7 示出了包括具有周邊互連的基板的封裝的剖面視  
圖。

圖 8 示出了用於製造包括周邊互連的基板的示例性工  
序。

圖 9 示出了用於製造包括周邊互連的基板的方法的示  
例性流程圖。

圖 10 A 至圖 10 C 示出了用於製造基板的示例性工序。

圖 11 示出了用於製造基板的方法的示例性流程圖。

圖 12 A 至圖 12 B 示出了用於製造包括含有周邊互連的  
基板的封裝的示例性工序。

圖 13 示出了用於製造包括含有周邊互連的基板的封裝  
的方法的示例性流程圖。

圖 14 示出了可以集成本文中所描述的晶粒、電子電  
路、集成裝置、集成被動裝置（IPD）、被動部件、封裝、  
及 / 或裝置封裝的各種電子裝置。

### 【實施方式】

【0009】 在以下描述中，提供了具體細節以提供對本揭示  
的各個態樣的透徹理解。然而，本領域一般技藝人士將理

解，沒有該等具體細節亦可以實踐該等態樣。例如，電路可能用方塊圖圖示以避免使該等態樣湮沒在不必要的細節中。在其他實例中，熟知的電路、結構和技術可能不被詳細圖示以免湮沒本揭示的該等態樣。

**【0010】** 本揭示描述了一種封裝，其包括基板、第一集成裝置和第二集成裝置。該基板包括至少一個介電層、複數個互連、阻焊層和位於阻焊層之上的複數個周邊互連。第一集成裝置被耦合到該基板。第二集成裝置被耦合到該基板。第二集成裝置被配置成經由該複數個周邊互連電耦合到第一集成裝置。該基板包括佈線區域和禁入區域。該複數個周邊互連至少部分地沿佈線區域和禁入區域的邊界定位。該複數個周邊互連被配置成為第一集成裝置和第二集成裝置之間的至少一個信號提供至少一個電路徑。

包括含有周邊互連的基板的示例性封裝

**【0011】** 圖2示出了包括具有周邊互連的基板的封裝200的平面視圖。封裝200包括基板202、集成裝置201、集成裝置203和集成裝置205。基板202包括佈線區域204和禁入區域206。集成裝置201、集成裝置203和集成裝置205被耦合到基板202的第一表面。集成裝置201、集成裝置203和集成裝置205被耦合到基板202的佈線區域204。佈線區域204可以包括基板202中的含有基板202中的互連的區域。禁入區域206可以不具有基板202中的互連。佈線區域204和禁入區域206共享邊界。

【0012】 基板 202 包括第一複數個周邊互連 213、第二複數個周邊互連 215 和第三複數個周邊互連 235。第一複數個周邊互連 213、第二複數個周邊互連 215 及 / 或第三複數個周邊互連 235 可位於基板 202 的阻焊層之上。第一複數個周邊互連 213 被配置成電耦合集成裝置 201 和集成裝置 203。第二複數個周邊互連 215 被配置成電耦合集成裝置 201 和集成裝置 205。第三複數個周邊互連 235 被配置成電耦合集成裝置 203 和集成裝置 205。

【0013】 第一複數個周邊互連 213、第二複數個周邊互連 215 及 / 或第三複數個周邊互連 235 可以是至少部分地沿佈線區域 204 和禁入區域 206 的周邊定位的互連。第一複數個周邊互連 213、第二複數個周邊互連 215 及 / 或第三複數個周邊互連 235 可以是至少部分地沿佈線區域 204 的周邊定位的互連。第一複數個周邊互連 213、第二複數個周邊互連 215 及 / 或第三複數個周邊互連 235 可以是至少部分地沿禁入區域 206 的內周邊定位的互連。沿佈線區域 204 和禁入區域 206 的邊界定位的周邊互連可意味著該周邊至少部分地位於邊界上、位於佈線區域 204 中毗鄰於該邊界的部分上、及 / 或位於禁入區域 206 中毗鄰於該邊界的部分上。第一複數個周邊互連 213、第二複數個周邊互連 215 及 / 或第三複數個周邊互連 235 可以用於周邊互連的構件。

【0014】 周邊互連可被配置為兩個集成裝置（例如，兩個功率管理積體電路（PIMC））之間的通道（例如，信號通道）。使用沿佈線區域 204 的周邊的第一複數個周邊互連

213、第二複數個周邊互連215及/或第三複數個周邊互連235有助於改進封裝200的功率分佈網路(PDN)的效能。例如，第一複數個周邊互連213、第二複數個周邊互連215及/或第三複數個周邊互連235可以被定位成儘可能遠離封裝200的電源軌及/或電源平面(其可能位於基板202的佈線區域204中)，此有助於改進電源軌及/或電源平面的效能。電源軌及/或電源平面是可被耦合到一或多個集成裝置的互連的實例。電源軌及/或電源平面可位於基板202的金屬層中。此外，沿佈線區域204的邊界及/或周邊放置周邊互連可以幫助減少包括周邊互連的金屬層的總面積及/或減少基板202的金屬層的數目。

**【0015】** 第一複數個周邊互連213、第二複數個周邊互連215及/或第三複數個周邊互連235可具有25微米的最小線寬(L)、以及周邊互連之間25微米的最小間隔(S)。第一複數個周邊互連213、第二複數個周邊互連215及/或第三複數個周邊互連235可具有18微米的最小厚度。

**【0016】** 集成裝置(例如，201、203、205)可包括晶粒(例如，半導體裸晶粒)。集成裝置可以包括功率管理積體電路(PMIC)。集成裝置可以包括應用處理器。集成裝置可以包括射頻(RF)裝置、被動裝置、濾波器、電容器、電感器、天線、發射器、接收器、基於砷化鎵(GaAs)的集成裝置、表面聲波(SAW)濾波器、體聲波(BAW)濾波器、發光二極體(LED)集成裝置、基於矽(Si)的集成裝置、基於碳化矽(SiC)的集成裝置、記憶體、功

率管理處理器、及/或其組合。集成裝置（例如，201、203、205）可以包括至少一個電子電路（例如，第一電子電路、第二電子電路等）。

【0017】 集成裝置（例如，201、203、205）位於基板202的佈線區域204之上。注意，不同的封裝可具有不同數目的集成裝置。集成裝置的放置是示例性的。集成裝置可被耦合到基板的不同的部分。

【0018】 圖3示出了集成裝置201和基板202的平面視圖的近景視圖。如圖3中所示，第一複數個周邊互連213和第二複數個周邊互連215被配置成被耦合（例如，電耦合）到集成裝置201。第一複數個周邊互連213包括周邊互連311和周邊互連312。周邊互連311和周邊互連312被配置成被耦合到集成裝置201和集成裝置203。周邊互連311和周邊互連312被配置成為集成裝置201和集成裝置203之間的信號提供電路徑。如下文將進一步描述的，第一複數個周邊互連213經由複數個互連、複數個焊料互連及/或複數個柱狀互連耦合到集成裝置201。

【0019】 周邊互連311在佈線區域204中並且沿佈線區域204的周邊定位。周邊互連312在禁入區域206中並且沿禁入區域206的內周邊定位。第一複數個周邊互連213可以沿佈線區域204和禁入區域206的邊界延伸。佈線區域204和禁入區域206的邊界可以包括基板202的佈線區域204的毗鄰部分及/或禁入區域206的毗鄰部分。

【0020】 第二複數個周邊互連215包括周邊互連331、周邊互連332和周邊互連333。周邊互連331、周邊互連332和周邊互連333被配置成被耦合到集成裝置201和集成裝置205。周邊互連331、周邊互連332和周邊互連333被配置成為集成裝置201和集成裝置205之間的信號提供電路徑。如下文將進一步描述的，第二複數個周邊互連215經由複數個互連、複數個焊料互連及/或複數個柱狀互連耦合到集成裝置201。

【0021】 周邊互連331在佈線區域204中並且沿佈線區域204的周邊定位。周邊互連332和333在禁入區域206中並且沿禁入區域206的內周邊定位。第二複數個周邊互連215可以沿佈線區域204和禁入區域206的邊界延伸。佈線區域204和禁入區域206的邊界可以包括基板202的佈線區域204的毗鄰部分及/或禁入區域206的毗鄰部分。

【0022】 其他集成裝置（例如，203、205）可以按與針對集成裝置201所描述的類似方式被耦合到其相應的周邊互連。注意，不同的實現方式可以具有不同數目的耦合到集成裝置的周邊互連。不同的實現方式可以將周邊互連放置在佈線區域204及/或禁入區域206的不同部分中。不同的實現方式可以不同地定義佈線區域204的毗鄰部分。例如，佈線區域204的毗鄰部分可以包括佈線區域204的在佈線區域204和禁入區域206之間共享的邊界100微米以內（例如，100微米或更少）的部分。不同的實現方式可以

使用小於100微米的值來定義佈線區域204到邊界的毗鄰部分。

**【0023】** 圖4示出了跨圖3的AA橫截面的基板202的剖面視圖。基板202包括至少一個介電層402、複數個互連322、阻焊層401、第一複數個周邊互連213、第二複數個周邊互連215和周邊介電層403。來自該複數個互連322的一些互連（例如，焊盤）位於該至少一個介電層402的表面之上。阻焊層401位於該至少一個介電層402和該複數個互連322之上。周邊互連311、312、331、332和333被耦合到來自該複數個互連322的互連。周邊介電層403位於阻焊層401和該等周邊互連（例如，311、312、331、332、333）之上。該複數個互連322可被配置成經由焊料互連及/或柱狀互連被耦合到集成裝置（例如，201）。如下文進一步描述的，該至少一個介電層402可包括該至少一個介電層620。

**【0024】** 圖5示出了跨圖3的AA橫截面的基板502的剖面視圖。圖5的基板502可以類似於基板202。因此，基板502可包括與基板202相同或相似的部件。基板502包括至少一個介電層402、複數個互連522、阻焊層401、第一複數個周邊互連213、第二複數個周邊互連215和周邊介電層403。來自該複數個互連522的一些互連（例如，焊盤）位於（例如，嵌入）該至少一個介電層402之中。阻焊層401位於該至少一個介電層402和該複數個互連522之上。周邊互連311、312、331、332和333被耦合到來自該複數個

互連522的互連。周邊介電層403位於阻焊層401和該等周邊互連（例如，311、312、331、332、333）之上。該複數個互連522可被配置成經由焊料互連及/或柱狀互連被耦合到集成裝置（例如，201）。注意，圖4和圖5中所示的配置可適用於本揭示中所描述的其他集成裝置（例如，203、205）。

**【0025】** 圖6示出了包括具有周邊互連的基板202的封裝200的剖面視圖。封裝200經由複數個焊料互連680耦合到板690（例如，印刷電路板（PCB））。封裝200提供了具有緊湊的小型因數而同時亦具有最佳化的和改進的PDN效能的封裝。

**【0026】** 封裝200包括基板202、集成裝置203、集成裝置205、部件607（例如，電容器）。基板202包括至少一個介電層620、複數個互連622、阻焊層401、阻焊層601、複數個周邊互連625和周邊介電層403。複數個互連622可以表示複數個互連322及/或複數個互連522。儘管未圖示，但封裝200可以包括其他集成裝置（例如，201）和其他周邊互連（例如，213、215）。該複數個互連622可包括複數個互連322。

**【0027】** 複數個互連622可以具有第一最小節距以及第一最小線寬（L）和間隔（S）（例如，L/S）。在一些實現方式中，該複數個互連622的第一最小線和間隔（L/S）在約9/9-12/12微米（ $\mu\text{m}$ ）的範圍中（例如，約9-12微米（ $\mu\text{m}$ ）的最小線寬、約9-12微米（ $\mu\text{m}$ ）的最小間隔）。

【0028】 複數個周邊互連 635 可具有 25 微米的最小線寬 (L)、以及周邊互連之間 25 微米的最小間隔 (S)。複數個周邊互連 635 可具有 18 微米的最小厚度。

【0029】 不同實現方式可以使用不同基板。基板 202 可以是層壓基板、無芯基板、有機基板、包括芯層的基板 (例如, 有芯基板)。在一些實現方式中, 該至少一個介電層 620 可包括芯層及 / 或預浸層。該至少一個介電層 620 可具有在約 3.5 - 3.7 的範圍中的介電常數。該至少一個介電層 620 可以包括用於加固基板 202 的玻璃纖維。以下在圖 10A 至圖 10C 中進一步描述製造基板的實例。如將在以下進一步描述的, 在一些實現方式中, 基板 202 可以使用改良型半加成製程 (mSAP) 或半加成製程 (SAP) 來製造。圖 8 示出並描述了用於製造包括周邊互連的基板的工序。

【0030】 集成裝置 203 被耦合到基板 202 的第一表面 (例如, 頂表面)。集成裝置 203 經由複數個焊料互連 630 耦合到基板。該複數個焊料互連 630 可以包括焊柱互連 (例如, 銅柱) 及 / 或焊料互連。底部填料 633 位於基板 202 與集成裝置 203 (例如, 第一集成裝置) 之間。底部填料 633 可以圍繞複數個焊料互連 630。集成裝置 205 被耦合到基板 202 的第一表面 (例如, 頂表面)。集成裝置 205 (例如, 第二集成裝置) 經由複數個焊料互連 650 耦合到基板。複數個焊料互連 650 可以包括焊柱互連 (例如, 銅柱) 及 / 或焊料互連。底部填料 653 位於基板 202 與集成裝置 205 之間。

底部填料 653 可以圍繞複數個焊料互連 350。集成裝置 203 和集成裝置 205 可位於基板 202 的佈線區域 204 之上。

【0031】 包封層 610 可形成在基板 202 和集成裝置（例如，203、205）和部件 607 之上。包封層 610 可包括模塑、樹脂及 / 或環氧樹脂。壓縮模製製程、傳遞模製製程、或液態模製製程可被用來形成包封層 610。包封層 610 可以是光可蝕刻的。包封層 610 可以用於包封的構件。

【0032】 該複數個周邊互連 635 位於阻焊層 401 之上。該複數個周邊互連 635 可以表示本揭示中所描述的周邊互連（例如，213、215、235、311、312、331、332、333）中的任一者。該複數個周邊互連 635 可以在禁入區域 206 的內周邊中、在佈線區域 204 的周邊中、及 / 或沿佈線區域 204 和禁入區域 206 的邊界定位。禁入區域 206 可以不具有基板 202 中的互連。例如，在基板 202 的禁入區域 206 中，可能不存在位於該至少一個介電層 620 中的互連。在另一實例中，在基板 202 的禁入區域 206 中，在阻焊層 401（例如，阻焊層 401 的耦合到該至少一個介電層 620 的底表面）和阻焊層 601（例如，該阻焊層 601 的耦合到該至少一個介電層 620 的頂表面）之間可能沒有垂直定位的互連。周邊介電層 403 位於阻焊層 401 和該複數個周邊互連 635 之上。該複數個周邊互連 625 可被配置成電耦合兩個或兩個以上集成裝置。該複數個周邊互連 625 可被配置為兩個或兩個以上集成裝置之間的信號的電路徑。

【0033】 集成裝置 203 經由該複數個焊料互連 630 和來自該複數個互連 622 的互連（例如，表面互連）耦合到該複數個周邊互連 635。集成裝置 205 經由該複數個焊料互連 650 和來自該複數個互連 622 的互連（例如，表面互連）耦合到該複數個周邊互連 635。

【0034】 圖 7 示出了包括具有周邊互連的基板 702 的封裝 700 的剖面視圖。封裝 700 類似於封裝 200。如此，封裝 700 包括與封裝 200 相同或類似的部件。基板 702 類似於基板 202。如此，基板 702 包括與基板 202 相同或類似的部件。封裝 700 可以表示圖 1 至圖 5 的封裝 200。

【0035】 基板 702 包括至少一個介電層、複數個互連 722、阻焊層 401、阻焊層 601、複數個周邊互連 635 和周邊介電層 403。如圖 7 中所示，集成裝置 203 和集成裝置 205 被耦合到基板 702 的嵌入式互連。

【0036】 集成裝置 203 經由該複數個焊料互連 630 和來自該複數個互連 622 的互連（例如，嵌入式互連）耦合到該複數個周邊互連 635。集成裝置 205 經由該複數個焊料互連 650 和來自該複數個互連 622 的互連（例如，嵌入式互連）耦合到該複數個周邊互連 635。集成裝置 203 和集成裝置 205 可位於基板 702 的佈線區域 204 之上。如圖 6 至圖 7 中所示，該複數個周邊互連 635 位於與基板（例如，202、702）的其他互連不同的金屬層上。例如，該複數個周邊互連 635 位於與位於阻焊層 401 和阻焊層 601 之間的互連不同的金屬層上。

用於製造包括周邊互連的基板的示例性工序

**【0037】** 圖 8 示出了用於提供或製造包括周邊互連的基板的示例性工序。在一些實現方式中，圖 8 的工序可被用於提供或製造圖 6 的包括周邊互連的基板 202、或本揭示中所描述的任何基板。

**【0038】** 應當注意，圖 8 的工序可以組合一或多個階段以便簡化及 / 或闡明用於提供或製造基板的工序。在一些實現中，各製程的次序可被改變或修改。在一些實現中，一或多個製程可被替代或置換，而不會脫離本揭示的範圍。圖 8 的工序可被用來一次製造一個基板或若干基板（作為晶片的一部分）。

**【0039】** 如圖 8 中所示，階段 1 示出了在提供基板 202 之後的狀態。基板 202 可以由供應商提供或被製造。與圖 10A 至圖 10C 中所示的製程類似的製程可被用來製造基板 202。然而，不同實現方式可以使用不同的製程來製造基板 202。可被用來製造基板 202 的製程的實例包括半加成製程（SAP）和改良型半加成製程（mSAP）。基板 202 包括至少一個介電層 620 和複數個互連 622。基板 202 可以是層壓基板、無芯基板、有機基板、包括芯層的基板（例如，有芯基板）。在一些實現方式中，該至少一個介電層 620 可包括芯層及 / 或預浸層。基板 202 包括至少一個介電層 620、複數個互連 622、阻焊層 401 和阻焊層 601。

**【0040】** 階段 2 示出了在阻焊層 401 之上形成複數個周邊互連 635 之後的狀態。該複數個周邊互連 635 被耦合到複數

個互連 6 2 2。該複數個周邊互連 6 3 5 可以形成在阻焊層 4 0 1 的腔中。該複數個周邊互連 6 3 5 可以表示來自該複數個周邊互連（例如，2 1 3、2 1 5、2 3 5、3 1 1、3 1 2、3 3 1、3 3 2、3 3 3）的一或多個周邊互連。不同實現方式可以不同地形成該複數個周邊互連 6 3 5。噴墨及/或氣溶膠噴印製程可被用於在阻焊層 4 0 1 和來自複數個互連 6 2 2 的互連的一些部分之上形成導電膏。噴墨及/或氣溶膠噴印製程可在兩個焊盤（例如，表面焊盤、嵌入式焊盤）之間形成導電膏。

**【0041】** 階段 3 示出了在阻焊層 4 0 1 和複數個周邊互連 6 3 5 之上形成周邊介電層 4 0 3 之後的狀態。周邊介電層 4 0 3 亦可以形成在阻焊層 4 0 1 的至少一些腔中。周邊介電層 4 0 3 中的一些可以橫向地位於阻焊層 4 0 1 和複數個周邊互連 6 3 5 之間。不同的實現方式可以不同地形成周邊介電層 4 0 3。噴墨及/或氣溶膠噴印製程可被用於在阻焊層 4 0 1 和複數個周邊互連 6 3 5 之上形成介電膏。一旦提供及/或形成導電膏和介電膏，就可以執行固化製程，其將導電膏變成複數個周邊互連 6 3 5，並且將介電膏變成周邊介電層 4 0 3。固化製程可包括爐焙及/或紫外（U V）固化。

用於製造包括周邊互連的基板的方法的示例性流程圖

**【0042】** 在一些實現方式中，製造包括周邊互連的基板包括若干製程。圖 9 示出了用於提供或製造包括周邊互連的基板的方法 9 0 0 的示例性流程圖。在一些實現方式中，圖 9 的方法 9 0 0 可被用於提供或製造本揭示中所描述的圖 6 的基

板（例如，202）。然而，方法900可被用於提供或製造本揭示中所描述的任何基板。

**【0043】** 應當注意，圖9的方法可以組合一或多個製程以便簡化及/或闡明用於提供或製造互連裝置的方法。在一些實現方式中，各製程的次序可被改變或修改。

**【0044】** 該方法（在905）提供基板（例如，202）。基板202可以由供應商提供或被製造。與圖10A至圖10C中所示的製程類似的製程可被用來製造基板202。然而，不同實現方式可以使用不同的製程來製造基板202。可被用來製造基板202的製程的實例包括半加成製程（SAP）和改良型半加成製程（mSAP）。基板202包括至少一個介電層620和複數個互連622。基板202可以是層壓基板、無芯基板、有機基板、包括芯層的基板（例如，有芯基板）。在一些實現方式中，該至少一個介電層620可包括芯層及/或預浸層。基板202包括至少一個介電層620、複數個互連622、阻焊層401和阻焊層601。

**【0045】** 該方法（在910）在阻焊層401之上提供導電膏。該導電膏可被耦合到複數個互連622。該導電膏可被形成在阻焊層401的腔中。一旦被固化，該導電膏可形成複數個周邊互連635。該複數個周邊互連635可以表示來自該複數個周邊互連（例如，213、215、235、311、312、331、332、333）的一或多個周邊互連。不同實現方式可以不同地形成該導電膏。噴墨及/或氣溶膠噴印製程可被用於在阻焊層401和來自該複數個互連622的互連的一些部分之上

形成導電膏。噴墨及/或氣溶膠噴印製程可在兩個焊盤（例如，表面焊盤、嵌入式焊盤）之間形成導電膏。圖8的階段2示出並且描述了在阻焊層之上形成的導電膏（其將成為周邊互連）的實例。

**【0046】** 該方法（在915）在阻焊層401和導電膏之上提供介電膏。該介電膏可被形成在阻焊層401的至少一些腔中。一些介電膏可橫向位於阻焊層401和導電膏之間。一旦被固化，該介電膏可形成周邊介電層403。不同實現方式可以不同地形成該介電膏。噴墨及/或氣溶膠噴印製程可被用於在阻焊層401和該導電膏之上形成介電膏。圖8的階段3示出並且描述了在阻焊層之上形成的介電膏（其將成為周邊介電層）的實例。

**【0047】** 該方法（在920）固化導電膏及/或介電膏。固化製程可包括爐焙及/或紫外（UV）固化。固化該導電膏可形成複數個周邊互連635。固化介電膏可形成周邊介電層403。對導電膏和介電膏的固化可併發地或順序地執行。

用於製造基板的示例性工序

**【0048】** 在一些實現方式中，製造基板包括若干製程。圖10A至10C示出了用於提供或製造基板的示例性工序。在一些實現方式中，圖10A至圖10C的工序可被用來提供或製造圖6的基板202。然而，圖10A至圖10C的製程可被用來製造本揭示中所描述的任何基板。

**【0049】** 應當注意，圖10A至圖10C的工序可以組合一或多個階段以便簡化及/或闡明用於提供或製造基板的工

序。在一些實現方式中，各製程的次序可被改變或修改。在一些實現方式中，一或多個製程可被替代或置換，而不會脫離本揭示的範圍。

**【0050】** 如圖 10 A 中圖示的，階段 1 示出了在提供載體 1000 並且在該載體 1000 之上形成金屬層之後的狀態。該金屬層可被圖案化以形成互連 1002。可以使用鍍敷製程和蝕刻製程來形成該金屬層和互連。

**【0051】** 階段 2 示出了在載體 1000 和互連 1002 之上形成介電層 1020 之後的狀態。介電層 1020 可包括聚醯亞胺。然而，不同實現方式可以將不同材料用於介電層。

**【0052】** 階段 3 示出了在介電層 1020 中形成複數個腔 1010 之後的狀態。可以使用蝕刻製程（例如，光刻製程）或鐳射製程來形成該複數個腔 1010。

**【0053】** 階段 4 示出了在介電層 1020 之中和之上形成互連 1012 之後的狀態。例如，可以形成通孔、焊盤及 / 或跡線。可以使用鍍敷製程來形成該等互連。

**【0054】** 階段 5 示出了在介電層 1020 之上形成另一介電層 1022 之後的狀態。介電層 1022 可以是與介電層 1020 相同的材料。然而，不同實現方式可以將不同材料用於介電層。

**【0055】** 如圖 10 B 中圖示的，階段 6 示出了在介電層 1022 中形成複數個腔 1030 之後的狀態。可以使用蝕刻製程或鐳射製程來形成腔 1030。

【0056】 階段 7 示出了在介電層 1022 之中和之上形成互連 1014 之後的狀態。例如，可以形成通孔、焊盤及 / 或跡線。可以使用鍍敷製程來形成該等互連。

【0057】 階段 8 示出了在介電層 1022 之上形成另一介電層 1024 之後的狀態。介電層 1024 可以是與介電層 1020 相同的材料。然而，不同實現方式可以將不同材料用於介電層。

【0058】 階段 9 示出了在介電層 1024 中形成複數個腔 1040 之後的狀態。可以使用蝕刻製程或鐳射製程來形成腔 1040。

【0059】 如圖 10C 中圖示的，階段 10 示出了在介電層 1024 之中和之上形成互連 1016 之後的狀態。例如，可以形成通孔、焊盤及 / 或跡線。可以使用鍍敷製程來形成該等互連。

【0060】 互連 1002、1012、1014 及 / 或 1016 中的一些或全部可以定義基板 202 的複數個互連 622。介電層 1020、1022、1024 可以由至少一個介電層 620 表示。

【0061】 階段 11 示出了從介電層 620 解耦（例如，移除、磨掉）載體 1000 而留下基板 202 之後的狀態。

【0062】 階段 12 示出了在基板 202 之上形成阻焊層 401 和阻焊層 601 之後的狀態。阻焊層 401 和阻焊層 601 可以是基板 202 的一部分。

【0063】 不同實現方式可使用不同製程來形成金屬層。在一些實現方式中，化學氣相沉積（CVD）製程及 / 或物理氣相沉積（PVD）製程用於形成（諸）金屬層。例如，可使

用濺鍍製程、噴塗製程、及/或鍍敷製程來形成（諸）金屬層。

用於製造基板的方法的示例性流程圖

**【0064】** 在一些實現方式中，製造基板包括若干製程。圖 11 示出了用於提供或製造基板的方法 1100 的示例性流程圖。在一些實現方式中，圖 11 的方法 1100 可被用來提供或製造圖 6 的基板。例如，圖 11 的方法可被用來製造基板 202。當互連裝置被實現為基板及/或伸介體時，圖 11 的方法可被用來製造互連裝置。

**【0065】** 應當注意，圖 11 的方法可以組合一或多個製程以便簡化及/或闡明用於提供或製造基板的方法。在一些實現方式中，各製程的次序可被改變或修改。

**【0066】** 該方法（在 1105）提供載體 1000。不同實現方式可將不同材料用於載體。載體可包括基板、玻璃、石英及/或載體帶。圖 10A 的階段 1 示出和描述了在提供載體之後的狀態的實例。

**【0067】** 該方法（在 1110）在載體 1000 之上形成金屬層。該金屬層可被圖案化以形成互連。可以使用鍍敷製程來形成金屬層和互連。圖 10A 的階段 1 示出和描述了在形成金屬層和互連 1002 之後的狀態的實例。

**【0068】** 該方法（在 1115）在載體 1000 和互連 1002 之上形成介電層 1020。介電層 1020 可包括聚醯亞胺。形成介電層亦可包括在介電層 1020 中形成複數個腔（例如，

1010)。可以使用蝕刻製程（例如，光刻）或鐳射製程來形成該複數個腔。圖10A的階段2至3示出和描述了形成介電層並且在該介電層中形成腔的實例。

【0069】 該方法（在1120）在該介電層之中和之上形成互連。例如，可在介電層1020之中和之上形成互連1012。可以使用鍍敷製程來形成該等互連。形成互連可以包括在介電層之上及/或之中提供圖案化金屬層。圖10A的階段4示出和描述了在介電層之中和之上形成互連的實例。

【0070】 該方法（在1125）在介電層1020和該等互連之上形成介電層1022。介電層1022可包括聚醯亞胺。形成介電層亦可包括在介電層1022中形成複數個腔（例如，1030）。可以使用蝕刻製程或鐳射製程來形成該複數個腔。圖10A至圖10B的階段5至6示出了形成介電層並且在該介電層中形成腔。

【0071】 該方法（在1130）在該介電層之中及/或之上形成互連。例如，可以形成互連1014。可以使用鍍敷製程來形成該等互連。形成互連可以包括在介電層之上和之中提供圖案化金屬層。圖10B的階段7示出和描述了在介電層之中和之上形成互連的實例。

【0072】 該方法可以形成（諸）附加介電層和附加互連，如在1125和1130處所描述的。圖10B至圖10C的階段8至10示出和描述了在介電層之中和之上形成附加互連的實例。

【0073】 一旦形成所有介電層和附加互連，該方法就可從介電層 1020 解耦（例如，移除、磨掉）該載體（例如，1000），而留下該基板。在一些實現方式中，該方法可在該基板之上形成阻焊層（例如，401、601）。

【0074】 不同實現方式可使用不同製程來形成（諸）金屬層。在一些實現方式中，化學氣相沉積（CVD）製程及/或物理氣相沉積（PVD）製程用於形成金屬層。例如，可使用濺鍍製程、噴塗製程、及/或鍍敷製程來形成（諸）金屬層。

用於製造包括含有周邊互連的基板的封裝的示例性工序

【0075】 圖 12A 至圖 12B 示出了用於提供或製造包括含有周邊互連的基板的封裝的示例性工序。在一些實現方式中，圖 12A 至圖 12B 的工序可被用來提供或製造圖 6 的包括含有周邊互連的基板的封裝 200、或本揭示中所描述的任何封裝。

【0076】 應當注意，圖 12A 至圖 12B 的工序可以組合一或多個階段以便簡化及/或闡明用於提供或製造封裝的工序。在一些實現方式中，各製程的次序可被改變或修改。在一些實現方式中，一或多個製程可被替代或置換，而不會脫離本揭示的範圍。圖 12A 至圖 12B 的工序可被用來一次製造一個封裝或若干封裝（作為晶片的一部分）。

【0077】 如圖 12A 中所示，階段 1 示出了在提供基板 202 之後的狀態。基板 202 可以由供應商提供或被製造。可以使用與圖 8 和圖 10A 至圖 10C 中所示的製程類似的製程來

製造基板 202。然而，不同實現方式可以使用不同的製程來製造基板 202。可被用來製造基板 202 的製程的實例包括半加成製程（SAP）和改良型半加成製程（mSAP）。基板 202 包括至少一個介電層 620 和複數個互連 622。基板 202 可以是層壓基板、無芯基板、有機基板、包括芯層的基板（例如，有芯基板）。在一些實現方式中，該至少一個介電層 620 可包括芯層及 / 或預浸層。基板 202 包括至少一個介電層 620、複數個互連 622、阻焊層 401、阻焊層 601、複數個周邊互連 635 和周邊介電層 403。

**【0078】** 階段 2 示出了在將集成裝置 203、集成裝置 205 和部件 607 耦合到基板 202 的第一表面（例如，頂表面）之後的狀態。集成裝置 203 可經由複數個焊料互連 630 來耦合到基板 202。集成裝置 205 可經由複數個焊料互連 650 來耦合到基板 202。部件 607 可經由複數個焊料互連 670 來耦合到基板 202。其他集成裝置（例如，201）可被耦合到基板 202。集成裝置 203 和集成裝置 205 可被耦合到基板 202，以使得集成裝置 203 和集成裝置 205 被配置成經由複數個周邊互連 635 彼此電耦合。該複數個周邊互連 635 可至少部分地沿基板 202 的佈線區域 204 和禁入區域 206 的邊界定位。集成裝置 203、集成裝置 205 和部件 607 可被耦合到基板 202，以使得集成裝置 203、集成裝置 205 和部件 607 位於基板 202 的佈線區域 204 之上。

**【0079】** 如圖 12B 中圖示的，階段 3 示出了在基板 202 和該等集成裝置之上提供包封層之後的狀態。包封層可以包封

( 諸 ) 集成裝置及 / 或 部件。例如，包封層 610 可形成在基板 202 和 ( 諸 ) 集成裝置 ( 例如，203、205 ) 之上。包封層 610 可包括模塑、樹脂及 / 或環氧樹脂。壓縮模製製程、傳遞模製製程、或液態模製製程可被用來形成包封層 610。包封層 610 可以是光可蝕刻的。包封層 610 可以是用於包封的構件。

**【0080】** 階段 4 示出了在將複數個焊料互連 680 耦合到基板 202 的第二表面 ( 例如，底表面 ) 之後的狀態。複數個焊料互連 680 可被耦合到來自基板 202 的複數個互連 622 的互連。焊料回流製程可被用於將複數個焊料互連 680 耦合到基板 202。階段 4 可以示出封裝 600。本揭示中所描述的封裝 ( 例如，600 ) 可以一次製造一個，或者可以一起製造為一或多個晶片的一部分並且隨後切單成個體封裝。用於製造包括含有周邊互連的基板的封裝的方法的示例性流程圖

**【0081】** 在一些實現方式中，製造包括含有周邊互連的基板的封裝包括若干製程。圖 13 示出了用於提供或製造包括含有周邊互連的基板的封裝的方法 1300 的示例性流程圖。在一些實現方式中，圖 13 的方法 1300 可被用來提供或製造本揭示中所描述的圖 6 的封裝 600。然而，方法 1300 可被用來提供或製造本揭示中所描述的任何封裝。

**【0082】** 應注意，圖 13 的方法可以組合一或多個製程以便簡化及 / 或闡明用於提供或製造包括含有周邊互連的基板

的封裝的方法。在一些實現方式中，各製程的次序可被改變或修改。

**【0083】** 該方法（在1305）提供具有周邊互連的基板（例如，202）。基板202可以由供應商提供或被製造。基板202包括第一表面和第二表面。基板202包括至少一個介電層620、複數個互連622、阻焊層401、阻焊層601、複數個周邊互連635和周邊介電層403。不同實現方式可提供不同的基板。可以使用與圖8和圖10A至圖10C中所示的製程類似的製程來製造基板202。然而，不同實現方式可以使用不同的製程來製造基板202。圖12A的階段1示出和描述了提供具有周邊互連的基板的實例。

**【0084】** 該方法（在1310）將複數個集成裝置（例如，201、203、205）及/或部件（例如，607）耦合到基板（例如，202）的第一表面。例如，集成裝置203可經由該複數個焊料互連630來耦合到基板202。複數個焊料互連630可被耦合到來自基板202的複數個互連622的互連。在另一實例中，集成裝置205可經由該複數個焊料互連650來耦合到基板202。複數個焊料互連650可被耦合到來自基板202的複數個互連622的互連。集成裝置203和集成裝置205可被耦合到該基板，以使得集成裝置203和集成裝置205被配置成經由複數個周邊互連635彼此電耦合。該複數個周邊互連635可至少部分地沿基板202的佈線區域204和禁入區域206的邊界定位。圖12A的階段2示出和描述了耦合到基板的集成裝置和部件的實例。將集成裝置耦合到

基板亦可以包括在相應的集成裝置（例如，203、205）與基板202之間提供底部填料（例如，613、633、653）。圖12A的階段2示出和描述了底部填料被提供的實例。

**【0085】** 該方法（在1315）在基板（例如，202）之上形成包封層（例如，610）。包封層610可包括模塑、樹脂及/或環氧樹脂。壓縮模製製程、傳遞模製製程、或液態模製製程可被用來形成包封層610。包封層610可以是光可蝕刻的。包封層610可以用於包封的構件。包封層可以包封該（些）集成裝置及/或部件。圖12B的階段3示出和描述了在基板之上形成包封層的實例。

**【0086】** 該方法（在1320）將複數個焊料互連（例如，380）耦合到基板（例如，202）的第二表面。圖12B的階段4示出和描述了將焊料互連耦合到基板的實例。

示例性電子裝置

**【0087】** 圖14示出了可集成有前述裝置、集成裝置、積體電路（IC）封裝、積體電路（IC）裝置、半導體裝置、積體電路、晶粒、仲介體、封裝、層疊封裝（PoP）、系統級封裝（SiP）、或片上系統（SoC）中的任一者的各種電子裝置。例如，行動電話裝置1402、膝上型電腦裝置1404、固定位置終端裝置1406、可穿戴裝置1408、或機動交通工具1410可包括如本文所描述的裝置1400。裝置1400可以是例如本文所描述的裝置及/或積體電路（IC）封裝中的任一者。圖14中所示出的裝置1402、1404、1406和1408、以及交通工具1410僅僅是示例性的。其他電子

裝置亦能以裝置 1400 為特徵，此類電子裝置包括但不限於包括以下各項的裝置（例如，電子裝置）組：行動裝置、掌上型個人通訊系統（PCS）單元、可攜式資料單元（諸如個人數位助理）、啟用全球定位系統（GPS）的裝置、導航裝置、機上盒、音樂播放機、視訊播放機、娛樂單元、固定位置資料單元（諸如儀錶讀取裝備）、通訊裝置、智慧型電話、平板電腦、電腦、可穿戴裝置（例如，手錶、眼鏡）、物聯網路（IoT）裝置、伺服器、路由器、機動交通工具（例如，自主交通工具）中實現的電子裝置、或者儲存或檢索資料或電腦指令的任何其他裝置，或者其任何組合。

【0088】 圖 2 至圖 9、圖 10 A 至圖 10 C、圖 11、圖 12 A 至圖 12 B 及 / 或圖 13 至圖 14 中所示出的各部件、製程、特徵、及 / 或功能中的一或多者可以被重新安排及 / 或組合成單個部件、製程、特徵或功能，或者在若干部件、製程或功能中體現。亦可添加附加元件、部件、製程、及 / 或功能而不會脫離本揭示。亦應當注意，圖 2 至圖 9、圖 10 A 至圖 10 C、圖 11、圖 12 A 至圖 12 B 及 / 或圖 13 至圖 14 及其在本揭示中的對應描述不限於晶粒及 / 或 IC。在一些實現方式中，圖 2 至圖 9、圖 10 A 至圖 10 C、圖 11、圖 12 A 至圖 12 B 及 / 或圖 13 至圖 14 及其對應描述可被用來製造、建立、提供、及 / 或生產裝置及 / 或集成裝置。在一些實現方式中，裝置可包括晶粒、集成裝置、集成被動裝置（IPD）、晶粒封裝、積體電路（IC）裝置、裝置封裝、積體電路（IC）封裝、

晶片、半導體裝置、層疊封裝（PoP）裝置、散熱裝置及/或中介體。

**【0089】** 注意，本揭示中的附圖可以表示各種零件、部件、物件、裝置、封裝、集成裝置、積體電路、及/或電晶體的實際表示及/或概念表示。在一些實例中，附圖可以不是按比例。在一些實例中，為了清楚起見，並未圖示所有部件及/或零件。在一些實例中，附圖中的各個零件及/或部件的定位、位置、大小、及/或形狀可以是示例性的。在一些實現方式中，附圖中的各個部件及/或零件可以是可任選的。

**【0090】** 詞語「示例性」在本文中用於意味著「用作示例、實例、或說明」。本文中描述為「示例性」的任何實現方式或態樣不必被解釋為優於或勝過本揭示的其他態樣。同樣，術語「態樣」不要求本揭示的所有態樣皆包括所論述的特徵、優點或操作模式。術語「耦合」在本文中用於指兩個物件之間的直接或間接耦合（例如，機械耦合）。例如，若物件A實體地接觸物件B，且物件B接觸物件C，則物件A和C仍可被認為是彼此耦合的——即便其並非彼此直接實體接觸。術語「電耦合」可意味著兩個物件直接或間接耦合在一起，以使得電流（例如，信號、功率、接地）可以在兩個物件之間傳遞。電耦合的兩個物件在兩個物件之間可以有或者可以沒有電流傳遞。術語「第一」、「第二」、「第三」和「第四」（及/或高於第四的任何事物）的使用是任意的。所描述的任何部件可以是第一部件、第

二部件、第三部件或第四部件。例如，被稱為第二部件的部件可以是第一部件、第二部件、第三部件或第四部件。術語「包封」意味著物件可以部分地包封或完全包封另一物件。術語「頂部」和「底部」是任意的。位於頂部的部件可以處在位於底部的部件之上。頂部部件可被視為底部部件，且反之亦然。如本揭示所描述的，位於第二部件「之上」的第一部件可意味著第一部件位於第二部件上方或下方，取決於底部或頂部被如何任意定義。在另一實例中，第一部件可位於第二部件的第一表面之上（例如，上方），而第三部件可位於第二部件的第二表面之上（例如，下方），其中第二表面與第一表面相對。進一步注意到，如在本揭示中在一個部件位於另一部件之上的上下文中所使用的術語「之上」可被用來意味著部件在另一部件上及/或在另一部件中（例如，在部件的表面上或被嵌入在部件中）。由此，例如，第一部件在第二部件之上可意味著：

- （1）第一部件在第二部件之上，但是不直接接觸第二部件；
- （2）第一部件在第二部件上（例如，在第二部件的表面上）；及/或
- （3）第一部件在第二部件中（例如，嵌入在第二部件中）。

位於第二部件「中」的第一部件可以部分地位於第二部件中或者完全位於第二部件中。如本揭示中所使用的術語「約‘值X’」或「大致為值X」意味著在‘值X’的百分之十以內。例如，約1或大致為1的值將意味著在0.9 - 1.1範圍中的值。

**【0091】** 在一些實現方式中，互連是裝置或封裝中允許或促成兩個點、元件及/或部件之間的電連接的元件或部件。在一些實現方式中，互連可包括跡線、通孔、焊盤、柱、金屬化層、重分佈層、及/或凸塊下金屬化（**U B M**）層/互連。在一些實現方式中，互連可包括可被配置成為信號（例如，資料信號）、接地及/或功率提供電路徑的導電材料。互連可包括不止一個元件或部件。互連可以由一或多個互連來定義。互連可包括一或多個金屬層。互連可以是電路的一部分。不同實現方式可使用不同製程及/或工序來形成互連。在一些實現方式中，化學氣相沉積（**C V D**）製程、物理氣相沉積（**P V D**）製程、濺鍍製程、噴塗、及/或鍍敷製程可被用於形成互連。

**【0092】** 亦注意到，本文中所包含的各種揭示可能是作為被描繪為流程圖、流程圖、結構圖或方塊圖的製程來描述的。儘管流程圖可能會將各操作描述為順序製程，但是該等操作中的許多操作能夠並行或併發地執行。另外，該等操作的次序可被重新安排。製程在其操作完成時終止。

**【0093】** 下文描述了進一步實例以促進對本發明的理解。

**【0094】** 態樣 1：一種封裝，其包括基板、第一集成裝置和第二集成裝置。該基板包括至少一個介電層；複數個互連；阻焊層；及位於阻焊層之上的複數個周邊互連。第一集成裝置被耦合到該基板。第二集成裝置被耦合到該基板，其中第二集成裝置被配置成經由該複數個周邊互連電耦合到第一集成裝置。

【0095】 態樣 2：如態樣 1 所述的封裝，其中基板包括佈線區域和禁入區域，並且其中該複數個周邊互連至少部分地沿佈線區域和禁入區域的邊界定位。

【0096】 態樣 3：如態樣 2 所述的封裝，其中禁入區域是基板中無互連的區域。

【0097】 態樣 4：如態樣 1 至 3 所述的封裝，其中該複數個周邊互連被配置成為第一集成裝置和第二集成裝置之間的至少一個信號提供至少一個電路徑。

【0098】 態樣 5：如態樣 1 至 4 所述的封裝，其中第一集成裝置包括第一功率管理集成裝置及 / 或第一應用處理器。

【0099】 態樣 6：如態樣 5 所述的封裝，其中第二集成裝置包括第二功率管理集成裝置及 / 或第二應用處理器。

【0100】 態樣 7：如態樣 1 至 6 所述的封裝，進一步包括位於阻焊層和該複數個周邊互連之上的周邊介電層。

【0101】 態樣 8：如態樣 1 至 7 所述的封裝，進一步包括耦合到基板的第三集成裝置，其中該基板進一步包括位於阻焊層之上的第二複數個周邊互連，其中該基板進一步包括位於阻焊層之上的第三複數個周邊互連，其中第一集成裝置被配置成經由第二複數個周邊互連電耦合到第三集成裝置，以及其中第二集成裝置被配置成經由第三複數個周邊互連電耦合到第三集成裝置。

【0102】 態樣 9：如態樣 1 至 8 所述的封裝，其中該複數個周邊互連、第二複數個周邊互連和第三複數個周邊互連沿基板的周邊定位。

【0103】 態樣 10：如態樣 1 至 9 所述的封裝，其中該封裝被併入從包括以下各項的組中選擇的裝置中：音樂播放機、視訊播放機、娛樂單元、導航裝置、通訊裝置、行動裝置、行動電話、智慧型電話、個人數位助理、固定位置終端、平板電腦、電腦、可穿戴裝置、膝上型電腦、伺服器、物聯網路（IoT）裝置、以及機動交通工具中的裝置。

【0104】 態樣 11：一種設備，其包括基板、第一集成裝置和第二集成裝置。該基板包括至少一個介電層；複數個互連；阻焊層；及位於阻焊層之上的用於周邊互連的構件。第一集成裝置被耦合到該基板。第二集成裝置被耦合到該基板，其中第二集成裝置被配置成經由用於周邊互連的構件電耦合到第一集成裝置。

【0105】 態樣 12：如態樣 11 所述的設備，其中基板包括佈線區域和禁入區域，並且其中用於周邊互連的構件至少部分地沿佈線區域和禁入區域的邊界定位。

【0106】 態樣 13：如態樣 12 的設備，其中禁入區域是基板中無互連的區域。

【0107】 態樣 14：如態樣 11 至 13 所述的設備，其中用於周邊互連的構件被配置成為第一集成裝置和第二集成裝置之間的至少一個信號提供至少一個電路徑。

【0108】 態樣 15：如態樣 11 至 14 所述的設備，其中第一集成裝置包括第一功率管理集成裝置及 / 或第一應用處理器。

【0109】 態樣 16：如態樣 15 所述的設備，其中第二集成裝置包括第二功率管理集成裝置及 / 或第二應用處理器。

【0110】 態樣 17：如態樣 11 至 16 所述的設備，進一步包括位於阻焊層和用於周邊互連的構件之上的周邊介電層。

【0111】 態樣 18：一種用於製造封裝的方法。該方法提供包括至少一個介電層；複數個互連；阻焊層；及位於阻焊層之上的複數個周邊互連的基板。該方法將第一集成裝置耦合到該基板。該方法將第二集成裝置耦合到該基板，其中第二集成裝置被配置成經由該複數個周邊互連電耦合到第一集成裝置。

【0112】 態樣 19：如態樣 18 所述的方法，其中基板包括佈線區域和禁入區域，並且其中該複數個周邊互連至少部分地沿佈線區域和禁入區域的邊界定位。

【0113】 態樣 20：如態樣 19 所述的方法，其中禁入區域是基板中無互連的區域。

【0114】 態樣 21：如態樣 18 至 20 所述的方法，其中該複數個周邊互連被配置成為第一集成裝置和第二集成裝置之間的至少一個信號提供至少一個電路徑。

【0115】 態樣 22：如態樣 18 至 21 所述的方法，其中第一集成裝置包括第一功率管理集成裝置及 / 或第一應用處理器。

【0116】 態樣 23：如態樣 18 至 22 所述的方法，進一步包括位於阻焊層和該複數個周邊互連之上的周邊介電層。

**【0117】** 本文中所描述的本揭示的各種特徵可實現於不同系統中而不會脫離本揭示。應當注意，本揭示的以上各態樣僅是實例，且不應被解釋成限制本揭示。對本揭示的各態樣的描述意欲是說明性的，而非限定所附請求項的範圍。由此，本發明的教示可以現成地應用於其他類型的設備，並且許多替換、修改和變形對於本領域技藝人士將是顯而易見的。

**【符號說明】**

**【0118】**

- 1：階段
- 2：階段
- 3：階段
- 4：階段
- 5：階段
- 6：階段
- 7：階段
- 8：階段
- 9：階段
- 10：階段
- 11：階段
- 12：階段
- 100：封裝
- 102：基板
- 104：集成裝置

1 0 6 : 集 成 裝 置

1 2 0 : 介 電 層

1 2 2 : 互 連

1 2 4 : 焊 料 互 連

1 4 4 : 焊 料 互 連

1 6 4 : 焊 料 互 連

2 0 0 : 封 裝

2 0 1 : 集 成 裝 置

2 0 2 : 基 板

2 0 3 : 集 成 裝 置

2 0 4 : 佈 線 區 域

2 0 5 : 集 成 裝 置

2 0 6 : 禁 入 區 域

2 1 3 : 周 邊 互 連

2 1 5 : 周 邊 互 連

2 3 5 : 周 邊 互 連

3 1 1 : 周 邊 互 連

3 1 2 : 周 邊 互 連

3 2 2 : 互 連

3 3 1 : 周 邊 互 連

3 3 2 : 周 邊 互 連

3 3 3 : 周 邊 互 連

4 0 1 : 阻 焊 層

4 0 2 : 介 電 層

- 4 0 3 : 周 邊 介 電 層
- 5 0 2 : 基 板
- 5 2 2 : 互 連
- 6 0 1 : 阻 焊 層
- 6 0 7 : 部 件
- 6 1 0 : 包 封 層
- 6 2 0 : 介 電 層
- 6 2 2 : 互 連
- 6 3 0 : 焊 料 互 連
- 6 3 3 : 底 部 填 料
- 6 3 5 : 周 邊 互 連
- 6 5 0 : 焊 料 互 連
- 6 5 3 : 底 部 填 料
- 6 7 0 : 焊 料 互 連
- 6 8 0 : 焊 料 互 連
- 6 9 0 : 板
- 7 0 0 : 封 裝
- 7 0 2 : 基 板
- 7 2 2 : 互 連
- 9 0 0 : 方 法
- 1 0 0 0 : 載 體
- 1 0 0 2 : 互 連
- 1 0 1 0 : 腔
- 1 0 1 2 : 互 連

1 0 1 4 : 互 連

1 0 1 6 : 互 連

1 0 2 0 : 介 電 層

1 0 2 2 : 介 電 層

1 0 2 4 : 介 電 層

1 0 3 0 : 腔

1 0 4 0 : 腔

1 1 0 0 : 方 法

1 3 0 0 : 方 法

1 4 0 0 : 裝 置

1 4 0 2 : 行 動 電 話 裝 置

1 4 0 4 : 膝 上 型 電 腦 裝 置

1 4 0 6 : 固 定 位 置 終 端 裝 置

1 4 0 8 : 可 穿 戴 裝 置

1 4 1 0 : 機 動 交 通 工 具

【生物材料寄存】

國 內 寄 存 資 訊 ( 請 依 寄 存 機 構 、 日 期 、 號 碼 順 序 註 記 )

無

國 外 寄 存 資 訊 ( 請 依 寄 存 國 家 、 機 構 、 日 期 、 號 碼 順 序 註 記 )

無

## 【發明申請專利範圍】

【請求項 1】 一種封裝，包括：

一基板，該基板包括：

至少一個介電層；

複數個互連；

一阻焊層；及

位於該阻焊層之上的複數個周邊互連；

耦合到該基板的一第一集成裝置；及

耦合到該基板的一第二集成裝置，其中該第二集成裝置被配置成經由該複數個周邊互連電耦合到該第一集成裝置。

【請求項 2】 如請求項 1 所述的封裝，

其中該基板包括一佈線區域和一禁入區域，以及

其中該複數個周邊互連至少部分地沿該佈線區域和該禁入區域的一邊界定位。

【請求項 3】 如請求項 2 所述的封裝，其中該禁入區域是該基板中無互連的一區域。

【請求項 4】 如請求項 1 所述的封裝，其中該複數個周邊互連被配置成為該第一集成裝置和該第二集成裝置之間的至少一個信號提供至少一個電路徑。

【請求項 5】 如請求項 1 所述的封裝，其中該第一集成裝置包括一第一功率管理集成裝置及 / 或一第一應用處理器。

【請求項 6】 如請求項 5 所述的封裝，其中該第二集成裝

置包括一第二功率管理集成裝置及/或一第二應用處理器。

【請求項7】 如請求項1所述的封裝，進一步包括位於該阻焊層和該複數個周邊互連之上的一周邊介電層。

【請求項8】 如請求項1所述的封裝，進一步包括耦合到該基板的一第三集成裝置，

其中該基板進一步包括位於該阻焊層之上的第二複數個周邊互連，

其中該基板進一步包括位於該阻焊層之上的第三複數個周邊互連，

其中該第一集成裝置被配置成經由該第二複數個周邊互連電耦合到該第三集成裝置，以及

其中該第二集成裝置被配置成經由該第三複數個周邊互連電耦合到該第三集成裝置。

【請求項9】 如請求項8所述的封裝，其中該複數個周邊互連、該第二複數個周邊互連和該第三複數個周邊互連沿該基板的一周邊定位。

【請求項10】 如請求項1所述的封裝，其中該封裝併入從包括以下各項的一組中選擇的一裝置中：一音樂播放機、一視訊播放機、一娛樂單元、一導航裝置、一通訊裝置、一行動裝置、一行動電話、一智慧型電話、一個人數位助理、一固定位置終端、一平板電腦、一電腦、一可穿戴裝置、一膝上型電腦、一伺服器、一物聯網路（IoT）裝置、以及一機動交通工具中的一裝置。

【請求項 11】一種設備，包括：

一基板，該基板包括：

至少一個介電層；

複數個互連；

一阻焊層；及

位於該阻焊層之上的用於周邊互連的構件；

耦合到該基板的一第一集成裝置；及

耦合到該基板的一第二集成裝置，其中該第二集成裝置被配置成經由該用於周邊互連的構件電耦合到該第一集成裝置。

【請求項 12】如請求項 11 所述的設備，

其中該基板包括一佈線區域和一禁入區域，以及

其中該用於周邊互連的構件至少部分地沿該佈線區域和該禁入區域的一邊界定位。

【請求項 13】如請求項 12 所述的設備，其中該禁入區域是該基板中無互連的一區域。

【請求項 14】如請求項 11 所述的設備，其中該用於周邊互連的構件被配置成為該第一集成裝置和該第二集成裝置之間的至少一個信號提供至少一個電路徑。

【請求項 15】如請求項 11 所述的設備，其中該第一集成裝置包括一第一功率管理集成裝置及/或一第一應用處理器。

【請求項 16】如請求項 15 所述的設備，其中該第二集成裝置包括一第二功率管理集成裝置及/或一第二應用處

理器。

【請求項 17】如請求項 11 所述的設備，進一步包括位於該阻焊層和該用於周邊互連的構件之上的一周邊介電層。

【請求項 18】一種用於製造一封裝的方法，包括以下步驟：

提供一基板，該基板包括：

至少一個介電層；

複數個互連；

一阻焊層；及

位於該阻焊層之上的複數個周邊互連；

將一第一集成裝置耦合到該基板；及

將一第二集成裝置耦合到該基板，其中該第二集成裝置被配置成經由該複數個周邊互連電耦合到該第一集成裝置。

【請求項 19】如請求項 18 所述的方法，

其中該基板包括一佈線區域和一禁入區域，以及

其中該複數個周邊互連至少部分地沿該佈線區域和該禁入區域的一邊界定位。

【請求項 20】如請求項 19 所述的方法，其中該禁入區域是該基板中無互連的一區域。

【請求項 21】如請求項 18 所述的方法，其中該複數個周邊互連被配置成為該第一集成裝置和該第二集成裝置之間的至少一個信號提供至少一個電路徑。

【請求項 22】如請求項 18 所述的方法，其中該第一集成裝置包括一第一功率管理集成裝置及/或一第一應用處理器。

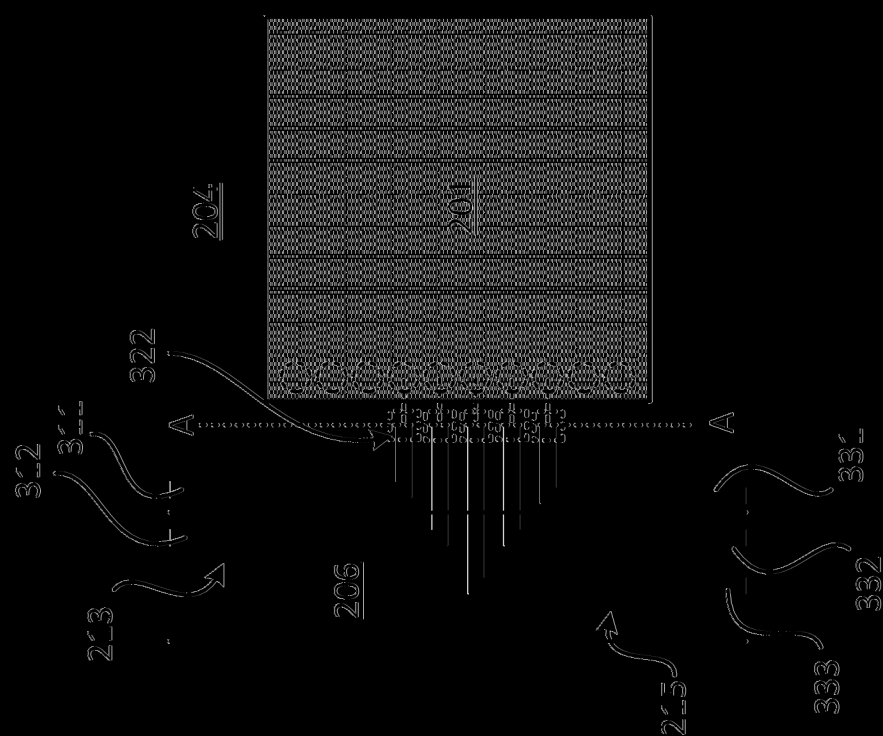
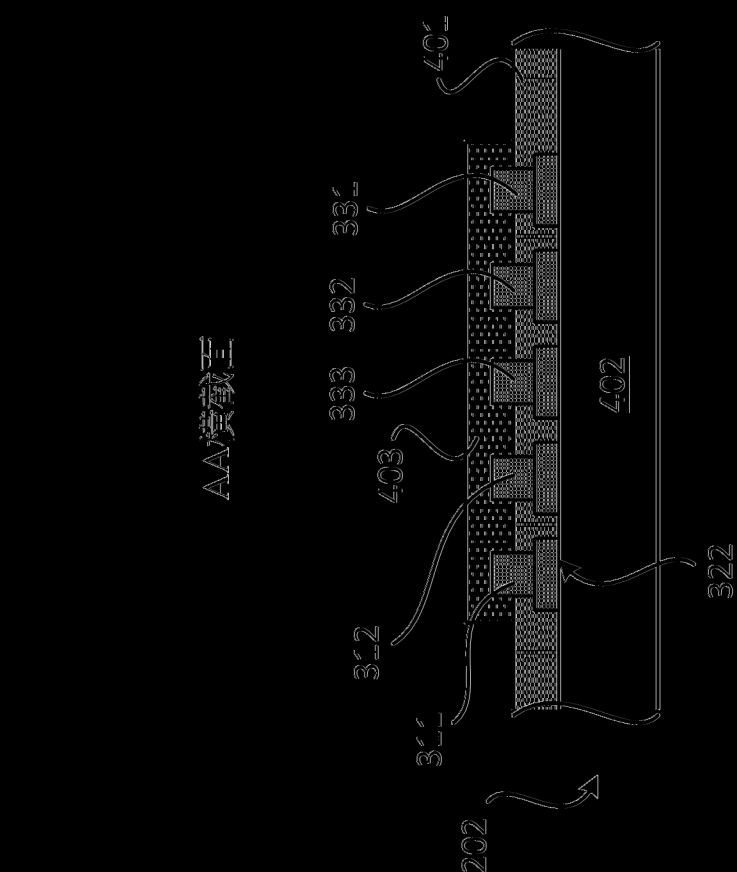
【請求項 23】如請求項 18 所述的方法，進一步包括位於該阻焊層和該複數個周邊互連之上的一周邊介電層。

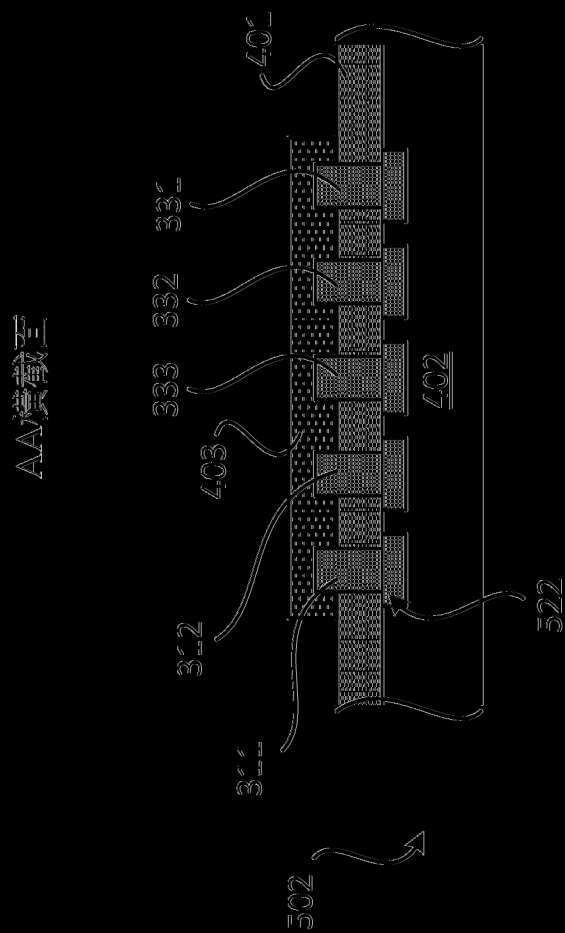


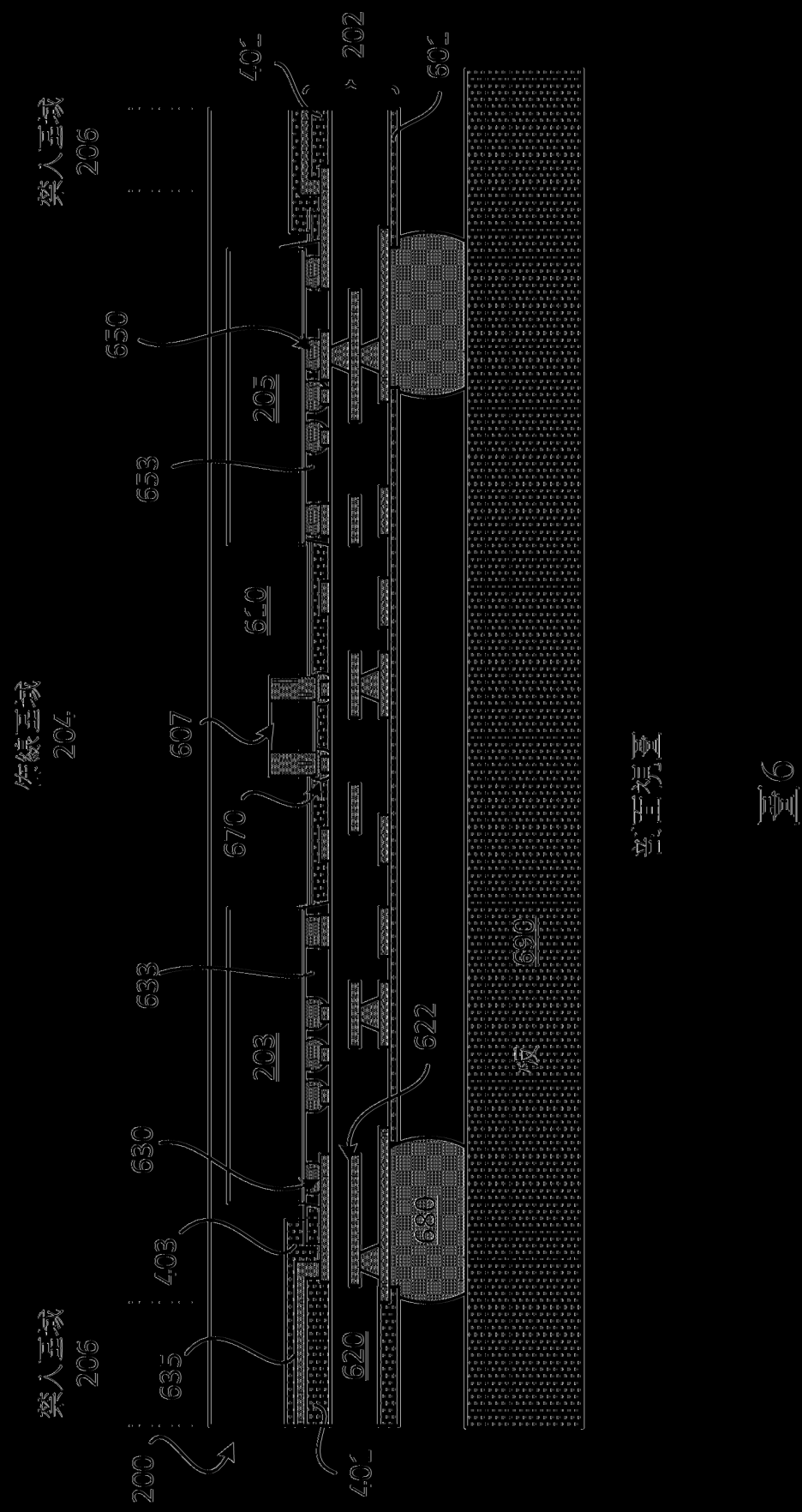
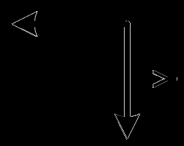
(請看說明書)

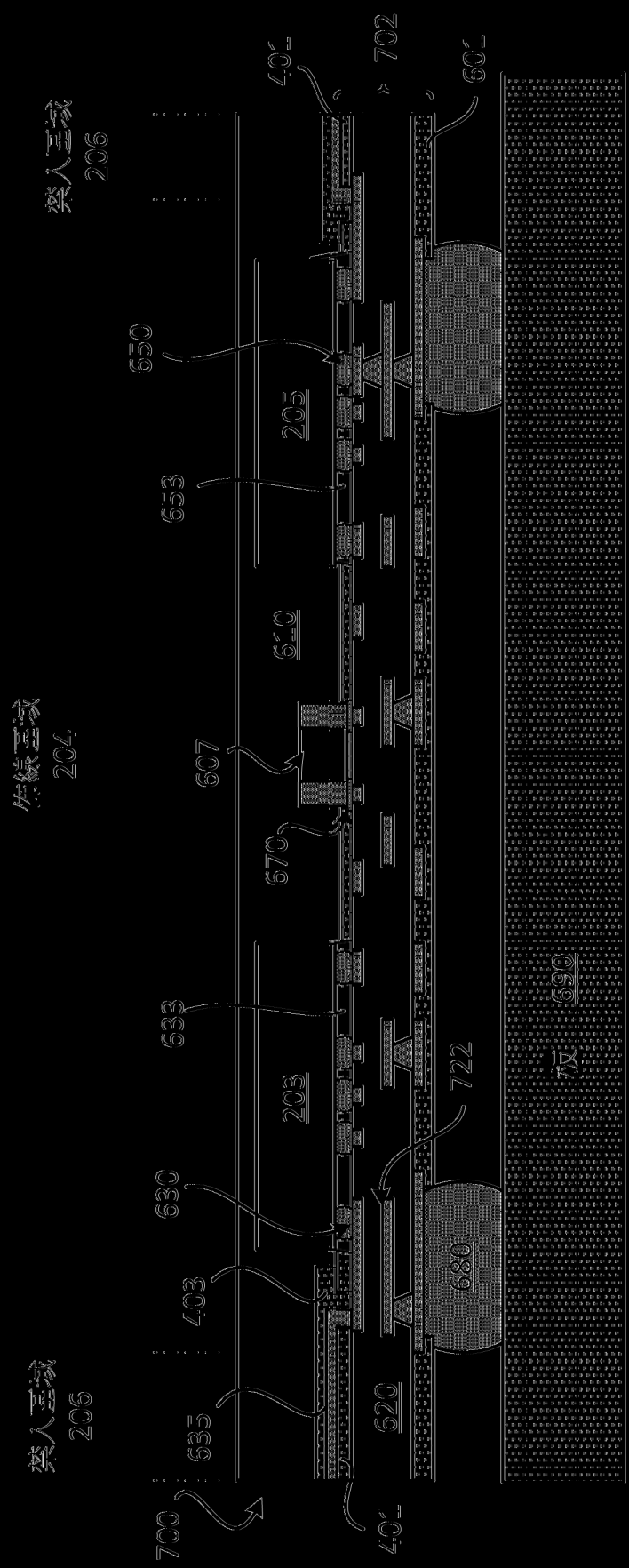
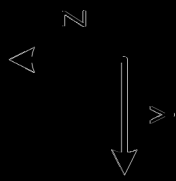








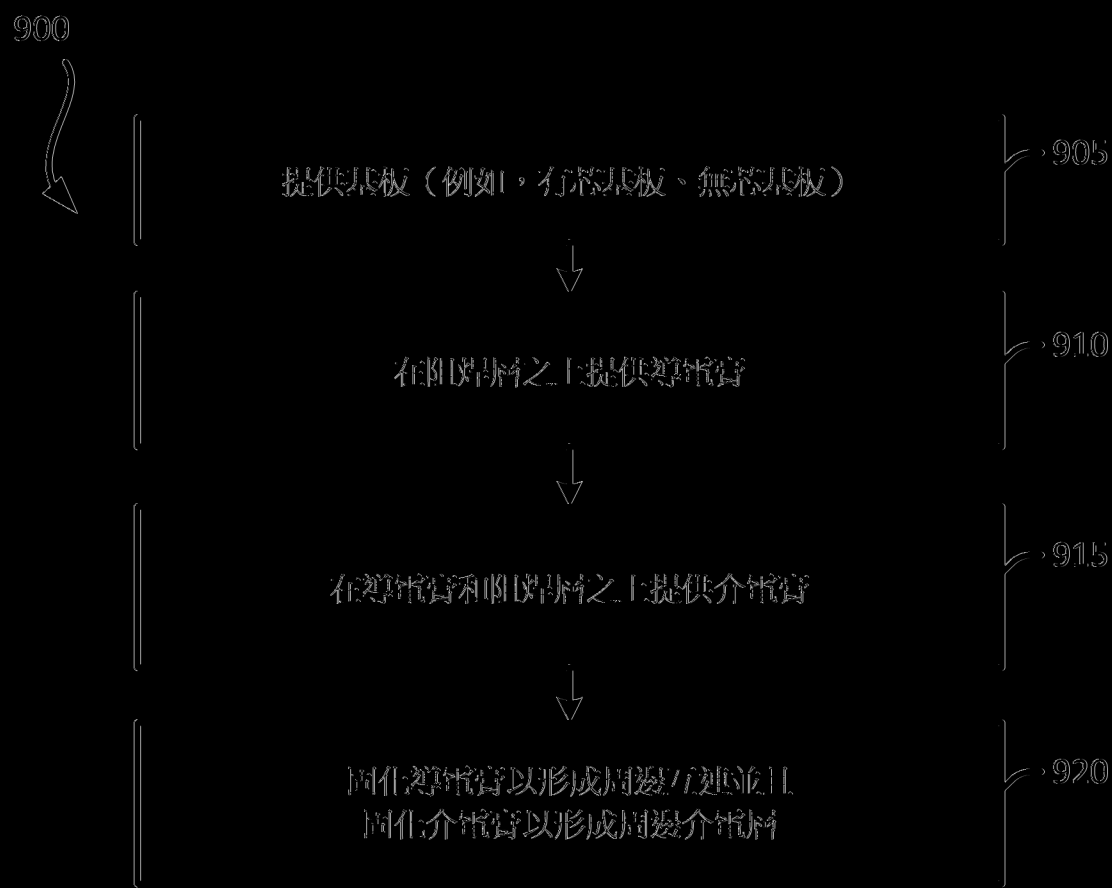




裝置示意圖







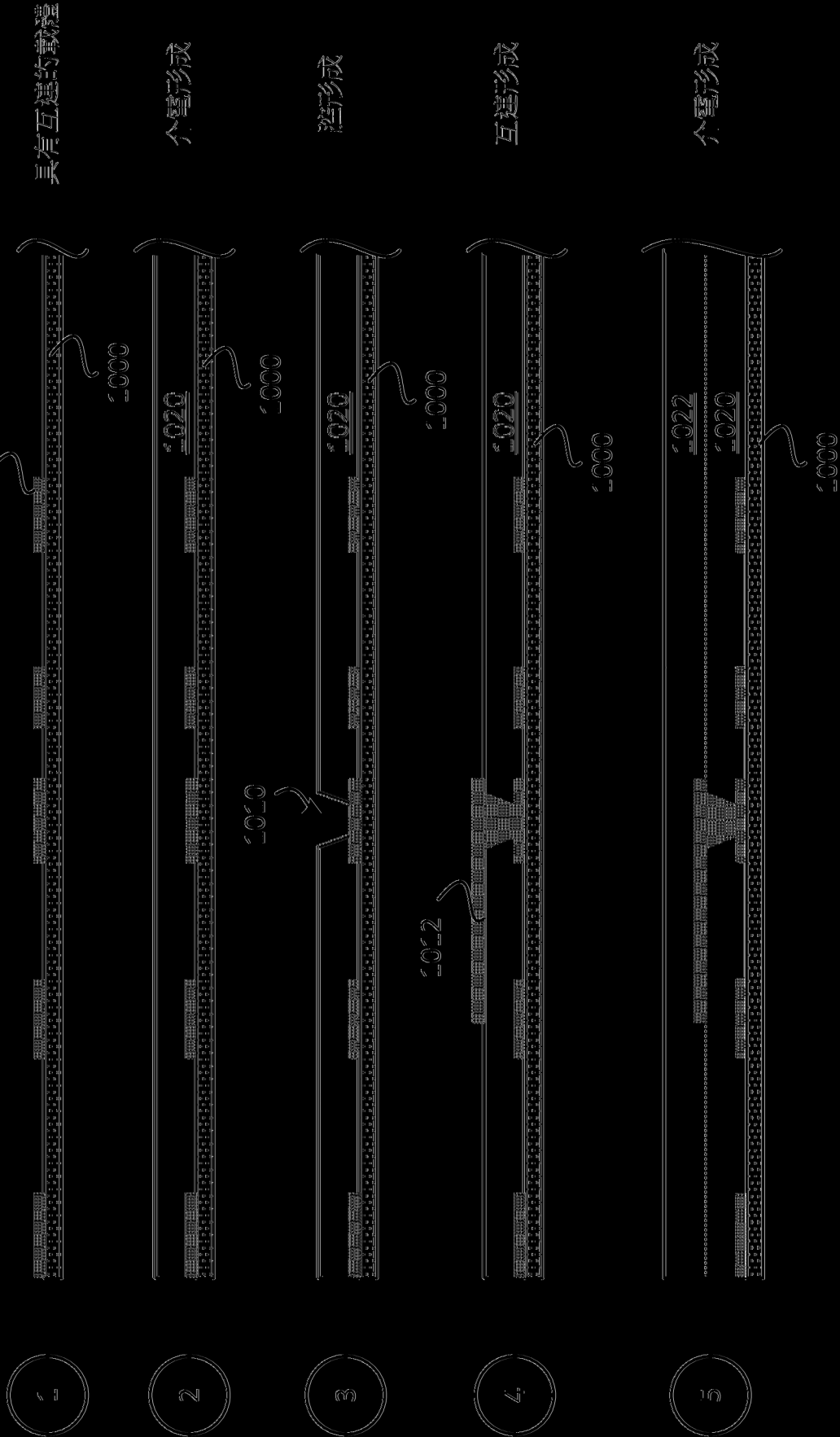
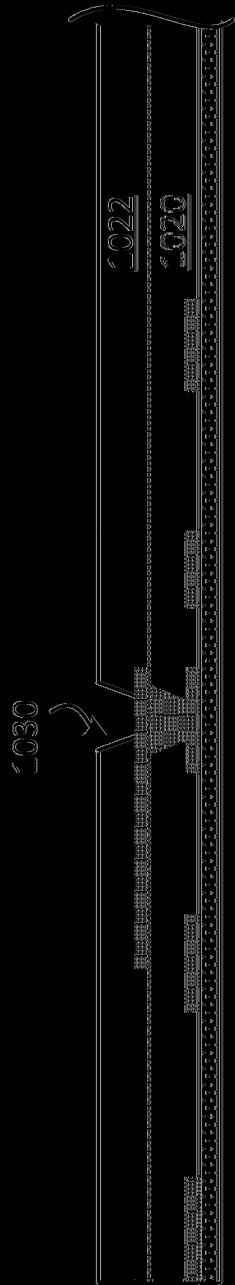
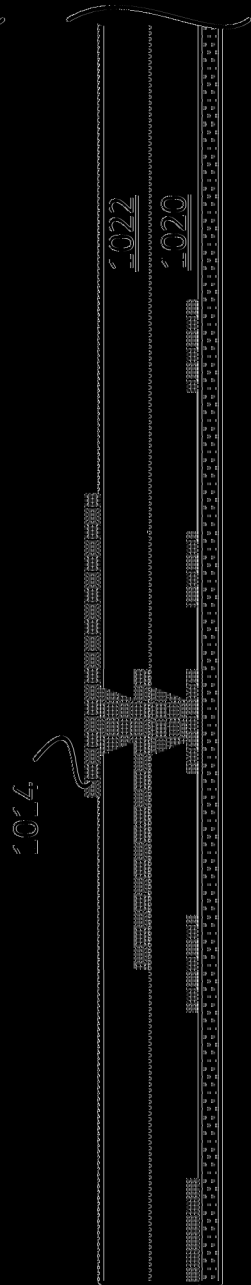


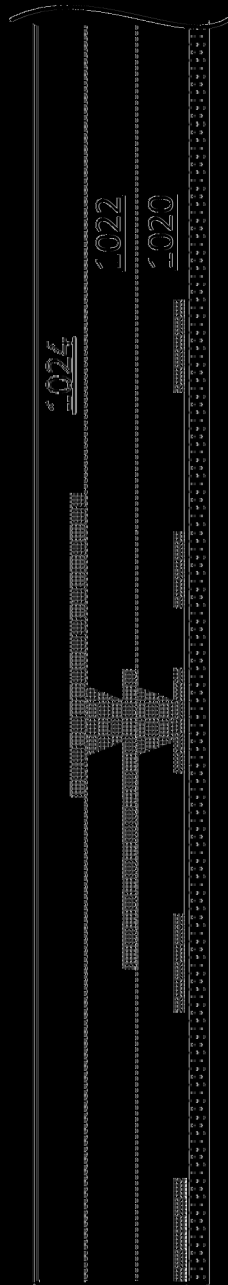
圖 10A



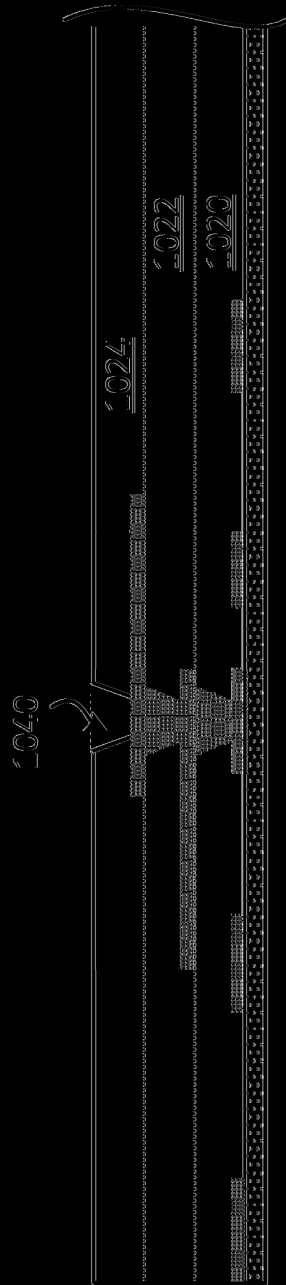
腔形成



互連形成

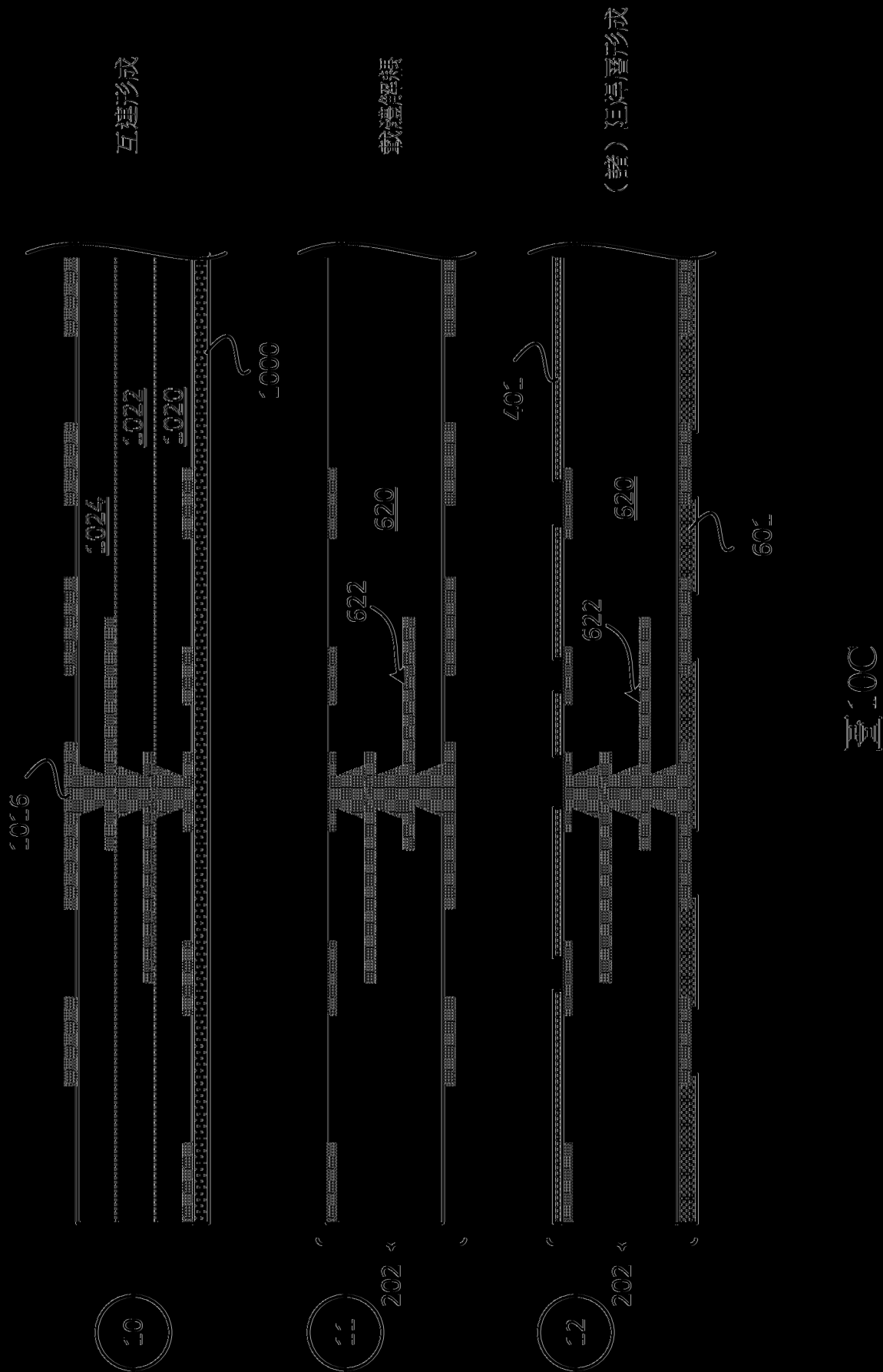


介電形成



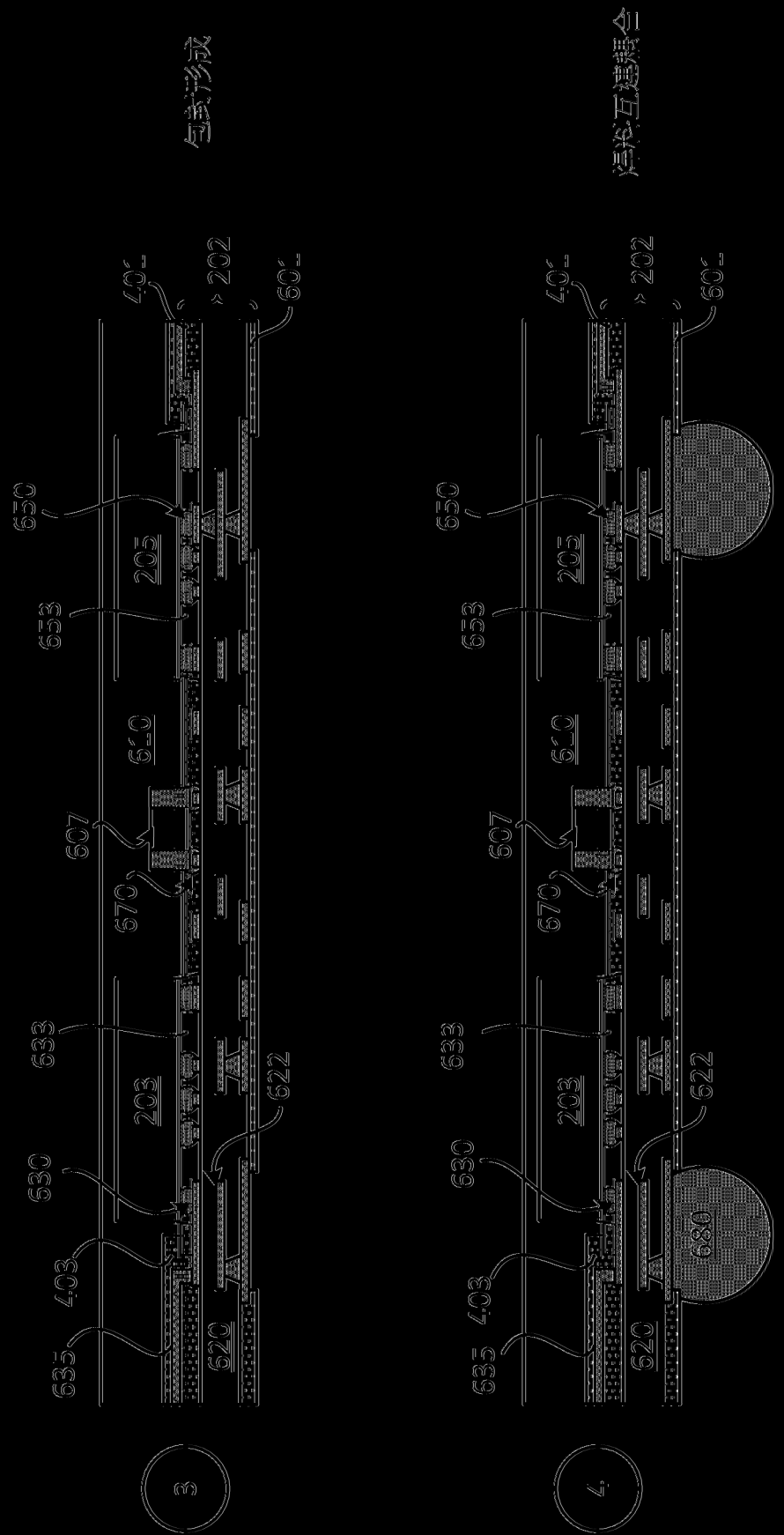
腔形成

圖 3









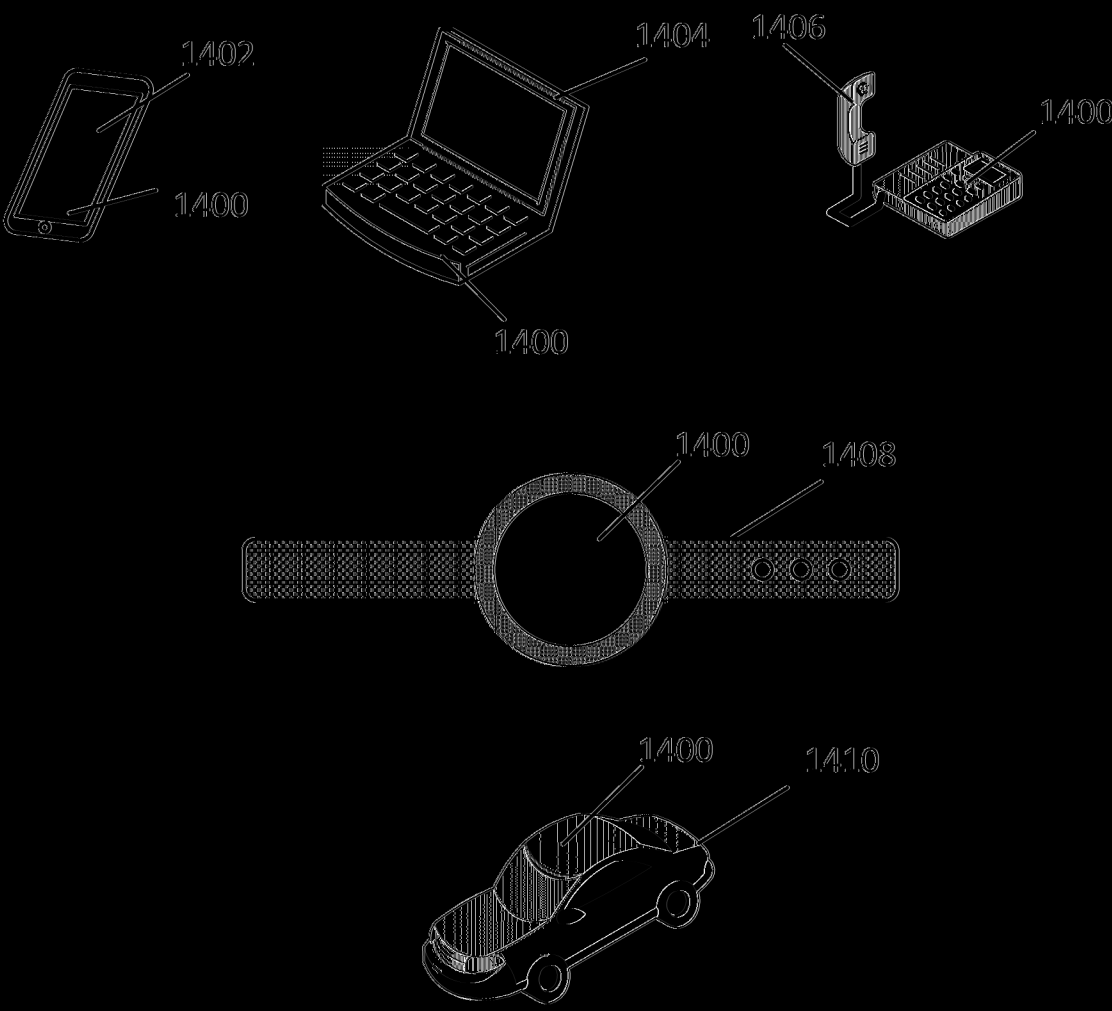
包封形成

包封互連層全

圖 23



圖13



14