公告本

申請日期	88 年 11 月 4 日
案號	88119255
類別	H01L 27/10

（以上各欄由本局填註）

A4
C4

459379

發明 新型 專利說明書

一、發明 新型 名稱	中文	半導體記憶裝置
	英文	
二、發明 創作 人	姓名	(1) 坂本達哉 (2) 永島靖 (3) 竹村理一郎
	國籍	(1) 日本　(2) 日本　(3) 日本
	住、居所	(1) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所股份有限公司知的所有權本部內 (2) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所股份有限公司知的所有權本部內 (3) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所股份有限公司知的所有權本部內
三、申請人	姓名（名稱）	(1) 日立製作所股份有限公司 株式会社日立製作所
	國籍	(1) 日本
	住、居所（事務所）	(1) 日本國東京都千代田區神田駿河台四丁目六番地
	代表人姓名	(1) 庄山悅彥

裝 訂 線

經濟部智慧財產局員工消費合作社印製

459379

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有　□無主張優先權
日本	1998 年 12 月 24 日	10-365887	☑有主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

【發明之背景】

本發明是有關半導體記憶裝置，主要是利用在感測放大器與位元線之間設有開關ＭＯＳＦＥＴ的動態型ＲＡＭ（隨機存取記憶體）之有效的技術。

就共用選擇ＭＯＳＦＥＴ的選擇側也一時形成ＯＦＦ狀態，而來減輕感測放大器的負荷，藉此來謀求感測放大器的高速化之動態型ＲＡＭ而言，例如有記載於日本特開昭６４－７３５９６號，特開平５－６２４６３號公報，特開平８－１０６７８１號公報者。此外，尚有記載於日本特開平４－１６７２９３號公報者，該動態型ＲＡＭ是在感測放大器的輸出入節點與相輔位元線之間設置開關ＭＯＳＦＥＴ，當感測放大器在開始放大時，一旦形成非選擇準位，然後切離感測放大器與相輔位元線，開始進行放大動作，在進行列選擇之後，使上述開關ＭＯＳＦＥＴ的閘極電壓形成中間電位，接著對ＩＯ線的感測放大器放大信號的一方的放大信號的輸出動作與對他方的放大信號的位元線的復原動作一併進行，然後使上述開關ＭＯＳＦＥＴ的閘極電壓回到選擇準位，藉此使上述一方的放大信號能夠經由位元線來復原於記憶格。

另外，ＭＯＳ（Metal Oxide Semiconductor)FET是包含一般認知之MIS(Metal Insulated Semiconductor)ＦＥＴ，泛指電場效應型電晶體。

【發明之概要】

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ ）

如上述日本特開昭６４－７３５９６號公報，特開平５－６２４６３號公報，特開平８－１０６７８１號公報中所記載之動態型ＲＡＭ，感測放大器在開始進行放大之前是使共用選擇ＭＯＳＦＥＴ形成ＯＦＦ狀態，然後切離相輔位元線與感測放大器的感測節點，此刻即使該感測節點形成滿振幅準位狀態，若使上述共用選擇ＭＯＳＦＥＴ再度回到ＯＮ狀態，則其感測節點的準位會變小。亦即，本發明者經檢討後發現來自保持於位元線的較大寄生電容之記憶格的讀出電荷會依照上述感測節點的電荷充電佔有率而使感測節點的電位下降，而造成信號振幅會暫時變小。或者是根據列選擇動作來使資料線與感測節點連接時，同樣的也會依照上述感測節點的電荷充電佔有率而使感測節點的電位下降，而造成信號振幅會暫時變小。其結果，在列選擇動作中，爲了使感測節點的信號傳達至資料輸出入線時必須要花費較長的時間，這將是阻礙高速化的因素之一。

又，上述日本特開平４－１６７２９３號公報是使上述開關ＭＯＳＦＥＴ的閘極形成中間電位，然後對Ｉ／Ｏ線進行感測放大器之低準位的輸出動作，同時一併對高準位側的位元線進行資料的復原（再寫入）。但，由於習知記憶格爲記憶２值資訊者，因此即使加快高準位側的資料復原，也會因爲低準位側的資料復原是在使上述開關ＭＯＳＦＥＴ回到ＯＮ狀態之後進行，而使得全體記憶體存取的效果會有所存疑。又，從感測動作開始前到位元線

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（6）

的復原動作爲止的時間內，若不使供應給1個開關ＭＯＳＦＥＴ的閘極之閘極電壓變化成非選擇準位－選擇準位－中間準位－非選擇準位，或者由上述選擇準位至中間準位的移動不是在感測輸出充分變大之後來進行的話，則設置上述開關ＭＯＳＦＥＴ之事會形成無意義，又，若考量元件的製程均一性，則上述準位的時間控制會變得很複雜。又，本發明者經檢討後發現，若使從中間準位變化成非選擇準位，則會妨礙復原動作的高速化。

本發明之目的在於提供一種能夠以簡單的構成來實現感測放大器的安定振幅動作及高速化之半導體記憶裝置。在此，可由本案說明書的內容及圖面來明確得知本發明之上述目的及其他目的與新穎的特徵。

本案所示之發明中代表者的概要簡單說明如下。

亦即，在設於動態型ＲＡＭ的感測放大器與相輔位元線之間設置開關ＭＯＳＦＥＴ，依照複數對的相輔位元線中各記憶資訊來從複數個的動態型記憶格（根據字元線的選擇動作而選擇出）讀出信號電壓，然後使上述開關ＭＯＳＦＥＴ的開關控制信號由選擇準位變化成預定的中間電位（在讀出至上述相輔位元線的信號電壓中以能夠形成ＯＦＦ狀態或持有較大的ＯＮ阻抗值之方式，使根據上述感測放大器的放大動作之感測節點在形成一方的準位的電位中持有較小的ＯＮ阻抗值而形成ＯＮ狀態，以及在形成另一方的準位的電位中形成ＯＦＦ狀態），並且在閘極中被賦予上述中間電位的上述開關ＭＯＳＦＥＴ是根據感

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明(4　)

測放大器的放大動作來使感測節點成爲一方的準位，而形成ＯＮ狀態，並且根據列選擇信號且經由列選擇電路來使放大信號（根據上述放大動作而形成）傳達至上述輸出入線，而且對應於上述列選擇電路的選擇動作來使上述開關控制信號由中間電準位位回到選擇準位。

就上述構成而言，由於在感測放大器的放大動作中感測節點的一方會形成連接於位元線的狀態，而使能夠藉由位元線的寄生電容來形成較大的信號電荷，因此在列選擇動作時可以使較大的讀出信號輸出至資料輸出入線，進而能夠使感測輸出動作形成高速化。

【發明之實施形態】

圖１爲本發明所適用之動態型ＲＡＭ之一實施例的概略佈局圖。同圖中，由構成該動態型ＲＡＭ之各電路區塊可得知其主要部份，是藉由半導體積體電路的製造技術來形成於單結晶矽之類的１個半導體基板上。

此實施例雖無特別加以限制，但記憶體陣列全體被分爲４個。對半導體晶片的長度方向而言，在中央部設有包含位址輸入電路，資料輸出入電路，及由接合墊列所構成的輸出入介面電路，以及電源電路等。並且，在連接於中央部份１４的兩側之記憶體陣列的部份中配置有列解碼器領域１３。

各記憶體陣列（在半導體晶片的長度方向上，上下左右各分成２個，共４個）是以能夠各個構成１個記憶庫之

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(6　)

方式而形成。並且，在上述各記憶體陣列中，於長度方向的上下中央部設有主行解碼器領域１１。而且，在此主行解碼器的上下形成有主字元驅動器領域１２，用以分別驅動上下記憶陣列的主字元線。

又，如擴大圖所示，記憶格陣列（副陣列）１５是圍繞於感測放大器領域１６及副字元驅動器領域１７而形成。上述感測放大器領域與上述副字元驅動器領域的交叉部是形成交叉領域１８。又，設置於上述感測放大器領域１６的感測放大器是根據共同感測方式來構成，除了配置於記憶格陣列兩端的感測放大器以外，將以感測放大器爲中心，在左右設置相輔位元線，而來選擇性地連接於左右任一記憶格陣列的相輔位元線。

如上述在半導體晶片的長度方向上左右各分成４個的記憶體陣列是以２個爲一組而配置。並且在如此之記憶陣列的中央部份配置有主行解碼器領域１１及主字元驅動器１２。主字元驅動器１２是以能夠貫通上述１個記憶體陣列之方式而形成延長的主字元線之選擇信號。又，於上述主字元驅動器１２中亦設有副字元選擇用的驅動器，且如後述與上述主字元線平行延長而形成副字元選擇線信號。

又，以擴大圖所示之１個的記憶格陣列（副陣列）１５並無特別加以限制，其中副字元線是形成２５６條，與其垂直的相輔位元線（或資料線）是形成２５６條（圖中未示）。或副字元線是形成５１２條，與其垂直的相輔位元線是形成５１２條。又，同圖所示，在上述１個的記

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（6）

憶體陣列中，在位元線方向上設置16個上述記憶格陣列（副陣列）15時，就256構成而言，全體的副字元線約設成4K，而512構成約設成8K，又，由於字元線方向設置8個，因此相輔位元線在256構成中全體約設成4K，而於512構成中設成8K。由於如此的記憶體陣列全體設置8個，因此全體具有8×2K×4K＝64M或8×4K×8K＝256M位元的記憶容量。

又，上述1個的記憶體陣列是對主字元線方向分割成8個。並且，在每個分割的記憶格陣列15中設有副字元驅動器（副字元線驅動電路）17。副字元驅動器17是對主字元線分割成1／8的長度，且形成與其平行而延長的副字元線的選擇信號。就此實施例而言，爲了減少主字元線的數量，換言之，爲了緩和主字元線的配線間距，雖無特別加以限制，但對1條的主字元線而言，最好是在相輔位元線方向上配置4條的副字元線。如此在主字元線方向上分割成8條，以及爲了從相輔位元線方向上所被分配4條的副字元線中選擇1條的副字元線，而設有副字元選擇驅動器。此副字元選擇驅動器會形成由延長於上述副字元驅動器的配列方向的4條副字元選擇線中選擇1條的選擇信號。

如上述，1個記憶體陣列在相輔位元線方向上具有4K位元或8K位元的記憶容量。但，若對1條的相輔位元線連接4K或8K的記憶格，則相輔位元線的寄生電容會增加，而使得無法取得由微細的資訊記憶用電容器所讀

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明(7　)

出的信號準位，因此在相輔位元線方向上也會形成16分割。亦即，藉由粗黑線所示的感測放大器16來使相輔位元線形成16分割。在此，雖無特別加以限制，感測放大器16是藉由共同放大方式來構成，除了配置於記憶體陣列的兩端之感測放大器16以外，會以感測放大器16爲中心，在左右設有相輔位元線，而選擇性地連接於左右其中的相輔位元線。

上述副陣列的構成爲了確保讀出於位元線的信號量，亦可使所連接之記憶格的數量形成256個（除了冗長格以外），而使位元線的分割數要比字元線的分割數來得多。此情況，在保持約256M位元之記憶容量的動態型RAM中，爲了使4分割而成的1個記憶體陣列能夠分別形成8K×8K=64M位元的記憶容量，而使位元線形成32分割，字元線形成16分割，並且對應於此而設有副陣列。

圖2是表示本發明之動態型RAM的副陣列及其周邊電路之一實施例的概略佈局圖。圖3是在形成有副陣列SBARY的領域中劃上斜線來區別設置於其周邊的副字元驅動器領域，感測放大器領域及交叉領域。

副陣列SBARY是在上述256×256構成例中分成以下所述的4種類。亦即，若字元線的延長方向爲水平方向，則配置於右下的第1副陣列SBARY是配有256條的副字元線SWL，相輔位元線對是由256對所構成。因此，對應於上述256條的副字元線SWL之

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（6）

２５６個的副字元驅動器ＳＷＤ是在副陣列的左右分割配置１２８個。並且，對應於上述２５６對的相輔位元線ＢＬ而設置的２５６個的感測放大器ＳＡ是藉由上述共同感測方式來交互配置，而於副陣列的上下分割配置１２８個。

右上配置的第2副陣列ＳＢＡＲＹ雖無特別加以限制，但正規的副字元線ＳＷＬ爲２５６條，另外再設置8條的預備（冗長）位元線，相輔位元線對是由２５６對所構成。因此，對應於上述２５６＋８條的副字元線ＳＷＬ之２５６個的副字元驅動器ＳＷＤ是在副陣列的左右分割配置１３２個。同樣的，感測放大器是在上下各配置１２８個。亦即，在副陣列ＳＢＡＲＹ（配置於上述右側的上下）中所形成的２５６對中之１２８對的相輔位元線是經由共通開關ＭＯＳＦＥＴ來共通連接於所挾持的感測放大器ＳＡ。

左下配置的第3副陣列ＳＢＡＲＹ是與右鄰接的副陣列ＳＢＡＲＹ同樣，副字元線ＳＷＬ是由２５６條所構成。並且與上述同樣的，１２８個的副字元驅動器將被分割配置。又，被配置於上述下側左右的副陣列ＳＢＡＲＹ之２５６條中的１２８條副字元線ＳＷＬ是針對形成於所挾持的領域之１２８個的副字元驅動器ＳＷＤ共通連接。又，上述左下配置的副陣列ＳＢＡＲＹ除了２５６條正規的相輔位元線ＢＬ以外，還設有4對的預備（冗長）位元線４ＲＥＤ。因此，對應於上述２６０對的相輔位元線ＢＬ

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明(9　)

的之２６０個的感測放大器ＳＡ是在副陣列的上下分割配置１３０個。

左上配置的第4副陣列ＳＢＡＲＹ是與右鄰接的副陣列ＳＢＡＲＹ同樣，副字元線ＳＷＬ除了２５６條正規的副字元線ＳＷＬ以外，還設有8條預備副字元線，又，由於與下鄰接的副陣列同樣的，除了２５６對正規的相輔位元線對以外，還設有4對的預備位元線，因此副字元驅動器會在左右被分割配置１３２個，感測放大器ＳＡ會在上下分割配置１３０個。

如上述代表例所示，主字元線ＭＷＬ是延長於水平方向上，列選擇線ＹＳ是延長於縱方向上。又，與上述主字元線ＭＷＬ平行配置有副字元線ＳＷＬ，與上述列選擇線ＹＳ平行配置有相輔位元線ＢＬ（圖中未示）。

對上述副陣列（由4個構成）而言，8條的副字元選擇線ＦＸ０Ｂ～ＦＸ７Ｂ是與主字元線ＭＷＬ同樣的，以能夠貫通4組（8個）的副陣列之方式而延長。並且分別使4條的副字元選擇線ＦＸ０Ｂ～ＦＸ３Ｂ及副字元選擇線ＦＸ４Ｂ～ＦＸ７Ｂ能夠延長於上下的副陣列上。在此，之所以會對2個副陣列分配1組的副字元選擇線ＦＸ０Ｂ～ＦＸ７Ｂ，且使延長於副陣列上，其理由是爲了謀求記憶晶片尺寸的小型化。

亦即，對各副陣列分配上述8條的副字元選擇線ＦＸ０Ｂ～ＦＸ７Ｂ，且予以形成於感測器區域上的配線通道時，如圖1之記憶體陣列所示，在短邊方向的３２個

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

五、發明說明（10）

感測放大器必須要有８×３２＝２５６條的配線通道。相對的，在上述實施例中，配線本身對上下２個副陣列而言是共通配置上述８條的副字元選擇線ＦＸ０Ｂ～ＦＸ７Ｂ，且以能夠在副陣列上與主字元線平行相互混在之方式而配置，藉此而得以在不設置特別的配線專用領域下形成。

在此會於副陣列上對８條的副字元線設有１條的主字元線，而且爲了選擇該８條中的１條副字元線，而需要副字元選擇線。又，爲了能夠在配合記憶格而形成之８條的副字元線ＳＷＬ中分配１條之比例下來形成主字元線ＭＷＬ，主字元線ＭＷＬ的配線間距會趨於緩和。因此與利用和主字元線ＭＷＬ相同的配線層來把上述副字元選擇線形成於主字元線之間的情況時相較下，比較容易形成，亦即只要犧牲少許的配線間距便可。

該實施例之副陣列驅動器ＳＷＤ是利用經過上述副字元選擇線ＦＸ０Ｂ等而供給的選擇信號及使其反轉的選擇信號來選擇１個副字元線ＳＷＬ。又，副陣列驅動器ＳＷＤ可同時選擇左右配置之副陣列的副字元線ＳＷＬ。因此，如上述對共同擁有ＦＸ０Ｂ等２個的副陣列而言，可對１２８×２＝２５６個的副字元驅動器分配供給上述４條的副字元選擇線。亦即，若著眼於副字元選擇線ＦＸ０Ｂ，則對２個副陣列而言必須供應選擇信號給副陣列驅動器ＳＷＤ（２５６÷４＝６４個）。

若與上述主字元線ＭＷＬ平行而延長者爲第１副字元選擇線ＦＸ０Ｂ，則會經由設置於左上部的交叉領域且接

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (11)

受來自上述第1副字元選擇線FX0B的選擇信號之副字元選擇線驅動電路FXD來設置把選擇信號供應給配列於上述上下的64個副字元驅動器中之第2副字元選擇線FX0。上述第1副字元選擇線FX0B是與上述主字元線MWL及副字元線SWL平行而延長，相對的，上述第2副字元選擇線是與垂直的列選擇線YS及相輔位元線BL平行而延長於副字元驅動領域上。與上述8條的第1副字元選擇線FX0B～FX7B同樣的，第2副字元選擇線FX0～FX7也是分割成偶數FX0，2，4，6，及奇數FX1，3，5，7，而分配於副字元驅動器SWD中（該副字元驅動器SWD是設置於副陣列SBARY的左右）。

如圖中之"■"所示，上述副字元選擇線驅動電路FXD是在1個交叉領域的上下各分配2個。亦即，在左上部的交叉領域中，配置於下側的副字元選擇線驅動電路是對應於上述第1副字元選擇線FX0B，設置於左中間部的交叉領域之2個的副字元選擇線驅動電路FXD是對應於第1副字元選擇線FX2B，FX4B，配置於右下部的交叉領域的上側之副字元選擇線驅動電路是對應於第1副字元選擇線FX6B。

在中央上部的交叉領域中配置於下側的副字元選擇線驅動電路是對應於上述第1副字元選擇線FX1B，設置於中央中間部的交叉領域之2個的副字元選擇線驅動電路FXD是對應於第1副字元選擇線FX3B，FX5B，

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明 (12)

配置於中央下部的交叉領域的上側之副字元選擇線驅動電路是對應於第1副字元選擇線ＦＸ７Ｂ。又，在右上部的交叉領域中配置於下側的副字元選擇線驅動電路是對應於上述第1副字元選擇線ＦＸ０Ｂ，設置於中間部的交叉領域之2個的副字元選擇線驅動電路ＦＸＤ是對應於第1副字元選擇線ＦＸ２Ｂ，ＦＸ４Ｂ，配置於右下部的交叉領域的上側之副字元選擇線驅動電路是對應於第1副字元選擇線ＦＸ６Ｂ。在設置於記憶體陣列的端部之副字元驅動器中，由於在其右側中不存在副陣列，因此僅驅動左側的副字元線ＳＷＬ。

如該實施例所述，在副陣列上的主字元線ＭＷＬ的間隙之間配置副字元選擇線ＦＸＢ的構成中，由於可以不需要特別的配線通道，因此即使在1個的副陣列中配置8條的副字元選擇線，也不會使記憶晶片變大。但，爲了形成上述副字元選擇線驅動電路ＦＸＤ，而增大交叉領域的面積，這將會妨礙高積體化。亦即，因爲在上述交叉領域中形成有：對應於主輸出入線ＭＩＯ或區域輸出入線ＬＩＯ而設置的開關電路ＩＯＳＷ，及驅動感測放大器的電源ＭＯＳＦＥＴ，及用以驅動共用開關ＭＯＳＦＥＴ的驅動電路，以及驅動預充電ＭＯＳＦＥＴ的驅動電路等之周邊電路，所以面積會不夠充裕。因此，圖3之實施例是在上／下的2個陣列中共用副字元選擇線驅動電路ＦＸＤ，而來抑止面積增加。

上述交叉領域中配置於對應奇數的第2副字元選擇線

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明 (13)

ＦＸ１～ＦＸ７的延長方向Ｂ者爲：用以對感測放大器供給定電壓化的內部電壓ＶＤＬ之Ｎ通道型的電源ＭＯＳＦＥＴＱ１５（及供給激勵驅動用的電源電壓ＶＤＤ之Ｎ通道型的電源ＭＯＳＦＥＴＱ１６）及用以對感測放大器供給電路的接地電位ＶＳＳ之Ｎ通道型的電源ＭＯＳＦＥＴＱ１４。

上述交叉領域中配置於對應偶數的第２副字元選擇線ＦＸ０～ＦＸ６的延長方向Ａ者爲：使位元線的預充電及補償用ＭＯＳＦＥＴ形成ＯＦＦ狀態之反相器電路，及用以對感測放大器供給電路的接地電位ＶＳＳ之Ｎ通道型的電源ＭＯＳＦＥＴ。該Ｎ通道型的電源ＭＯＳＦＥＴ是由感測放大器列的兩側將接地電位供應給構成感測放大器的Ｎ通道型ＭＯＳＦＥＴ之放大ＭＯＳＦＥＴ的共通源極（ＣＳＮ）。亦即，藉由設置於上述Ａ側的交叉領域之Ｎ通道型的電源ＭＯＳＦＥＴ及設置於上述Ｂ側的交叉領域之Ｎ通道型的電源ＭＯＳＦＥＴ的雙方來供應接地電位給感測放大器（設置於感測放大器領域的１２８個或１３０個的感測放大器）。

如以上所述，副字元線驅動電路ＳＷＤ是以彼爲中心來選擇左右兩側的副陣列的副字元線。相對的，左右２個感測放大器是對應於上述所選擇之２個副陣列的副字元線來予以活化。亦即，若使副字元線形成選擇狀態，則位址選擇ＭＯＳＦＥＴ會形成ＯＮ狀態，記憶電容器的電荷會與位元線電荷結合，因此必須進行使感測放大器活化而回

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明 (14)

到原來的電荷狀態之再寫入動作。因此，除了對應於上述端部的副陣列者以外，上述電源ＭＯＳＦＥＴ是利用於使兩側的感測放大器。相對的，在設置於副陣列（設置於副陣列群端）的右側或左側的副字元線驅動電路ＳＷＤ中，因爲只選擇上述副陣列的副字元線，所以上述電源ＭＯＳＦＥＴ僅使對應於上述副陣列的一側之感測放大器群活化。

上述感測放大器是形成共同感測方式，在配置於兩側的副陣列中，上述副字元線爲對應於非選擇側的相輔位元線之共用開關ＭＯＳＦＥＴ會形成ＯＦＦ狀態而分離，藉此來放大對應於上述選擇之副字元線的相輔位元線的讀出信號，進行使記憶格的記憶電容回到原來的電荷狀態之再寫入動作。此情況，就該實施例而言，對應於所選擇之副字元線的相輔位元線的共用開關ＭＯＳＦＥＴ是對應於感測放大器的放大動作來降低至中間電位，放大來自記憶格的讀出信號，經由列選擇電路來傳達至輸出入線之後再度回到選擇準位。

圖３爲本發明之以動態型ＲＡＭ的感測放大器部爲中心，從位址輸入到資料輸出爲止之簡略化後之一實施例的電路圖。該圖是表示在２個副陣列１５中以能夠由上下挾持之方式而形成的感測放大器１６與設置於上述交叉領域１８的電路之一例，其他部份則是以方塊圖來表示之。並且，點線所示的電路區塊是分別以上述符號來表示之。

動態型記憶格是設置於副字元線ＳＷＬ（該副字元線

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明(15)

ＳＷＬ是設置於上述１個的副陣列１５中）與相輔位元線ＢＬＴ，ＢＬＢ之中的一方的位元線ＢＬＴ之間。此構成爲動態型記憶格之一代表例。該態型記憶格是由位址選擇ＭＯＳＦＥＴＱｍ與記憶電容器Ｃｓ所構成。在此，位元線ＢＬＴ的Ｔ是表示高準位對應於邏輯１的真實側，位元線ＢＬＢ的Ｂ是表示低準位對應於邏輯１的橫桿側。

上述位址選擇ＭＯＳＦＥＴＱｍ的閘極是連接於副字元線ＳＷＬ，該位址選擇ＭＯＳＦＥＴＱｍ的汲極是連接於位元線ＢＬ，並且在源極中連接有記憶電容器Ｃｓ。又，記憶電容器Ｃｍ的另一方電極將會被共通化而被賦予屏極電壓ＶＰＬＴ。此外，在上述ＭＯＳＦＥＴＱｍ的基板（通道）中施加負的反餽偏壓ＶＢＢ。對上述位元線的高準位而言，上述副字元線ＳＷＬ的選擇準位是形成僅高出上述位址選擇ＭＯＳＦＥＴＱｍ的臨界值電壓量之高電壓ＶＰＰ。

以內部降壓電壓ＶＤＬ來使感測放大器動作時，藉由感測放大器來予以放大後賦予位元線的高準位是形成上述內部電壓ＶＤＬ準位。因此，對應於上述字元線的選擇準位之高電壓ＶＰＰ是形成ＶＤＬ＋Ｖｔｈ＋α。又，如圖所示，設置於感測放大器的左側之副陣列的一對相輔位元線ＢＬＴ與ＢＬＢ是平行配置，且爲了取位元線的電容平衡，配合所需使適當地交叉。又，相輔位元線ＢＬＴ與ＢＬＢ是藉由共用開關ＭＯＳＦＥＴＱ１與Ｑ２來與感測放大器的單位電路之輸出入節點連接。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明 (16)

感測放大器的單位電路是由：閘極與汲極交叉連接而形成閂鎖形態的N通道型的放大ＭＯＳＦＥＴＱ５，Ｑ６及Ｐ通道型的放大ＭＯＳＦＥＴＱ７，Ｑ８所構成。Ｎ通道型的放大ＭＯＳＦＥＴＱ５，Ｑ６的源極是連接於共通源極ＣＳＮ。Ｐ通道型的放大ＭＯＳＦＥＴＱ７，Ｑ８的源極是連接於共通源極ＣＳＰ。並且，在上述共通源極ＣＳＮ與ＣＳＰ中分別連接有電源開關ＭＯＳＦＥＴ。雖無特別加以限制，但在連接有Ｎ通道型的放大ＭＯＳＦＥＴＱ５，Ｑ６的源極之共通源極ＣＳＮ中被賦予對應於接地電位的動作電壓（利用設置於上述交叉領域１８的Ｎ通道型的電源開關ＭＯＳＦＥＴＱ１４來賦予）。並且，在連接有上述Ｐ通道型的放大ＭＯＳＦＥＴＱ７，Ｑ８的源極之共通源極線ＣＳＰ中設有供給上述內部電壓ＶＤＬ之Ｎ通道型的電源開關ＭＯＳＦＥＴＱ１５（設置於上述交叉領域１８中）。

供應給上述Ｎ通道型的電源ＭＯＳＦＥＴＱ１４與１５的閘極之感測放大器活化信號ＳＡＮ與ＳＡＰ１是形成相同的信號，ＳＡＮ的選擇準位是形成上述ＶＤＬ之類的較低電位，相對的ＳＡＰ１爲了能夠從ＭＯＳＦＥＴＱ１５的源極輸出ＶＤＬ之類的動作電壓，而使用電源電壓ＶＤＤ（或配合所需，對應於字元線的選擇準位之昇壓電壓ＶＰＰ）。

在上述感測放大器的單位電路之輸出入節點（感測節點）中設有：使相輔位元線短路之補償ＭＯＳＦＥＴ

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（17 ）

Ｑ１１，及由供應半預充電電壓ＶＢＬＲ給相輔位元線的開關ＭＯＳＦＥＴＱ９與Ｑ１０所構成之預充電電路。這些ＭＯＳＦＥＴＱ９～Ｑ１１的閘極是被共同供給預充電信號ＰＣＢ。形成此預充電信號ＰＣＢ的驅動電路雖未圖示，但實際上在上述交叉領域設有反相器電路，而使其下降高速化。亦即，開始進行記憶存取時，會先進行字元線選擇定時，然後經由分散於各交叉領域而設置的反相器電路來高速切換構成上述預充電電路之ＭＯＳＦＥＴＱ９～Ｑ１１。

在上述交叉領域１８中，除了圖３所示之電路以外，配合所需亦可設置：在非動作時將感測放大器的共通源極線ＣＳＰ，ＣＳＮ設定成半預充電電壓（ＶＤＬ／２）之半預充電電路，區域輸出入線ＬＩＯＴ，ＬＩＯＢ之半預充電電路，以及共用選擇信號線ＳＨＲ，ＳＨＬ之分散驅動電路等。

感測放大器的單位電路是經由共用開關ＭＯＳＦＥＴＱ３及Ｑ４來連接於與圖下側的副陣列１５同樣的相輔位元線ＢＬＢ，ＢＬＢ。開關ＭＯＳＦＥＴＱ１２與Ｑ１３是用以構成列開關電路者，若上述選擇信號ＹＳ爲選擇準位（高準位），則會形成ＯＮ狀態，而使與上述感測放大器的單位電路的輸出入節點之感測節點與區域輸出入線ＬＩＯ１Ｔ，ＬＩＯ１Ｂ，ＬＩＯ２Ｔ，ＬＩＯ２Ｂ等連接。例如，上側的副陣列的副字元線ＳＷＬ被選擇時，感測放大器的上側的共用開關ＭＯＳＦＥＴＱ１，Ｑ２是在

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明 (18)

維持ＯＮ狀態下，使下側共用開關ＭＯＳＦＥＴＱ３，Ｑ４形成ＯＦＦ狀態。

藉此，感測放大器的輸出入節點是被連接於上述上側的相輔位元線ＢＬＴ，ＢＬＢ，而來放大連接於被選擇的副字元線ＳＷＬ的記憶格的微小信號，並且經由上述列開關電路（Ｑ１２與Ｑ１３）來傳達至區域輸出入線ＬＩＯ１Ｔ，ＬＩＯ１Ｂ。上述區域輸出入線ＬＩＯ１Ｔ，ＬＩＯ１Ｂ是經由開關電路ＩＯＳＷ（由設置於交叉領域１８的Ｎ通道型ＭＯＳＦＥＴＱ１９，Ｑ２０所構成）來連接於主輸出入線ＭＩＯＴ，ＭＩＯＢ（連接有主放大器６１的輸出入端子）。圖中雖省略，但實際上設有與ＭＯＳＦＥＴＱ１９，Ｑ２０並列的Ｐ通道型ＭＯＳＦＥＴ，亦即作爲類比閘極，藉此更能夠謀求高速化。又，ＭＯＳＦＥＴＱ１９，Ｑ２０的閘極電壓只要使用電源電壓ＶＤＤ來取代降壓電壓ＶＰＥＲＩ，便可降低ＯＮ阻抗，而達成高速化。又，圖中雖省略，上述主輸出入線ＭＩＯＴ，ＭＩＯＢ亦可連接寫入放大器的輸出端子。

雖無特別加以限制，但上述列開關電路是根據１個選擇信號ＹＳ來使兩對的相輔位元線ＢＬ，ＢＬＢ與兩對的區域輸出入線ＬＩＯ１Ｔ，ＬＩＯ１Ｂ及ＬＩＯ２Ｔ，ＬＩＯ２Ｂ連接。如此一來，由於在根據１個主字元線的選擇動作而被選擇的副陣列中是藉由上述兩對的列開關電路（對應於設在兩側的１對感測放大器而設置）來選擇合

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明(19)

計4對的相輔位元線，因此可利用1條的YS選擇來同時進行4位元的讀出／寫入。

位址信號Ai是被供應至位址緩衝器51。該位址緩衝器是依時間分割動作而取入X位址信號及Y位址信號。X位址信號是被供應給預解碼器52，且經由主行解碼器11與主字元驅動器12來形成主字元線MWL的選擇信號。由於上述位址緩衝器51是接收來自外部端子的位址信號Ai者，因此可藉由來自外部端子的電源電壓VDD來執行動作，上述預解碼器是根據降壓電壓VPERI來執行動作，上述主字元驅動器12是根據昇壓電壓VPP來執行動作。又，列解碼器（驅動器）53是在接收藉由上述緩衝器51的時間分割動作而供給的Y位址信號之後形成上述列選擇信號YS。

上述主放大器61是根據降壓電壓VPERI而動作，經由輸出緩衝器62（藉由自外部端子供給的電源電壓VDD而動作）來從外部端子Dout（或DQ）輸出。從外部端子Dout（或DQ）輸入之寫入信號是經由輸入緩衝器63而取入，且經由讀出放大器（同圖中包含於主放大器61內）來將寫入信號供應給上述主輸出入線MIO及MIOB。並且，在上述輸出緩衝器的輸入部中設有準位移動電路，以及供以使被準位移動後應輸出的信號與定時信號同步而輸出之邏輯部。

雖無特別加以限制，自上述外部端子所供給的電源電壓VDD是形成2.5V，被供給至內部電路的降壓電壓

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（20）

ＶＰＥＲＩ與感測放大器的動作電壓ＶＤＬ是同樣形成１．８Ｖ。此情況，使用於字元線（副字元線，主字元線）的選擇信號與非選擇信號之昇壓電壓ＶＰＰ是形成３．５Ｖ。位元線的預充電電壓ＶＢＬＲ是形成０．９Ｖ（對應於ＶＤＬ／２），且屏極電壓ＶＰＬＴ亦形成０．９Ｖ。又，基板電壓ＶＢＢ是形成－１．０Ｖ。

圖４爲本發明之動態型ＲＡＭ的感測放大器部之一實施例的電路圖。該圖的電路基本上是與圖３所示之電路相同。構成感應放大器的單位電路之ＣＭＯＳ閂鎖電路是由：閂鎖狀態的Ｎ通道型ＭＯＳＦＥＴＱ５與Ｑ６及Ｐ通道型ＭＯＳＦＥＴＱ７與Ｑ８所構成。這些閂鎖狀態的Ｎ通道型ＭＯＳＦＥＴＱ５與Ｑ６及Ｐ通道型ＭＯＳＦＥＴＱ７與Ｑ８的源極是連接於共通源極ＣＮＳ與ＣＳＰ，該共通源極線ＣＮＳ與ＣＳＰ是分別共通連接Ｎ通道型ＭＯＳＦＥＴ及Ｐ通道型ＭＯＳＦＥＴ的源極（構成對應於上述副陣列而設置之未圖示的其他相同感測放大器）。

在上述共通源極線ＣＮＳ中是經由接受定時信號ＳＡＮ的Ｎ通道型ＭＯＳＦＥＴＱ１４來供給動作電壓ＶＳＳＡ，在上述共通源極線ＣＳＰ中是經由接受定時信號ＳＡＰ１的Ｎ通道型ＭＯＳＦＥＴＱ１５來供給動作電壓ＶＤＬ。就此實施例而言，形成上述感測放大器的一方動作電壓之接地電位ＶＳＳＡ，爲了不會受到來自上述周邊電路等之雜訊的影響，而藉由與該接地電位ＶＳＳ分離的接地線來賦予自外部端子所供給的接地電位。亦即，賦

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（21）

予感測放大器的接地電位ＶＳＳＡ是利用與上述周邊電路及輸出入電路分別設置的配線來從外部端子直接賦予電路的接地電位。

在上述閂鎖電路的一對輸出入節點（感測節點）ＳＡＴ與ＳＡＢ中設有預充電電路。該預充電電路是由：補償ＭＯＳＦＥＴＱ１２，以及將半預充電電壓ＶＢＬＲ傳達至上述感測節點ＳＡＴ，ＳＡＢ之預充電ＭＯＳＦＥＴＱ１０，Ｑ１１所構成。又，上述感測節點ＳＡＴ，ＳＡＢ是經由列開關ＭＯＳＦＥＴＱ１２，Ｑ１３（在閘極中供給有列選擇信號ＹＳ）來連接於區域輸出入線ＬＩＯＴ，ＬＩＯＢ。又，在挾持上述感測放大器部而設置於左側的相輔位元線ＢＬＬＴ，ＢＬＬＢ之間設有共用開關ＭＯＳＦＥＴＱ１，Ｑ２，並且在設置於右側的相輔位元線ＢＬＲＴ，ＢＬＲＢ之間設有共用開關ＭＯＳＦＥＴＱ３，Ｑ４。

在共用開關ＭＯＳＦＥＴＱ１，Ｑ２的閘極中供給控制信號ＳＨＬ，在上述共用開關ＭＯＳＦＥＴＱ３，Ｑ４的閘極中供給控制信號ＳＨＲ。並且，在與上述感測放大器部左側的相輔位元線ＢＬＬＴ，ＢＬＬＢ垂直而配置的副字元線ＳＷＬ１，ＳＷＬ２等之各交點上設有動態型記憶格（由位址選擇ＭＯＳＦＥＴＱｍ與記憶電容器Ｃｓ所構成）。同樣的，在與上述感測放大器部右側的相輔位元線ＢＬＲＴ，ＢＬＲＢ垂直而配置的副字元線ＳＷＬ３，ＳＷＬ４等之各交點上設有動態型記憶格（由位址選擇

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (22)

ＭＯＳＦＥＴＱｍ與記憶電容器Ｃｓ所構成）。

圖５爲圖３之實施例所示之主放大器之一實施例的電路圖。主放大器是由：ＣＭＯＳ閂鎖電路（由與上述感測放大器同樣形成閂鎖狀態的Ｎ通道型ＭＯＳＦＥＴＱ２１與Ｑ２２及Ｐ通道型ＭＯＳＦＥＴＱ２４與Ｑ２５所構成），及Ｎ通道型ＭＯＳＦＥＴＱ２３（設置於上述Ｎ通道型ＭＯＳＦＥＴＱ２１與Ｑ２２之共通連接的源極與電路的接地電位之間）等所構成。上述ＣＭＯＳ閂鎖電路的輸出入節點連接於上述主輸出入線ＭＩＯＴ與ＭＩＯＢ。在上述閂鎖狀態的Ｐ通道型ＭＯＳＦＥＴＱ２４與Ｑ２５之共通連接的源極中將被供給動作電壓ＶＰＥＲＩ。此電壓ＶＰＥＲＩ是形成與上述感測放大器的動作電壓ＶＤＬ相同的電壓。

雖無特別加以限制，但上述主輸出入線ＭＩＯＴ與ＭＩＯＢ是藉由設置於區域輸出入線ＬＩＯＴ與ＬＩＯＢ的預充電電路（圖中未示）來對區域輸出入線ＬＩＯＴ與ＬＩＯＢ及ＶＰＥＲＩ（ＶＤＬ）進行預充電。因此，根據上述感測放大器的放大動作而讀出至區域輸出入線ＬＩＯＴ與ＬＩＯＢ及主輸出入線ＭＩＯＴ與ＭＩＯＢ的輸出信號是形成主輸出入線ＭＩＯＴ與ＭＩＯＢ的一方由預充電電位（ＶＰＥＲＩ＝ＶＤＬ）下降至低準位側的電壓，且ＭＯＳＦＥＴＱ２３是根據定時信號ＭＡＥ而形成ＯＮ狀態，而利用上述閂鎖形態的Ｎ通道型ＭＯＳＦＥＴＱ２１與Ｑ２２來放大上述電位差。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（23）

圖6爲本發明之動態型ＲＡＭ的輸出緩衝器之一實施例的電路圖。同圖中也一併顯示出用以表示動態型ＲＡＭ之全體動作的電路區塊。亦即，在解碼器中是以降壓電壓ＶＰＥＲ１來使動作，而形成對應於彼之信號振幅的解碼信號。主字元驅動器是以昇壓電壓ＶＰＰ來使動作。記憶體陣列是輸出對應於感測放大器的動作電壓ＶＤＬ之信號振幅的讀出信號。主放大器是以上述降壓電壓ＶＰＥＲ１來使動作，而形成對應於彼之讀出信號ＭＯＢ。在此，ＭＯＢ的Ｂ是指邏輯“１“爲低準位，邏輯“０“爲高準位者，而逆相的信號則是以ＭＯＴ來表示之。

在輸出緩衝器中，上述主放大器的輸出信號ＭＯＢ是藉由準位移動電路ＬＳ來將對應於上述降壓電壓ＶＰＥＲ１的信號準位變換（放大）成對應於外部電源電壓ＶＤＤ的電壓準位。該放大的信號ＭＯＴＨ是供應給“與非“電路Ｇ１的一方輸入側。又，上述信號ＭＯＴＨ是藉由反相器電路Ｎ１而反轉，然後供應給“與非“電路Ｇ２的一方輸入側。並且這些“與非“電路Ｇ１，Ｇ２的他方輸入側是被供給對應於上述電源電壓ＶＤＤ的信號準位之資料輸出定時信號ＤＯＣ。又，由於輸出ＭＯＳＦＥＴＱＰ與ＱＮ爲了能夠取得較大的負荷驅動能力而形成較大的尺寸，因此具有較大的閘極電容。又，爲了能夠高速驅動輸出ＭＯＳＦＥＴＱＰ與ＱＮ，上述閘極電路Ｇ１，Ｇ２的輸出信號將會依次經由反相器電路Ｎ２～Ｎ４而傳達。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明 (24)

賦予輸出緩衝器的P通道型輸出ＭＯＳＦＥＴＱＰ的源極之電源電壓ＶＤＤ是上述Ｐ通道型輸出ＭＯＳＦＥＴＱＰ爲了流動較大的動作電流而經由獨立的電源端子ＶＤＤＱ及電源線來賦予動作電壓。同樣的，賦予Ｐ通道型輸出ＭＯＳＦＥＴＱＰ的源極之接地電位是經由獨立的接地端子ＶＳＳＱ及電源線而賦予。上述Ｐ通道型輸出ＭＯＳＦＥＴＱＰ亦可置換成Ｎ通道型輸出ＭＯＳＦＥＴ。又，爲了能夠取得電源電壓ＶＤＤ爲止的輸出準位，亦可供應被昇壓的電壓給閘極。該昇壓電壓亦可利用上述字元線等之昇壓電壓ＶＰＰ，一般是以自舉（bootstrap）電路所形成。

圖７是用以說明本發明之動態型ＲＡＭ的讀出動作之一例的定時圖。其中，共用選擇信號ＳＨＲ與ＳＨＬ是在預充電期間形成昇壓電壓ＶＰＰ之類的選擇準位。藉此，相輔位元線ＢＬＬＴ，ＢＬＬＢ會藉由設置於感測放大器的感測節點之預充電電路來設定成半預充電電壓ＶＢＬＲ（＝ＶＤＬ／２）。

當副字元線ＳＷＬ１被選擇時，事先對應於非選擇側的副陣列之共用選擇信號ＳＨＲ會形成電路的接地電位ＶＳＳ之類的非選擇準位。因此，感測放大器會形成與右側的相輔位元線切離之狀態，並且藉由副字元線ＳＷＬ１的選擇動作來產生對應於左側的相輔位元線ＢＬＬＴ與ＢＬＬＢ中所被選擇的記憶格的記憶電荷之微小電位差。

在上述微小電位形成，且感測放大器開始進行放大動

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明 (25)

作之前，上述共用選擇信號ＳＨＬ會被降低成降壓電壓ＶＤＬ之類的中間電位。然後使感測放大器活化信號ＳＡＮ與ＳＡＰ１形成高準位，而使感測放大器的放大動作開始進行。亦即，藉由感測放大器活化信號ＳＡＮ來使電源開關ＭＯＳＦＥＴＱ１４形成ＯＮ狀態，然後使感測放大器的共通源極線ＣＳＮ由半充電電壓下降至電路的接地電位ＶＳＳＡ之類的電壓，以及藉由感測放大器活化信號ＳＡＰ１來使電源開關ＭＯＳＦＥＴＱ１５形成ＯＮ狀態，然後使感測放大器的共通源極線ＣＳＮ由半充電電壓上升至動作電壓ＶＤＬ。

在此放大動作中，如擴大圖所示，選擇側之共用選擇信號ＳＨＬ的電位會下降成ＶＤＬ之類的低電位，感測節點ＳＡＴ與ＳＡＢ的電位差會縮小成０．９Ｖ程度，藉此開關ＭＯＳＦＥＴＱ１與Ｑ２會具有較大的ＯＮ阻抗值，而使與位元線ＢＬＬＴ，ＢＬＬＢ連接。如此一來，由於在感測節點ＳＡＴ與ＳＡＢ中不會有位元線ＢＬＬＴ，ＢＬＬＢ之較大的寄生電容直接連接，因此當感測放大器開始進行放大時，感測節點ＳＡＴ與ＳＡＢ會對應於上述微小電位差來高速地擴大。

亦即，對應於高準位的讀出信號之感測節點ＳＡＴ會因爲開關ＭＯＳＦＥＴＱ１是形成ＯＦＦ狀態，所以往ＶＤＬ的啓動會形成高速。相對的，對應於低準位的讀出信號之感測節點ＳＡＢ會對應於該電位下降而來擴大開關ＭＯＳＦＥＴＱ２的閘極與源極間電位，而使與位元線

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (26)

ＢＬＬＢ的結合更爲強固，藉此來使位元線ＢＬＬＢ的電位下降。

亦即，感測放大器在開始進行放大時，上述開關ＭＯＳＦＥＴＱ１是形成ＯＦＦ狀態，開關ＭＯＳＦＥＴＱ２是具有較大的阻抗值而形成ＯＮ狀態，由於是使感測節點與位元線ＢＬＬＴ及ＢＬＬＢ的結合形成粗略，因此會使微小電位差高速擴大成藉由感測放大器的放大動作而形成的電位差，並且對應於該電位差的擴大，低準位測的開關ＭＯＳＦＥＴＱ２會對應於放大電壓的擴大而使與位元線ＢＬＬＢ的結合形成緊密，促使上述位元線ＢＬＬＢ的電位下降。換言之，此刻之開關ＭＯＳＦＥＴＱ２具有作爲閘極接地，源極輸入之線性放大ＭＯＳＦＥＴ的功能，而使位元線ＢＬＢ的電位產生下降。

由於上述感測放大器是利用正復歸迴路來對傳達至感測節點ＳＡＴ與ＳＡＢ的微小電壓進行高速動作，因此在放大動作開始時，若讀出雜訊而對準位而言造成電位差反轉的話，則會引起錯誤的讀出動作，換言之，會因其放大輸出再度被寫入記憶格中而引起錯誤的讀出動作。因此，感測放大器在放大開始時，即使共用開關ＭＯＳＦＥＴＱ１與Ｑ２形成ＯＮ狀態，也會因爲閘極，源極間電壓位於臨界值附近，而使得與位元線的結合良好，因此一方面可以防止來自上述位元線側的雜訊所造成的影響，另一方面能夠高速擴大微小電位差，並且對應於該擴大來使高準位側的開關ＭＯＳＦＥＴＱ１形成ＯＮ狀態，以及對應於

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明 (27)

上述放大信號之低準位側的擴大來慢慢地縮小開關ＭＯＳＦＥＴＱ２的ＯＮ阻抗，而於放大動作形成高速且安定時，使與位元線密切結合，然後使電位下降。

如此一來，感測節點ＳＡＢ可經由開關ＭＯＳＦＥＴＱ２來與具有較大的寄生電容的位元線ＢＬＬＢ連接，而使具有實質上較大的信號電容量。因此，在藉由列選擇信號ＹＳ來使上述感測節點ＳＡＢ連接於區域位元線時，可擴大根據與區域位元線的充電比率而讀出的信號量，進而能夠形成高速讀出。

圖８爲用以說明本發明之動態型ＲＡＭ的讀出動作之定時圖。該圖是藉由與習知完全使選擇側的共用開關ＭＯＳＦＥＴ形成ＯＦＦ狀態時的讀出動作所作的比較來說明本發明在中間電位的讀出動作之優越性。

如該圖所示，在使共用選擇信號ＳＨＬ形成電路的接地電位ＶＳＳＡ之低準位後使感測放大器活化時，感測節點ＳＡＴ與ＳＡＢ的電位會微量讀出，急速擴大電位差。因此，若共用選擇信號ＳＨＬ回到選擇準位，則感節點ＳＡＴ與ＳＡＢ會根據具有較大的寄生電容之位元線ＢＬＴ及ＢＬＢ的充電比率來變化於位元線電位側，而使兩者的電位差縮小成Ｖ２一般。此刻，若使列選擇信號ＹＳ形成高準位，然後使和區域輸出入線連接而進行讀出時，經由上述區域輸出入線來傳達至主輸出入線ＭＩＯＴ與ＭＩＯＢ的信號量在到達所連接之主放大器的放大動作的必要電壓Ｖ３爲止的時間會變遲。因此，列選擇信號

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明 (28)

ＹＳ必須在取得上述電壓Ｖ３爲止的期間形成選擇準位，而維持感測節點與區域輸出入線的連接。

相對的，如本發明以點線來表示選擇側的共用選擇信號ＳＨＬ在僅下降至中間電位ＶＤＬ時，由於在感測放大器的放大期間，低準位側的放大輸出是傳達至位元線ＢＬＢ，因此即使共用選擇信號ＳＨＬ回到選擇準位，位元線ＢＬＢ的電位照樣會降低，而使得感測節點ＳＡＴ與ＳＡＢ的電位差會擴大成Ｖ１。如此一來，使列選擇信號ＹＳ形成高準位，然後使和區域輸出入線連接而進行讀出時，如同圖中以點線所示一般，由於可以經由上述區域輸出入線來擴大傳達至主輸出入線ＭＩＯＴ與ＭＩＯＢ的信號量，因此而能夠縮短到達所連接之主放大器的放大動作的必要電壓Ｖ３爲止的時間，進而可以加快主放大器之活化信號ＭＡＥ的時間，同時能夠縮短列選擇信號ＹＳ的選擇期間。

上述中間電壓並非限定於上述感測放大器的動作電壓ＶＤＬ。此中間電位，若將ＭＯＳＦＥＴＱ１及Ｑ２的臨界值電壓設定成ＶＴ１及ＶＴ２，則只要形成ＶＴ１＜中間電位＜ＶＴ２即可。但，即使形成ＶＴ１，ＶＴ２＜中間電位，而使其ＯＮ阻抗變大，也不會對上述感測放大器開始進行放大時有所影響。

上述臨界值電壓ＶＴ１與ＶＴ２是藉由下式（１）及（２）來予以表示。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明 (29)

$$VT1 = VT10 + K\sqrt{|VBB - VSAT|} + 2\Phi F - \sqrt{2\Phi F} \cdots (1)$$

$$VT2 = VT20 + K\sqrt{|VBB - VSAB|} + 2\Phi F - \sqrt{2\Phi F} \cdots (2)$$

在此，ＶＴ１０爲ＶＢＢ－ＶＳＡＴ＝０時的臨界值電壓，ＶＴ２０爲ＶＢＢ－ＶＳＡＢ＝０時的臨界值電壓，Ｋ爲基板效應電壓，ＶＳＡＴ爲感測節點ＳＡＴ的電壓值，ＶＳＡＢ爲感測節點ＳＡＢ的電壓值，ＶＢＢ爲基板電壓，ΦＦ爲費米準位。

圖９爲用以說明本發明之動態型ＲＡＭ的讀出動作之其他例的定時圖。在此實施例中，使選擇側的共用選擇信號ＳＨＬ形成中間電位ＶＤＬ之後，在回到電壓ＶＰＰ之類的選擇準位時，會使其啓動時間ｔｒ變慢（ｔｒ１）。藉此，位元線ＢＴＬ與高準位側的感測節點ＳＡＴ的結合會緩和地進行，而使位元線ＢＬＴ的落差變小。其結果，可使感測節點ＳＡＴ與ＳＡＢ的電壓差由Ｖ１擴大成Ｖ２。藉此，將能夠高速地對資料輸出入線側進行感測輸出的讀出。

圖１０爲形成共用選擇信號的定時產生電路之一實施例的電路圖。藉由ＳＨ選擇邏輯區塊來形成３種類的定時信號φＡ，φＢ及φＣ。例如在選擇側產生φＢ與φＣ，在非選擇側產生φＡ與φＣ。亦即，由於在選擇側中產生φＣ，φＢ及φＣ而使對應的輸出ＭＯＳＦＥＴＱ２７，Ｑ２６及Ｑ２７形成ＯＮ狀態，因此ＳＨＬ（ＳＨＲ）電位會被設定成ＶＰＰ－ＶＤＬ－ＶＰＰ之類的２值電壓。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明 (30)

又，由於在非選擇側中產生φC，φA及φC而使對應的輸出ＭＯＳＦＥＴＱ２７，Ｑ２８及Ｑ２７形成ＯＮ狀態，因此ＳＨＬ（ＳＨＲ）電位被設定成ＶＰＰ－ＶＳＳ－ＶＰＰ之類的２值電壓。

如上述使選擇準位形成ＶＰＰ準位時，若以Ｎ通道型ＭＯＳＦＥＴ來構成ＭＯＳＦＥＴＱ２７，則上述定時信號φC的選擇準位會形成ＶＰＰ＋ＶＴ２７之類的昇壓電壓。又，若以Ｐ通道型ＭＯＳＦＥＴＱ來構成ＭＯＳＦＥＴＱ２７，則定時信號φC會形成ＶＰＰ之非選擇準位及ＶＳＳ之選擇準位。

如上述圖９所示，使由中間電壓ＶＤＬ至選擇準位ＶＰＰ的啓動延遲時，亦可形成並列連接ＭＯＳＦＥＴＱ２７之兩個的ＭＯＳＦＥＴ，而由ＶＳＳ上升至ＶＰＰ時，同時使兩個的ＭＯＳＦＥＴ形成ＯＮ狀態，以及由ＶＤＬ上升至ＶＰＰ時，同時使一個的ＭＯＳＦＥＴ形成ＯＮ狀態。或者亦可使定時信號φC的啓動變慢。如此一來，藉由ＭＯＳＦＥＴ的尺寸或閘極輸入電壓的變更，將可使上述選擇性的信號準位進行變化。

圖１１爲用以說明本發明之動態型ＲＡＭ的讀出動作之其他例的定時圖。在此實施例中，感測放大器將被過激勵。亦即，在感測放大器的Ｐ通道型ＭＯＳＦＥＴ的共通源極線ＣＰＳ中供給比動作電壓ＶＤＬ還要高的電壓ＶＤＤ，急速啓動來使高準位側的感測輸出高速啓動。因應於此，將追加定時信號ＳＡＰ２來作爲驅動上述共通源

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明 (31)

極線ＣＳＰ的定時信號。此定時信號ＳＡＰ２會暫時性地與定時信號ＳＡＮ同時形成ＶＰＰ準位之類的高電壓，而使上述共通源極線ＣＳＰ暫時地比ＶＤＬ來得高。並且對應於該定時信號ＳＡＰ２的非選擇準位的變化來較慢產生上述定時信號ＳＡＰ１，然後將動作電壓ＶＤＬ供應給共通源極線ＣＳＰ。

藉由如此之感測放大器的過激勵，感測節點ＳＡＴ及ＳＡＢ的電壓差可放大成Ｖ４一般。因此，使共用選擇信號ＳＨＬ由中間電壓ＶＤＬ回到選擇電壓ＶＰＰ時之感測節點ＳＡＴ的落差可藉由上述過激勵電壓來予以補償，而使根據列選擇信號ＹＳ之資料輸出入線的讀出動作能夠高速化。

圖１２爲具有過激勵機能的感測放大器之一實施例的電路圖。在連接有感測放大器的Ｐ通道型ＭＯＳＦＥＴＱ７，Ｑ８的源極之共用源極線ＣＳＰ中加上電源開關ＭＯＳＦＥＴＱ１５，然後附加構成過激勵部的Ｎ通道型ＭＯＳＦＥＴＱ１６。此ＭＯＳＦＥＴＱ１６是對應於定時信號ＳＡＰ２而進行供應電源電壓ＶＤＤ給上述共用源極線ＣＳＰ的動作。在此，爲了從上述ＭＯＳＦＥＴＱ１６的源極輸出電源電壓ＶＤＤ，而使供應給閘極的定時信號ＳＡＰ２的選擇準位形成昇壓電壓ＶＰＰ等之類較高的電壓。

對上述過激勵用的電壓而言，爲了減輕感測放大器動作速度的電源電壓ＶＤＤ依存性，亦可於閘極中施加昇壓

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明 (32)

電壓ＶＰＰ，而來取代自外部端子所供給的電源電壓ＶＤＤ。藉由如此之過激勵部的附加，將可對應於定時信號ＳＡＰ２而使感測放大器的動作電壓之共通源極線ＣＳＰ的電位暫時地形成ＶＤＤ之類的高電壓。

圖１３爲使用於本發明之動態型ＲＡＭ的感測放大器部之一實施例的概略元件佈局圖。在此實施例中，驅動感測放大器的電源開關ＭＯＳＦＥＴＱ１４及１５是沿著感測放大器列而分散配置。亦即，並非是以較大的尺寸來糾纏配置於交叉領域，而是分散於感測放大器列中，設置較小的元件尺寸之電源開關ＭＯＳＦＥＴＱ１４及１５。

雖無特別加以限制，但就本實施形態而言是對應於１６個的單位電路而配置上述２個的ＭＯＳＦＥＴＱ１４及１５。亦即，以設置於左端的單位電路爲例，由上側依次配置共用開關ＭＯＳＦＥＴＱ１，Ｑ２，構成預充電電路的ＭＯＳＦＥＴＱ１０－１２，構成列選擇電路的開關ＭＯＳＦＥＴＱ１２，Ｑ１３，構成ＣＭＯＳ閂鎖電路的Ｐ通道型ＭＯＳＦＥＴＱ７，Ｑ８，挾持上述電源開關ＭＯＳＦＥＴＱ１４及１５的形成領域而構成ＣＭＯＳ閂鎖電路的Ｎ通道型ＭＯＳＦＥＴＱ５，Ｑ６，及共用開關ＭＯＳＦＥＴＱ３，Ｑ４。

上述電源開關ＭＯＳＦＥＴＱ１４及１５是沿著感測放大器列而延長，與上述共用開關ＭＯＳＦＥＴ比較，通道寬度較大，換言之，元件尺寸形成較大，而使能夠流動較大的電流。此情況，驅動Ｎ通道型ＭＯＳＦＥＴ的共通

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明 (33)

源極線ＣＳＮ的ＭＯＳＦＥＴＱ１４，由於應給閘極的電壓爲ＶＤＬ之類的較低電位，因此與供應電源電壓ＶＤＤ或昇壓電壓ＶＰＰ給閘極之ＭＯＳＦＥＴＱ１５相較下，會形成較大的尺寸。又，於分散配置用以驅動感測放大器的電源開關ＭＯＳＦＥＴ時，可縮短感測節點與電源開關ＭＯＳＦＥＴ之間的距離，並且能夠使設置於副陣列的複數個感測放大器的動作時間彼此均一，同時還可以有效利用上述交叉領域於其他電路。

圖１４是用以說明本發明之動態型ＲＡＭ的讀出動作之其他例的定時圖。此實施例是以Ｐ通道型ＭＯＳＦＥＴ來構成共用開關ＭＯＳＦＥＴ。以Ｐ通道型ＭＯＳＦＥＴ來構成共用開關ＭＯＳＦＥＴ時，其選擇準位是形成ＶＳＳＡ之類的電路的接地電壓，非選擇準位是形成對應於位元線之高準位的降壓電壓ＶＤＬ之類的電壓。

因此，供應至選擇側的共用開關ＭＯＳＦＥＴ之共用選擇信號ＳＨＬ是設定成副字元線ＳＷＬ選擇後讀出至感測放大器的感測節點ＳＡＴ與ＳＡＢ，且於電壓差被示出後對應於ＶＤＬ／２之半預充電電壓ＶＢＬＲ的電位。若根據感測放大器的放大動作來擴大感測節點ＳＡＴ與ＳＡＢ的電位差，則高準位側的位元線ＢＬＬＴ的電位會根據連接於閘極電位形成較低的高準位側的位元線ＢＬＴ之開關ＭＯＳＦＥＴＱ１而上升，然後使感測節點ＳＡＴ與ＳＡＢ的電位差擴大。

使用這樣的Ｐ通道型ＭＯＳＦＥＴ來作爲共用選擇

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（34）

ＭＯＳＦＥＴ而放大該高準位側的信號量時，最好是將資料輸出入線的預充電電位形成於接地電位側，並且在構成主放大器的ＣＭＯＳ閂鎖線路中藉由Ｐ通道型ＭＯＳＦＥＴ來進行放大動作。亦即，使用如圖５所示之主放大器時，在Ｐ通道型ＭＯＳＦＥＴＱ２４及２５的源極側藉由Ｐ通道型ＭＯＳＦＥＴ來賦予ＶＤＬ之類的動作電壓，在Ｎ通道型ＭＯＳＦＥＴＱ２１及２２的源極側賦予電路的接地電位。藉此，將可對應於來自感測放大器的輸出信號來使主放大器動作於感度良好的領域中。

圖１５是表示本發明之動態型ＲＡＭ的其他實施例之感測放大器部的電路圖。此實施例是對應於主放大器而設置一對的相輔位元線ＢＬＴ，ＢＬＢ，並且會在位元線與讀出放大器的讀出節點ＳＡＴ，ＳＡＢ之間設置位元線中斷用的ＭＯＳＦＥＴＱ１，Ｑ２。又，被供給至此ＭＯＳＦＥＴＱ１，Ｑ２的閘極中的控制信號ＢＣ與上述日本特開平４－１６７２９３號公報所記載之３值準位的控制有所不同，亦即是以ＶＰＰ之類的選擇準位與ＶＤＬ之類的中間電位的２值電壓來使變化。

即使設置如此位元線中斷用ＭＯＳＦＥＴ，照樣不會像上述公報那樣以３值準位來控制其控制信號ＢＣ，藉由２值準位的控制，如以上所述，可使對感測輸出的資料輸出入線ＩＴＯ及ＩＯＢ的讀出形成高速化。此資料輸出入線ＩＴＯ及ＩＯＢ在記憶陣列被分割成副陣列時爲對應於區域輸出入線，並藉由選擇電路來２連接於設有主放大器

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明 (35)

的主輸出入線。

圖16是用以說明將本發明適用於同步動態型RAM時的動作之一例的波形圖。該圖是以脈衝長BL=2，CAS延遲CL=2的情況時爲例。上述BL=2，CL=2是設定於模式暫存器。BL=2是在2個連續週期中由2個列開關來進行讀出／寫入，CL=2是由讀出指令在2週期後從輸出端子DQ使輸出資料輸出。

根據區庫動作指令來從位址輸入端子取入行系的位址信號，並予以解碼，而藉此來使副字元線SWL形成VPP之類的選擇準位。如此一來，在相輔位元線BLT，BLB中會出現微小讀出信號。由於感測放大器是根據動作定時信號來使其活化，因此上述相輔位元線BLT，BLB的微小讀出信號會被放大成VDL之類的高準位及VSS之類的低準位，並且進行副字元線SWL所被選擇之記憶格的再寫入（更新）處理。此刻，在感測放大器的動作開始時，未圖示之選擇側的共用開關MOSFET的閘極電壓，如上述會暫時在形成中間電壓後回到選擇準位，然後執行上述更新處理。

在區庫動作的2週期後，讀出指令將被輸入，並且未圖示之列系的位址信號會被取入，而啓動列選擇信號YS1。藉此，主輸出入線MIOT與MIOB會在上述列選擇前爲止預充電成VDL準位，且根據上述YS選擇的位元線資訊來取得必要的讀出電壓差，然後利用藉信號MAE而活化的主放大器來予以放大，而形成輸出信號

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (36)

ＭＯ。由於此主放大器的輸出信號ＭＯ是對應於降壓電壓ＶＰＥＲＩ之低振幅信號，因此會在輸出緩衝器的輸入部中進行準位位移後使變換成ＶＤＤ，且與輸出定時信號ＤＯＣ同步輸出。上述ＢＬ＝２時會同步於讀出指令的下一個時脈ＣＬＫ而來切換Ｙ系的位址，而形成主放大器的輸出信號ＭＯ。

從區庫動作指令到最初的輸出信號ＤＱ確定爲止的動作時間爲ｔＲＡＣｅｑ，從讀出指令到輸出信號ＤＱ確定爲止的動作時間爲ｔＡＡｅｑ，從時脈信號ＣＬＫ到輸出信號ＤＱ確定爲止的動作時間爲ｔＡＣ。由於本發明在Ｙ選擇動作時可對主放大器高速取得必要量的讀出信號，因此可縮短上述存取時間ｔＡＣ。並且，藉由上述高振幅信號的控制，可放大流入ＭＯＳＦＥＴ中的電流，甚至在此的信號延遲也可以縮小，因此而能夠達成高速化。如此一來，不但可以縮短時脈ＣＬＫ的週期，而且還能夠謀求同步ＤＲＡＭ的高速化。

由上述實施形態所取得的作用效果如下述。亦即：

（１）在設於動態型ＲＡＭ的感測放大器與相輔位元線之間設置開關ＭＯＳＦＥＴ，依照複數對的相輔位元線中各記憶資訊來從複數個的動態型記憶格（根據字元線的選擇動作而選擇出）讀出信號電壓，然後使上述開關ＭＯＳＦＥＴ的開關控制信號由選擇準位變化成預定的中間電位（在讀出至上述相輔位元線的信號電壓中以能夠形成ＯＦＦ狀態或持有較大的ＯＮ阻抗值之方式，使根據上

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明 (37)

述感測放大器的放大動作之感測節點在形成一方的準位的電位中持有較小的ＯＮ阻抗值而形成ＯＮ狀態，以及在形成另一方的準位的電位中形成ＯＦＦ狀態），並且在閘極中被賦予上述中間電位的上述開關ＭＯＳＦＥＴ是根據感測放大器的放大動作來使感測節點成爲一方的準位，而形成ＯＮ狀態，並且根據列選擇信號且經由列選擇電路來使放大信號（根據上述放大動作而形成）傳達至上述輸出入線，而且對應於上述列選擇電路的選擇動作來使上述開關控制信號由中間電準位位回到選擇準位，藉此可以安定地進行微小信號的感測放大動作，且能夠高速地輸出該放大信號至資料輸出入線。

（２）更設有連接於上述感測節點，對上述相輔位元線進行預充電之預充電電路，上述字元線爲非選擇狀態時，上述控制信號會被形成選擇準位，相輔位元線會從經由上述傳送ＭＯＳＦＥＴ而設於感測節點的預充電電路進行充電，藉此一方面可以安定且高速地進行微小信號的感測放大動作，另一方面能夠高速地輸出該放大信號至資料輸出入線，同時因可將預充電電路共用於感測節點與相輔位元線的雙方，所以能夠使電路簡素化。

（３）上述感測節點是以此爲中心部而於左右配置有相輔位元線，上述傳送ＭＯＳＦＥＴ是與配置於上述左右的相輔位元線的選擇開關ＭＯＳＦＥＴ並用，對應於形成非選擇的相輔位元線的傳送ＭＯＳＦＥＴ的開關控制信號是在上述字元線被選擇之前形成非選擇準位，亦即形成所謂的

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明 (38)

共同感測方式，藉此一方面可以安定且高速地進行微小信號的感測放大動作，另一方面能夠高速地輸出該放大信號至資料輸出入線，同時因可將預充電電路共用於感測節點與相輔位元線的雙方，所以能夠使電路簡素化。

（４）對應於上述列選擇電路的選擇動作，而使上述控制信號由上述中間準位回到選擇準位時，使該信號的變化要比由選擇準位變化至中間準位時來得緩和，藉此由於他方的準位側的信號電壓也會變大，因此藉此一方面可以安定且高速地進行微小信號的感測放大動作，另一方面更能夠高速地輸出該放大信號至資料輸出入線。

（５）在上述資料輸出線連接有由連接輸出入端子的ＣＭＯＳ閂鎖所構成的主放大器，上述資料輸出線會被預充電成與上述感測節點之一方的準位呈反極性之他方的準位，上述主放大器形成動作狀態時，會針對上述ＣＭＯＳ閂鎖電路賦予對應於他方的電位之動作電壓，藉此可在高感度下來使主放大器（由ＣＭＯＳ閂鎖電路所構成）動作。

（６）上述字元線是由主字元線與對主字元線共同分配而成複數條副字元線而構成，對上述副字元線連接有上述動態型記憶格的位址選擇ＭＯＳＦＥＴ的閘極，

上述副字元線是藉由接受上述主字元線的信號與副字元選擇線的信號之副字元驅動器來選擇上述複數條的其中之一，上述副字元驅動器，除了記憶格陣列的端部以外，會形成以彼爲中心而設於左右之副字元線的選擇信號，上述感

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明 (39)

測放大器，除了記憶格陣列的端部以外，會感測以彼爲中心而設於左右之相輔位元線的放大信號，藉此一方面可以實現大記憶容量的動態型ＲＡＭ，另一方面可以安定地進行微小信號的感測放大動作，且能夠高速地輸出該放大信號至資料輸出入線。

（７）賦予上述感測放大器的動作電壓爲：針對自外部端子所供給的電源電壓進行降壓後之降壓電壓，上述字元線的選擇準位與上述傳送ＭＯＳＦＥＴ的選擇準位爲：針對上述電源電壓進行昇壓後之昇壓電壓，上述中間準位爲：使用對應於上述感測放大器的動作電壓之降壓電壓，藉此不需要追加特別的內部電源電路，而能夠一方面安定且高速地進行微小信號的感測放大動作，另一方面可以高速地輸出該放大信號至資料輸出入線。

以上是根據實施例來具體說明本發明，但本發明並非僅限於此，只要不脫離其主旨範圍，亦可實施種種的變更。例如，在上述圖１及圖２所示之動態型ＲＡＭ中，記憶體陣列，副陣列及副字元驅動器的構成亦可採用種種的實施形態，或不使用副字元驅動器之字元分路方式。又，賦予動作電壓ＶＤＬ給感測放大器的電源開關ＭＯＳＦＥＴＱ１５亦可爲使用Ｐ通道型ＭＯＳＦＥＴ者。

又，感測放大器的動作電壓亦可爲原封不動使用來自外部端子的電源電壓者。此情況之上述中間電壓亦可爲使用半預充電電壓者，或利用專用的電壓者。又，主放大器除了使用上述ＣＭＯＳ閂鎖電路以外，亦可利用差動放大

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明 (40)

電路。本發明可廣泛利用於使用動態型記憶格的半導體記憶裝置，例如亦可適用在搭載於微電腦等之數位積體電路的半導體記憶裝置等。

【發明之效果】

本案所示之發明中代表者的概要簡單說明如下。

亦即，在設於動態型ＲＡＭ的感測放大器與相輔位元線之間設置開關ＭＯＳＦＥＴ，依照複數對的相輔位元線中各記憶資訊來從複數個的動態型記憶格（根據字元線的選擇動作而選擇出）讀出信號電壓，然後使上述開關ＭＯＳＦＥＴ的開關控制信號由選擇準位變化成預定的中間電位（在讀出至上述相輔位元線的信號電壓中以能夠形成ＯＦＦ狀態或持有較大的ＯＮ阻抗值之方式，使根據上述感測放大器的放大動作之感測節點在形成一方的準位的電位中持有較小的ＯＮ阻抗值而形成ＯＮ狀態，以及在形成另一方的準位的電位中形成ＯＦＦ狀態），並且在閘極中被賦予上述中間電位的上述開關ＭＯＳＦＥＴ是根據感測放大器的放大動作來使感測節點成爲一方的準位，而形成ＯＮ狀態，並且根據列選擇信號且經由列選擇電路來使放大信號（根據上述放大動作而形成）傳達至上述輸出入線，而且對應於上述列選擇電路的選擇動作來使上述開關控制信號由中間電準位位回到選擇準位，藉此可以安定地進行微小信號的感測放大動作，且能夠高速地輸出該放大信號至資料輸出入線。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明 (41)

【圖面之簡單的說明】

第１圖爲本發明所適用之動態型ＲＡＭ之一實施例的概略佈局圖。

第２圖爲本發明之動態型ＲＡＭ的副陣列及其周邊電路之一實施例的概略佈局圖。

第３圖爲本發明之以動態型ＲＡＭ的感測放大器部爲中心，從位址輸入到資料輸出爲止之簡略化後之一實施例的電路圖。

第４圖爲本發明之動態型ＲＡＭ的感測放大器部之一實施例的電路圖。

第５圖爲第３圖之實施例所示之主放大器之一實施例的電路圖。

第６圖爲本發明之動態型ＲＡＭ的輸出緩衝器之一實施例的電路圖。

第７圖爲用以說明本發明之動態型ＲＡＭ的讀出動作之一例的定時圖。

第８圖爲用以說明本發明之動態型ＲＡＭ的讀出動作之定時圖。

第９圖爲用以說明本發明之動態型ＲＡＭ的讀出動作之其他例的定時圖。

第１０圖爲形成共用選擇信號的定時產生電路之一實施例的電路圖。

第１１圖爲用以說明本發明之動態型ＲＡＭ的讀出動

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明 (42)

作之其他例的定時圖。

第１２圖爲具有過激勵機能的感測放大器之一實施例的電路圖。

第１３圖爲使用於本發明之動態型ＲＡＭ的感測放大器部之一實施例的概略元件佈局圖。

第１４圖爲用以說明本發明之動態型ＲＡＭ的讀出動作之其他例的定時圖。

第１５圖爲本發明之動態型ＲＡＭ的其他實施例之感測放大器部的電路圖。

第１６圖爲用以說明將本發明適用於同步動態型ＲＡＭ時的動作之一例的波形圖。

【圖號之說明】

１１：主行解碼器領域

１２：主字元驅動器

１３：列解碼器領域

１４：中央部份

１５：記憶格陣列（副陣列）

１６：感測放大器領域

１７：副字元驅動器領域（副字元線驅動電路）

１８：交叉領域

５１：位址緩衝器

５２：預解碼器

５３：列解碼器（驅動器）

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（43 ）

61：主放大器

SBARY：副陣列

SWL：副字元線

SWD：副字元驅動器

SA：感測放大器

MWL：主字元線

YS：行選擇線

BL：相輔位元線

FX0B～FX7B：副字元選擇線

FXD：副字元選擇線驅動電路

VDL：內部電壓

VSS：接地電壓

CSN，CSP：共通源極線

Cs：記憶電容器

VPLT：屏極電壓

VBB：反餽偏壓

VPP：昇壓電壓

VDL：內部降壓電壓

SAP1：感測放大器活化信號

VBLR：半預充電

PCB：預充電信號

LIOT，LIOB：區域輸出入線

SHR，SHL：共用選擇信號線線

IOSW：開關電路

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（44）

VDD：電源電壓

VPERI：降壓電壓

Dout：外部端子

Din：外部端子

MIOT，MIOT：主輸出線

SAN：定時信號

VSSA：動作信號

SAT，SAB：輸出入節點（感測節點）

MOB：主放大器的輸出信號

LS：準位移動電路

G1，G2："與非"電路

N1～N4：反相器電路

DOC：資料輸出定時信號

VDDQ：電源端子

VSSQ：接地端子

CSP：共通源極線

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

四、中文發明摘要（發明之名稱：半導體記憶裝置）

本發明是關於半導體記憶裝置，其構成是在設於動態型ＲＡＭ的感測放大器與相輔位元線之間設置開關ＭＯＳＦＥＴ，依照複數對的相輔位元線中各記憶資訊來從複數個的動態型記憶格（根據字元線的選擇動作而選擇出）讀出信號電壓，然後使上述開關ＭＯＳＦＥＴ的開關控制信號由選擇準位變化成預定的中間電位。又，在閘極中被賦予上述中間電位的上述開關ＭＯＳＦＥＴ是根據感測放大器的放大動作來使感測節點成爲一方的準位，而形成ＯＮ狀態。又，根據列選擇信號且經由列選擇電路來使放大信號（根據上述放大動作而形成）傳達至上述輸出入線，並且對應於上述列選擇電路的選擇動作來使上述開關控制信號由中間電準位位回到選擇準位。

英文發明摘要（發明之名稱：）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

1．一種半導體記憶裝置，其特徵是具備：

分別連接複數的動態型記憶格的位址選擇端子之複數條的字元線；及

分別連接複數的動態型記憶格之複數對的相輔位元線；及

設於上述複數對的相輔位元線與複數對的感測節點之間，且於閘極接受控制信號之複數對的傳送ＭＯＳＦＥＴ；及

於上述複數對的感測節點連接各個的輸出入端子，且對應於動作定時信號而賦予動作電壓之複數的感測放大器；及

經由根據列選擇信號來進行開關控制的列選擇電路而連接上述感測節點之資料輸出線；

上述控制信號的電壓準位可選擇性地設定成選擇準位，非選擇準位及其中間準位之一；

依照複數對的相輔位元線中各記憶資訊來從根據字元線的選擇動作而選擇出的動態型記憶格中讀出信號電壓，然後使上述開關控制信號由選擇準位形成中間電位；

對應於控制信號的中間準位的變化來使動作電壓賦予上述感測放大器而開始進行放大動作；

根據列選擇信號，經由列選擇電路來使根據上述放大動作而形成的放大信號傳達至上述輸出入線；

對應於上述列選擇電路的選擇動作來使上述控制信號由中間電準位位回到選擇準位；

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

在閘極接受上述中間準位的信號之上述一對的ＭＯＳＦＥＴ是在上述相輔位元線中由記憶格讀出信號的狀態下使持有ＯＦＦ狀態或較大的ＯＮ阻抗值，並根據上述感測放大器的放大動作，在感測節點的信號被放大的狀態下使一方的ＭＯＳＦＥＴ持有ＯＮ狀態或較小的ＯＮ阻抗值，他方的ＭＯＳＦＥＴ持有ＯＦＦ狀態或較大的ＯＮ阻抗值。

２．如申請專利範圍第１項之半導體記憶裝置，其中更設有連接於上述感測節點，對上述相輔位元線進行預充電之預充電電路；

上述字元線爲非選擇狀態時，上述控制信號會被形成選擇準位，相輔位元線會從經由上述傳送ＭＯＳＦＥＴ而設於感測節點的預充電電路進行充電。

３．如申請專利範圍第１或２項之半導體記憶裝置，其中上述感測節點是以此爲中心部而於左右配置有相輔位元線；

上述傳送ＭＯＳＦＥＴ是與配置於上述左右的相輔位元線的選擇開關ＭＯＳＦＥＴ並用；

對應於形成非選擇的相輔位元線的傳送ＭＯＳＦＥＴ的開關控制信號是在上述字元線被選擇之前形成非選擇準位。

４．如申請專利範圍第３項之半導體記憶裝置，其中對應於上述列選擇電路的選擇動作，而使上述控制信號由上述中間準位回到選擇準位時，使該信號的變化要比由選

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

擇準位變化至中間準位時來得緩和。

5．如申請專利範圍第3項之半導體記憶裝置，其中在上述資料輸出線連接有由連接輸出入端子的ＣＭＯＳ閂鎖所構成的主放大器；

上述資料輸出線會被預充電成與上述感測節點之一方的準位呈反極性之他方的準位；

上述主放大器形成動作狀態時，會針對上述ＣＭＯＳ閂鎖電路賦予對應於他方的電位之動作電壓。

6．如申請專利範圍第3項之半導體記憶裝置，其中上述字元線是由主字元線與對主字元線共同分配而成複數條副字元線而構成；

對上述副字元線連接有上述動態型記憶格的位址選擇ＭＯＳＦＥＴ的閘極；

上述副字元線是藉由接受上述主字元線的信號與副字元選擇線的信號之副字元驅動器來選擇上述複數條的其中之一；

上述副字元驅動器，除了記憶格陣列的端部以外，會形成以彼爲中心而設於左右之副字元線的選擇信號；

上述感測放大器，除了記憶格陣列的端部以外，會感測以彼爲中心而設於左右之相輔位元線的放大信號。

7．如申請專利範圍第3項之半導體記憶裝置，其中賦予上述感測放大器的動作電壓爲：針對自外部端子所供給的電源電壓進行降壓後之降壓電壓；

上述字元線的選擇準位與上述傳送ＭＯＳＦＥＴ的選

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

擇準位爲：針對上述電源電壓進行昇壓後之昇壓電壓；

上述中間準位爲：使用對應於上述感測放大器的動作電壓之降壓電壓。

8．一種半導體記憶裝置，其特徵是具備：

複數條的字元線；及

相輔位元線；及

分別連接於上述複數條的字元線之複數個的記憶格；及

藉由記憶格的選擇來放大出現於上述相輔位元線的讀出信號之感測放大器；及

設置於上述感測放大器的一對感測節點與上述相輔位元線之間，且於閘極接受控制信號之一對的ＭＯＳＦＥＴ；

上述控制信號可選擇性地設定成選擇準位，非選擇準位及其中間準位之一；

在上述相輔位元線中出現上述讀出信號之後，上述控制信號是由上述選擇準位形成中間準位；

上述感測放大器的動作開始後，上述控制信號是由上述中間準位回到上述選擇準位。

9．如申請專利範圍第8項之半導體記憶裝置，其中在閘極接受上述中間準位的控制信號之上述一對的ＭＯＳＦＥＴ是在上述相輔位元線中出現上述讀出信號的狀態下使持有ＯＦＦ狀態或較大的ＯＮ阻抗值，並根據上述感測放大器的動作，在上述一對感測節點的信號被放大

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

的狀態下使上述一對ＭＯＳＦＥＴ之一方的ＭＯＳＦＥＴ持有ＯＮ狀態或較小的ＯＮ阻抗值，他方的ＭＯＳＦＥＴ持有ＯＦＦ狀態或較大的ＯＮ阻抗值。

１０．如申請專利範圍第９項之半導體記憶裝置，其中在閘極接受上述選擇準位的控制信號之上述一對的ＭＯＳＦＥＴ是形成ＯＮ狀態；

在閘極接受上述非選擇準位的控制信號之上述一對的ＭＯＳＦＥＴ是形成ＯＦＦ狀態。

１１．一種半導體記憶裝置，其特徵是具備：

具有複數條的第１字元線，及與上述複數條的第１字元線交叉之相輔位元線，及複數個的記憶格之第１記憶體陣列；及

具有複數條的第２字元線，及與上述複數條的第２字元線交叉之相輔位元線，及複數個的記憶格之第２記憶體陣列；及

被共用於上述第１記憶體陣列與第２記憶體陣列，且藉由記憶格的選擇來放大出現於所對應的相輔位元線的讀出信號之感測放大器；及

分別設置於上述感測放大器的一對感測節點與上述第１記憶體陣列側的相輔位元線之間，以及上述一對感測節點與上述第２記憶體陣列側的相輔位元線之間之ＭＯＳＦＥＴ對；

各ＭＯＳＦＥＴ對的閘極電壓可選擇性地設定成選擇準位，非選擇準位及其中間準位之一；

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

當上述第１記憶體陣列的記憶格被選擇時，上述第２記憶體陣列側的ＭＯＳＦＥＴ對的閘極電壓會形成非選擇準位；

當上述第２記憶體陣列的記憶格被選擇時，上述第１記憶體陣列側的ＭＯＳＦＥＴ對的閘極電壓會形成非選擇準位；

在上述讀出信號出現於上述相輔位元線之後，所對應之ＭＯＳＦＥＴ對的閘極電壓會由上述選擇準位形成中間準位；

在上述感測放大器的動作開始後，上述所對應之ＭＯＳＦＥＴ對的閘極電壓會由上述中間準位回到上述選擇準位。

１２．如申請專利範圍第１１項之半導體記憶裝置，其中接受上述中間準位的閘極電壓之上述ＭＯＳＦＥＴ對，是在上述相輔位元線中出現上述讀出信號的狀態下使持有ＯＦＦ狀態或較大的ＯＮ阻抗值，並根據上述感測放大器的動作，在上述一對感測節點的信號被放大的狀態下使上述ＭＯＳＦＥＴ對之一方的ＭＯＳＦＥＴ持有ＯＮ狀態或較小的ＯＮ阻抗值，他方的ＭＯＳＦＥＴ持有ＯＦＦ狀態或較大的ＯＮ阻抗值。

１３．如申請專利範圍第１２項之半導體記憶裝置，其中接受上述選擇準位的閘極電壓之上述傳送ＭＯＳＦＥＴ對會形成ＯＮ狀態；

接受上述非選擇準位的閘極電壓之上述傳送

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

ＭＯＳＦＥＴ對會形成ＯＦＦ狀態。

１４．一種半導體記憶裝置，其特徵是具備：

複數條的字元線；及

相輔位元線；及

分別連接於上述複數條的字元線之複數個的動態型記憶格；及

藉由記憶格的選擇來放大出現於上述相輔位元線的讀出信號之感測放大器；及

設置於上述感測放大器的一對感測節點與上述相輔位元線之間，且於閘極接受控制信號之一對的ＭＯＳＦＥＴ；

上述控制信號可選擇性地設定成選擇準位，非選擇準位及其中間準位之一；

在上述相輔位元線中出現上述讀出信號之後，上述控制信號是由上述選擇準位形成中間準位；

上述感測放大器的動作開始後，上述控制信號是由上述中間準位回到上述選擇準位；

在上述選擇準位中，上述一對ＭＯＳＦＥＴ是形成ＯＮ狀態，在上述非選擇準位中，上述一對ＭＯＳＦＥＴ是形成ＯＦＦ狀態，在上述中間準位中，上述一對ＭＯＳＦＥＴ是在上述相輔位元線中出現上述讀出信號的狀態下使持有ＯＦＦ狀態或較大的ＯＮ阻抗值，並根據上述感測放大器的動作，在上述一對感測節點的信號被放大的狀態下使上述一對ＭＯＳＦＥＴ之一方的ＭＯＳＦＥＴ

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

持有ＯＮ狀態或較小的ＯＮ阻抗值，他方的ＭＯＳＦＥＴ持有ＯＦＦ狀態或較大的ＯＮ阻抗值。

１５．如申請專利範圍第１４項之半導體記憶裝置，其中上述感測放大器是由：將高準位或低準位的信號輸出至上述一對的感測節點中之ＣＭＯＳ閂鎖電路所構成；

使持有ＯＮ狀態或較小的ＯＮ阻抗值之上述一方的ＭＯＳＦＥＴ會接受上述低準位的信號；

使持有ＯＦＦ狀態或較大的ＯＮ阻抗值之上述他方的ＭＯＳＦＥＴ會接受上述高準位的信號。

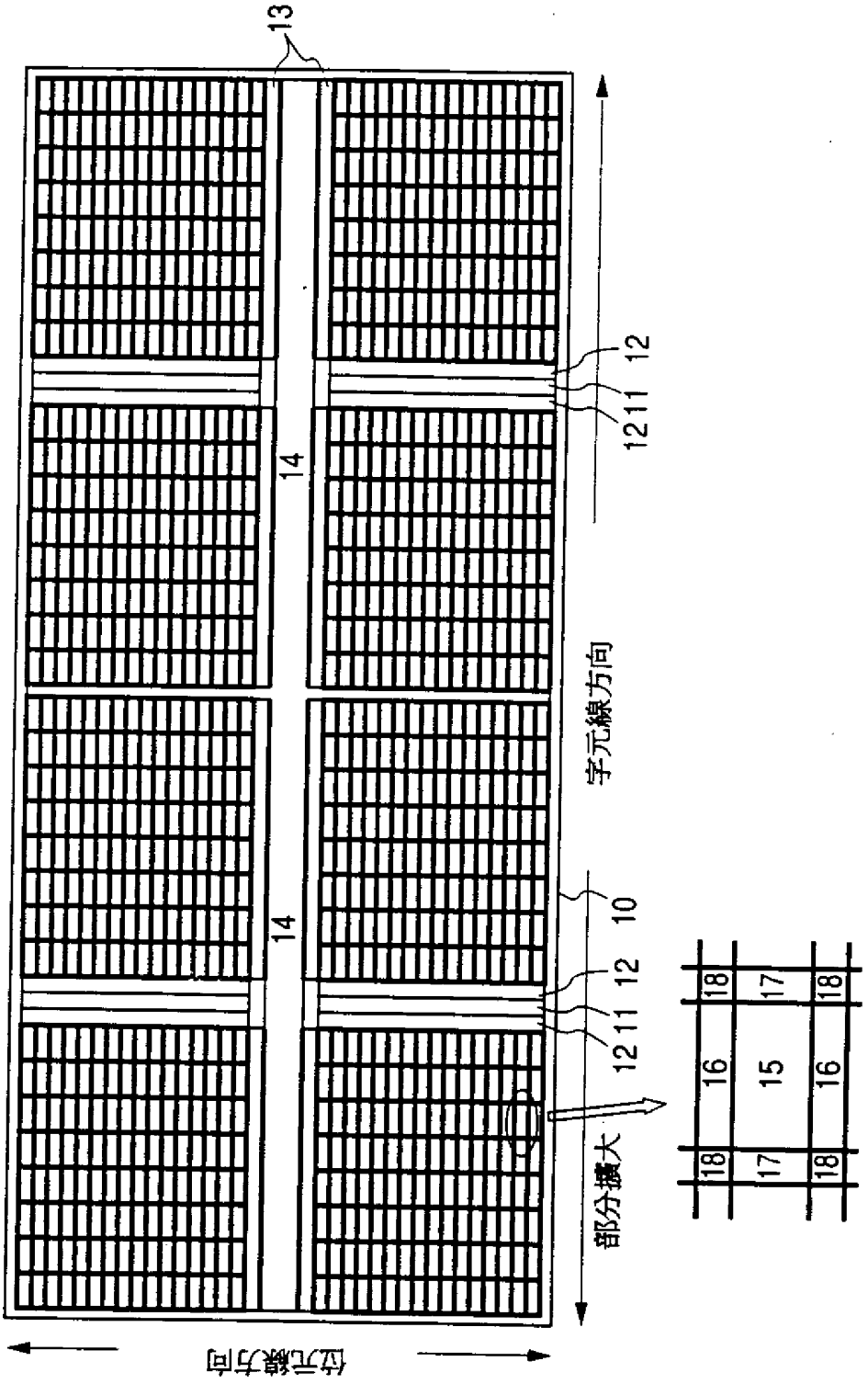
１６．如申請專利範圍第１５項之半導體記憶裝置，其中上述一對的ＭＯＳＦＥＴ爲Ｎ通道型，上述選擇準位爲上述字元線的選擇準位，上述非選擇準位爲上述ＣＭＯＳ閂鎖電路的輸出信號之低準位，上述中間準位爲上述ＣＭＯＳ閂鎖電路的輸出信號之高準位。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

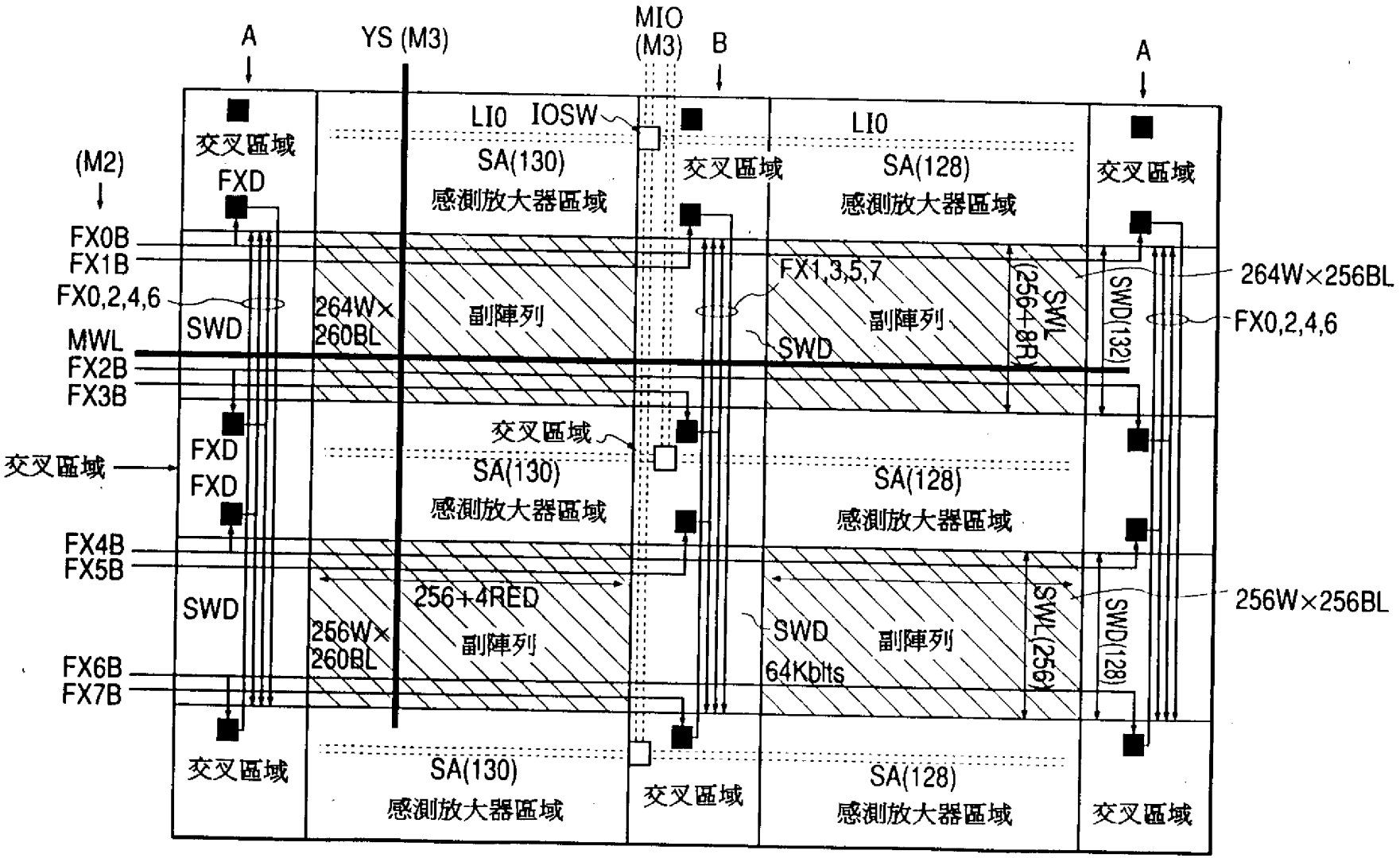
459379

735345

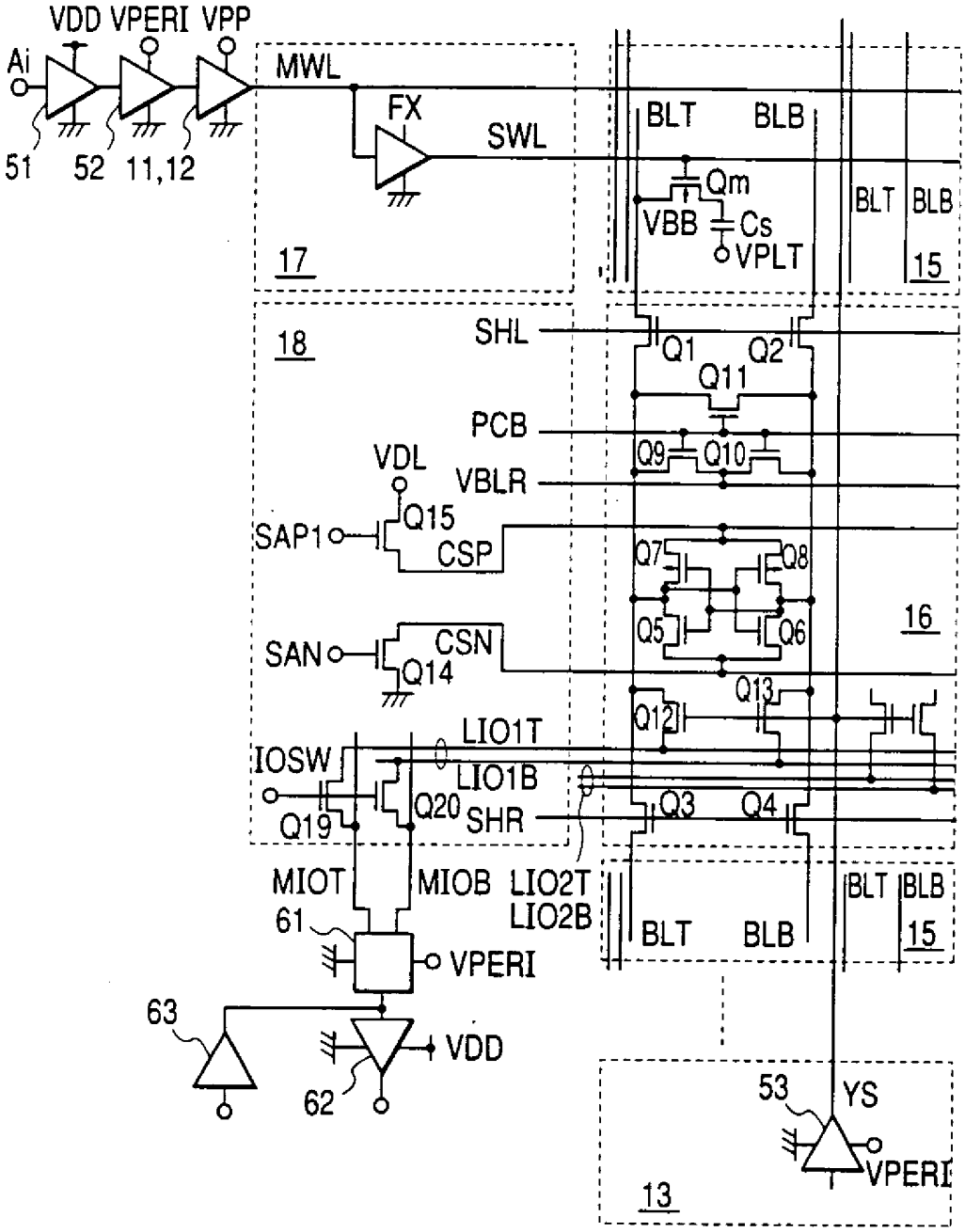
第1圖



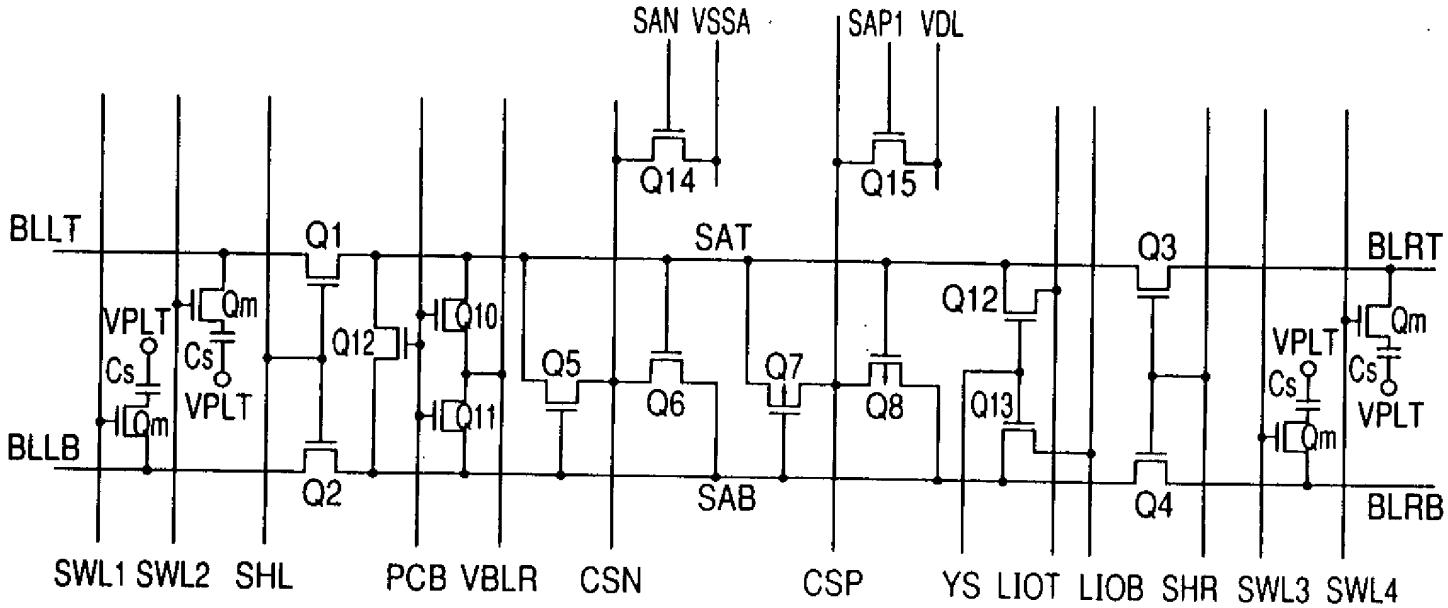
第 2 圖


A
YS (M3)
MIO (M3)
B
A
(M2)
交叉區域
FXD
LIO IOSW
SA(130)
感測放大器區域
交叉區域
LIO
SA(128)
感測放大器區域
交叉區域
FX0B
FX1B
FX0,2,4,6
SWD
264W×260BL
副陣列
FX1,3,5,7
SWD
副陣列
SWL(256+8RED)
SWD(132)
264W×256BL
FX0,2,4,6
MWL
FX2B
FX3B
交叉區域
交叉區域
FXD
FXD
SA(130)
感測放大器區域
SA(128)
感測放大器區域
FX4B
FX5B
SWD
256+4RED
256W×260BL
副陣列
SWD
64Kbits
副陣列
SWL(256)
SWD(128)
256W×256BL
FX6B
FX7B
交叉區域
SA(130)
感測放大器區域
交叉區域
SA(128)
感測放大器區域
交叉區域

第 3 圖

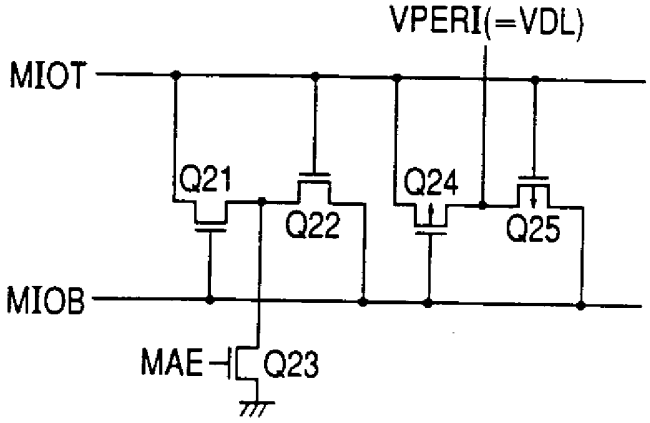

VDD VPERI VPP
Ai
51
52
11,12
MWL
FX
SWL
17
BLT
BLB
Qm
VBB
Cs
VPLT
15
18
SHL
Q1
Q2
Q11
PCB
Q9
Q10
VDL
VBLR
Q15
SAP1
CSP
Q7
Q8
Q5
Q6
16
SAN
CSN
Q14
Q13
Q12
LIO1T
IOSW
LIO1B
Q19
Q20
SHR
Q3
Q4
MIOT
MIOB
LIO2T
LIO2B
61
VPERI
63
VDD
62
53
YS
13

第 4 圖

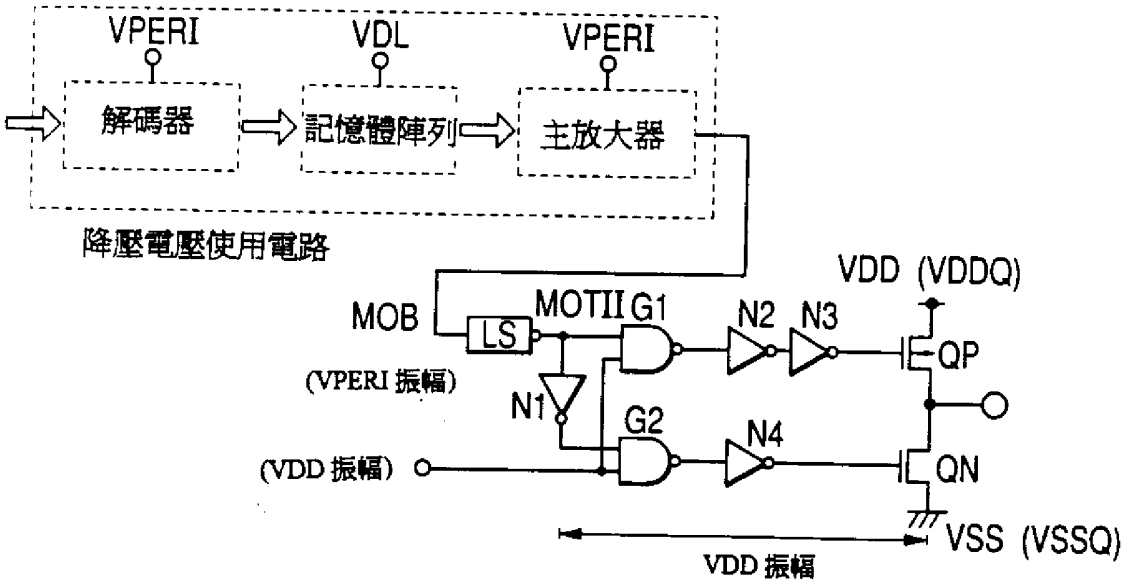

SAN VSSA
SAP1 VDL
Q14
Q15
BLLT
BLLB
Q1
Q2
SAT
SAB
Q3
Q4
BLRT
BLRB
Q12
Q10
Q11
Q5
Q6
Q7
Q8
Q13
Qm
Cs
VPLT
SWL1 SWL2 SHL
PCB VBLR
CSN
CSP
YS LIOT LIOB SHR SWL3 SWL4

459379

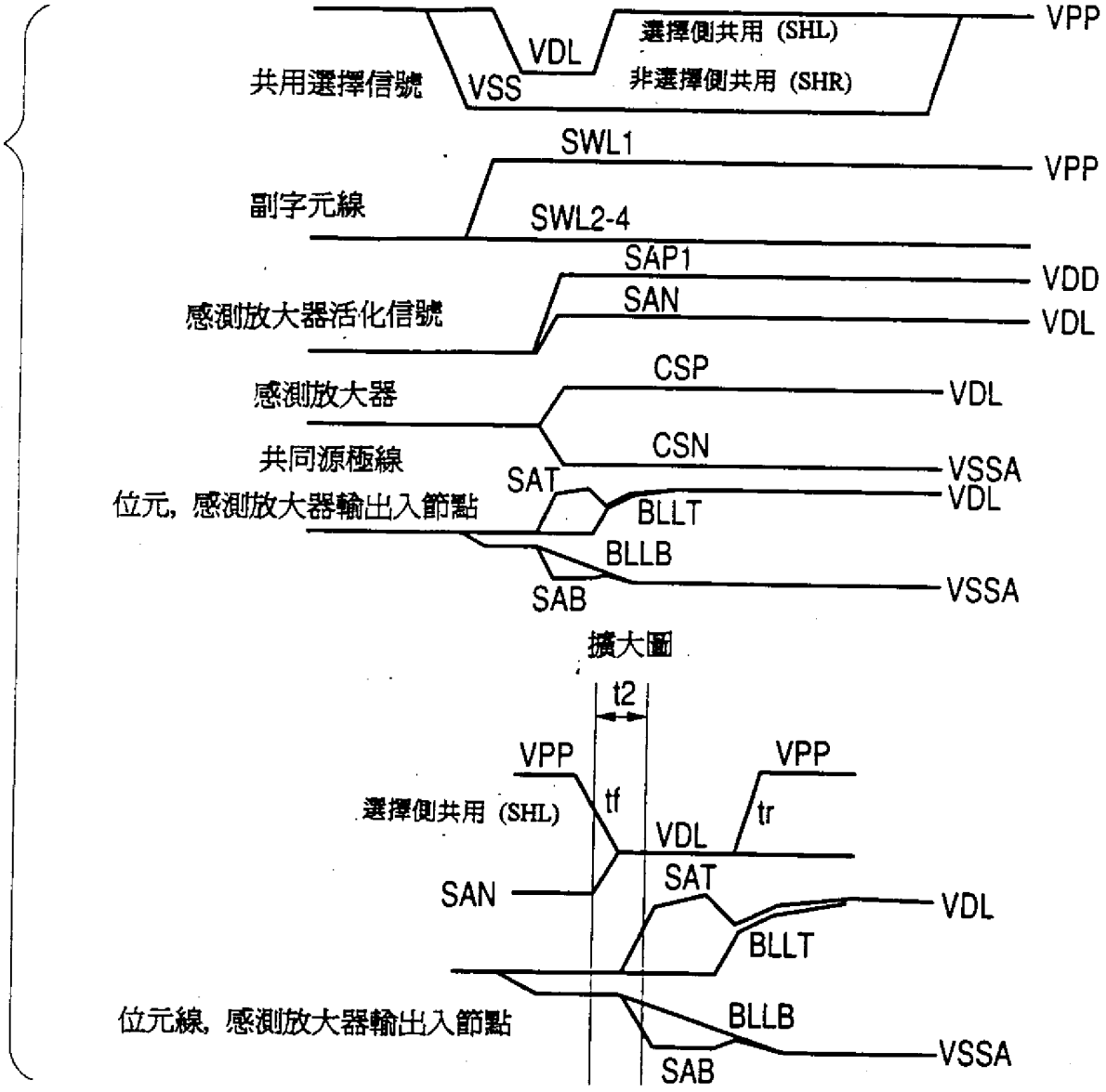
第 5 圖



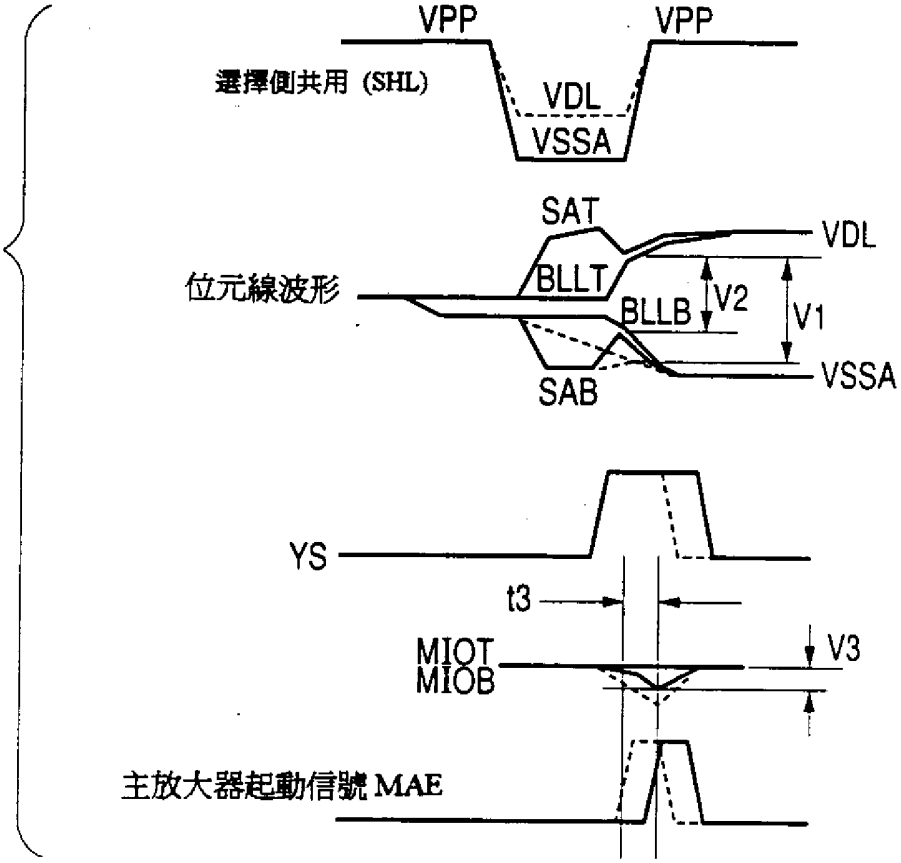
第 6 圖



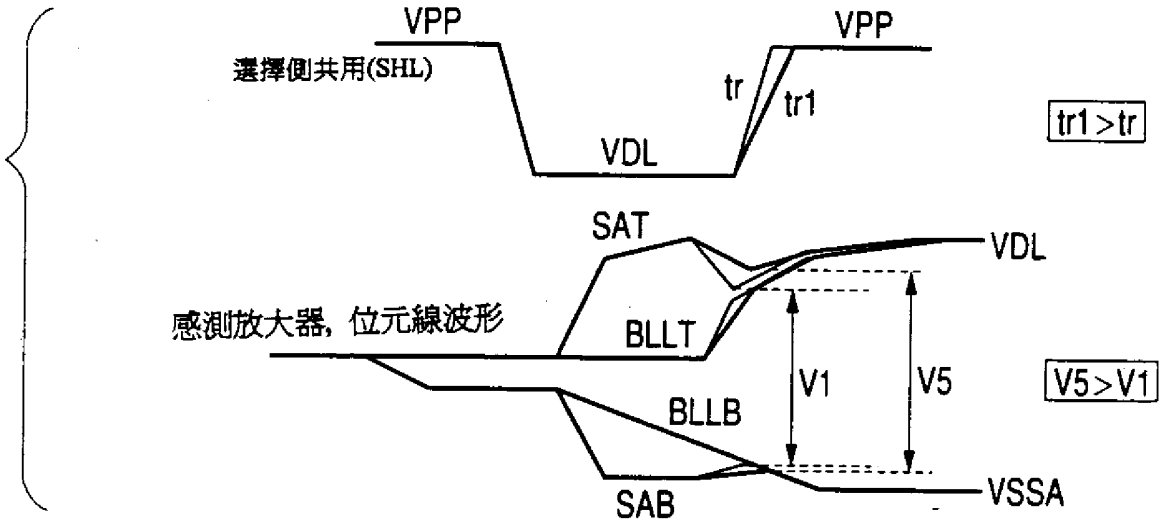
第 7 圖


VPP
選擇側共用 (SHL)
VDL
共用選擇信號
VSS
非選擇側共用 (SHR)
SWL1
VPP
副字元線
SWL2-4
SAP1
VDD
感測放大器活化信號
SAN
VDL
CSP
感測放大器
VDL
CSN
共同源極線
VSSA
SAT
VDL
位元，感測放大器輸出入節點
BLLT
BLLB
SAB
VSSA
擴大圖
t2
VPP
VPP
選擇側共用 (SHL)
tf
tr
VDL
SAN
SAT
VDL
BLLT
位元線，感測放大器輸出入節點
BLLB
VSSA
SAB

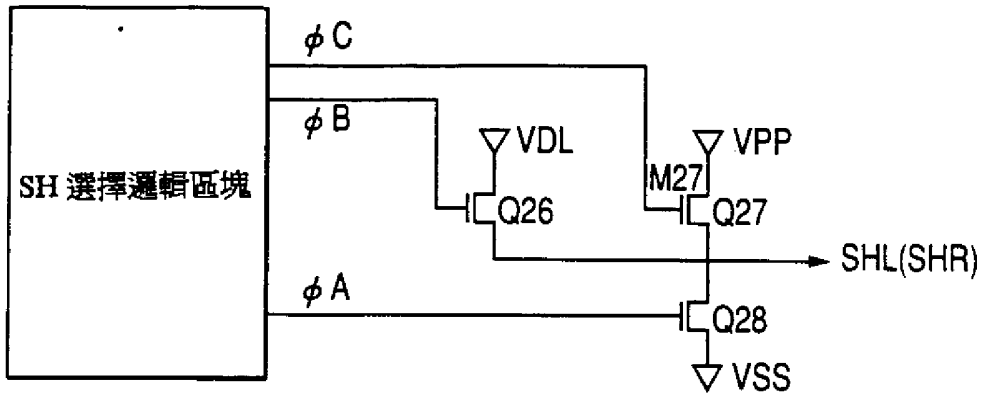
第 8 圖


VPP
VPP
選擇側共用 (SHL)
VDL
VSSA
SAT
VDL
位元線波形
BLLT
BLLB
V2
V1
VSSA
SAB
YS
t3
MIOT
MIOB
V3
主放大器起動信號 MAE

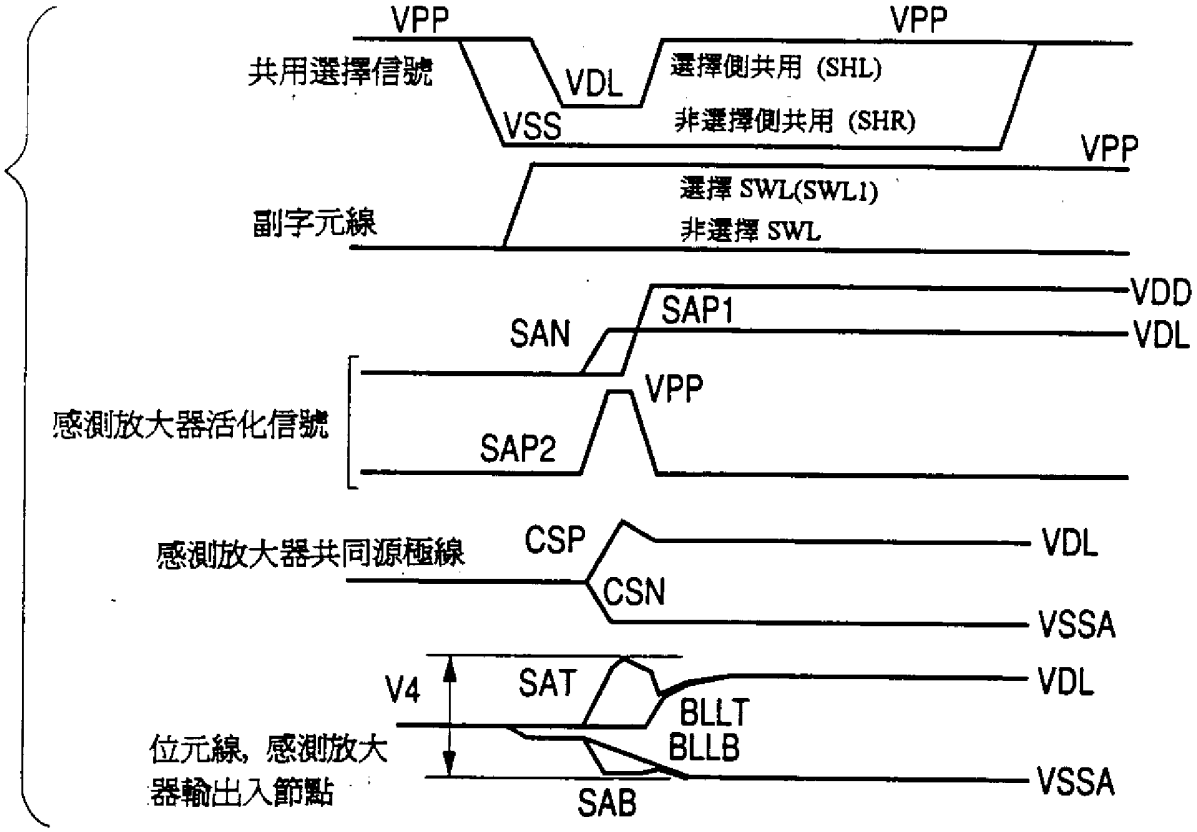
第 9 圖


VPP
VPP
選擇側共用(SHL)
tr
tr1
VDL
tr1>tr
SAT
VDL
感測放大器, 位元線波形
BLLT
V1
V5
V5>V1
BLLB
SAB
VSSA

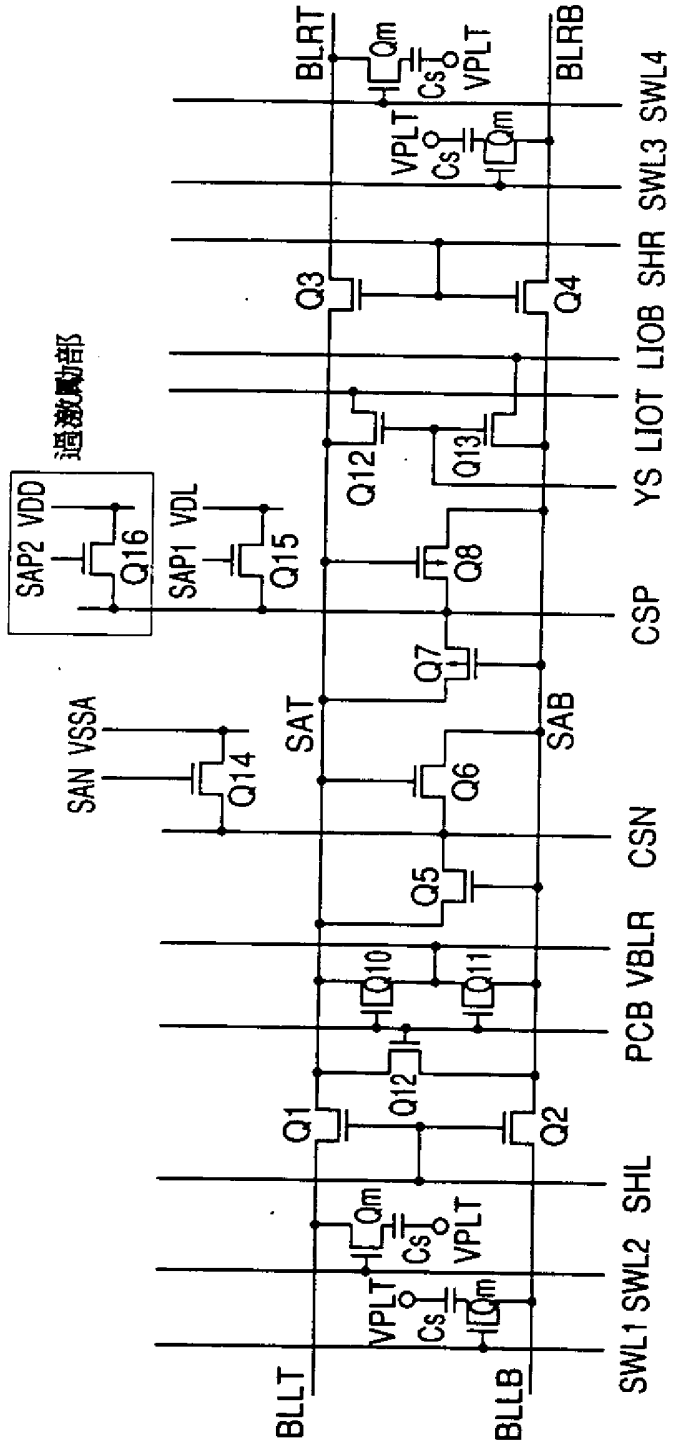
第 10 圖


SH 選擇邏輯區塊
φC
φB
φA
VDL
VPP
M27
Q26
Q27
Q28
SHL(SHR)
VSS

第 11 圖

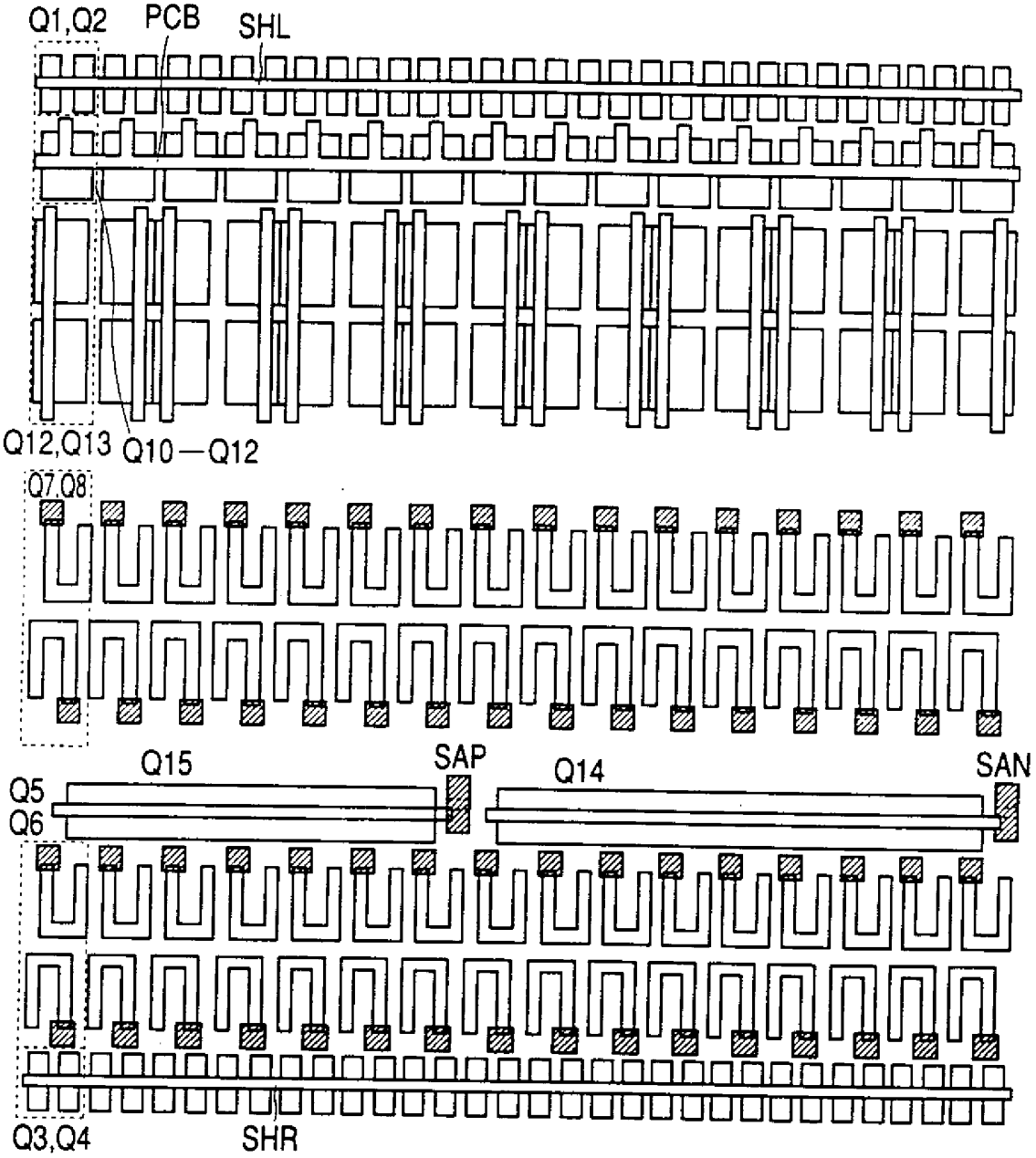

共用選擇信號
VPP
VDL
VSS
VPP
選擇側共用 (SHL)
非選擇側共用 (SHR)
副字元線
VPP
選擇 SWL(SWL1)
非選擇 SWL
感測放大器活化信號
SAN
SAP1
VDD
VDL
SAP2
VPP
感測放大器共同源極線
CSP
CSN
VDL
VSSA
位元線, 感測放大器輸出入節點
V4
SAT
BLLT
BLLB
SAB
VDL
VSSA

第 12 圖

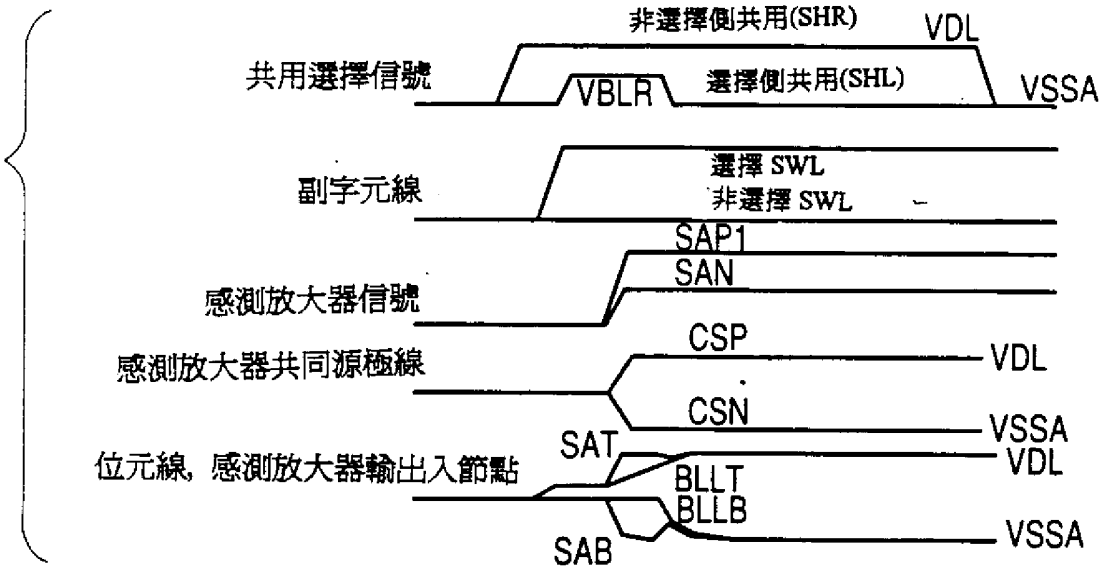

過激勵部
SAP2 VDD
Q16
SAP1 VDL
Q15
SAN VSSA
Q14
SAT
SAB
Q1
Q2
Q3
Q4
Q5
Q6
Q7
Q8
Q10
Q11
Q12
Q12
Q13
Qm
Cs
VPLT
BLRT
BLRB
BLLT
BLLB
CSP
CSN
PCB VBLR
SHL
SHR
LIOB
LIOT
YS
SWL1 SWL2
SWL3 SWL4

459379

第 13 圖

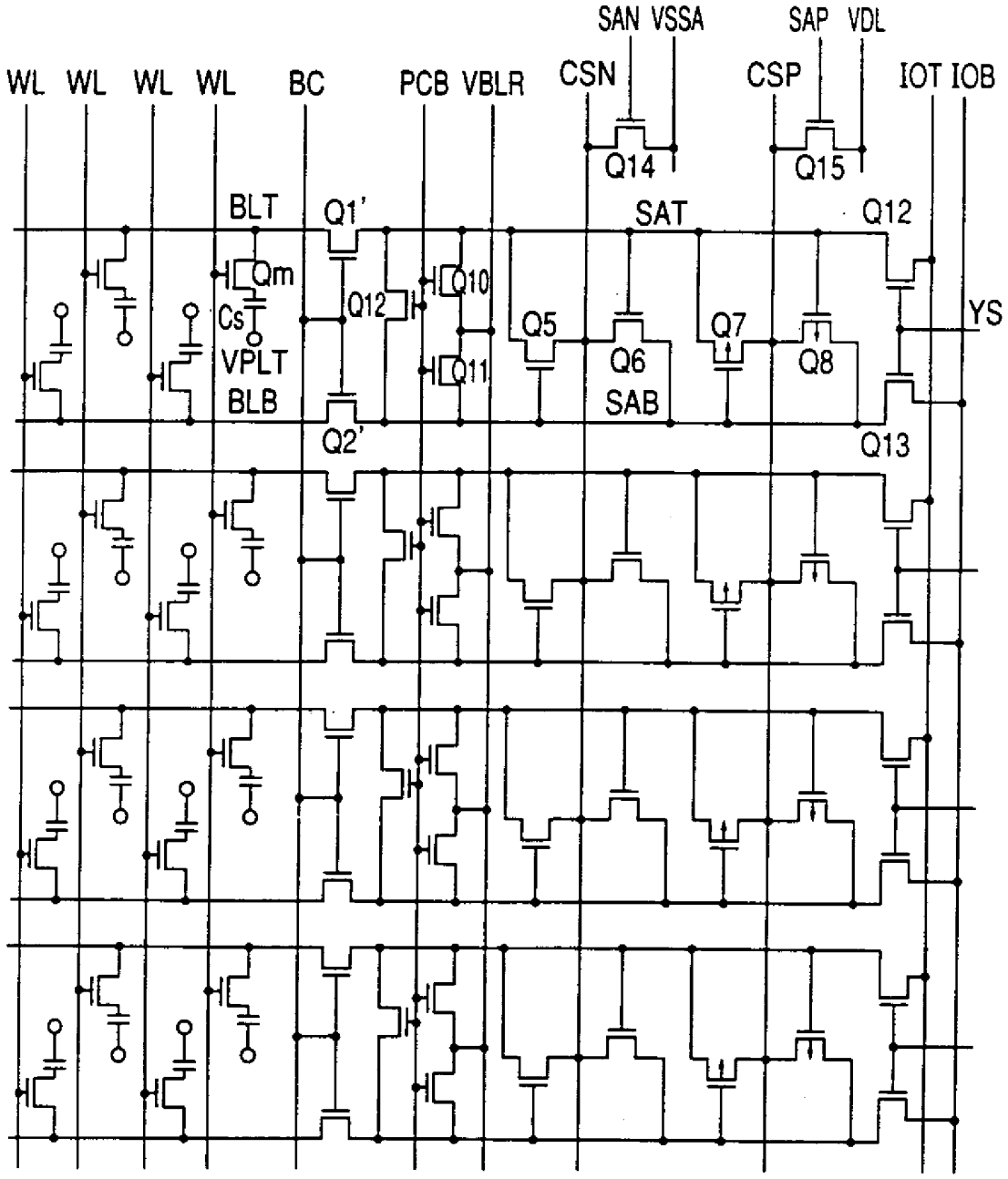


第 14 圖

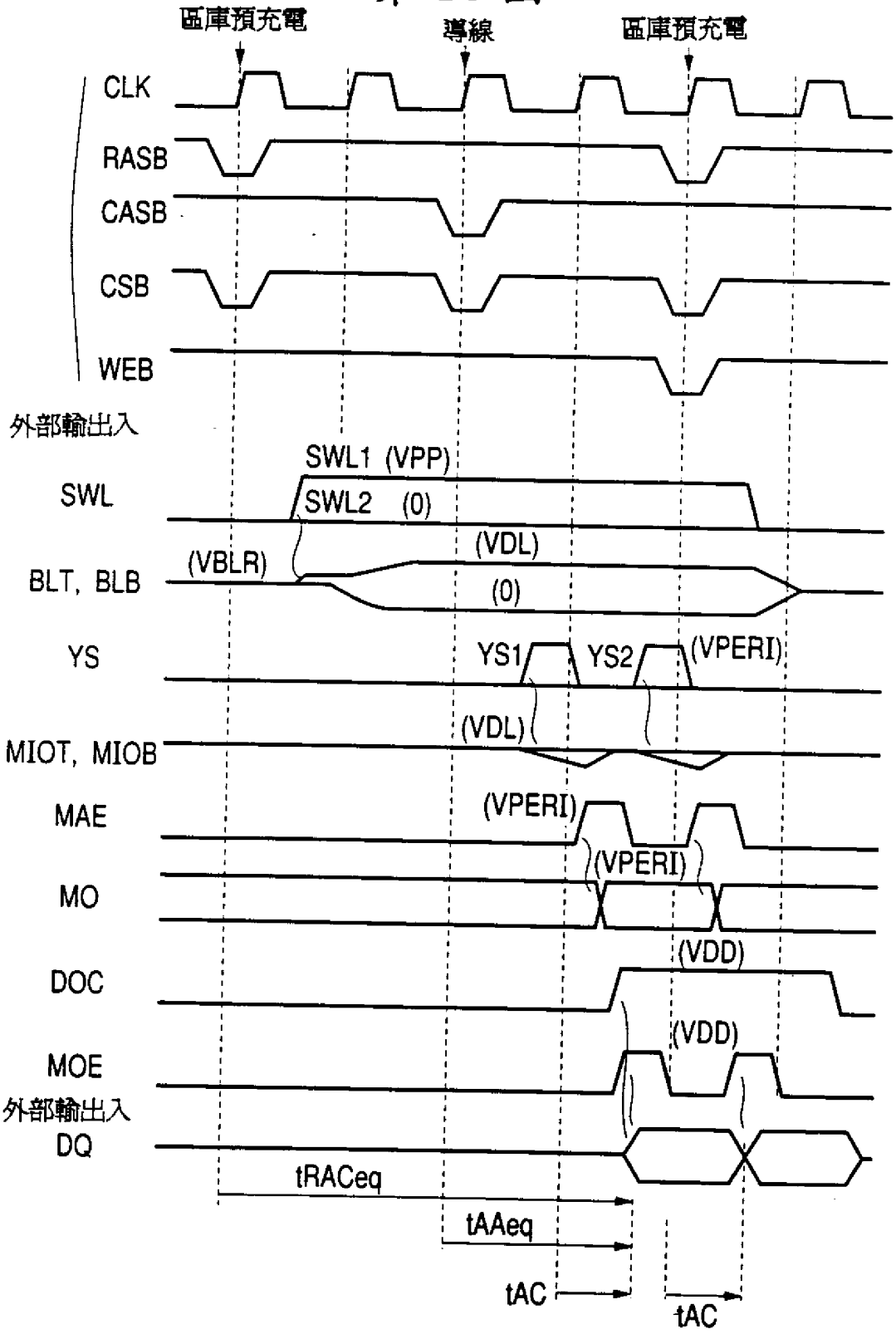

非選擇側共用(SHR)
VDL
共用選擇信號
VBLR
選擇側共用(SHL)
VSSA
副字元線
選擇 SWL
非選擇 SWL
SAP1
SAN
感測放大器信號
CSP
感測放大器共同源極線
VDL
CSN
VSSA
SAT
位元線, 感測放大器輸出入節點
VDL
BLLT
BLLB
SAB
VSSA

459379

第 15 圖


WL
WL
WL
WL
BC
PCB
VBLR
SAN
VSSA
CSN
SAP
VDL
CSP
IOT
IOB
Q14
Q15
BLT
Q1'
SAT
Q12
Qm
Cs
VPLT
BLB
Q12
Q10
Q11
Q5
Q6
SAB
Q7
Q8
YS
Q2'
Q13

第 16 圖


區庫預充電
導線
區庫預充電
CLK
RASB
CASB
CSB
WEB
外部輸出入
SWL
SWL1 (VPP)
SWL2 (0)
BLT, BLB
(VBLR)
(VDL)
(0)
YS
YS1
YS2
(VPERI)
MIOT, MIOB
(VDL)
MAE
(VPERI)
MO
(VPERI)
DOC
(VDD)
MOE
(VDD)
外部輸出入
DQ
tRACeq
tAAeq
tAC
tAC