

## 五、發明說明 ( 1 )

## 發明之範圍

本發明係關於電腦系統方面。具體言之，本發明係關於具有匯流排架構之電腦系統。

## 發明之背景

很多電腦系統均經設計具有匯流排架構。此種電腦系統一般具有連接至匯流排之處理組件。其他系統組件一般亦連接至匯流排。此種其他組件包括之顯示組件例如為VGA及視頻記憶器，輸出入 (I/O) 組件，系統記憶器及儲存裝置，其他經由匯流排可接達之處理組件之裝置。一種此種電腦系統為IBM個人電腦 (PC)，且係由紐約Armonk IBM公司所製造。

為能對電腦系統之使用者顯示資訊，此電腦系統需能產生視頻影像及將影像產生於顯示裝置上。產生可顯示影像之一典型裝置為於視頻記憶器中產生影像之位元映像n位元映像為一位元記憶元件之陣列，此記憶元件陣列與典型視頻幕上之像素陣列相對應。調處位元映像以產生視頻影像之方法為本行技術中熟知之技術。

在先前具有處理組件及與匯流排相連接之顯示組件之電腦系統中，一般係由處理組件負擔大部分產生供顯示組件顯示之位元映像。除去產生位元映像外，處理組件需將位元映像經由較慢之匯流排於處理組件與視頻記憶器之間往返轉移。因此，在決定電腦系統中一項特定應用性能時，匯流排速度為一重要因素。其他影響此等電腦系統性能之

(請先閱讀背面之注意事項再填寫本)

裝  
訂  
線

## 五、發明說明 ( 2 )

因素包括 (1) 處理組件速度，(2) 資料匯流排寬度，(3) 於顯示組件 (VGA) 與視頻記憶體之間往返轉移資料之時間。

在先前技術方法中，已有數種可用以改變匯流排導向之電腦系統中視頻圖形應用之性能。此等方法包括 (1) 產生特別硬體以解除處理組件之視頻記憶體之任務負擔及產生與轉移位元映像，(2) 使用二重輸出埠視頻動態隨機存取記憶體 (DRAM) 而非單一輸出埠 DRAM 實施視頻記憶，(3) 使用單一輸出埠以實施視頻記憶，但於視頻組件內部使用視頻資料緩衝器及更複雜之仲裁順序，以對處理組件提供更頻繁之視頻記憶存取。於後文中將對於每一種此種先前技術加以說明。

就第一種使用特別視頻硬體之方法言，大多數圖形副處理器均屬於此類。根據此種系統，處理組件僅將一命令字寫入圖形副處理器，副處理器再調處視頻記憶並按照處理組件指示產生視頻影像。然而此種系統實施時化費很高，因為需要額外組件 (例如圖形副處理器及支援硬體)。此方法之另一缺點為需寫入大量軟體驅動程式，以便現有軟體可於裝備有此種副處理器之機器上執行。再者，使用副處理器可使電腦系統不能與現有組件配合。

第二種使用二重輸出埠 DRAM 之先前技術方法亦為一種化費較高之選擇。根據此種系統，顯示組件連接至視頻記憶體之一輸出埠，而處理組件連接至第二記憶輸出埠。接達視頻記憶體之處理組件之數目因此需增加。除去較高成本外，此方法尚有另外缺點，即需要額外之邏輯以重

(請先閱讀背面之注意事項再填寫本)

裝  
訂  
線

## 五、發明說明 (3)

新訂定輸出資料之格式。

第三種改善視頻圖形應用之性能之方法為於顯示組件內部使用視頻資料緩衝器及更複雜之仲裁順序，以使視頻記憶器更頻繁接達處理組件。在此種方式下，故可使用化費較為少之單一出入埠 DRAM 以為視頻記憶器使用。此方法之總體性能仍受特定電腦系統之匯流排定時頻寬之限制。因此，此方法無法達到性能之顯著增加。

因此有需要一較佳裝置，以供於處理組件，顯示組件，視頻記憶器之間之通信，以縮短視頻記憶器及輸出入存取時間，因此減少或消除匯流排競爭。

## 發明之簡述

本發明提供一種裝置及方法，用以應用電腦系統之高速圖形匯流排。此種高速圖形匯流排，在無需額外組件或軟體驅動程式情況下，可增強匯流排導向之電腦系統中之視頻圖形應用。

較佳具體實例之電腦系統包括一擴充之處理組件 GENCPU，此組件利用一資料匯流排連接至一單一晶片輸出入單位 GENIO，一單一晶片圖形介面 GENVGA。一系統記憶器連接至 GENCPU 及一視頻記憶器連接至 GENVGA。GENCPU 亦經由一高速匯流排 (PI-bus) 連接至 GENVGA。

可經由高速 PI-bus 將 GENCPU 與 GENVGA，連接，如此視頻圖形指令可直接 GENCPU 連接至 GENVGA，因此消除與較慢標準系統匯流排線路相關之延遲。藉利用 PI-bus，GENCPU 能

五、發明說明 (4)

與 GENVGA 通信，而無需將指令置於較為擁擠之系統匯流排上。

GENCPU 與 GENVGA 以下述方式使用高速 PI-bus。GENCPU 接收一位址，將此位址解碼，使用其暫存器，決定目標位址是否與 GENVGA 相對應。如果目標位址與 GENVGA 空間相對應及如果 PI-bus 被啟動，GENCPU 即啟動一 PI-bus 周期。

GENCPU 指示周期情況指示 (是否此周期為一輸出入或記憶周期及是否其為一讀或寫周期) 及將指令置於將 GENCPU 與 GENVGA 相連接之高速 PI-bus 上。GENCPU 亦產生一開始信號，PSTART# 以指示 PI-bus 周期之開始。

GENVGA 監督來自 GENCPU 之信號，當接收到來自 GENCPU 之信號時，即將輸入之指令解碼及實施所收到之指令。

GENCPU 送出一 PCMD# 命令以指示 PI-bus 周期正在進行。當 GENVGA 完成其 PI-bus 周期之部分後，GENVGA 發出一 PRDY# 信號送回 GENCPU。GENCPU 藉使 PCMD# 信號停止而完成其 PI-bus 周期。

圖式之簡述

圖 1 為具體實施本發明之微處理器系統之一功能方塊圖，所顯示之 PI-bus 係與控制，位址及資料線分開。

圖 2 為與本發明有關之信號之定時圖。

較佳具體實例之詳述

本發明提供一種實施高速圖形匯流排之裝置與方法以供腦系統之用。於下述說明中，說明很多具體細節，俾便對

（請先閱讀背面之注意事項再填寫本頁）  
裝  
訂  
線

經濟部中央標準局員工消費合作社印製

## 五、發明說明 (5)

本發明有透徹瞭解。然而對於在此種技術中已有一般熟練人士言，此等具體細節無需加以使用以實施本發明。在其他實例中，熟知之結構，電路，匯流排議定則未詳細示出，如此方不會使本發明特點變為模糊不清。

現參看圖 1，本發明之電腦系統 10 之一較佳具體實例於圖中示出。於此較佳具體實例中，電腦系統 10 包括一 386™SL 微處理器，其係由 Intel 公司製造，此公司亦為本發明之受讓人。此種電腦系統與 IBM™ PCAT 個人電腦相容。系統 10 包括三主要次系統組件，定名為 GENCPU 20，GENIO 30，GENVGA 40。GENCPU 20 與 GENIO 30 之組合，但此組合無本文中所示之改良之處，可自 Intel 公司獲得，其產品名稱為 386™SL 微處理器 Superset。

GENCPU 20 為一擴充之處理組件，包括一處理器，一記憶控制器，一快取記憶控制器，匯流排控制邏輯，線路緩衝器。一系統記憶 80 連接至 GENCPU 20。系統記憶 80 主要包括動態隨機存取記憶 (DRAM) 裝置。

GENIO 30 為一單一晶片輸出入單位，其包括平行埠，二重串列埠，即時時鐘單位，二重可程式化中斷控制器，二重可程式化定時器，二重直接記憶存取控制器及一記憶映像器。GENIO 30 亦包括供 GENCPU 20 使用之可程式化暫存器，以命令 GENIO 30 實施不同功能。

GENVGA 40 為一單一晶片顯示組件，其包括一圖形介面及一視頻記憶控制器。視頻記憶控制器連接至 GENVGA 40。視頻記憶 50 實質上包括 DRAM 裝置。GENVGA 40 亦包括供

## 五、發明說明 (6)

GENCPU 20 使用之可程式化暫存器，以命令 GENVGA 40 實施各種不同功能。

GENCPU 20，GENIO 30，GENVGA 40 係經由系統匯流排 11 彼此通信及與其他系統組件通信（例如擴充槽，鍵盤控制器，磁碟控制器等）。於此較佳具體實例中，系統匯流排 11 為 AT 相容匯流排。此種匯流排為此種技藝中所熟知。

於本發明中，GENCPU 20 亦經由高速匯流排 60 而連接至 GENVGA。此高速匯流排 60（亦稱作 PI-bus）係設於 GENCPU 20 與 GENVGA 40 之間，用以改善視頻記憶及 I/O 存取時間，因此消除匯流排 11 上之「匯流排瓶頸」。此匯流排可使視頻資料以高速移入及移出視頻記憶。因此於 IBM PC 上執行之視頻圖形應用程式應用於本發明時，將會有改良之性能。在利用 PI-bus 讀定時無需特別軟體。圖 1 顯示 GENCPU 20 與 GENVGA 40 之間之 PI-bus 介面。PI-bus 讀定將於後文中說明。

在大多數現有系統中，處理組件係經由例如 AT Bus 之系統匯流排 11 而與顯示組件通信。然而根據本發明之新穎架構，GENVGA 共用 PC 系統匯流排 11 之資料及位址線，除去接收正常系統匯流排 11 之控制信號外，尚接受 PI-Bus 60 之控制信號。PI-Bus 60 上提供之個別信號括下述：一啟始信號（以 PSTART# 表示）一命令信號（以 PCMD# 表示），一記憶或 I/O 存取型信號（以 PMIO# 表示），一讀取或寫入存取型信號（以 PWR# 表示），一備妥信號（以 PRDY# 表

## 五、發明說明 (7)

示)。此等 PI-Bus 信號係用以控制資料自 GENCPU 20 與 GENVGA 40 之間來往之控制，而無需使用系統匯流排線路。此等 PI-Bus 信號之順序將於下節中說明並於圖 2 中之定時圖中例示。

GENCPU 包括二暫存器，以 GAACR 21 及 GABCR 22 表示，此二暫存器係用以啟動 PI-Bus 60。暫存器 GAACR 21 用以儲存視頻記憶之啟始位址。暫存器 GABCR 22 用以儲存視頻記憶之終止位址。暫存器 21 及 22 共同界定視頻記憶中位址空間。此二暫存器 GAACR 21 及 GABCR 22 亦包括一位元以啟用 PI-Bus。此位元必須設定以啟用 PI-Bus，俾使 PI-Bus 周期能送至視頻記憶範圍。因此當指令由 GENCPU 20 取得並且執行時，與每一指令相關之位址，可與由暫存器 GAACR 21 及 GABCR 22 界定之位址空間相比較。如果一指令包括由此二暫存器界定而且位於視頻記憶範圍內之一位址，及如果 PI-Bus 位元被啟用，則 PI-Bus 被啟用以直接至視頻記憶中存取，因而使 GENCPU 20 直接發出位址信號至 GENVGA 40。由 GENCPU 20 直接達視頻記憶，可由 PI-Bus 以高於系統匯流排 11 所提供之速度完成。一旦 PI-Bus 60 被啟用，GENCPU 20 及 GENVGA 40 即產生信號供所有接達 GENVGA 40 中之視頻記憶或輸出入暫存器之用。PI-Bus 信號之定序說明如下。

GENCPU 20 自系統記憶 80 之取得及執行指令之正常流程中取得一輸入／輸出或記憶存取指令。每一輸入／輸出或記憶存取指令包括一作業碼部分及位址部分。作業碼

（請先閱讀背而之注意事項再填寫本）

裝  
訂  
線

## 五、發明說明 ( 8 )

(opcode)對一特定位址之資料實施特定之操作。視頻記憶中之資料可以此種方式調處。

於取得一輸入／輸出或記憶存取指令之後，GENCPU 20將此指令解碼，俾決定指令之目標位址。此目標位址告知GENCPU作業碼將予實施之位址。GENCPU然後使用GENCPU 20暫存器GAACR 21及GABCR 22比較目標位址。如果此目標位址相應於暫存器GAACR 21及GABCR 22中所程式規畫之GENVGA空間40，及如果PI-Bus 60被啟用，則GENCPU 20啟始一PI-Bus周期。如果位址並非位於由GENCPU 20之暫存器GAACR 21及GABCR 22所界定之GENVGA範圍中，則指令即置於系統匯流排11之上。

為能啟始一PI-Bus 60周期，GENCPU 20產生圖2中所示之有如PSTART #102之啟始信號。此PSTART信號然後由GENCPU置於高速PI-bus 60之上。因此，GENCPU 20能送控制信號直接至GENVGA 40，而無需使用系統匯流排11。GENVGA 40使用PSTAR#之下降邊緣以鎖住位址及狀態信號。

一旦GENCPU啟始一PI-bus周期，GENCPU 20產生相應於GENVGA 40之一VGACS指令及將此指令之位址置於PI-bus 60之上。GENCPU 20亦指示其置於高速PI-bus 60上之指令周期之狀況。GENCPU 20指示指令之周期是否為一I/O或記憶周期(PM/IO#)或是否為一讀出或寫入周期(PW/R#)。此等事件之定序經顯示於圖2中101處。

GENVGA 40就GENCPU 20所送出之信號監督高速

## 五、發明說明 (9)

PI-bus 60。當 GENVGA 40 接收指示 PI-bus 周期啟始之 PSTART# 信號時，GENVGA 40 選擇高速 PI-bus 60。於選擇 PI-bus 60 時，GENVGA 40 接收來自高速 PI-bus 60 之控制信號及來自系統匯流排 11 且對應於 GENVGA 空間 40 之位址信號及資料。GENVGA 40 經由高速 PI-bus 60 接收來自 GENCPU 20 之指令之後，即檢查此指令，俾便決定自 GENCPU 20 經高速 PI-bus 60 發出之指令周期是否為一 I/O 或記憶周期及是否為一讀出或寫入周期。

GENCPU 20 經高速 PI-bus 60 發出 PSTART# 信號至 GENVGA 40 之後，即停止 PSTART# 信號及將一 PCMD# 信號置於高速 PI-bus 60 之上。此 PCMD# 信號指示一 PI-bus 周期正在進行。圖 2 於 103 處例示 PCMD# 之定時。此外，如果由 GENCPU 20 置於高速 PI-bus 60 上之指令周期係為寫入周期，則 GENCPU 20 於此時迫使對應於寫入周期之資料置於資料匯流排之上。GENVGA 40 然後接收對應於寫入周期之資料。圖 5 於 105 及 106 處例示何時讀出及寫入資料置於高速 PI-bus 60 之上。

當 GENVGA 40 業已收到由 GENCPU 20 所送出之全部對應於 GENVGA 空間 40 之指令及藉載入記憶或 I/O 暫存器而完成此周期時，PI-bus 周期即完成。GENVGA 40 此時將 PRDY# 信號置於高速 PI-bus 60 上，指示 GENVGA 40 業已完成其 PI-bus 周期部分，此即 GENVGA 40 業已收到全部包括於此周期中來自 GENCPU 20 之指令及現在通知 GENCPU 20 高速 PI-bus 60 不再忙碌。PRDY# 信號之定時顯示於圖 2 之

(請先閱讀背面之注意事項再填寫本)

裝  
訂  
線

## 五、發明說明 (10)

104 處。

GENCPU 20 接收到來自 GENVGA 40 之 PRDY# 信號後，GENCPU 20 即停止 PCMD# 信號，因而終止 PI-bus 周期。於高速 PI-bus 60 上無 PCMD# 信號即表示於高速 PI-bus 60 上無周期進行。因此 GENCPU 可依需啟始一新的 PI-bus 周期。

由於使用 PI-bus 60，可發現有數種優點。PI-bus 周期之最小周期時間，較之使用標準系統匯流排之現有系統有遠為較快之最小周期時間。同樣，PI-bus 周期之零等待狀態時間較系統匯流排周期之等待狀態時間為短。

PI-bus 周期之另一優點為在無需軟體驅動程式實施情況下視頻圖形性能有顯著增進。所有相容軟體均可在無需修改情況下於具有 PI-bus 之系統上實施。最後 PI-bus 周期議定不僅限於視頻圖形應用。任何快速邊控制器均可使用 PI-bus 型協定用為增進系統性能之手段。

可認知者，上述之發明，在不背離本文所揭示之精神或主要特點之情況下，可以其他特定形式實施。因此可瞭解者，本發明不受前述例示性細節所限制，而係由所附申請專利範圍所界定。



四、中文發明摘要 (發明之名稱：實施高速電腦繪圖匯流排之裝置與方法)

經由一高速匯流排通信之一處理組件及一顯示組件。此高速匯流排實質上增強視頻圖形應用之性能。此高速匯流排可使處理組件及顯示組件在不使用系統匯流排情況下通信以增強視頻繪圖應用性能。藉由經高速匯流排以連結處理組件及顯示組件，視頻圖形指令可從處理組件直接定路線至顯示組件，因而減少與較慢標準系統匯流排線有關之延遲。由使用高速匯流排，處理組件能與顯示組件通信而不需置指令於較忙碌之系統匯流排上。

英文發明摘要 (發明之名稱 "AN APPARATUS AND METHOD FOR IMPLEMENTING A HIGH SPEED COMPUTER GRAPHICS BUS")

A high speed bus for communicating between a processing component and a display component of a computer. The high speed bus substantially enhances video graphics application performance by allowing the process component and the display component to communicate without using the system bus. By coupling the processing component and the display component via a high speed bus, video graphics instructions may be routed directly from the processing component to the display component, thereby eliminating the delay associated with the slower standard system bus lines. By using the high speed bus, the processing component is able to communicate with the display component without having to place instructions onto the busier system bus. --

附註：本案已向

國 (地區) 申請專利、申請日期：

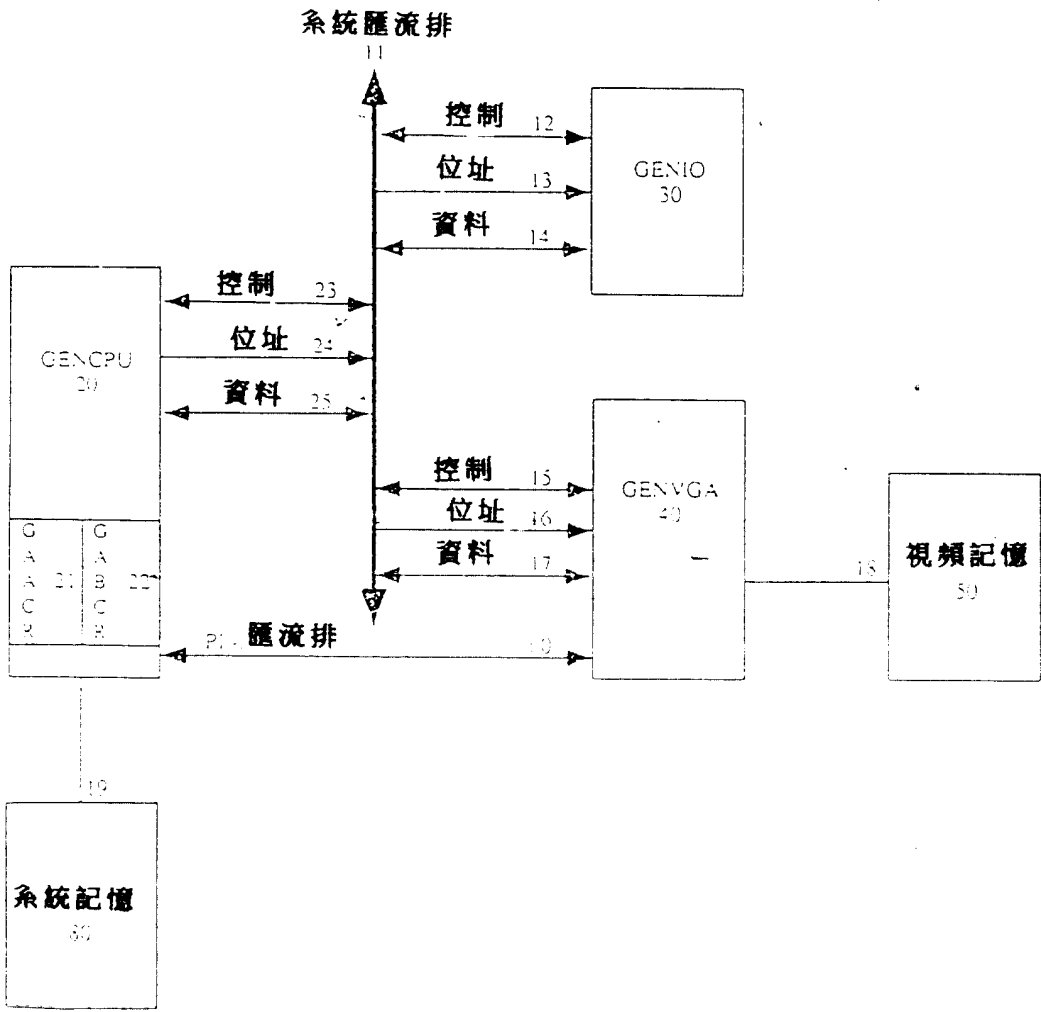
案號：

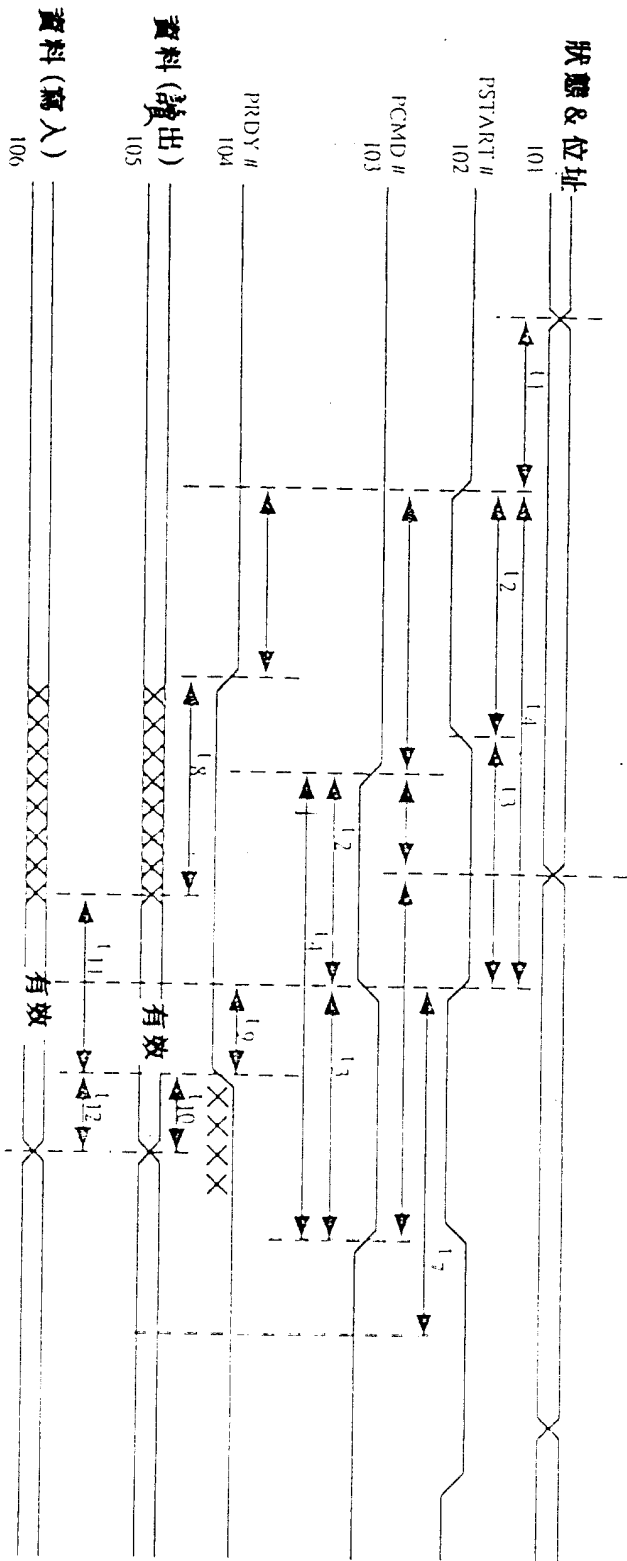
美

1991.7.25. 736,026

30759(17)

1





GENVGA 觀點之 GENCPU 定時圖

圖 2

# 公告本

305965

修正  
補充  
87年2月8日

申請日期	81.07.23
案 號	81105821
類 別	Int. Cl. (以上各欄由本局填註)

305965

A4  
C4

修正頁 B.2.

## 發明 專利 說明書 新 型

一、發明 創作 名稱	中 文	實施高速電腦繪圖匯流排之裝置與方法
	英 文	AN APPARATUS AND METHOD FOR IMPLEMENTING A HIGH SPEED COMPUTER GRAPHICS BUS
二、發明 創作 人	姓 名	1 查拉希卡·姆·瑞狄 2 山一索 周
	籍 貫 (國籍)	1 印度 2 美國
	住、居所	1 美國加州聖塔卡拉瓦市傑拉街2931號 2 美國加州陽光谷市賈斯波路1521號
三、申請人	姓 名 (名稱)	美商英特公司
	籍 貫 (國籍)	美國
	住、居所 (事務所)	美國加州聖塔卡拉瓦市米遜大學路2200號
	代 表 人 姓 名	F·湯瑪士·當烈二世

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

- 1 一種用於一電腦系統中之改良裝置，此電腦系統具有一耦合至一系統匯流排最少三個元件，一處理組件連接至該匯流排，一顯示組件連接至該系統匯流排，及一耦合至該系統匯流排之第三元件，該改良裝置用為該處理組件與該顯示組件之間之資訊之高速轉移，此改良裝置包括：  
經由該系統匯流排送出及接收位址信號之裝置，此等位址信號係藉該處理組件，該顯示組件及該第三元件而送出及接收；  
經由該系統匯流排送出及接收資料信號之裝置，此等資料信號係藉該處理組件，該顯示組件而及該第三元件送出及接收；及  
用以經由該系統匯流排而在該處理元件，該顯示元件及該第三元件之間傳送及接收控制信號之第一裝置；及  
於該處理組件及該顯示組件之間，經由一高速匯流排直接送出及接收控制信號之第二裝置，該高速匯流排包括不出現於該系統匯流排上之控制信號。
- 2 根據申請專利範圍第 1 項所述之改良裝置，其中該處理組件包括暫存器，用以界定是否輸入指令之目標位址相應於與該顯示組件相應之位址。
- 3 根據申請專利範圍第 1 項所述之改良裝置，其中該處理組件包括用以發出命令以其經由該高速匯流排而送至該顯示組件之裝置。
- 4 根據申請專利範圍第 1 項所述之改良裝置，其中該處理

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

組件包括用以指示對應於該顯示組件之一指令周期是否為一輸入／輸出或記憶周期。

5. 根據申請專利範圍第4項所述之改良裝置，其中該處理組件另外包括用以指示該指令周期是否為一讀出或寫入周期。

6. 根據申請專利範圍第1項所述之改良裝置，其中該顯示組件包括用以就來自該處理組件之命令監督該高速匯流排之裝置及用以經由該高速匯流排響應該等命令及該等指令之裝置。

7. 一種用以於一電腦系統中之處理組件與顯示組件之間高速轉移資訊之方法，此電腦系統具有至少三個裝置耦合至一系統匯流排，一處理組件連接至該系統匯流排及一顯示組件連接至該系統匯流排，及一第三裝置耦接至該系統匯流排，該方法包括以下步驟：

經由該系統匯流排發出及接收位址信號，該等位址信號由該處理組件及該顯示組件及該第三裝置發出及接收；

經由該系統匯流排發出及接收資料信號，該等資料信號由該處理組件及該顯示組件及該第三裝置發出及接收；

於該系統匯流排上在該處理組件，該顯示組件及該第三裝置間發出及接收控制信號；以及

於該處理組件及該顯示組件之間，經由高速匯流排直接發出及接收控制信號，該高速匯流排包括不出現於該系統匯流排上之控制信號。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

- 8 根據申請專利範圍第7項所述之方法，包括決定是否輸入指令之目標位址對應於相應於該顯示組件之一位址之步驟，此決定步驟係由該處理組件實施。
- 9 根據申請專利範圍第7項所述之方法，另外包括啟用經由該高速匯流排傳輸至該顯示組件之命令之步驟，該啟用步驟係由該處理組件實施。
- 10 根據申請專利範圍第7項所述之方法，另外包括指示是否對應於該顯示組件之指令周期為一輸入／輸出或記憶周期之步驟，該指示步驟由該處理組件實施。
- 11 根據申請專利範圍第10項所述之方法，包括指示是否該指令周期為一讀出或寫入周期之步驟，該指示步驟由該處理組件實施。
- 12 根據申請專利範圍第7項所述之方法，包括就來自該處理組件之命令監督該高速匯流排及經由該高速匯流排響應該等命令之步驟，此監督步驟由該顯示組件實施。
- 13 一種用以於一電腦系統中之處理組件與顯示組件之間高速轉移資訊之方法，此電腦系統具有一系統匯流排，一處理組件連接至該系統匯流排及一顯示組件連接至該系統匯流排，該方法包括以下步驟：
  - (a) 接收來自系統記憶之指令，此指令由該處理組件所接收；
  - (b) 將該指令解碼以便決定該指令之目標位址，該指令由該處理組件解碼；
  - (c) 比較該指令之目標位址，使用暫存器界定該顯示元

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

- 件之空間範圍，該目標位址由該處理元件所比較；
- (d) 假如該目標位址並不如於該暫存器中程式化般對應於該顯示元件空間範圍，該指令由該處理元件置於該系統匯流排上；
- (e) 產生一啟始信號及將此啟始信號置於該高速匯流排上，如果該目標位址如於該暫存器程式化地對應於該顯示元件空間範圍，該高速匯流排即連接該處理元件及該顯示元件，該啟始信號由該處理組件所產生；
- (f) 在該啟始信號已置於該高速匯流排上之後，將對應於該顯示組件之一命令置於該高速匯流排上，該命令由該處理組件置於該高速匯流排上；
- (g) 接收來自該處理組件之該啟始信號及選擇該高速匯流排，該啟始信號由該顯示組件所接收，該高速匯流排由該顯示組件所選擇；
- (h) 將一忙碌信號置於該高速匯流排上，以指示一高速匯流周期正在進行，此忙碌信號由該處理組件置於該高速匯流排上；
- (i) 於接收該等命令及達成來自該處理組件之指令之後，將一備妥信號置於該高速匯流排上，以指示該顯示組件完成該等命令及指令，該備妥信號顯示組件置於該高速匯流排上；以及
- (j) 於接收由該顯示組件所發出之備妥信號之後，藉停

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

止該忙碌信號而完成該高速匯流排周期，此忙碌信號由該處理組件而使之停止。

14. 根據申請專利範圍第13項之步驟(f)所述之方法，另外包括以下步驟：

(a) 將對應於該顯示組件之指令置於該高速匯流排上；該指令之位址藉該處理組件而置於該系統匯流排上；

(b) 指示是否對應於該顯示組件之指令係為一輸入／輸出或記憶指令及是否該指令為一讀出或寫入指令，該指示步驟係由該處理組件所實施。

15. 根據申請專利範圍第13項之步驟(g)所述之方法，另外包括以下步驟：

(a) 檢查由該處理組件經由該高速匯流排所發出之指令，以便決定該指令是否為一輸入／輸出或記憶指令，該指令係由該顯示組件所檢查；

(b) 檢查由該處理組件經由該高速匯流排所發出之指令，以便決定該指令是否為一讀出或寫入指令，該指令係由該顯示組件所檢查；

16. 根據申請專利範圍第13項之步驟(h)所述之方法，另外包括之步驟為如果該指令為一寫入指令時，該處理組件將對應於寫入指令之資料置於該高速匯流排上。

(請先閱讀背面之注意事項再填寫本頁)

訂  
線