

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 12 月 26 日 (26.12.2024)



(10) 国际公布号
WO 2024/259940 A1

(51) 国际专利分类号:
H04J 3/06 (2006.01) **H04L 49/109** (2022.01)

(21) 国际申请号: PCT/CN2023/141950

(22) 国际申请日: 2023 年 12 月 26 日 (26.12.2023)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202310743573.2 2023年6月21日 (21.06.2023) CN

(71) 申请人: 苏州元脑智能科技有限公司 (SUZHOU METABRAIN INTELLIGENT TECHNOLOGY CO., LTD.) [CN/CN]; 中国江苏省苏州市吴中区吴中经济开发区郭巷街道官浦路1号9幢, Jiangsu 215000 (CN)。

(72) 发明人: 张涛 (ZHANG, Tao); 中国江苏省苏州市吴中区吴中经济开发区郭巷街道官浦路1号9幢, Jiangsu 215000 (CN)。

(74) 代理人: 北京康信知识产权代理有限公司 (KANGXIN PARTNERS, P.C.); 中国北京市海淀区知春路甲48号盈都大厦A座16层, Beijing 100098 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,

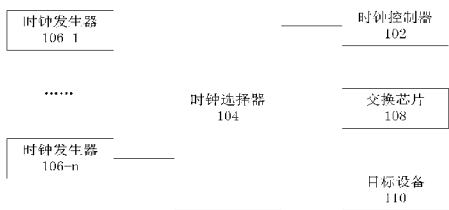
CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告(条约第21条(3))。

(54) Title: CLOCK CONTROL METHOD, SYSTEM AND DEVICE FOR SWITCH CHIP, AND SWITCH BOARD

(54) 发明名称: 交换芯片的时钟控制方法, 系统和设备, 以及交换板



102 Clock controller
104 Clock selector
106 Clock generator
108 Switch chip
110 Target device

图 1

(57) Abstract: Provided in the embodiments of the present application are a clock control method, system and device for a switch chip, and a switch board. The method is applied to a clock control device, and comprises: receiving clock signals, which are transmitted by clock generators of a plurality of clock types, wherein a clock control device is connected to a switch chip, the switch chip uses clock signals of different clock types when controlling target devices of different device types, and a plurality of clock types correspond to a plurality of device types; identifying a target device type of a target device among the plurality of device types; and transmitting, to the switch chip and the target device, a target clock signal which is transmitted by a target clock generator among the clock generators of the plurality of clock types, wherein the target clock generator is a clock generator of a target clock type corresponding to the target device type. By means of the present application, the problem of the clock adaptation efficiency of a switch chip being relatively low is solved, thereby achieving the effect of improving the clock adaptation efficiency of the switch chip.



(57) 摘要: 本申请实施例提供了一种交换芯片的时钟控制方法, 系统和设备, 以及交换板, 其中, 该方法应用于时钟控制设备, 包括: 接收多种时钟类型的时钟发生器传输的时钟信号, 其中, 时钟控制设备与交换芯片连接, 交换芯片在控制属于不同设备类型的目标设备时使用的时钟信号的时钟类型不同, 多种时钟类型与多种设备类型对应; 识别目标设备在多种设备类型中所属于的目标设备类型; 将多种时钟类型的时钟发生器中的目标时钟发生器所传输的目标时钟信号传输至交换芯片和目标设备, 其中, 目标时钟发生器是目标设备类型所对应的目标时钟类型的时钟发生器。通过本申请, 解决了交换芯片的时钟适配效率较低的问题, 进而达到了提高交换芯片的时钟适配效率的效果。

交换芯片的时钟控制方法，系统和设备，以及交换板

相关申请的交叉引用

本申请要求于 2023 年 06 月 21 日提交中国专利局，申请号为 2023107435732，申请名称为“交换芯片的时钟控制方法，系统和设备，以及交换板”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请实施例涉及芯片领域，特别的，涉及一种交换芯片的时钟控制方法，系统和设备，以及交换板。

背景技术

CXL (Compute Express Link, 计算快速连接) 技术是一种建立于 PCIe 5.0 (Peripheral Component Interconnect Express 5.0, 高速串行计算机扩展总线标准 (第五代)) 物理总线的高速缓存一致性互连协议, CXL 技术不仅支持在处理器、内存扩展和加速器使用, 并且允许资源共享以获得更高的性能。目前, 业界已推出 CXL 2.0 (Compute Express Link 2.0, 计算快速连接 2.0) 协议, 引入了 SW (switch, 交换) 的功能, 支持连接更多的设备, 允许服务端根据工作负载要求, 分配相应的资源, 从而提高资源利用率和降低整体系统成本。

由于 CXL SW (Compute Express Link switch, 计算快速连接交换) 不仅能够支持 CXL 设备的工作模式, 同时也支持 PCIe (Peripheral Component Interconnect Express, 高速串行计算机扩展总线标准) 设备的应用场景, 这就带来了时钟模式的问题: PCIe 设备需要在 SW 的系统时钟与参考时钟同源的模式工作, 但是 CXL 设备需要在非同源时钟模式工作。对于 CXL SW 如何兼容两种不同设备的时钟, 相关技术一般根据插入设备的不同, 手动选择时钟模式, 但这种方法效率低下, 并且同源时钟一般通过线缆连接, 链路较长, 如果选择的同源时钟信号质量差, 就容易引起设备不被 CPU (Central Processing Unit, 中央处理器) 识别。

针对相关技术中, 交换芯片的时钟适配效率较低等问题, 尚未提出有效的解决方案。

发明内容

本申请实施例提供了一种交换芯片的时钟控制方法, 系统和设备, 以及交换板, 以至少解决相关技术中交换芯片的时钟适配效率较低的问题。

根据本申请的一个实施例, 提供了一种交换芯片的时钟控制设备, 包括: 时钟控制器和时钟选择器, 其中, 时钟控制器与时钟选择器连接, 时钟选择器允许连接多种时钟类型的时钟发生器、交换芯片和目标设备, 交换芯片在控制属于不同设备类型的目标设备时使用的时钟信号的时钟类型不同, 多种时钟类型与多种设备类型对应; 时钟控制器, 被设置为识别目标设备在多种设备类型中所属于的目标设备类型; 控制时钟选择器将多种时钟类型的时钟发生器中的目标时钟发生器所传输的目标时钟信号传输至交换芯片和目标设备, 其中, 目标时钟发生器是目标设备类型所对应的目标时钟类型的时钟发生器。

在一个示例性实施例中, 时钟控制器上部署了第一控制端口, 时钟选择器上部署了多个时钟端口, 第一输出端口, 第二输出端口和第一信号端口, 其中, 第一控制端口与第一信号端口连接, 多个时钟端口被设置为分别连接多种时钟类型的时钟发生器, 第一输出端口被设置为连接交换芯片, 第二输出端口被设置为连接目标设备; 时钟控制器, 被设置为生成目标设备类型所对应的目标控制信号; 通过第一控制端口向时钟选择器发送目标控制信号; 时钟选择器, 被设置为通过第一信号端口接收目标控制信号; 将目标控制信号对应的目标时钟端口上接收到的目标时钟信号传输至第一输出端口和第二输出端口。

在一个示例性实施例中, 多个时钟端口包括第一时钟端口和第二时钟端口, 其中, 第一时钟端口允许与同源类型的第一时钟发生器连接, 第二时钟端口允许与非同源类型的第二时钟发生器连接, 第一时钟发生器被设置为传输同源时钟信号, 第二时钟发生器被设置为传输非同源时钟信号; 时钟控制器, 被设置为在目标设备类型为第一类型的情况下, 生成第一控制信号, 其中, 第一类型为采用高速串行计算机扩展总线标准的设备类型; 在目标设备类型为第二类型的情况下, 生成第二控制信号, 其中, 第二类型为采用计算快速连接协议的设备类型; 通过第一控制端口向时钟选择器发送第一控制信号, 或者, 第二控制信号; 时钟选择器, 被设置为在接收到第一控制信号的情况下, 将同源时钟信号传输至第一输出端口和第二输出端口; 在接收到第二控制信号的情况下, 将非同源时钟信号传输至第一输出端口和第二输出端口。

在一个示例性实施例中, 时钟控制器上部署了设备类型端口, 其中, 设备类型端口允许与处理器连接, 设备类型端口被设置为接收处理器发送的目标设备类型。

在一个示例性实施例中, 时钟控制设备, 还包括: 时钟缓冲器, 其中, 时钟控制器与时钟缓冲器连

接, 时钟缓冲器还连接在多种时钟类型的时钟发生器中的参考时钟发生器和时钟选择器之间; 参考时钟发生器, 被设置为生成多个时钟信号; 时钟缓冲器, 被设置为缓存多个时钟信号; 时钟控制器, 被设置为采集多个时钟信号的信号参数; 根据信号参数确定多个时钟信号中每个时钟信号的信号质量; 控制时钟缓冲器将信号质量最高的参考时钟信号传输至时钟选择器。

在一个示例性实施例中, 时钟控制器上部署了第二控制端口, 时钟缓冲器上部署了多个参考时钟端口, 第三输出端口和第二信号端口, 其中, 第二控制端口与第二信号端口连接, 多个参考时钟端口被设置为连接参考时钟发生器, 第三输出端口被设置为连接时钟选择器; 时钟控制器, 被设置为生成参考时钟信号所对应的参考控制信号; 通过第二控制端口向时钟缓冲器发送参考控制信号; 时钟缓冲器, 被设置为通过第二信号端口接收参考控制信号; 将参考控制信号对应的参考时钟信号传输至第三输出端口。

在一个示例性实施例中, 时钟控制设备, 还包括: 信号采集器, 其中, 信号采集器连接在参考时钟发生器和时钟控制器之间; 信号采集器, 被设置为对多个时钟信号进行采样, 得到多个采样信号; 将多个采样信号传输至时钟控制器; 时钟控制器, 被设置为计算多个采样信号的信号参数, 其中, 每个采样信号的信号参数包括以下至少之一: 振幅参数、频率参数、斜率参数、抖动参数; 将每个采样信号的信号参数转换为每个采样信号的信号质量。

根据本申请的另一个实施例, 提供了一种交换板, 包括: 交换芯片和时钟控制设备, 其中, 时钟控制设备与交换芯片连接, 时钟控制设备还允许与目标设备和多种时钟类型的时钟发生器连接; 交换芯片在控制属于不同设备类型的目标设备时使用的时钟信号的时钟类型不同, 多种时钟类型与多种设备类型对应; 时钟控制设备, 被设置为识别目标设备在多种设备类型中所属于的目标设备类型; 将多种时钟类型的时钟发生器中的目标时钟发生器所传输的目标时钟信号传输至交换芯片和目标设备, 其中, 目标时钟发生器是目标设备类型所对应的目标时钟类型的时钟发生器。

在一个示例性实施例中, 时钟控制设备, 包括: 时钟控制器和时钟选择器, 其中, 时钟控制器与时钟选择器连接, 时钟选择器允许连接多种时钟类型的时钟发生器, 交换芯片和目标设备; 时钟控制器, 被设置为生成目标设备类型所对应的目标控制信号; 向时钟选择器发送目标控制信号; 时钟选择器, 被设置为接收目标控制信号; 将目标控制信号对应的目标时钟信号传输至交换芯片和目标设备。

在一个示例性实施例中, 多种时钟类型的时钟发生器, 包括: 同源类型的第一时钟发生器和非同源类型的第二时钟发生器, 其中, 时钟选择器分别与第一时钟发生器和第二时钟发生器连接, 第一时钟发生器被设置为传输同源时钟信号, 第二时钟发生器被设置为传输非同源时钟信号; 时钟控制器, 被设置为在目标设备类型为第一类型的情况下, 生成第一控制信号, 其中, 第一类型为采用高速串行计算机扩展总线标准的设备类型; 在目标设备类型为第二类型的情况下, 生成第二控制信号, 其中, 第二类型为采用计算快速连接协议的设备类型; 向时钟选择器发送第一控制信号, 或者, 第二控制信号; 时钟选择器, 被设置为在接收到第一控制信号的情况下, 将同源时钟信号传输至交换芯片和目标设备; 在接收到第二控制信号的情况下, 将非同源时钟信号传输至交换芯片和目标设备。

在一个示例性实施例中, 多种时钟类型的时钟发生器中的参考时钟发生器允许生成多个时钟信号, 其中, 时钟控制设备, 被设置为缓存多个时钟信号, 并采集多个时钟信号的信号参数; 根据信号参数确定多个时钟信号中每个时钟信号的信号质量; 将信号质量最高的参考时钟信号确定为参考时钟发生器对应的时钟信号。

在一个示例性实施例中, 时钟控制设备, 包括: 时钟控制器, 时钟选择器和时钟缓冲器, 其中, 时钟控制器与时钟选择器连接, 时钟选择器允许连接多种时钟类型的时钟发生器, 交换芯片和目标设备, 时钟缓冲器连接在参考时钟发生器和时钟选择器之间; 时钟控制器, 被设置为生成参考时钟信号所对应的参考控制信号; 向时钟缓冲器发送参考控制信号; 生成目标设备类型所对应的目标控制信号; 向时钟选择器发送目标控制信号; 时钟缓冲器, 被设置为接收参考控制信号; 将参考控制信号对应的参考时钟信号传输至时钟选择器; 时钟选择器, 被设置为接收目标控制信号; 将目标控制信号对应的目标时钟信号传输至交换芯片和目标设备。

在一个示例性实施例中, 时钟控制设备, 还被设置为: 对多个时钟信号进行采样, 得到多个采样信号; 计算多个采样信号的信号参数, 其中, 每个采样信号的信号参数包括以下至少之一: 振幅参数、频率参数、斜率参数、抖动参数; 将每个采样信号的信号参数转换为每个采样信号的信号质量。

在一个示例性实施例中, 时钟控制设备允许与处理器连接, 其中, 时钟控制设备被设置为接收处理器发送的目标设备类型。

在一个示例性实施例中, 交换板还包括: 上行连接器, 下行连接器和第三时钟发生器, 其中, 第三时钟发生器与时钟控制设备连接, 时钟控制设备通过上行连接器与处理器的第四时钟发生器连接, 多种时钟类型的时钟发生器包括第三时钟发生器和第四时钟发生器; 时钟控制设备通过下行连接器与目标设备连接。

根据本申请的另一个实施例, 提供了一种交换芯片的时钟控制系统, 包括: 交换板和设备板, 其中, 交换板上部署了交换芯片和时钟控制设备, 设备板上部署了设备接口; 设备接口, 被设置为连接目标设备, 其中, 交换芯片在控制属于不同设备类型的目标设备时使用的时钟信号的时钟类型不同, 多种时钟类

型与多种设备类型对应；时钟控制设备，被设置为识别目标设备在多种设备类型中所属于的目标设备类型；将多种时钟类型的时钟发生器中的目标时钟发生器所传输的目标时钟信号传输至交换芯片和目标设备，其中，目标时钟发生器是目标设备类型所对应的目标时钟类型的时钟发生器。

在一个示例性实施例中，系统还包括：主板，其中，交换板上还部署了第三时钟发生器，主板上部署了处理器的第四时钟发生器，时钟控制设备，包括：时钟控制器和时钟选择器；时钟控制器与时钟选择器连接，时钟选择器与第三时钟发生器，第四时钟发生器，交换芯片和目标设备，第三时钟发生器被设置为传输非同源时钟信号，第四时钟发生器被设置为传输同源时钟信号；时钟控制器，被设置为在目标设备类型为第一类型的情况下，生成第一控制信号，其中，第一类型为采用高速串行计算机扩展总线标准的设备类型；在目标设备类型为第二类型的情况下，生成第二控制信号，其中，第二类型为采用计算快速连接协议的设备类型；向时钟选择器发送第一控制信号，或者，第二控制信号；时钟选择器，被设置为在接收到第一控制信号的情况下，将同源时钟信号传输至交换芯片和目标设备；在接收到第二控制信号的情况下，将非同源时钟信号传输至交换芯片和目标设备。

在一个示例性实施例中，第四时钟发生器允许生成多个时钟信号，时钟控制设备，还包括：时钟缓冲器，其中，时钟缓冲器连接在第四时钟发生器和时钟选择器之间；时钟控制器，被设置为采集多个时钟信号的信号参数；根据信号参数确定多个时钟信号中每个时钟信号的信号质量；将信号质量最高的参考时钟信号确定为第四时钟发生器对应的时钟信号；生成参考时钟信号所对应的参考控制信号；向时钟缓冲器发送参考控制信号；时钟缓冲器，被设置为缓存多个时钟信号；接收参考控制信号；将参考控制信号对应的参考时钟信号传输至时钟选择器。

在一个示例性实施例中，主板上还部署了处理器，时钟控制设备与处理器连接，其中，处理器通过交换板和设备板与目标设备连接；处理器，被设置为在对目标设备的训练过程中输出目标设备的目标设备类型；将目标设备类型发送至时钟控制设备；时钟控制设备，被设置为接收处理器发送的目标设备类型。

根据本申请的另一个实施例，提供了一种交换芯片的时钟控制方法，应用于时钟控制设备，方法包括：

接收多种时钟类型的时钟发生器传输的时钟信号，其中，时钟控制设备与交换芯片连接，交换芯片在控制属于不同设备类型的目标设备时使用的时钟信号的时钟类型不同，多种时钟类型与多种设备类型对应；

识别目标设备在多种设备类型中所属于的目标设备类型；

将多种时钟类型的时钟发生器中的目标时钟发生器所传输的目标时钟信号传输至交换芯片和目标设备，其中，目标时钟发生器是目标设备类型所对应的目标时钟类型的时钟发生器。

在一个示例性实施例中，将多种时钟类型的时钟发生器中的目标时钟发生器所传输的目标时钟信号传输至交换芯片和目标设备，包括：

生成目标设备类型所对应的目标控制信号；

将目标控制信号对应的目标时钟信号传输至交换芯片和目标设备。

在一个示例性实施例中，多种时钟类型的时钟发生器，包括：同源类型的第一时钟发生器和非同源类型的第二时钟发生器，第一时钟发生器被设置为传输同源时钟信号，第二时钟发生器被设置为传输非同源时钟信号；

生成目标设备类型所对应的目标控制信号，包括：在目标设备类型为第一类型的情况下，生成第一控制信号，其中，第一类型为采用高速串行计算机扩展总线标准的设备类型；在目标设备类型为第二类型的情况下，生成第二控制信号，其中，第二类型为采用计算快速连接协议的设备类型；

将目标控制信号对应的目标时钟信号传输至交换芯片和目标设备，包括：在接收到第一控制信号的情况下，将同源时钟信号传输至交换芯片和目标设备；在接收到第二控制信号的情况下，将非同源时钟信号传输至交换芯片和目标设备。

在一个示例性实施例中，多种时钟类型的时钟发生器中的参考时钟发生器被设置为生成多个时钟信号，其中，接收多种时钟类型的时钟发生器传输的时钟信号，包括：

缓存多个时钟信号；

采集多个时钟信号的信号参数；

根据信号参数确定多个时钟信号中每个时钟信号的信号质量；

将信号质量最高的参考时钟信号确定为参考时钟发生器传输的时钟信号。

在一个示例性实施例中，采集多个时钟信号的信号参数，包括：

对多个时钟信号进行采样，得到多个采样信号；

计算多个采样信号的信号参数，其中，每个采样信号的信号参数包括以下至少之一：振幅参数、频率参数、斜率参数、抖动参数。

在一个示例性实施例中，识别目标设备在多种设备类型中所属于的目标设备类型，包括：

接收时钟控制设备所连接的处理器发送的目标设备类型。

根据本申请的另一个实施例，提供了一种交换芯片的时钟控制装置，包括：

接收模块，被设置为接收多种时钟类型的时钟发生器传输的时钟信号，其中，时钟控制设备与交换芯片连接，交换芯片在控制属于不同设备类型的目标设备时使用的时钟信号的时钟类型不同，多种时钟类型与多种设备类型对应；

识别模块，被设置为识别目标设备在多种设备类型中所属于的目标设备类型；

传输模块，被设置为将多种时钟类型的时钟发生器中的目标时钟发生器所传输的目标时钟信号传输至交换芯片和目标设备，其中，目标时钟发生器是目标设备类型所对应的目标时钟类型的时钟发生器。

根据本申请的又一个实施例，还提供了一种非易失性可读存储介质，非易失性可读存储介质中存储有计算机程序，其中，计算机程序被设置为运行时执行上述任一项方法实施例中的步骤。

根据本申请的又一个实施例，还提供了一种电子设备，包括存储器和处理器，存储器中存储有计算机程序，处理器被设置为运行计算机程序以执行上述任一项方法实施例中的步骤。

通过本申请，时钟控制器根据目标设备的目标设备类型控制时钟选择器将多种时钟类型的时钟发生器中的目标时钟发生器所传输的目标时钟信号传输至交换芯片和目标设备，使得交换芯片在控制不同设备类型的目标设备时，能够自动使用对应的时钟类型。也就是说，由于交换芯片需要对应与目标设备的时钟类型对应，通过时钟控制器获取目标设备的目标设备类型，时钟控制器再根据目标设备类型控制时钟选择器选择传输目标时钟信号到达交换芯片和目标设备，使得交换芯片和目标设备能够接收到对应的目标时钟信号，因此，可以解决交换芯片的时钟适配效率较低的问题，达到了提高交换芯片的时钟适配效率的效果。

附图说明

图1是根据本申请实施例的一种交换芯片的时钟控制设备的示意图一；
图2是根据本申请实施例的一种交换芯片的时钟控制设备的示意图二；
图3是根据本申请实施例的一种交换芯片的时钟控制设备的示意图三；
图4是根据本申请实施例的一种交换芯片的时钟控制设备的示意图四；
图5是根据本申请实施例的一种交换芯片的时钟控制设备的示意图五；
图6是根据本申请实施例的一种交换芯片的时钟控制设备的示意图六；
图7是根据本申请实施例的一种交换芯片的时钟控制设备的示意图七；
图8是根据本申请实施例的一种交换板的示意图；
图9是根据本申请实施例的一种交换板的工作过程的示意图；
图10是根据本申请实施例的一种部署了时钟发生器的主板的示意图；
图11是根据本申请实施例的一种部署了目标设备的设备板的示意图；
图12是根据本申请实施例的一种交换芯片的时钟控制系统的示意图；
图13是根据本申请可选的实施方式的一种交换芯片的时钟控制系统中时钟控制过程的示意图；
图14是本申请实施例的一种交换芯片的时钟控制方法的移动终端的硬件结构框图；
图15是根据本申请实施例的交换芯片的时钟控制的流程图；
图16是根据本申请可选的实施方式的一种交换芯片的时钟控制系统中时钟控制过程的示意图；
图17是根据本申请实施例的一种交换芯片的时钟控制装置的结构框图；
图18是根据本申请实施例的电子设备的示意图。

具体实施方式

下文中将参考附图并结合实施例来详细说明本申请的实施例。

需要说明的是，本申请的说明书和权利要求书及上述附图中的术语“第一”、“第二”等是用于区别类似的对象，而不必用于描述特定的顺序或先后次序。

在本实施例中提供了一种交换芯片的时钟控制设备，图1是根据本申请实施例的一种交换芯片的时钟控制设备的示意图一，如图1所示，上述交换芯片的时钟控制设备可以包括：时钟控制器102和时钟选择器104，其中，时钟控制器102与时钟选择器104连接，时钟选择器104允许连接多种时钟类型的时钟发生器（106-1至106-n）、交换芯片108和目标设备110，交换芯片108在控制属于不同设备类型的目标设备110时使用的时钟信号的时钟类型不同，多种时钟类型与多种设备类型对应；时钟控制器102，被设置为识别目标设备110在多种设备类型中所属于的目标设备110类型；控制时钟选择器104将多种时钟类型的时钟发生器中的目标时钟发生器所传输的目标时钟信号传输至交换芯片108和目标设备110，其中，目标时钟发生器是目标设备110类型所对应的目标时钟类型的时钟发生器。

通过上述设备，时钟控制器根据目标设备的目标设备类型控制时钟选择器将多种时钟类型的时钟发生器中的目标时钟发生器所传输的目标时钟信号传输至交换芯片和目标设备，使得交换芯片在控制不同设备类型的目标设备时，能够自动使用对应的时钟类型。也就是说，由于交换芯片需要对应与目标设备的时钟类型对应，通过时钟控制器获取目标设备的目标设备类型，时钟控制器再根据目标设备类型控制时钟选择器选择传输目标时钟信号到达交换芯片和目标设备，使得交换芯片和目标设备能够接收到对应的目标时钟

信号，因此，可以解决交换芯片的时钟适配效率较低的问题，达到了提高交换芯片的时钟适配效率的效果。

可选地，在本实施例中，上述时钟控制设备被设置为接收多种始终类型的时钟发生器传输的时钟信号，并且从多种时钟信号中选择与目标设备对应的时钟信号传输至交换芯片和目标设备，使得交换芯片在控制不同设备类型的目标设备时能够使用对应的时钟类型。

可选地，在本实施例中，上述时钟控制设备可以但不限于包括时钟控制器和时钟选择器，可以但不限于通过时钟控制设备内的多个器件实现时钟控制设备的功能，比如：通过时钟控制器获取目标设备在多种设备类型中所属于的目标设备类型，并根据目标设备类型控制时钟选择器将多种时钟类型的时钟发生器中的目标时钟发生器所传输的目标时钟信号传输至交换芯片和目标设备。

可选地，在本实施例中，时钟控制器可以但不限于通过控制输出的目标控制信号的电平的高低的方式控制时钟选择器将多种时钟类型的时钟发生器中的目标时钟发生器所传输的目标时钟信号传输至交换芯片和目标设备，比如：在目标控制信号输出低电平的情况下，用于指示时钟选择器选择同源时钟。或者，在目标控制信号输出高电平的情况下，用于指示时钟选择器选择非同源时钟。

可选地，在本实施例中，上述时钟发生器可以但不限于能够产生并传输时钟信号的设备，比如：石英晶体（External Crystal Oscillator, XTAL）和晶体振荡器等等。上述时钟发生器的时钟类型可以但不限于包括：同源时钟和非同源时钟。

可选地，在本实施例中，上述时钟发生器可以但不限于能够同时发送多个时钟信号的设备，比如：时钟控制设备接收到了同一时钟发生器发出的多个时钟信号，以及另一时钟类型不同的时钟发生器发出的多个时钟信号。或者，时钟控制设备接收到了同一时钟发生器发出的多个时钟信号，以及另一时钟类型不同的时钟发生器发出的单个时钟信号。

可选地，在本实施例中，上述交换芯片可以但不限于是具有控制目标设备的功能的器件，比如：CXL SW 芯片。可以但不限于根据目标设备的设备类型确定交换芯片所使用的时钟类型，比如：在目标设备的目标设备类型为 PCIe 设备的情况下，确定交换芯片所使用的时钟类型为同源时钟。或者，在目标设备的目标设备类型为 CXL 设备的情况下，确定交换芯片所使用的时钟类型为非同源时钟。

在一个示例性实施例中，图 2 是根据本申请实施例的一种交换芯片的时钟控制设备的示意图二，如图 2 所示，时钟控制器 102 上部署了第一控制端口 202，时钟选择器 104 上部署了多个时钟端口（204-1 至 204-n），第一输出端口 206，第二输出端口 208 和第一信号端口 210，其中，第一控制端口 202 与第一信号端口 210 连接，多个时钟端口（204-1 至 204-n）用于分别连接多种时钟类型的时钟发生器（106-1 至 106-n），第一输出端口 206 被设置为连接交换芯片 108，第二输出端口 208 被设置为连接目标设备 110；时钟控制器 102，被设置为生成目标设备 110 类型所对应的目标控制信号；通过第一控制端口 202 向时钟选择器 104 发送目标控制信号；时钟选择器 104，被设置为通过第一信号端口 210 接收目标控制信号；将目标控制信号对应的目标时钟端口 212 上接收到的目标时钟信号传输至第一输出端口 206 和第二输出端口 208。

可选地，在本实施例中，上述时钟控制器上可以但不限于部署了多个端口，可以但不限于通过时钟控制器上部署的第一控制端口连接时钟选择器，时钟控制器可以通过第一控制端口向时钟选择器发送用于控制时钟选择器将多种时钟类型的时钟发生器中的目标时钟发生器所传输的目标时钟信号传输至交换芯片和目标设备的信号。

可选地，在本实施例中，时钟选择器上可以但不限于部署了多个端口包括：多个时钟端口，第一输出端口，第二输出端口和第一信号端口等等。

可选地，在本实施例中，时钟选择器上部署的多个时钟端口连接多种时钟类型的时钟发生器，可以但不限于用于接收多种时钟类型的时钟发生器发出的时钟信号。

可选地，在本实施例中，时钟选择器上部署的第一输出端口连接交换芯片，可以但不限于用于将与目标设备对应的时钟信号发送至交换芯片。

可选地，在本实施例中，时钟选择器上部署的第二输出端口连接目标设备，可以但不限于用于将与目标设备对应的时钟信号发送至目标设备。

可选地，在本实施例中，时钟控制器上部署的第一控制端口连接时钟选择器，可以但不限于用于将目标控制信号发送至接时钟选择器，比如：时钟控制器根据目标设备的目标设备类型生成对应的目标控制信号，再通过第一控制端口将目标控制信号传输至时钟选择器。

可选地，在本实施例中，时钟选择器上部署的第一信号端口连接时钟控制器，可以但不限于用于接收时钟控制器发出的目标控制信号，比如：时钟控制器通过第一控制端口将目标控制信号传输，时钟选择器通过第一信号端口接收目标控制信号。

在一个示例性实施例中，图 3 是根据本申请实施例的一种交换芯片的时钟控制设备的示意图三，如图 3 所示，多个时钟端口（204-1 至 204-n）包括第一时钟端口 302 和第二时钟端口 304，其中，第一时钟端口 302 允许与同源类型的第一时钟发生器 306 连接，第二时钟端口 304 允许与非同源类型的第二时钟发生器 308 连接，第一时钟发生器 306 被设置为传输同源时钟信号，第二时钟发生器 308 被设置为传输非同源时钟信号；时钟控制器 102，被设置为在目标设备 110 类型为第一类型的情况下，生成第一控制信号，其中，第

一类型为采用高速串行计算机扩展总线标准的设备类型；在目标设备 110 类型为第二类型的情况下，生成第二控制信号，其中，第二类型为采用计算快速连接协议的设备类型；通过第一控制端口 202 向时钟选择器 104 发送第一控制信号，或者，第二控制信号；时钟选择器 104，被设置为在接收到第一控制信号的情况下，将同源时钟信号传输至第一输出端口 206 和第二输出端口 208；在接收到第二控制信号的情况下，将非同源时钟信号传输至第一输出端口 206 和第二输出端口 208。

可选地，在本实施例中，时钟控制器的多个时钟端口被设置为连接多种时钟类型的时钟发生器，时钟端口可以但不限于包括第一时钟端口和第二时钟端口，第一时钟端口和第二时钟端口所连接的时钟发生器的时钟类型不同。

可选地，在本实施例中，第一时钟发生器通过第一时钟端口与时钟控制器连接，第一时钟端口被设置为接收第一时钟发生器发出的同源时钟信号。

可选地，在本实施例中，第二时钟发生器通过第二时钟端口与时钟控制器连接，第二时钟端口被设置为接收第二时钟发生器发出的非同源时钟信号。

可选地，在本实施例中，上述第一控制信号用于将同源时钟信号传输至第一输出端口和第二输出端口，上述第二控制信号用于将非同源时钟信号传输至第一输出端口和第二输出端口。以通过时钟控制设备中的时钟控制器生成目标设备类型所对应的目标控制信号，第一输出端口和第二输出端口部署在时钟控制设备中的时钟选择器为例，在时钟选择器接收到第一控制信号的情况下，将同源时钟信号传输至第一输出端口和第二输出端口；在时钟选择器接收到第二控制信号的情况下，将非同源时钟信号传输至第一输出端口和第二输出端口。

在一个示例性实施例中，图 4 是根据本申请实施例的一种交换芯片的时钟控制设备的示意图四，如图 4 所示，时钟控制器 102 上部署了设备类型端口 402，其中，设备类型端口 402 允许与处理器 404 连接，设备类型端口 402 被设置为接收处理器 404 发送的目标设备类型。

可选地，在本实施例中，上述处理器可以但不限于部署在与时钟控制设备连接的主板上，上述处理器可以但不限于通过总线读取目标设备的目标设备类型，比如：处理器通过 PCIe 总线读取 PCIe 插槽或者 CXL 插槽的目标设备，并将目标设备的目标设备类型发送至时钟控制设备。

可选地，在本实施例中，时钟控制器上还部署了设备类型端口，设备类型端口可以但不限于被设置为连接部署在主板上的处理器，通过设备类型端口接收主板的处理器发送的目标设备类型。

可选地，在本实施例中，时钟控制设备可以但不限于根据从处理器接收到的数据确定目标设备的目标设备类型，比如：以 0x50、0x56 表示目标设备类型为 PCIe 设备为例，在时钟控制设备连续接收到 0x50、0x56 的情况下，则可以确定目标设备在多种设备类型中所属于的目标设备类型为 PCIe 设备。或者，以 0x27、0x29 表示目标设备类型为 CXL 设备为例，在时钟控制设备连续接收到 0x27、0x29 的情况下，则可以确定目标设备在多种设备类型中所属于的目标设备类型为 CXL 设备。

可选地，在本实施例中，主板上的处理器可以但不限于被设置为获取目标设备的目标设备类型，比如：主板上的处理器与目标设备通过一组 PCIe x16 高速线联接，通过 PCIe x16 高速线识别目标设备的目标设备类型，处理器再通过 I2C CPU 信号向时钟控制器发送目标设备的目标设备类型。

在一个示例性实施例中，图 5 是根据本申请实施例的一种交换芯片的时钟控制设备的示意图五，如图 5 所示，时钟控制设备，还包括：时钟缓冲器 502，其中，时钟控制器 102 与时钟缓冲器 502 连接，时钟缓冲器 502 还连接在多种时钟类型的时钟发生器（106-1 至 106-n）中的参考时钟发生器 504 和时钟选择器 104 之间；参考时钟发生器 504，被设置为生成多个时钟信号；时钟缓冲器 502，被设置为缓存多个时钟信号；时钟控制器 102，被设置为采集多个时钟信号的信号参数；根据信号参数确定多个时钟信号中每个时钟信号的信号质量；控制时钟缓冲器 502 将信号质量最高的参考时钟信号传输至时钟选择器 104。

可选地，在本实施例中，可以但不限于通过时钟控制设备中的时钟缓冲器缓存多个时钟信号，比如：在时钟控制器从主板接收多种时钟类型的时钟发生器传输的时钟信号的情况下，通过时钟缓冲器将主板传输的多个时钟信号进行缓存。

可选地，在本实施例中，可以但不限于通过时钟控制器对时钟缓冲器中缓存的多个时钟信号进行计算得到多个时钟信号的信号参数，比如：首先，时钟控制器对时钟缓冲器中缓存的多个时钟信号进行采样，得到采样信号，计算采样信号的信号参数。

可选地，在本实施例中，信号参数用于指示时钟信号的信号质量，信号参数可以但不限于包括：时钟信号的振幅、频率、斜率和抖动等等参数。

可选地，在本实施例中，时钟控制器可以但不限于将根据信号参数选择信号质量最优的时钟信号确定为参考时钟信号，比如：时钟控制器对每个时钟信号的信号参数求平均值，将平均值最大的时钟信号确定为信号质量最优的时钟信号即参考时钟信号。或者，时钟控制器对每个时钟信号的信号参数求加权平均值，将加权平均值最大的时钟信号确定为信号质量最优的时钟信号即参考时钟信号。

在一个示例性实施例中，图 6 是根据本申请实施例的一种交换芯片的时钟控制设备的示意图六，如图 6 所示，时钟控制器 102 上部署了第二控制端口 602，时钟缓冲器 502 上部署了多个参考时钟端口（604-1 至 604-n），第三输出端口 606 和第二信号端口 608，其中，第二控制端口 602 与第二信号端口 608 连接，多

个参考时钟端口（604-1 至 604-n）被设置为连接参考时钟发生器 504，第三输出端口 606 被设置为连接时钟选择器 104；时钟控制器 102，被设置为生成参考时钟信号所对应的参考控制信号；通过第二控制端口 602 向时钟缓冲器 502 发送参考控制信号；时钟缓冲器 502，被设置为通过第二信号端口 608 接收参考控制信号；将参考控制信号对应的参考时钟信号传输至第三输出端口 606。

可选地，在本实施例中，时钟控制器上部署的第二控制端口可以但不限于与时钟缓冲器的第二信号端口连接，第二信号端口可以但不限于用于对多个时钟信号进行采样，得到多个采样信号。

可选地，在本实施例中，时钟缓冲器上部署的参考时钟端口可以但不限于与参考时钟发生器连接，参考时钟端口可以但不限于被设置为接收参考时钟发生器发送的时钟信号并进行缓存操作。

可选地，在本实施例中，时钟缓冲器上部署的第三输出端口可以但不限于与时钟选择器连接，可以但不限于根据时钟控制器发出的参考控制信号确定参考控制信号对应的时钟信号，通过第三输出端口将参考控制信号传输至时钟选择器。

在一个示例性实施例中，图 7 是根据本申请实施例的一种交换芯片的时钟控制设备的示意图七，如图 7 所示，时钟控制设备，还包括：信号采集器 702，其中，信号采集器 702 连接在参考时钟发生器 504 和时钟控制器 102 之间；信号采集器 702，被设置为对多个时钟信号进行采样，得到多个采样信号；将多个采样信号传输至时钟控制器 102；时钟控制器 102，被设置为计算多个采样信号的信号参数，其中，每个采样信号的信号参数包括以下至少之一：振幅参数、频率参数、斜率参数、抖动参数；将每个采样信号的信号参数转换为每个采样信号的信号质量。

可选地，在本实施例中，信号采集器被设置为在时钟发生器向时钟缓冲器发送时钟信号的过程中，对每个时钟信号进行采样得到多个采样信号。

可选地，在本实施例中，信号采集器可以但不限于将多个时钟信号在同一时间段内的信号确定为采样信号，比如：截取同一时间段内的多个时钟信号，确定为采样信号。

可选地，在本实施例中，采样信号的信号参数用于指示采样信号的信号质量，比如：可以但不限于根据振幅参数、频率参数、斜率参数和抖动参数的平均值确定采样信号的信号质量。或者，可以但不限于根据振幅参数、频率参数、斜率参数和抖动参数的加权平均值确定采样信号的信号质量。

根据本申请实施例的另一个方面，还提供了一种交换板，由于该交换板被设置为实现上述实施例及可选实施方式，已经进行过说明的不再赘述。

图 8 是根据本申请实施例的一种交换板的示意图，如图 8 所示，该交换板可以包括：交换芯片 802 和时钟控制设备 804，其中，时钟控制设备 804 与交换芯片 802 连接，时钟控制设备 804 还允许与目标设备 806 和多种时钟类型的时钟发生器（808-1 至 808-n）连接；交换芯片 802 在控制属于不同设备类型的目标设备 806 时使用的时钟信号的时钟类型不同，多种时钟类型与多种设备类型对应；时钟控制设备 804，被设置为识别目标设备 806 在多种设备类型中所属于的目标设备类型；将多种时钟类型的时钟发生器（808-1 至 808-n）中的目标时钟发生器所传输的目标时钟信号传输至交换芯片 802 和目标设备 806，其中，目标时钟发生器是目标设备类型所对应的目标时钟类型的时钟发生器。

通过上述交换板，时钟控制器根据目标设备的目标设备类型控制时钟选择器将多种时钟类型的时钟发生器中的目标时钟发生器所传输的目标时钟信号传输至交换芯片和目标设备，使得交换芯片在控制不同设备类型的目标设备时，能够自动使用对应的时钟类型。也就是说，由于交换芯片需要对应与目标设备的时钟类型对应，通过时钟控制器获取目标设备的目标设备类型，时钟控制器再根据目标设备类型控制时钟选择器选择传输目标时钟信号到达交换芯片和目标设备，使得交换芯片和目标设备能够接收到对应的目标时钟信号，因此，可以解决交换芯片的时钟适配效率较低的问题，达到了提高交换芯片的时钟适配效率的效果。

在一个示例性实施例中，时钟控制设备，包括：时钟控制器和时钟选择器，其中，时钟控制器与时钟选择器连接，时钟选择器允许连接多种时钟类型的时钟发生器，交换芯片和目标设备；时钟控制器，被设置为生成目标设备类型所对应的目标控制信号；向时钟选择器发送目标控制信号；时钟选择器，被设置为接收目标控制信号；将目标控制信号对应的目标时钟信号传输至交换芯片和目标设备。

可选地，在本实施例中，多种时钟类型的时钟发生器可以但不限于部署在交换板上，比如：交换板上部署了多个时钟发生器。或者，多种时钟类型的时钟发生器可以但不限于部署在与交换板连接的设备上，比如：多种时钟类型的时钟发生器部署在与交换板连接的主板上。

可选地，在本实施例中，交换板上可以但不限于部署了时钟控制器和时钟选择器，时钟控制器可以但不限于通过目标设备类型生成目标控制信号再将目标控制信号发送至时钟选择器，控制时钟选择器选择目标时钟信号传输至交换芯片和目标设备。

在一个示例性实施例中，多种时钟类型的时钟发生器，包括：同源类型的第一时钟发生器和非同源类型的第二时钟发生器，其中，时钟选择器分别与第一时钟发生器和第二时钟发生器连接，第一时钟发生器被设置为传输同源时钟信号，第二时钟发生器被设置为传输非同源时钟信号；时钟控制器，被设置为在目标设备类型为第一类型的情况下，生成第一控制信号，其中，第一类型为采用高速串行计算机扩展总线标准的设备类型；在目标设备类型为第二类型的情况下，生成第二控制信号，其中，第二类型为采用计算快

速连接协议的设备类型；向时钟选择器发送第一控制信号，或者，第二控制信号；时钟选择器，被设置为在接收到第一控制信号的情况下，将同源时钟信号传输至交换芯片和目标设备；在接收到第二控制信号的情况下，将非同源时钟信号传输至交换芯片和目标设备。

在一个示例性实施例中，多种时钟类型的时钟发生器中的参考时钟发生器允许生成多个时钟信号，其中，时钟控制设备，被设置为缓存多个时钟信号，并采集多个时钟信号的信号参数；根据信号参数确定多个时钟信号中每个时钟信号的信号质量；将信号质量最高的参考时钟信号确定为参考时钟发生器对应的时钟信号。

可选地，在本实施例中，参考时钟发生器可以生成多个时钟信号，比如：时钟控制设备连接多种类型的时钟发生器，可以但不限于包括同源时钟发生器和非同源时钟发生器，在参考时钟发生器为同源时钟发生器的情况下，允许同源时钟发生器生成多个时钟信号。或者，在参考时钟发生器为非同源时钟发生器的情况下，允许非同源时钟发生器生成多个时钟信号。

在一个示例性实施例中，时钟控制设备，包括：时钟控制器，时钟选择器和时钟缓冲器，其中，时钟控制器与时钟选择器连接，时钟选择器允许连接多种时钟类型的时钟发生器，交换芯片和目标设备，时钟缓冲器连接在参考时钟发生器和时钟选择器之间；时钟控制器，被设置为生成参考时钟信号所对应的参考控制信号；向时钟缓冲器发送参考控制信号；生成目标设备类型所对应的目标控制信号；向时钟选择器发送目标控制信号；时钟缓冲器，被设置为接收参考控制信号；将参考控制信号对应的参考时钟信号传输至时钟选择器；时钟选择器，被设置为接收目标控制信号；将目标控制信号对应的目标时钟信号传输至交换芯片和目标设备。

可选地，在本实施例中，时钟缓冲器连接在参考时钟发生器和时钟选择器之间，时钟缓冲器被设置为对参考时钟发生器向时钟选择器发送的时钟信号进行缓存，时钟缓冲器可以但不限于根据时钟控制器指示的与目标设备类型对应的参考控制信号确定向时钟选择器发送的时钟信号。

可选地，在本实施例中，时钟控制器可以但不限于被设置为控制时钟缓冲器发送参考时钟信号至时钟选择器，时钟控制器还被设置为控制时钟选择器发送目标时钟信号至交换芯片和目标设备，比如：时钟控制器接收目标设备的目标设备类型，并根据目标设备类型生成参考控制信号和目标控制信号，时钟控制器将参考控制信号发送至时钟缓冲器，控制时钟缓冲器向时钟选择器传输参考时钟信号；时钟控制器将目标控制信号发送至时钟选择器，控制时钟选择器将目标时钟信号传输至交换芯片和目标设备。

在一个示例性实施例中，时钟控制设备，还被设置为：对多个时钟信号进行采样，得到多个采样信号；计算多个采样信号的信号参数，其中，每个采样信号的信号参数包括以下至少之一：振幅参数、频率参数、斜率参数、抖动参数；将每个采样信号的信号参数转换为每个采样信号的信号质量。

在一个示例性实施例中，时钟控制设备允许与处理器连接，其中，时钟控制设备被设置为接收处理器发送的目标设备类型。

在一个示例性实施例中，交换板还包括：上行连接器，下行连接器和第三时钟发生器，其中，第三时钟发生器与时钟控制设备连接，时钟控制设备通过上行连接器与处理器的第四时钟发生器连接，多种时钟类型的时钟发生器包括第三时钟发生器和第四时钟发生器；时钟控制设备通过下行连接器与目标设备连接。

可选地，在本实施例中，时钟控制设备可以但不限于与包括第三时钟发生器和第四时钟发生器的时钟发生器连接，第三时钟发生器与时钟控制设备可以是直接连接的，部署在非交换板上的处理器的第四时钟发生器与时钟控制设备可以但不限于是通过交换板的上行连接器连接的。

可选地，在本实施例中，交换板的下行连接器被设置为连接目标设备，可以但不限于通过下行连接器获取目标设备的设备信息，比如：通过下行连接器获取目标设备的厂商、容量、速率等信息。

在一个示例性实施例中，提供了一种交换板包括：交换芯片、时钟控制设备、第三时钟发生器、上行连接器和下行连接器，图 9 是根据本申请实施例的一种交换板的工作过程的示意图，如图 9 所示，交换芯片为 CXL SW 芯片，时钟控制设备包括时钟控制器、时钟选择器和时钟缓冲器，可选的，时钟控制器为 CPLD（Complex Programmable Logic Device，复杂可编程逻辑器件）控制单元，时钟选择器为 CLK MUX，时钟缓冲器为 CLK Buffer，第三时钟发生器为 CLK Generator，上行连接器为上行口 CDFP（Compact Duplex Form-factor Pluggable，紧凑型双工外形可插拔模块）连接器，下行连接器为下行口 CDFP 连接器，以主板上部署了被设置为传输同源时钟信号的第一时钟发生器，第三时钟发生器 CLK Generator 被设置为传输非同源时钟信号为例，交换板可以通过以下方式工作：

以第三时钟发生器 CLK Generator 包括一颗 25MHz 的时钟晶体 XTAL（Crystal，晶体）为例，XTAL 供给第三时钟发生器内部 PLL（Phase-Locked Loop，锁相环），第三时钟发生器从而输出 100MHz 的 CLK GEN 时钟信号。

CPLD 控制单元通过 I2C、PERST_N 信号读取下行口 CDFP 连接器的目标设备的相关信息，比如：通过 I2C 信号读取目标设备的厂商、容量、速率等相关信息，通过 PERST_N 信号对目标设备进行复位操作等等。

上行口 CDFP 连接器与下行口 CDFP 连接器通过一组 PCIe x16 高速线联接，上行口 CDFP 连接器通过与

下行口 CDFP 连接器联接的 PCIe x16 高速线识别目标设备的目标设备类型, 上行口 CDFP 连接器的处理器 CPU 通过 I2C_CPU 信号向 CPLD 控制单元发送目标设备的目标设备类型。

交换板的上行口 CDFP 连接器通过线缆连接主板的 CDFP 连接器, 接收来自主板的同源时钟信号, ADC 采样单元 (信号采集器) 对来自主板的多个同源时钟信号进行采样, 通过 SPI (Serial Peripheral Interface, 串行外设接口) 总线将采样信号传输至 CPLD 控制单元, CPLD 控制单元计算采样信号的信号参数: 振幅参数、频率参数、斜率参数、抖动参数等等, 根据信号参数确定信号质量最优的同源时钟信号。

以接收来自主板的时钟发生器 (CLK_1) 发出的同源时钟信号 CLK_CDFP1 和 CLK_CDFP2 为例, CPLD 控制单元通过 CLK_S 信号控制时钟缓冲器 CLK Buffer 选择信号质量最优的同源时钟信号输出, 比如: 在 CLK_S 输出低电平的情况下, 用于指示 CLK_CDFP1 的信号质量最优, 时钟缓冲器 CLK buffer 将 CLK_CDFP1 输出至 CLK_BUF; 在 CLK_S 输出高电平的情况下, 用于指示 CLK_CDFP2 的信号质量最优, CLK buffer 将 CLK_CDFP2 输出至 CLK_BUF。

CLK_MUX 在 CPLD 控制单元发出的 CLK_MODE 信号的控制下, 通过以下方式与下行口 CDFP 连接器互联的目标设备以及 CXL SW 选择对应的时钟:

以在 CLK_MODE 输出低电平的情况下, 指示 CLK_MUX 选择同源时钟 CLK_BUF 为例, CLK_MUX 的 IN_1 分别输出同源时钟 CLK_BUF 到 MUX_OUT1、MUX_OUT2, 再通过 CLK_CXL 输入至 CXL SW, 通过 CLK_CDFP 输入至与下行口 CDFP 连接器互联的目标设备, 使得与下行口 CDFP 连接器互联的目标设备以及 CXL SW 的时钟都为同源时钟。

以在 CLK_MODE 输出高电平的情况下, 指示 CLK_MUX 选择非同源时钟 CLK_GEN 为例, IN_2 分别输出非同源时钟 CLK_GEN 到 MUX_OUT1、MUX_OUT2, 再通过 CLK_CXL 输入至 CXL SW, 通过 CLK_CDFP 输入至与下行口 CDFP 连接器互联的目标设备, 使得与下行口 CDFP 连接器互联的目标设备以及 CXL SW 的时钟都为非同源时钟。

在一个示例性实施例中, 时钟控制设备与部署了时钟发生器的主板连接, 图 10 是根据本申请实施例的一种部署了时钟发生器的主板的示意图, 如图 10 所示, 主板包括: XTAL (一颗 25MHz 的时钟晶体)、时钟发生器 CLK Generator、处理器 CPU、CDFP 连接器, 主板可以通过以下方法向时钟控制设备发送时钟信号: 时钟晶体 XTAL 供给时钟发生器 CLK Generator 内部 PLL, 从而输出 100MHz 的 PCIe 时钟; CLK Generator 通过输出端 CLK_OUT0 输出 25MHz 的 CLK_CPU 时钟到 CPU, CPU 通过一组 PCIe x16 高速线与 CDFP 连接器的 PCIe 设备连接, 以及通过 I2C 与 CDFP 连接器的 I2C 设备连接; CLK Generator 通过输出端 CLK_OUT1 输出 100MHz 的 CLK_CDFP1 至同源时钟信号到 CDFP 连接器的 CLK_CDFP_OUT1 端口, 以及通过输出端 CLK_OUT2 输出 100MHz 的 CLK_CDFP2 至同源时钟信号到 CDFP 连接器的 CLK_CDFP_OUT2 端口; CDFP 连接器被设置为连接交换板上部署的交换芯片。

主板可以通过以下方法向时钟控制器发送目标设备类型: CPU 通过 I2C 总线与交换板的时钟控制器连接, 通过 I2C_CPU 信号向 CPLD 控制单元发送目标设备的目标设备类型 (可以但不限于包括 PCIe 设备和 CXL 设备)。

在一个示例性实施例中, 提供了部署了目标设备的设备板, 图 11 是根据本申请实施例的一种部署了目标设备的设备板的示意图, 如图 11 所示, 设备板包括: CDFP 连接器、PCIe 插槽或者 CXL 插槽 (PCIe/CXL 插槽)、PCIe 设备或者 CXL 设备 (PCIe/CXL 设备), PCIe 设备或者 CXL 设备带有 EEPROM (Electrically Erasable Programmable Read-Only Memory, 电可擦可编程只读存储器), EEPROM 被设置为存放生产厂商、容量、速率等信息。CDFP 连接器通过 I2C 端口获取 EEPROM 中存储的信息; CDFP 连接器通过 RST_N (可以但不限于被设置为指示复位信号) 对 PCIe 设备或者 CXL 设备进行复位操作; CDFP 连接器通过 CLK_OUT 连接 CLK_IN 传输时钟信号; CDFP 连接器通过 PCIe 读取插槽中部署的设备。设备板可以通过以下方式向交换板的时钟控制设备发送目标设备类型:

在设备板开机上电完成的情况下, 主板的处理器 CPU 通过 PCIe 总线自动识别 PCIe 插槽或者 CXL 插槽的目标设备, 将目标设备类型通过 I2C_CPU 总线发送至交换板的时钟控制器 CPLD, 在时钟控制器 CPLD 连续接收到 0x50、0x56 等等信号的情况下, 可以但不限于认为目标设备的目标设备类型为 PCIe 设备; 在时钟控制器 CPLD 连续接收到 0x27、0x29 等等信号的情况下, 可以但不限于认为目标设备的目标设备类型为 CXL 设备。

根据本申请实施例的另一个方面, 还提供了一种交换芯片的时钟控制系统, 由于该交换板被设置为实现上述实施例及可选实施方式, 已经进行过说明的不再赘述。

图 12 是根据本申请实施例的一种交换芯片的时钟控制系统的示意图, 如图 12 所示, 该交换芯片的时钟控制系统可以包括: 交换板 1202 和设备板 1204, 其中, 交换板 1202 上部署了交换芯片 1206 和时钟控制设备 1208, 设备板 1204 上部署了设备接口 1210; 设备接口 1210, 被设置为连接目标设备 1212, 其中, 交换芯片 1206 在控制属于不同设备类型的目标设备 1212 时使用的时钟信号的时钟类型不同, 多种时钟类型与多种设备类型对应; 时钟控制设备 1208, 被设置为识别目标设备 1212 在多种设备类型中所属于的目标设备类型; 将多种时钟类型的时钟发生器 (1214-1 至 1214-n) 中的目标时钟发生器 1216 所传输的目标时钟信号传输至交换芯片 1206 和目标设备 1212, 其中, 目标时钟发生器是目标设备类型所对应的目标时钟类型

的时钟发生器。

通过上述系统，时钟控制器根据目标设备的目标设备类型控制时钟选择器将多种时钟类型的时钟发生器中的目标时钟发生器所传输的目标时钟信号传输至交换芯片和目标设备，使得交换芯片在控制不同设备类型的目标设备时，能够自动使用对应的时钟类型。也就是说，由于交换芯片需要对应与目标设备的时钟类型对应，通过时钟控制器获取目标设备的目标设备类型，时钟控制器再根据目标设备类型控制时钟选择器选择传输目标时钟信号到达交换芯片和目标设备，使得交换芯片和目标设备能够接收到对应的目标时钟信号，因此，可以解决交换芯片的时钟适配效率较低的问题，达到了提高交换芯片的时钟适配效率的效果。

在一个示例性实施例中，时钟控制器上部署了第一控制端口，时钟选择器上部署了多个时钟端口，第一输出端口，第二输出端口和第一信号端口，其中，第一控制端口与第一信号端口连接，多个时钟端口被设置为分别连接多种时钟类型的时钟发生器，第一输出端口被设置为连接交换芯片，第二输出端口被设置为连接目标设备；时钟控制器，被设置为生成目标设备类型所对应的目标控制信号；通过第一控制端口向时钟选择器发送目标控制信号；时钟选择器，被设置为通过第一信号端口接收目标控制信号；将目标控制信号对应的目标时钟端口上接收到的目标时钟信号传输至第一输出端口和第二输出端口。

在一个示例性实施例中，系统还包括：主板，其中，交换板上还部署了第三时钟发生器，主板上部署了处理器的第四时钟发生器，时钟控制设备，包括：时钟控制器和时钟选择器；时钟控制器与时钟选择器连接，时钟选择器与第三时钟发生器，第四时钟发生器，交换芯片和目标设备，第三时钟发生器被设置为传输非同源时钟信号，第四时钟发生器被设置为传输同源时钟信号；时钟控制器，被设置为在目标设备类型为第一类型的情况下，生成第一控制信号，其中，第一类型为采用高速串行计算机扩展总线标准的设备类型；在目标设备类型为第二类型的情况下，生成第二控制信号，其中，第二类型为采用计算快速连接协议的设备类型；向时钟选择器发送第一控制信号，或者，第二控制信号；时钟选择器，被设置为在接收到第一控制信号的情况下，将同源时钟信号传输至交换芯片和目标设备；在接收到第二控制信号的情况下，将非同源时钟信号传输至交换芯片和目标设备。

可选地，在本实施例中，主板可以但不限于包括时钟发生器，主板的时钟发生器可以但不限于通过以下方式提供时钟信号：XTAL 供给 CLK generator 内部 PLL，从而输出 100MHz 的 PCIe 时钟。

可选地，在本实施例中，主板可以但不限于包括时钟发生器和处理器，主板的处理器可以但不限于通过以下方式获取目标设备的目标设备类型：CPU 通过 I2C 总线与交换板的时钟控制器连接，通过 I2C_CPU 信号向 CPLD 控制单元发送目标设备的目标设备类型（可以但不限于包括 PCIe 设备和 CXL 设备）。

在一个示例性实施例中，第四时钟发生器允许生成多个时钟信号，时钟控制设备，还包括：时钟缓冲器，其中，时钟缓冲器连接在第四时钟发生器和时钟选择器之间；时钟控制器，被设置为采集多个时钟信号的信号参数；根据信号参数确定多个时钟信号中每个时钟信号的信号质量；将信号质量最高的参考时钟信号确定为第四时钟发生器对应的时钟信号；生成参考时钟信号所对应的参考控制信号；向时钟缓冲器发送参考控制信号；时钟缓冲器，被设置为缓存多个时钟信号；接收参考控制信号；将参考控制信号对应的参考时钟信号传输至时钟选择器。

在一个示例性实施例中，时钟控制器上部署了第二控制端口，时钟缓冲器上部署了多个参考时钟端口，第三输出端口和第二信号端口，其中，第二控制端口与第二信号端口连接，多个参考时钟端口被设置为连接参考时钟发生器，第三输出端口被设置为连接时钟选择器；时钟控制器，被设置为生成参考时钟信号所对应的参考控制信号；通过第二控制端口向时钟缓冲器发送参考控制信号；时钟缓冲器，被设置为通过第二信号端口接收参考控制信号；将参考控制信号对应的参考时钟信号传输至第三输出端口。

在一个示例性实施例中，时钟控制设备，还包括：信号采集器，其中，信号采集器连接在参考时钟发生器和时钟控制器之间；信号采集器，被设置为对多个时钟信号进行采样，得到多个采样信号；将多个采样信号传输至时钟控制器；时钟控制器，被设置为计算多个采样信号的信号参数，其中，每个采样信号的信号参数包括以下至少之一：振幅参数、频率参数、斜率参数、抖动参数；将每个采样信号的信号参数转换为每个采样信号的信号质量。

在一个示例性实施例中，主板上还部署了处理器，时钟控制设备与处理器连接，其中，处理器通过交换板和设备板与目标设备连接；处理器，被设置为在对目标设备的训练过程中输出目标设备的目标设备类型；将目标设备类型发送至时钟控制设备；时钟控制设备，被设置为接收处理器发送的目标设备类型。

在一个示例性实施例中，提供了一种交换芯片的时钟控制系统，图 13 是根据本申请可选的实施方式的一种交换芯片的时钟控制系统中时钟控制过程的示意图，如图 13 所示，交换芯片的时钟控制系统包括主板、交换板和设备板，其中，主板包括部署在主板的时钟发生器和处理器 CPU，主板时钟发生器被设置为给 CPU 提供时钟信号并向交换板发送第一时钟信号。

交换板包括时钟缓冲器、时钟控制器、时钟选择器、部署在交换板的时钟发生器和交换芯片 CXL SW，其中，时钟缓冲器、时钟控制器和时钟选择器被设置为从主板时钟发生器发出的第一时钟信号中解析质量最高的时钟信号，时钟控制器还被设置为解析设备板上部署的目标设备（可以但不限于为 CXL 设备或者 PCIe 设备）输出控制信号到时钟缓冲器；交换板时钟发生器被设置为输出第二时钟信号到时钟选择器，第

一时钟信号与第二时钟信号的类型不同,时钟选择器在时钟控制器发出的控制信号的控制下,向 CXL SW 和设备板输出同源时钟或者非同源时钟;设备板上部署了 CXL 设备或者 PCIe 设备。

以第一时钟信号为同源时钟信号,第二时钟信号为非同源时钟信号为例,交换芯片的时钟控制系统可以采用以下方式工作:

主板时钟发生器向主板的处理器以及交换板的时钟缓冲器发送多个同源时钟信号,交换板的时钟缓冲器对每个同源时钟信号进行缓存操作。

在主板时钟发生器向交换板的时钟缓冲器发送同源时钟信号的过程中,交换板的时钟控制器对主板时钟发生器发出的同源时钟信号进行采样,通过分析确定主板时钟发生器发出的多个同源时钟信号中最优的同源时钟信号,时钟控制器向时钟缓冲器发出参考控制信号,控制时钟缓冲器将最优的同源时钟信号传输至时钟选择器。

交换板时钟发生器向时钟选择器传输非同源时钟信号。

时钟控制器根据设备板上部署的目标设备的目标设备类型(CXL 设备或者 PCIe 设备)向时钟选择器发出相应的控制信号(第一控制信号或者第二控制信号),控制时钟选择器从同源时钟信号和非同源时钟信号中选择与目标设备类型对应的时钟信号。

时钟选择器根据时钟控制器发出的控制信号,将与目标设备类型对应的时钟信号传输至 CXL SW 和目标设备。

可以但不限于将 CXL SW 与 PCIe 设备的时钟信号来源于主板时钟发生器确定为同源时钟;可以但不限于将 CXL SW 与 CXL 设备的时钟信号来源于交换板时钟发生器确定为非同源时钟。

本申请实施例中所提供的方法实施例可以在移动终端、计算机终端或者类似的运算装置中执行。以运行在移动终端上为例,图 14 是本申请实施例的一种交换芯片的时钟控制方法的移动终端的硬件结构框图。如图 14 所示,移动终端可以包括一个或多个(图 14 中仅示出一个)处理器 1402(处理器 1402 可以包括但不限于微处理器 MCU 或可编程逻辑器件 FPGA 等的处理装置)和被设置为存储数据的存储器 1404,其中,上述移动终端还可以包括被设置为通信功能的传输设备 1406 以及输入输出设备 1408。本领域普通技术人员可以理解,图 14 所示的结构仅为示意,其并不对上述移动终端的结构造成限定。例如,移动终端还可包括比图 14 中所示更多或者更少的组件,或者具有与图 14 所示不同的配置。

存储器 1404 可被设置为存储计算机程序,例如,应用程序的软件程序以及模块,如本申请实施例中的交换芯片的时钟控制方法对应的计算机程序,处理器 1402 通过运行存储在存储器 1404 内的计算机程序,从而执行各种功能应用以及数据处理,即实现上述的方法。存储器 1404 可包括高速随机存储器,还可包括非易失性存储器,如一个或者多个磁性存储装置、闪存、或者其他非易失性固态存储器。在一些实例中,存储器 1404 可包括相对于处理器 1402 远程设置的存储器,这些远程存储器可以通过网络连接至移动终端。上述网络的实例包括但不限于互联网、企业内部网、局域网、移动通信网及其组合。

传输设备 1406 被设置为经由一个网络接收或者发送数据。上述的网络可选实例可包括移动终端的通信供应商提供的无线网络。在一个实例中,传输设备 1406 包括一个网络适配器(Network Interface Controller, 简称为 NIC),其可通过基站与其他网络设备相连从而可与互联网进行通讯。在一个实例中,传输设备 1406 可以为射频(Radio Frequency, 简称为 RF)模块,其被设置为通过无线方式与互联网进行通讯。

在本实施例中提供了一种运行于上述移动终端的交换芯片的时钟控制方法,图 15 是根据本申请实施例的交换芯片的时钟控制的流程图,如图 15 所示,该流程包括如下步骤:

步骤 S1502,接收多种时钟类型的时钟发生器传输的时钟信号,其中,时钟控制设备与交换芯片连接,交换芯片在控制属于不同设备类型的目标设备时使用的时钟信号的时钟类型不同,多种时钟类型与多种设备类型对应;

步骤 S1504,识别目标设备在多种设备类型中所属于的目标设备类型;

步骤 S1506,将多种时钟类型的时钟发生器中的目标时钟发生器所传输的目标时钟信号传输至交换芯片和目标设备,其中,目标时钟发生器是目标设备类型所对应的目标时钟类型的时钟发生器。

通过上述步骤,时钟控制器根据目标设备的目标设备类型控制时钟选择器将多种时钟类型的时钟发生器中的目标时钟发生器所传输的目标时钟信号传输至交换芯片和目标设备,使得交换芯片在控制不同设备类型的目标设备时,能够自动使用对应的时钟类型。也就是说,由于交换芯片需要对应与目标设备的时钟类型对应,通过时钟控制器获取目标设备的目标设备类型,时钟控制器再根据目标设备类型控制时钟选择器选择传输目标时钟信号到达交换芯片和目标设备,使得交换芯片和目标设备能够接收到对应的目标时钟信号,因此,可以解决交换芯片的时钟适配效率较低的问题,达到了提高交换芯片的时钟适配效率的效果。

其中,上述步骤的执行主体可以为时钟控制设备,时钟控制设备可以但不限于包括时钟控制器和时钟选择,可以但不限于通过上述时钟控制器识别目标设备在多种设备类型中所属于的目标设备类型;可以但不限于通过时钟选择器将与目标设备类型对应的目标时钟类型的目标时钟发生器所传输的目标时钟信号传输至交换芯片和目标设备。

在上述步骤 S1502 提供的技术方案中,上述时钟发生器可以但不限于是能够产生并传输时钟信号的设备,比如:石英晶体(XTAL)和晶体振荡器等等。上述时钟发生器的时钟类型可以但不限于包括:同源时钟和非同源时钟。

可选地,在本实施例中,上述时钟发生器可以但不限于是能够同时发送多个时钟信号的设备,比如:时钟控制设备接收到了同一时钟发生器发出的多个时钟信号,以及另一时钟类型不同的时钟发生器发出的多个时钟信号。或者,时钟控制设备接收到了同一时钟发生器发出的多个时钟信号,以及另一时钟类型不同的时钟发生器发出的单个时钟信号。

可选地,在本实施例中,上述目标设备可以但不限于是多种设备类型中的某一设备,比如:采用高速串行计算机扩展总线标准的设备类型的 RC, Switch, Endpoint 等等。或者,采用计算快速连接协议的设备类型的 CXL 加速卡, CXL 交换机等等。

可选地,在本实施例中,上述交换芯片可以但不限于是具有控制目标设备的功能的器件,比如: CXL SW 芯片。可以但不限于根据目标设备的设备类型确定交换芯片所使用的时钟类型,比如:在目标设备的目标设备类型为 PCIe 设备的情况下,确定交换芯片所使用的时钟类型为同源时钟。或者,在目标设备的目标设备类型为 CXL 设备的情况下,确定交换芯片所使用的时钟类型为非同源时钟。

在上述步骤 S1504 提供的技术方案中,目标设备类型可以但不限于是主板上的处理器传输至的时钟控制设备,比如:在时钟控制设备启动的情况下,部署在主板上的处理器通过 PCIe 总线自动识别 PCIe 插槽或者 CXL 插槽的目标设备,并且将识别的目标设备类型通过 I2C_CPU 总线告知时钟控制设备。

在一个可选的实施方式中,可以但不限于采用以下方式识别目标设备在多种设备类型中所属于的目标设备类型:接收时钟控制设备所连接的处理器发送的目标设备类型。

可选地,在本实施例中,上述处理器可以但不限于部署在与时钟控制设备连接的主板上,上述处理器可以但不限于通过总线读取目标设备的目标设备类型,比如:处理器通过 PCIe 总线读取 PCIe 插槽或者 CXL 插槽的目标设备,并将目标设备的目标设备类型发送至时钟控制设备。

可选地,在本实施例中,上述时钟控制设备可以但不限于被设置为接收目标设备类型,时钟控制设备可以但不限于根据目标设备类型从多种时钟类型的时钟发生器传输的时钟信号中选择与目标设备类型对应的时钟信号。

可选地,在本实施例中,时钟控制设备可以但不限于根据从处理器接收到的数据确定目标设备的目标设备类型,比如:以 0x50、0x56 表示目标设备类型为 PCIe 设备为例,在时钟控制设备连续接收到 0x50、0x56 的情况下,则可以确定目标设备在多种设备类型中所属于的目标设备类型为 PCIe 设备。或者,以 0x27、0x29 表示目标设备类型为 CXL 设备为例,在时钟控制设备连续接收到 0x27、0x29 的情况下,则可以确定目标设备在多种设备类型中所属于的目标设备类型为 CXL 设备。

在上述步骤 S1506 提供的技术方案中,可以但不限于根据目标设备的目标设备类型从多种时钟类型中确定目标时钟类型,比如:根据目标设备的目标设备类型确定交换芯片和目标设备需要的时钟类型为同源时钟。或者,根据目标设备的目标设备类型确定交换芯片和目标设备需要的时钟类型为非同源时钟。

可选地,在本实施例中,可以但不限于将发送目标时钟类型的时钟发生器确定为目标时钟发生器,比如:以有两个同源时钟类型的时钟发生器与两个非同源时钟类型的时钟发生器同时发出了多个时钟信号为例,在根据目标设备的目标设备类型确定交换芯片和目标设备需要的时钟类型为同源时钟的情况下,可以但不限于将两个同源时钟类型的时钟发生器确定为目标时钟发生器。或者,从两个同源时钟类型的时钟发生器中选择较优的一个确定为目标时钟发生器。

在一个可选的实施方式中,可以但不限于采用以下方式将多种时钟类型的时钟发生器中的目标时钟发生器所传输的目标时钟信号传输至交换芯片和目标设备:生成目标设备类型所对应的目标控制信号;将目标控制信号对应的目标时钟信号传输至交换芯片和目标设备。

可选地,在本实施例中,目标控制信号用于指示时钟控制设备从多种时钟类型的时钟发生器中选择目标时钟发生器传输的目标时钟信号进行传输,比如:以同源时钟类型的时钟发生器 A 发出的时钟信号 A 和时钟信号 B,非同源时钟类型的时钟发生器 B 发出的时钟信号 C 和时钟信号 D 为例,在目标控制信号指示交换芯片和目标设备需要同源时钟类型的时钟信号的情况下,可以但不限于确定发出时钟信号 A 和时钟信号 B 的时钟发生器 A 为目标时钟发生器,可以但不限于从时钟信号 A 和时钟信号 B 中选择一个时钟信号确定为目标时钟信号进行传输。

可选地,在本实施例中,时钟控制设备可以但不限于包括时钟控制器以及时钟选择器,可以但不限于通过时钟控制器生成目标设备类型所对应的目标控制信号,可以但不限于通过时钟选择器将目标控制信号对应的目标时钟信号传输至交换芯片和目标设备,比如:时钟控制器根据目标设备的目标设备类型生成目标控制信号传输至时钟选择器,时钟选择器根据目标控制信号从全部的时钟信号中选择目标时钟信号进行传输。或者,时钟控制器根据目标设备的目标设备类型生成目标控制信号传输至时钟选择器,时钟选择器筛选出目标控制信号所指示的时钟类型的第一时钟信号,再从第一时钟信号中选择目标时钟信号进行传输。

可选地,在本实施例中,时钟控制器可以但不限于通过控制输出的目标控制信号的电平的高低指示时

钟选择器选择对应的目标时钟信号，比如：在目标控制信号输出低电平的情况下，用于指示时钟选择器选择同源时钟。或者，在目标控制信号输出高电平的情况下，用于指示时钟选择器选择非同源时钟。

可选地，在本实施例中，可以但不限于通过时钟选择器的第一信号端口接收目标控制信号；将目标控制信号对应的目标时钟端口上接收到的目标时钟信号传输至第一输出端口和第二输出端口。

在一个可选的实施方式中，多种时钟类型的时钟发生器，包括：同源类型的第一时钟发生器和非同源类型的第二时钟发生器，第一时钟发生器被设置为传输同源时钟信号，第二时钟发生器被设置为传输非同源时钟信号；生成目标设备类型所对应的目标控制信号：在目标设备类型为第一类型的情况下，生成第一控制信号，其中，第一类型为采用高速串行计算机扩展总线标准的设备类型；在目标设备类型为第二类型的情况下，生成第二控制信号，其中，第二类型为采用计算快速连接协议的设备类型；将目标控制信号对应的目标时钟信号传输至交换芯片和目标设备，包括：在接收到第一控制信号的情况下，将同源时钟信号传输至交换芯片和目标设备；在接收到第二控制信号的情况下，将非同源时钟信号传输至交换芯片和目标设备。

可选地，在本实施例中，上述第一控制信号用于将同源时钟信号传输至第一输出端口和第二输出端口，上述第二控制信号用于将非同源时钟信号传输至第一输出端口和第二输出端口。以通过时钟控制设备中的时钟控制器生成目标设备类型所对应的目标控制信号，第一输出端口和第二输出端口部署在时钟控制设备中的时钟选择器为例，在时钟选择器接收到第一控制信号的情况下，将同源时钟信号传输至第一输出端口和第二输出端口；在时钟选择器接收到第二控制信号的情况下，将非同源时钟信号传输至第一输出端口和第二输出端口。

可选地，在本实施例中，第一输出端口和第二输出端口可以但不限于被设置为将时钟信号传输至交换芯片和目标设备，比如：以第一输出端口连接交换芯片，第二输出端口连接目标设备为例，通过第一输出端口和第二输出端口将时钟信号传输至交换芯片和目标设备。

可选地，在本实施例中，时钟选择器上可以但不限于部署了多个时钟端口，第一输出端口，第二输出端口和第一信号端口，其中，第一时钟端口允许与同源类型的第一时钟发生器连接，第二时钟端口允许与非同源类型的第二时钟发生器连接，第一时钟发生器被设置为传输同源时钟信号，第二时钟发生器被设置为传输非同源时钟信号。

在一个可选的实施方式中，多种时钟类型的时钟发生器中的参考时钟发生器被设置为生成多个时钟信号，其中，可以但不限于采用以下方式接收多种时钟类型的时钟发生器传输的时钟信号：缓存多个时钟信号；采集多个时钟信号的信号参数；根据信号参数确定多个时钟信号中每个时钟信号的信号质量；将信号质量最高的参考时钟信号确定为参考时钟发生器传输的时钟信号。

可选地，在本实施例中，可以但不限于通过时钟控制设备中的时钟缓冲器缓存多个时钟信号，比如：在时钟控制器从主板接收多种时钟类型的时钟发生器传输的时钟信号的情况下，通过时钟缓冲器将主板传输的多个时钟信号进行缓存。

可选地，在本实施例中，可以但不限于对时钟缓冲器中缓存的多个时钟信号进行计算得到多个时钟信号的信号参数，比如：首先，对时钟缓冲器中缓存的多个时钟信号进行采样，得到采样信号，计算采样信号的信号参数。

可选地，在本实施例中，信号参数用于指示时钟信号的信号质量，信号参数可以但不限于包括：时钟信号的振幅、频率、斜率和抖动等等参数。

可选地，在本实施例中，可以但不限于根据信号参数选择信号质量最优的时钟信号确定为参考时钟信号，比如：对每个时钟信号的信号参数求平均值，将平均值最大的时钟信号确定为信号质量最优的时钟信号即参考时钟信号。或者，对每个时钟信号的信号参数求加权平均值，将加权平均值最大的时钟信号确定为信号质量最优的时钟信号即参考时钟信号。

可选地，在本实施例中，时钟控制器上部署了第二控制端口，时钟缓冲器上部署了多个参考时钟端口，第三输出端口和第二信号端口，其中，第二控制端口与第二信号端口连接，多个参考时钟端口被设置为连接参考时钟发生器，第三输出端口被设置为连接时钟选择器；时钟控制器，被设置为生成参考时钟信号所对应的参考控制信号；通过第二控制端口向时钟缓冲器发送参考控制信号；时钟缓冲器，被设置为通过第二信号端口接收参考控制信号；将参考控制信号对应的参考时钟信号传输至第三输出端口。

在一个可选的实施方式中，可以但不限于采用以下方式采集多个时钟信号的信号参数：对多个时钟信号进行采样，得到多个采样信号；计算多个采样信号的信号参数，其中，每个采样信号的信号参数包括以下至少之一：振幅参数、频率参数、斜率参数、抖动参数。

可选地，在本实施例中，可以但不限于将多个时钟信号在同一时间段内的信号确定为采样信号，比如：截取同一时间段内的多个时钟信号，确定为采样信号。

可选地，在本实施例中，采样信号的信号参数用于指示采样信号的信号质量，比如：可以但不限于根据振幅参数、频率参数、斜率参数和抖动参数的平均值确定采样信号的信号质量。或者，可以但不限于根据振幅参数、频率参数、斜率参数和抖动参数的加权平均值确定采样信号的信号质量。

可选地，在本实施例中，时钟控制设备，还包括：信号采集器，其中，信号采集器连接在参考时钟发

生器和时钟控制器之间：信号采集器，被设置为对多个时钟信号进行采样，得到多个采样信号；将多个采样信号传输至时钟控制器。

在一个示例性实施例中，提供了一种交换芯片的时钟控制系统，图 16 是根据本申请可选的实施方式的一种交换芯片的时钟控制系统中时钟控制过程的示意图，如图 16 所示，可以但不限于包括以下步骤：

步骤 S1602：用户将 PCIe 设备或者 CXL 设备插在设备板的插槽中，并且对整个交换芯片的时钟控制系统进行上电；

步骤 S1604：在处理器训练（training）目标设备的过程中，主板的处理器 CPU 读取设备板插槽中的目标设备的目标设备类型；

步骤 S1606：在完成读取目标设备类型的情况下，处理器通过 I2C 总线将目标设备类型发送给交换板的时钟控制器 CPLD；

步骤 S1608：时钟控制器 CPLD 解析目标设备类型；

在目标设备为 CXL 设备的情况下（可以但不限于在接收到的数据为 0x27、0x29 的情况下，时钟控制器解析得到目标设备为 CXL 设备），执行步骤 S1610 至步骤 S1618；

步骤 S1610：时钟控制器 CPLD 输出高电平的 CXL_MODE 信号（即目标控制信号）；

步骤 S1612：时钟选择器 CLK_MUX 将 IN_2 输出给 MUX_OUT1、MUX_OUT2，MUX_OUT1 输出至交换芯片 CXL SW，MUX_OUT2 输出至 CXL 设备；

步骤 S1614：时钟控制器 CPLD 将 PERST_N 信号（即参考时钟信号）拉高；

步骤 S1616：交换芯片 CXL SW 与 CXL 设备获取非同源时钟；

步骤 S1618：时钟设配完成。

在目标设备为 PCIe 设备的情况下（可以但不限于在接收到的数据为 0x50、0x56 的情况下，时钟控制器解析得到目标设备为 PCIe 设备），执行步骤 S1620 至步骤 S1632；

步骤 S1620：时钟控制器 CPLD 通过 SPI 总线启动 ADC 采样单元，读取采样信号；

步骤 S1622：时钟控制器 CPLD 计算采样信号的信号参数，选择信号质量最高的参考时钟信号；

步骤 S1624：时钟控制器 CPLD 输出低电平的 CXL_MODE 信号（即目标控制信号）；

步骤 S1626：时钟选择器 CLK_MUX 将 IN_1 输出给 MUX_OUT1、MUX_OUT2，MUX_OUT1 输出至交换芯片 CXL SW，MUX_OUT2 输出至 PCIe 设备；

步骤 S1628：时钟控制器 CPLD 将 PERST_N 信号（即参考时钟信号）拉高；

步骤 S1630：交换芯片 CXL SW 与 PCIe 设备获取同源时钟；

步骤 S1632：时钟设配完成。

通过以上的实施方式的描述，本领域的技术人员可以清楚地了解到根据上述实施例的方法可借助软件加必需的通用硬件平台的方式来实现，当然也可以通过硬件，但很多情况下前者是更佳的实施方式。基于这样的理解，本申请的技术方案本质上或者说对相关技术做出贡献的部分可以以软件产品的形式体现出来，该计算机软件产品存储在一个存储介质（如 ROM/RAM、磁碟、光盘）中，包括若干指令用以使得一台终端设备（可以是手机，计算机，服务器，或者网络设备等）执行本申请各个实施例的方法。

在本实施例中还提供了一种交换芯片的时钟控制装置，该装置被设置为实现上述实施例及可选实施方式，已经进行过说明的不再赘述。如以下所使用的，术语“模块”可以实现预定功能的软件和/或硬件的组合。尽管以下实施例所描述的装置较佳地以软件来实现，但是硬件，或者软件和硬件的组合的实现也是可能并被构想的。

图 17 是根据本申请实施例的一种交换芯片的时钟控制装置的结构框图，如图 17 所示，该装置包括：

接收模块 1702，被设置为接收多种时钟类型的时钟发生器传输的时钟信号，其中，时钟控制设备与交换芯片连接，交换芯片在控制属于不同设备类型的目标设备时使用的时钟信号的时钟类型不同，多种时钟类型与多种设备类型对应；

识别模块 1704，被设置为识别目标设备在多种设备类型中所属于的目标设备类型；

传输模块 1706，被设置为将多种时钟类型的时钟发生器中的目标时钟发生器所传输的目标时钟信号传输至交换芯片和目标设备，其中，目标时钟发生器是目标设备类型所对应的目标时钟类型的时钟发生器。

通过上述装置，时钟控制器根据目标设备的目标设备类型控制时钟选择器将多种时钟类型的时钟发生器中的目标时钟发生器所传输的目标时钟信号传输至交换芯片和目标设备，使得交换芯片在控制不同设备类型的目标设备时，能够自动使用对应的时钟类型。也就是说，由于交换芯片需要对应与目标设备的时钟类型对应，通过时钟控制器获取目标设备的目标设备类型，时钟控制器再根据目标设备类型控制时钟选择器选择传输目标时钟信号到达交换芯片和目标设备，使得交换芯片和目标设备能够接收到对应的目标时钟信号，因此，可以解决交换芯片的时钟适配效率较低的问题，达到了提高交换芯片的时钟适配效率的效果。

在一个示例性实施例中，传输模块，被设置为：

通过第二操作系统监控第二操作系统上运行的业务的业务状态；生成目标设备类型所对应的目标控制信号；

通过第二操作系统监控第二操作系统上运行的业务的业务状态；将目标控制信号对应的目标时钟信号传输至交换芯片和目标设备。

在一个示例性实施例中，传输模块，还被设置为：

生成目标设备类型所对应的目标控制信号，包括：在目标设备类型为第一类型的情况下，生成第一控制信号，其中，第一类型为采用高速串行计算机扩展总线标准的设备类型；在目标设备类型为第二类型的情况下，生成第二控制信号，其中，第二类型为采用计算快速连接协议的设备类型；

将目标控制信号对应的目标时钟信号传输至交换芯片和目标设备，包括：在接收到第一控制信号的情况下，将同源时钟信号传输至交换芯片和目标设备；在接收到第二控制信号的情况下，将非同源时钟信号传输至交换芯片和目标设备。

在一个示例性实施例中，传输模块，还被设置为：

缓存多个时钟信号；

采集多个时钟信号的信号参数；

根据信号参数确定多个时钟信号中每个时钟信号的信号质量；

将信号质量最高的参考时钟信号确定为参考时钟发生器传输的时钟信号。

在一个示例性实施例中，传输模块，还被设置为：

对多个时钟信号进行采样，得到多个采样信号；

计算多个采样信号的信号参数，其中，每个采样信号的信号参数包括以下至少之一：振幅参数、频率参数、斜率参数、抖动参数。

在一个示例性实施例中，识别模块，还被设置为：

接收时钟控制设备所连接的处理器发送的目标设备类型。

需要说明的是，上述各个模块是可以通过软件或硬件来实现的，对于后者，可以通过以下方式实现，但不限于此：上述模块均位于同一处理器中；或者，上述各个模块以任意组合的形式分别位于不同的处理器中。

本申请的实施例还提供了一种非易失性可读存储介质，该非易失性可读存储介质中存储有计算机程序，其中，该计算机程序被设置为运行时执行上述任一项方法实施例中的步骤。

在一个示例性实施例中，上述非易失性可读存储介质可以包括但不限于：U 盘、只读存储器（Read-Only Memory，简称为 ROM）、随机存取存储器（Random Access Memory，简称为 RAM）、移动硬盘、磁碟或者光盘等各种可以存储计算机程序的介质。

本申请的实施例还提供了一种电子设备，图 18 是根据本申请实施例的电子设备的示意图，如图 18 所示，包括存储器和处理器，该存储器中存储有计算机程序，该处理器被设置为运行计算机程序以执行上述任一项方法实施例中的步骤。

在一个示例性实施例中，上述电子设备还可以包括传输设备以及输入输出设备，其中，该传输设备和上述处理器连接，该输入输出设备和上述处理器连接。

本实施例中的可选示例可以参考上述实施例及示例性实施方式中所描述的示例，本实施例在此不再赘述。

显然，本领域的技术人员应该明白，上述的本申请的各模块或各步骤可以用通用的计算装置来实现，它们可以集中在单个的计算装置上，或者分布在多个计算装置所组成的网络上，它们可以用计算装置可执行的程序代码来实现，从而，可以将它们存储在存储装置中由计算装置来执行，并且在某些情况下，可以以不同于此处的顺序执行所示出或描述的步骤，或者将它们分别制作成各个集成电路模块，或者将它们中的多个模块或步骤制作成单个集成电路模块来实现。这样，本申请不限制于任何特定的硬件和软件结合。

以上仅为本申请的可选实施例而已，并不用于限制本申请，对于本领域的技术人员来说，本申请可以有各种更改和变化。凡在本申请的原则之内，所作的任何修改、等同替换、改进等，均应包含在本申请的保护范围之内。

权 利 要 求 书

1. 一种交换芯片的时钟控制设备，其特征在于，包括：时钟控制器和时钟选择器，其中，
所述时钟控制器与所述时钟选择器连接，所述时钟选择器允许连接多种时钟类型的时钟发生器、交换芯片和目标设备，所述交换芯片在控制属于不同设备类型的所述目标设备时使用的时钟信号的时钟类型不同，多种所述时钟类型与多种设备类型对应；
所述时钟控制器，被设置为识别所述目标设备在多种所述设备类型中所属于的目标设备类型；控制所述时钟选择器将多种所述时钟类型的时钟发生器中的目标时钟发生器所传输的目标时钟信号传输至所述交换芯片和所述目标设备，其中，所述目标时钟发生器是所述目标设备类型所对应的目标时钟类型的时钟发生器。
2. 根据权利要求1所述的设备，其特征在于，所述时钟控制器上部署了第一控制端口，所述时钟选择器上部署了多个时钟端口，第一输出端口，第二输出端口和第一信号端口，其中，
所述第一控制端口与所述第一信号端口连接，多个所述时钟端口被设置为分别连接多种所述时钟类型的时钟发生器，所述第一输出端口被设置为连接所述交换芯片，所述第二输出端口被设置为连接所述目标设备；
所述时钟控制器，被设置为生成所述目标设备类型所对应的目标控制信号；通过所述第一控制端口向所述时钟选择器发送所述目标控制信号；
所述时钟选择器，被设置为通过所述第一信号端口接收所述目标控制信号；将所述目标控制信号对应的目标时钟端口上接收到的所述目标时钟信号传输至所述第一输出端口和所述第二输出端口。
3. 根据权利要求2所述的设备，其特征在于，多个所述时钟端口包括第一时钟端口和第二时钟端口，其中，
所述第一时钟端口允许与同源类型的第一时钟发生器连接，所述第二时钟端口允许与非同源类型的第二时钟发生器连接，所述第一时钟发生器被设置为传输同源时钟信号，所述第二时钟发生器被设置为传输非同源时钟信号；
所述时钟控制器，被设置为在所述目标设备类型为第一类型的情况下，生成第一控制信号，其中，所述第一类型为采用高速串行计算机扩展总线标准的设备类型；在所述目标设备类型为第二类型的情况下，生成第二控制信号，其中，所述第二类型为采用计算快速连接协议的设备类型；通过所述第一控制端口向所述时钟选择器发送所述第一控制信号，或者，所述第二控制信号；
所述时钟选择器，被设置为在接收到所述第一控制信号的情况下，将所述同源时钟信号传输至所述第一输出端口和所述第二输出端口；在接收到所述第二控制信号的情况下，将所述非同源时钟信号传输至所述第一输出端口和所述第二输出端口。
4. 根据权利要求1所述的设备，其特征在于，所述时钟控制器上部署了设备类型端口，其中，所述设备类型端口允许与处理器连接，
所述设备类型端口被设置为接收所述处理器发送的所述目标设备类型。
5. 根据权利要求1所述的设备，其特征在于，所述时钟控制设备，还包括：时钟缓冲器，其中，
所述时钟控制器与所述时钟缓冲器连接，所述时钟缓冲器还连接在多种时钟类型的时钟发生器中的参考时钟发生器和所述时钟选择器之间；
所述参考时钟发生器，被设置为生成多个时钟信号；
所述时钟缓冲器，被设置为缓存多个所述时钟信号；
所述时钟控制器，被设置为采集多个所述时钟信号的信号参数；根据所述信号参数确定多个所述时钟信号中每个所述时钟信号的信号质量；控制所述时钟缓冲器将所述信号质量最高的参考时钟信号传输至所述时钟选择器。
6. 根据权利要求5所述的设备，其特征在于，所述时钟控制器上部署了第二控制端口，所述时钟缓冲器上部署了多个参考时钟端口，第三输出端口和第二信号端口，其中，
所述第二控制端口与所述第二信号端口连接，多个所述参考时钟端口被设置为连接所述参考时钟发生器，所述第三输出端口被设置为连接所述时钟选择器；
所述时钟控制器，被设置为生成所述参考时钟信号所对应的参考控制信号；通过所述第二控制端口向所述时钟缓冲器发送所述参考控制信号；
所述时钟缓冲器，被设置为通过所述第二信号端口接收所述参考控制信号；将所述参考控制信号对应的所述参考时钟信号传输至所述第三输出端口。
7. 根据权利要求5所述的设备，其特征在于，所述时钟控制设备，还包括：信号采集器，其中，
所述信号采集器连接在所述参考时钟发生器和所述时钟控制器之间；
所述信号采集器，被设置为对多个所述时钟信号进行采样，得到多个采样信号；将多个所述采样信号传输至所述时钟控制器；
所述时钟控制器，被设置为计算多个所述采样信号的所述信号参数，其中，每个所述采样信号的所述信号参数包括以下至少之一：振幅参数、频率参数、斜率参数、抖动参数；将每个所述采样信号的所述信

号参数转换为每个所述采样信号的所述信号质量。

8. 一种交换板，其特征在于，包括：交换芯片和时钟控制设备，其中，

所述时钟控制设备与所述交换芯片连接，所述时钟控制设备还允许与目标设备和多种时钟类型的时钟发生器连接；

所述交换芯片在控制属于不同设备类型的所述目标设备时使用的时钟信号的时钟类型不同，多种所述时钟类型与多种设备类型对应；

所述时钟控制设备，被设置为识别所述目标设备在多种所述设备类型中所属于的目标设备类型；将多种所述时钟类型的时钟发生器中的目标时钟发生器所传输的目标时钟信号传输至所述交换芯片和所述目标设备，其中，所述目标时钟发生器是所述目标设备类型所对应的目标时钟类型的时钟发生器。

9. 根据权利要求 8 所述的交换板，其特征在于，所述时钟控制设备，包括：时钟控制器和时钟选择器，其中，

所述时钟控制器与所述时钟选择器连接，所述时钟选择器允许连接多种所述时钟类型的时钟发生器，所述交换芯片和所述目标设备；

所述时钟控制器，被设置为生成所述目标设备类型所对应的目标控制信号；向所述时钟选择器发送所述目标控制信号；

所述时钟选择器，被设置为接收所述目标控制信号；将所述目标控制信号对应的所述目标时钟信号传输至所述交换芯片和所述目标设备。

10. 根据权利要求 9 所述的交换板，其特征在于，多种所述时钟类型的时钟发生器，包括：同源类型的第一时钟发生器和非同源类型的第二时钟发生器，其中，

所述时钟选择器分别与所述第一时钟发生器和所述第二时钟发生器连接，所述第一时钟发生器被设置为传输同源时钟信号，所述第二时钟发生器被设置为传输非同源时钟信号；

所述时钟控制器，被设置为在所述目标设备类型为第一类型的情况下，生成第一控制信号，其中，所述第一类型为采用高速串行计算机扩展总线标准的设备类型；在所述目标设备类型为第二类型的情况下，生成第二控制信号，其中，所述第二类型为采用计算快速连接协议的设备类型；向所述时钟选择器发送所述第一控制信号，或者，所述第二控制信号；

所述时钟选择器，被设置为在接收到所述第一控制信号的情况下，将所述同源时钟信号传输至所述交换芯片和所述目标设备；在接收到所述第二控制信号的情况下，将所述非同源时钟信号传输至所述交换芯片和所述目标设备。

11. 根据权利要求 8 所述的交换板，其特征在于，多种所述时钟类型的时钟发生器中的参考时钟发生器允许生成多个时钟信号，其中，

所述时钟控制设备，被设置为缓存多个所述时钟信号，并采集多个所述时钟信号的信号参数；根据所述信号参数确定多个所述时钟信号中每个所述时钟信号的信号质量；将所述信号质量最高的参考时钟信号确定为所述参考时钟发生器对应的时钟信号。

12. 根据权利要求 11 所述的交换板，其特征在于，所述时钟控制设备，包括：时钟控制器，时钟选择器和时钟缓冲器，其中，

所述时钟控制器与所述时钟选择器连接，所述时钟选择器允许连接多种所述时钟类型的时钟发生器，所述交换芯片和所述目标设备，所述时钟缓冲器连接在所述参考时钟发生器和所述时钟选择器之间；

所述时钟控制器，被设置为生成所述参考时钟信号所对应的参考控制信号；向所述时钟缓冲器发送所述参考控制信号；生成所述目标设备类型所对应的目标控制信号；向所述时钟选择器发送所述目标控制信号；

所述时钟缓冲器，被设置为接收所述参考控制信号；将所述参考控制信号对应的所述参考时钟信号传输至所述时钟选择器；

所述时钟选择器，被设置为接收所述目标控制信号；将所述目标控制信号对应的所述目标时钟信号传输至所述交换芯片和所述目标设备。

13. 根据权利要求 11 所述的交换板，其特征在于，所述时钟控制设备，还被设置为：对多个所述时钟信号进行采样，得到多个采样信号；计算多个所述采样信号的所述信号参数，其中，每个所述采样信号的所述信号参数包括以下至少之一：振幅参数、频率参数、斜率参数、抖动参数；将每个所述采样信号的所述信号参数转换为每个所述采样信号的所述信号质量。

14. 根据权利要求 8 所述的交换板，其特征在于，所述时钟控制设备允许与处理器连接，其中，

所述时钟控制设备被设置为接收所述处理器发送的所述目标设备类型。

15. 根据权利要求 8 所述的交换板，其特征在于，所述交换板还包括：上行连接器，下行连接器和第三时钟发生器，其中，

所述第三时钟发生器与所述时钟控制设备连接，所述时钟控制设备通过所述上行连接器与处理器的第四时钟发生器连接，多种所述时钟类型的时钟发生器包括所述第三时钟发生器和所述第四时钟发生器；

所述时钟控制设备通过所述下行连接器与所述目标设备连接。

16. 一种交换芯片的时钟控制系统，其特征在于，包括：交换板和设备板，其中，

所述交换板上部署了交换芯片和时钟控制设备，所述设备板上部署了设备接口；

所述设备接口，被设置为连接目标设备，其中，所述交换芯片在控制属于不同设备类型的所述目标设备时使用的时钟信号的时钟类型不同，多种所述时钟类型与多种设备类型对应；

所述时钟控制设备，被设置为识别所述目标设备在多种所述设备类型中所属于的目标设备类型；将多种所述时钟类型的时钟发生器中的目标时钟发生器所传输的目标时钟信号传输至所述交换芯片和所述目标设备，其中，所述目标时钟发生器是所述目标设备类型所对应的目标时钟类型的时钟发生器。

17. 根据权利要求 16 所述的系统，其特征在于，所述系统还包括：主板，其中，

所述交换板上还部署了第三时钟发生器，所述主板上部署了处理器的第四时钟发生器，所述时钟控制设备，包括：时钟控制器和时钟选择器；

所述时钟控制器与所述时钟选择器连接，所述时钟选择器与所述第三时钟发生器，所述第四时钟发生器，所述交换芯片和所述目标设备，所述第三时钟发生器被设置为传输非同源时钟信号，所述第四时钟发生器被设置为传输同源时钟信号；

所述时钟控制器，被设置为在所述目标设备类型为第一类型的情况下，生成第一控制信号，其中，所述第一类型为采用高速串行计算机扩展总线标准的设备类型；在所述目标设备类型为第二类型的情况下，生成第二控制信号，其中，所述第二类型为采用计算快速连接协议的设备类型；向所述时钟选择器发送所述第一控制信号，或者，所述第二控制信号；

所述时钟选择器，被设置为在接收到所述第一控制信号的情况下，将所述同源时钟信号传输至所述交换芯片和所述目标设备；在接收到所述第二控制信号的情况下，将所述非同源时钟信号传输至所述交换芯片和所述目标设备。

18. 根据权利要求 17 所述的系统，其特征在于，所述第四时钟发生器允许生成多个时钟信号，所述时钟控制设备，还包括：时钟缓冲器，其中，

所述时钟缓冲器连接在所述第四时钟发生器和所述时钟选择器之间；

所述时钟控制器，被设置为采集多个所述时钟信号的信号参数；根据所述信号参数确定多个所述时钟信号中每个所述时钟信号的信号质量；将所述信号质量最高的参考时钟信号确定为所述第四时钟发生器对应的时钟信号；生成所述参考时钟信号所对应的参考控制信号；向所述时钟缓冲器发送所述参考控制信号；

所述时钟缓冲器，被设置为缓存多个所述时钟信号；接收所述参考控制信号；将所述参考控制信号对应的所述参考时钟信号传输至所述时钟选择器。

19. 根据权利要求 17 所述的系统，其特征在于，所述主板上还部署了处理器，所述时钟控制设备与所述处理器连接，其中，

所述处理器通过所述交换板和所述设备板与所述目标设备连接；

所述处理器，被设置为在对所述目标设备的训练过程中输出所述目标设备的所述目标设备类型；将所述目标设备类型发送至所述时钟控制设备；

所述时钟控制设备，被设置为接收所述处理器发送的所述目标设备类型。

20. 一种交换芯片的时钟控制方法，其特征在于，应用于时钟控制设备，所述方法包括：

接收多种时钟类型的时钟发生器传输的时钟信号，其中，所述时钟控制设备与交换芯片连接，所述交换芯片在控制属于不同设备类型的目标设备时使用的时钟信号的时钟类型不同，多种所述时钟类型与多种设备类型对应；

识别所述目标设备在多种所述设备类型中所属于的目标设备类型；

将多种所述时钟类型的时钟发生器中的目标时钟发生器所传输的目标时钟信号传输至所述交换芯片和所述目标设备，其中，所述目标时钟发生器是所述目标设备类型所对应的目标时钟类型的时钟发生器。

21. 根据权利要求 20 所述的方法，其特征在于，所述将多种所述时钟类型的时钟发生器中的目标时钟发生器所传输的目标时钟信号传输至所述交换芯片和所述目标设备，包括：

生成所述目标设备类型所对应的目标控制信号；

将所述目标控制信号对应的所述目标时钟信号传输至所述交换芯片和所述目标设备。

22. 根据权利要求 21 所述的方法，其特征在于，多种所述时钟类型的时钟发生器，包括：同源类型的第一时钟发生器和非同源类型的第二时钟发生器，所述第一时钟发生器被设置为传输同源时钟信号，所述第二时钟发生器被设置为传输非同源时钟信号；

所述生成所述目标设备类型所对应的目标控制信号，包括：在所述目标设备类型为第一类型的情况下，生成第一控制信号，其中，所述第一类型为采用高速串行计算机扩展总线标准的设备类型；在所述目标设备类型为第二类型的情况下，生成第二控制信号，其中，所述第二类型为采用计算快速连接协议的设备类型；

所述将所述目标控制信号对应的所述目标时钟信号传输至所述交换芯片和所述目标设备，包括：在接收到所述第一控制信号的情况下，将所述同源时钟信号传输至所述交换芯片和所述目标设备；在接收到所述第二控制信号的情况下，将所述非同源时钟信号传输至所述交换芯片和所述目标设备。

23. 根据权利要求 21 所述的方法，其特征在于，多种所述时钟类型的时钟发生器中的参考时钟发生器

被设置为生成多个时钟信号，其中，所述接收多种时钟类型的时钟发生器传输的时钟信号，包括：

缓存多个所述时钟信号；

采集多个所述时钟信号的信号参数；

根据所述信号参数确定多个所述时钟信号中每个所述时钟信号的信号质量；

将所述信号质量最高的参考时钟信号确定为所述参考时钟发生器传输的时钟信号。

24. 根据权利要求 23 所述的方法，其特征在于，所述采集多个所述时钟信号的信号参数，包括：

对多个所述时钟信号进行采样，得到多个采样信号；

计算多个所述采样信号的所述信号参数，其中，每个所述采样信号的所述信号参数包括以下至少之一：振幅参数、频率参数、斜率参数、抖动参数。

25. 根据权利要求 20 所述的方法，其特征在于，所述识别所述目标设备在多种所述设备类型中所属于的目标设备类型，包括：

接收所述时钟控制设备所连接的处理器发送的所述目标设备类型。

26. 一种交换芯片的时钟控制装置，其特征在于，包括：

接收模块，被设置为接收多种时钟类型的时钟发生器传输的时钟信号，其中，所述时钟控制设备与交换芯片连接，所述交换芯片在控制属于不同设备类型的目标设备时使用的时钟信号的时钟类型不同，多种所述时钟类型与多种设备类型对应；

识别模块，被设置为识别所述目标设备在多种所述设备类型中所属于的目标设备类型；

传输模块，被设置为将多种所述时钟类型的时钟发生器中的目标时钟发生器所传输的目标时钟信号传输至所述交换芯片和所述目标设备，其中，所述目标时钟发生器是所述目标设备类型所对应的目标时钟类型的时钟发生器。

27. 一种非易失性可读存储介质，其特征在于，所述非易失性可读存储介质中存储有计算机程序，其中，所述计算机程序被处理器执行时实现所述权利要求 20 至 25 任一项中所述的方法的步骤。

28. 一种电子设备，包括存储器、处理器以及存储在所述存储器上并可在所述处理器上运行的计算机程序，其特征在于，所述处理器执行所述计算机程序时实现所述权利要求 20 至 25 任一项中所述的方法的步骤。



图 1

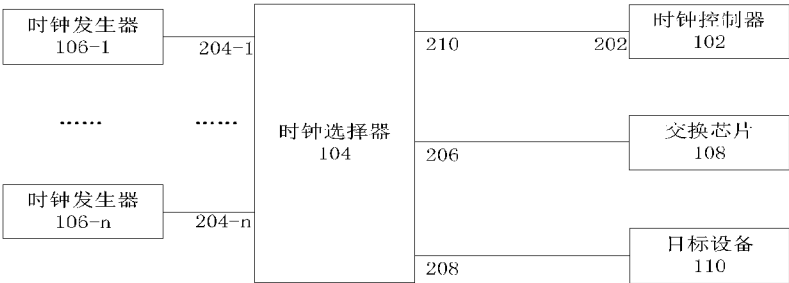


图 2

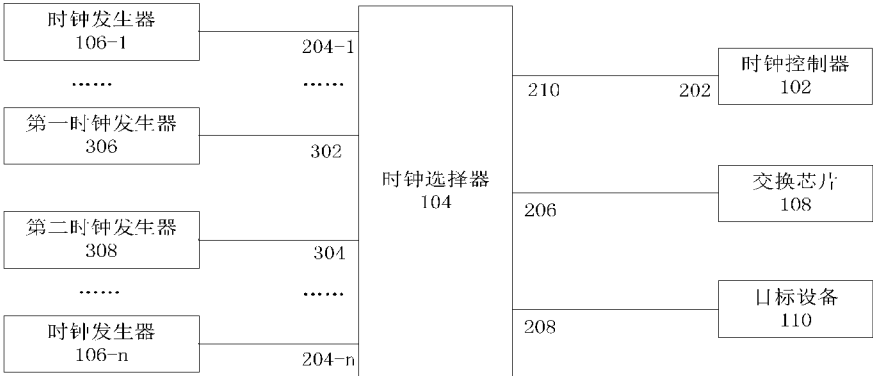


图 3

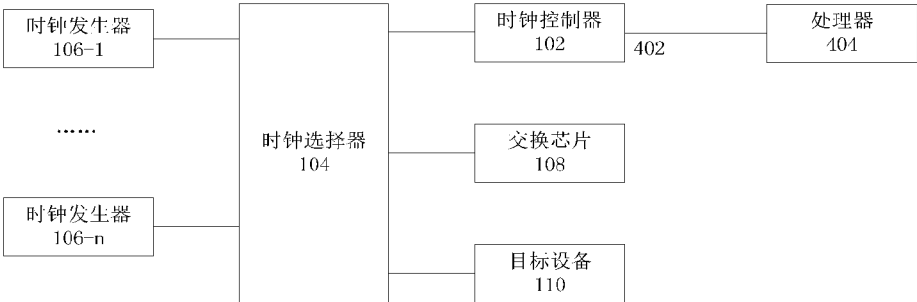


图 4

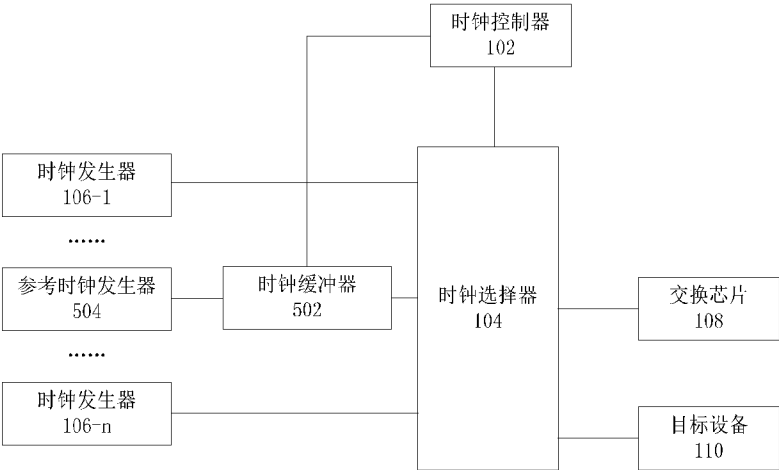


图 5

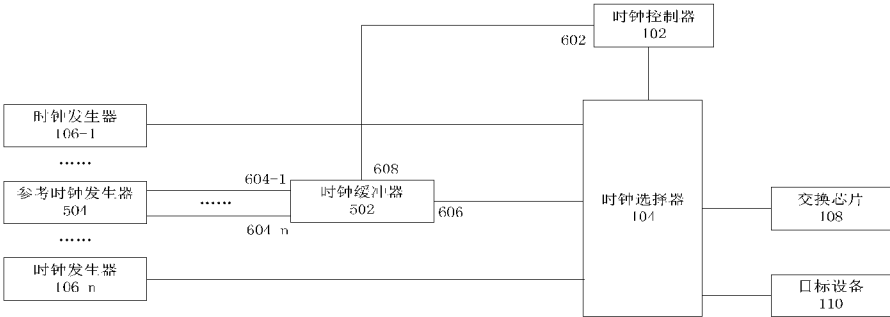


图 6

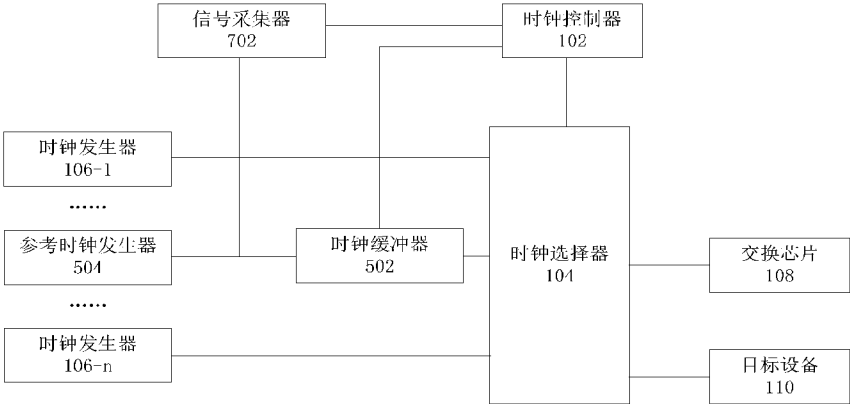


图 7

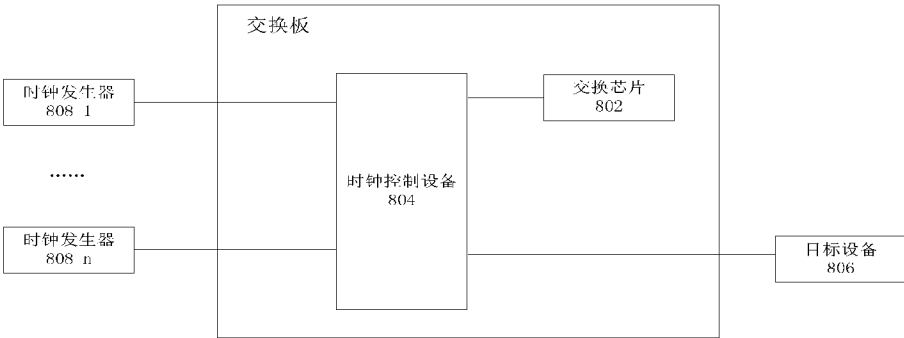


图 8

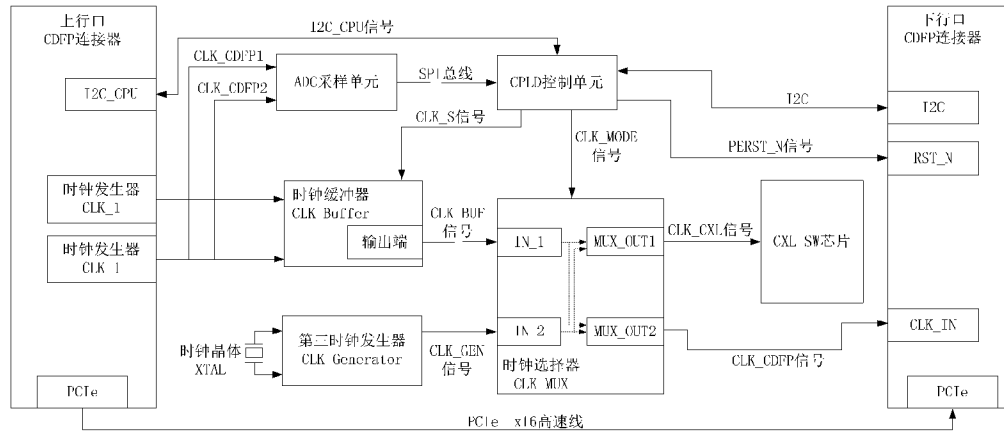


图 9

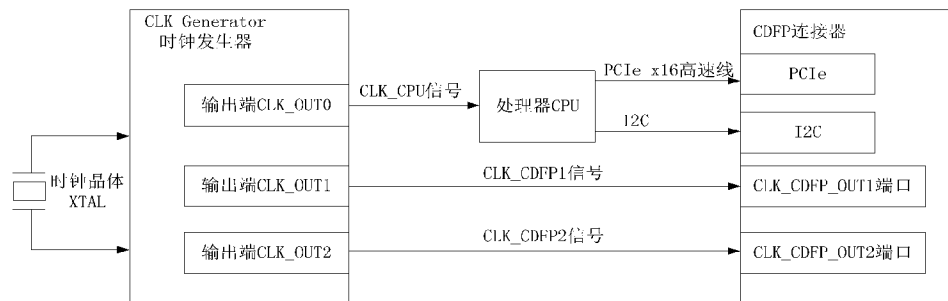


图 10

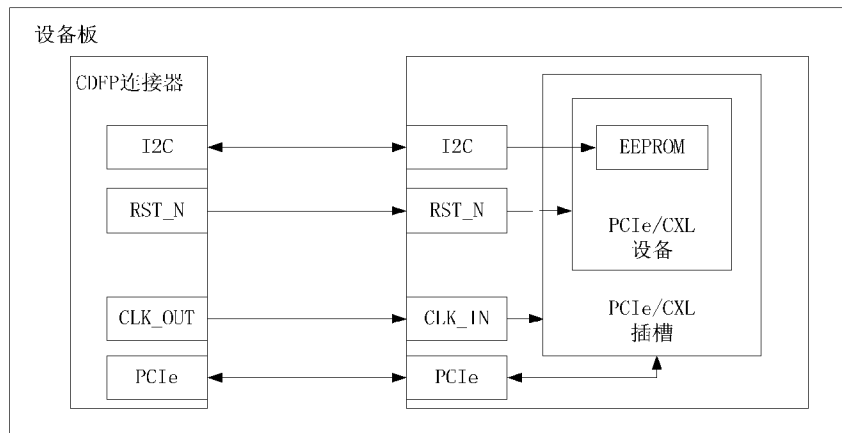


图 11

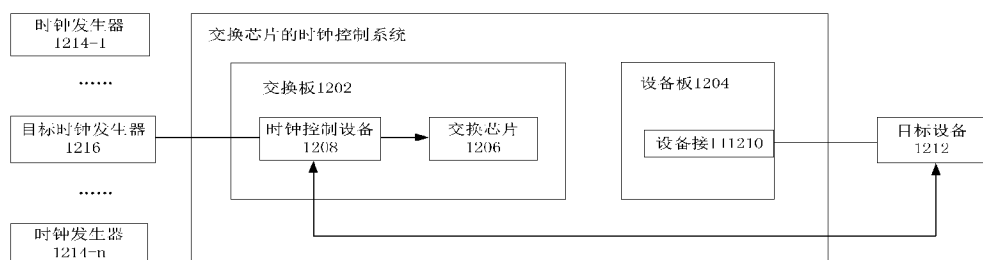


图 12

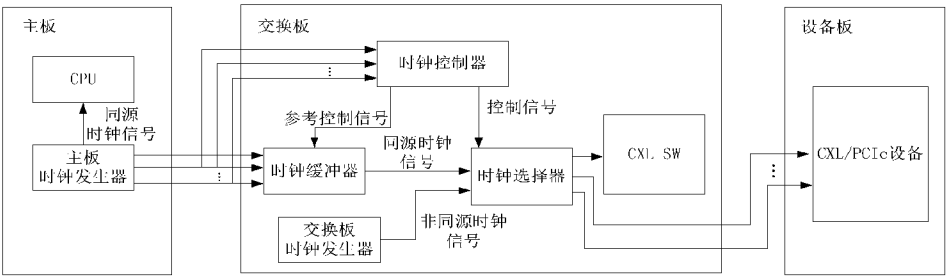


图 13

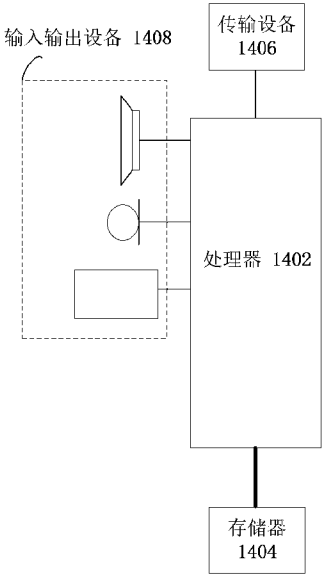


图 14

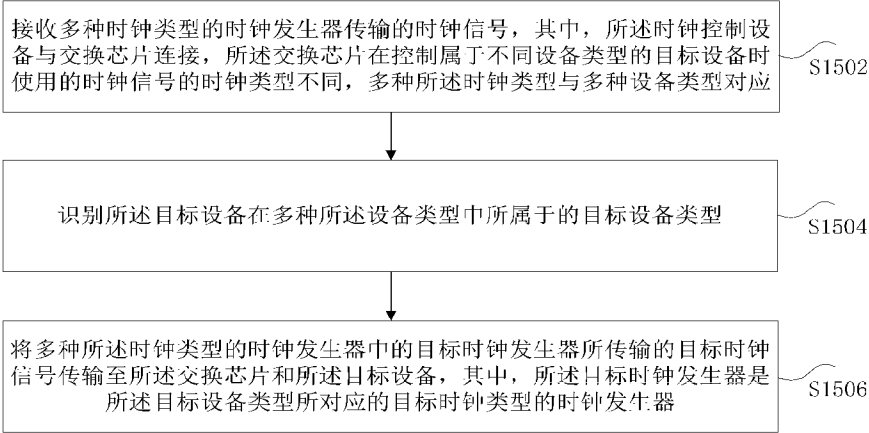


图 15

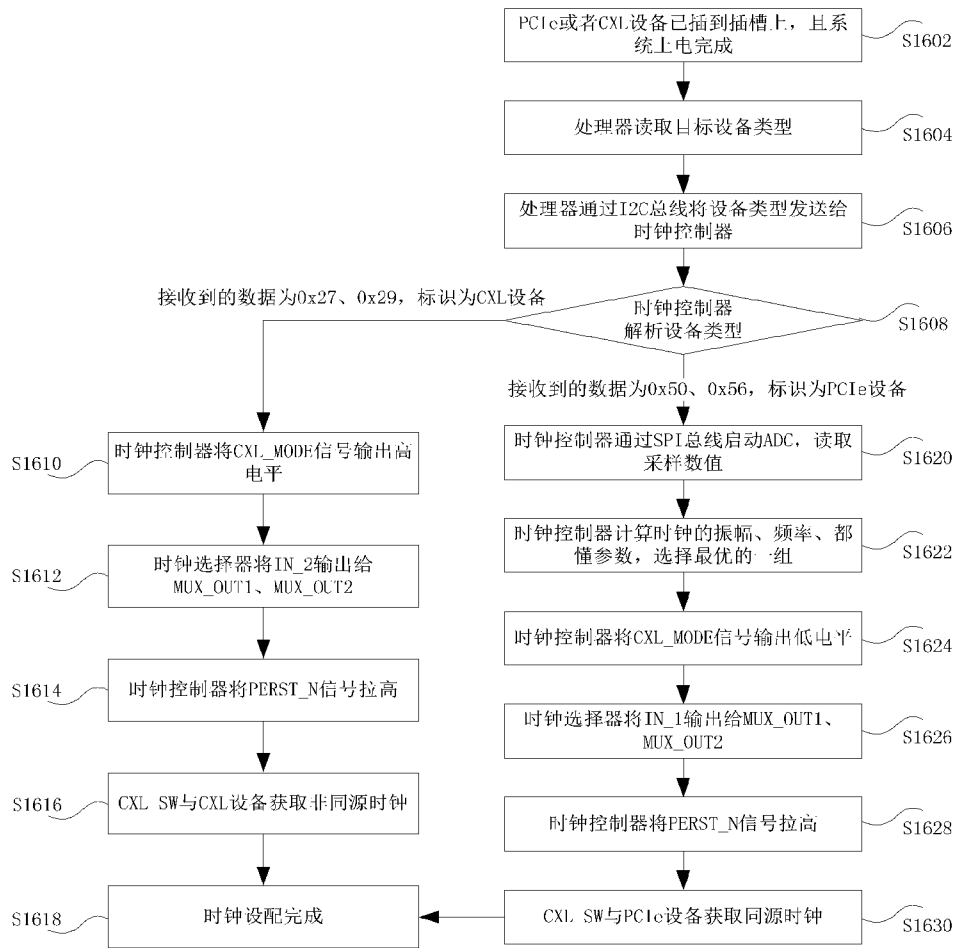


图 1 6

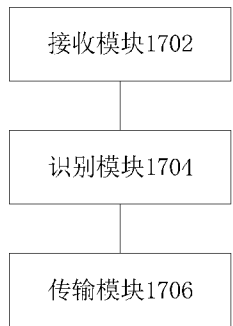


图 1 7

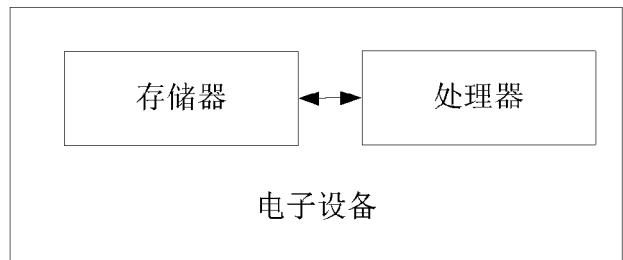


图 1 8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/141950

A. CLASSIFICATION OF SUBJECT MATTER

H04J 3/06(2006.01)i; H04L 49/109(2022.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H04J,H04L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; VEN; WOTXT; EPTXT; USTXT; CNKI: 交换芯片, 时钟控制器, 时钟选择器, 时钟类型, 端口, 控制信号, 时钟信号, 时钟发生器, switching chip, clock controller, selector, clock type, port, control signal, clock signal, clock generator

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 116488767 A (SUZHOU INSPUR INTELLIGENT TECHNOLOGY CO., LTD.) 25 July 2023 (2023-07-25) description, paragraphs [0005]-[0248], and figures 1-18	1-28
A	CN 116132009 A (SUZHOU INSPUR INTELLIGENT TECHNOLOGY CO., LTD.) 16 May 2023 (2023-05-16) description, paragraphs [0039]-[0114]	1-28
A	CN 112463697 A (SUZHOU INSPUR INTELLIGENT TECHNOLOGY CO., LTD.) 09 March 2021 (2021-03-09) entire document	1-28
A	US 2018210652 A1 (PHISON ELECTRONICS CORP.) 26 July 2018 (2018-07-26) entire document	1-28



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

21 March 2024

Date of mailing of the international search report

01 April 2024

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2023/141950

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	116488767	A	25 July 2023	None			
CN	116132009	A	16 May 2023	None			
CN	112463697	A	09 March 2021	None			
US	2018210652	A1	26 July 2018	US	10627851	B2	21 April 2020

A. 主题的分类

H04J 3/06(2006.01)i; H04L 49/109(2022.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H04J,H04L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS;CNTXT;VEN;WO TXT;EPTXT;USTXT;CNKI: 交换芯片, 时钟控制器, 时钟选择器, 时钟类型, 端口, 控制信号, 时钟信号, 时钟发生器, switching chip, clock controller, selector, clock type, port, control signal, clock signal, clock generator

C. 相关文件

类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 116488767 A (苏州浪潮智能科技有限公司) 2023年7月25日 (2023 - 07 - 25) 说明书第[0005]-[0248]段, 附图1-18	1-28
A	CN 116132009 A (苏州浪潮智能科技有限公司) 2023年5月16日 (2023 - 05 - 16) 说明书第[0039]-[0114]段	1-28
A	CN 112463697 A (苏州浪潮智能科技有限公司) 2021年3月9日 (2021 - 03 - 09) 全文	1-28
A	US 2018210652 A1 (PHISON ELECTRONICS CORP) 2018年7月26日 (2018 - 07 - 26) 全文	1-28

☐ 其余文件在C栏的续页中列出。

☒ 见同族专利附件。

★ 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2024年3月21日

国际检索报告邮寄日期

2024年4月1日

ISA/CN的名称和邮寄地址

中国国家知识产权局
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

吴倍骏

电话号码 (+86) 0512-88995985

PCT/ISA/210 表(第2页) (2022年7月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2023/141950

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	116488767	A	2023年7月25日	无			
CN	116132009	A	2023年5月16日	无			
CN	112463697	A	2021年3月9日	无			
US	2018210652	A1	2018年7月26日	US	10627851	B2	2020年4月21日