

【特許請求の範囲】**【請求項 1】**

内部で発生する所定の誤差の誤差係数を自動計測可能に構成した巡回型 A D 変換器であって、

入力されるアナログ信号をサンプリングするサンプリング手段と、

複数のキャパシタからなるキャパシタ群及び演算増幅器を有し、前記アナログ信号を分解能に応じた巡回回数で A D 変換するために、直前の巡回時における出力を 2 倍増幅した電圧値に対して、当該直前の巡回時に A D 変換されたデジタル出力コードに応じた電圧値で差分した出力を発生するスイッチトキャパシタ増幅手段と、

前記スイッチトキャパシタ増幅手段の出力を A D 変換して冗長ビットのデジタル出力コードを生成するサブ A D 変換手段と、

10

当該 A D 変換されたデジタル出力コードに応じた電圧値を生成する D A 変換手段と、

前記デジタル出力コードに応じた電圧値を前記 D A 変換手段が生成するように制御する D A 変換制御手段と、

前記サンプリング手段及び前記スイッチトキャパシタ増幅手段における前記分解能に応じた巡回回数で A D 変換するための動作フェーズを切り替え制御するフェーズ制御手段と

、
前記キャパシタ群と前記演算増幅器のいずれか一方又は双方に起因する誤差の誤差係数を含む当該スイッチトキャパシタ増幅手段の出力を A D 変換して得られるデジタル出力コードから前記誤差係数を特定可能にするために、当該誤差係数を計測するための予め定めた計測モードの回路構成となるよう切り替え可能な複数のスイッチからなるスイッチ群と

20

を備えることを特徴とする巡回型 A D 変換器。

【請求項 2】

請求項 1 に記載の巡回型 A D 変換器が 2 段縦列接続されていることを特徴とする巡回型 A D 変換器。

【請求項 3】

前記スイッチ群は、当該予め定めた計測モードの回路構成として前記誤差係数の種類数以上の回路構成を実現可能に配置されていることを特徴とする、請求項 1 又は 2 に記載の巡回型 A D 変換器。

30

【請求項 4】

前記誤差は、前記キャパシタ群の容量ミスマッチ誤差、前記演算増幅器の有限ゲイン誤差、前記演算増幅器のセットリング誤差、及び前記演算増幅器のオフセット誤差のうち 1 つ以上の誤差を含み、前記スイッチ群は、該誤差の誤差係数を計測するための予め定めた計測モードの回路構成となるよう切り替え可能に配置されていることを特徴とする、請求項 1 から 3 のいずれか一項に記載の巡回型 A D 変換器。

【請求項 5】

前記スイッチ群は、前記キャパシタ群の容量ミスマッチ誤差、前記演算増幅器の有限ゲイン誤差、前記演算増幅器のセットリング誤差、及び前記演算増幅器のオフセット誤差の全ての誤差係数を計測するための予め定めた計測モードの回路構成となるよう切り替え可能に配置されていることを特徴とする、請求項 1 から 3 のいずれか一項に記載の巡回型 A D 変換器。

40

【請求項 6】

前記スイッチ群は、前記誤差係数を含む当該演算増幅器の出力を A D 変換した際に、当該巡回型 A D 変換器のフルスケール内で計測可能なバイアスが生じる回路構成となるよう配置されていることを特徴とする、請求項 1 から 5 のいずれか一項に記載の巡回型 A D 変換器。

【請求項 7】

請求項 1 から 6 のいずれか一項に記載の巡回型 A D 変換器に対して、当該誤差係数を計測するよう前記スイッチ群を切り替え指示する手段と、

50

該切り替え指示により計測された当該誤差係数を含む電圧値のデジタル出力コードから、対応する誤差を算出し当該アナログ信号のデジタル出力から減算する手段と、を備えることを特徴とする、巡回型 A D 変換器用のデジタル補正器。

【請求項 8】

請求項 1 から 6 のいずれか一項に記載の巡回型 A D 変換器に対して当該アナログ信号の誤差をデジタル領域で補正するデジタル補正方法であって、

該巡回型 A D 変換器に対して当該誤差係数を計測するよう前記スイッチ群を切り替え指示するステップと、

該切り替え指示により計測された当該誤差係数を含む電圧値のデジタル出力コードから、対応する誤差を算出し当該アナログ信号のデジタル出力から減算するステップと、を含むことを特徴とする、巡回型 A D 変換器用のデジタル補正方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、巡回型アナログ・デジタル変換器 (Cyclic Analog-Digital Converter) の技術に関し、特に、高フレームレートで超高精細のイメージセンサ用の巡回型アナログ・デジタル (A D) 変換器、並びに巡回型 A D 変換器用のデジタル補正器及びその方法に関する。

【背景技術】

【0002】

従来、C M O S イメージセンサに巡回型 A D 変換器が用いられることが知られている (例えば、非特許文献 1 参照)。

20

【0003】

特に、近年では、高フレームレートで超高精細のイメージセンサとして、フレームレート 120 H z で動作する 3300 万画素の C M O S イメージセンサの研究開発が行われている (例えば、非特許文献 2 ~ 4 参照)。

【0004】

例えば、非特許文献 2 に開示されるフレームレート 120 H z で動作する 3300 万画素の C M O S イメージセンサでは、1 水平走査期間が約 1.9 μ s と短く、その列ごとに配置される A D 変換器には、この期間内に 12 ビットの変換を行う高速性が求められる。また、当該 C M O S イメージセンサでは、その A D 変換器を約 8000 列に配置することとなるため、低消費電力化も重要な技術課題となっている。これらを満たす A D 変換器として、非特許文献 2 では、2 段巡回型 A D 変換器が提案されている。

30

【0005】

ここで、より具体的に、図 12 に示す従来技術における 1 段構成の巡回型 A D 変換器について説明し、次に当該 1 段構成の巡回型 A D 変換器を 2 段縦列接続した図 14 に示す 2 段巡回型 A D 変換器と、この 2 段巡回型 A D 変換器を適用した当該 C M O S イメージセンサの動作タイミングについて簡潔に説明する。

【0006】

(1 段構成の巡回型 A D 変換器)

40

まず、図 12 に示すように、1 段構成の巡回型 A D 変換器 1 は、スイッチ S_P 、 S_N 、 S_{MS} を有するデジタル・アナログ変換器 (D A C : Digital-Analog Converter) 11 と、1 つのオペアンプ (演算増幅器) 12 と、2 段のキャパシタ C_s ($C_s = C_{s1} + C_{s2}$)、 C_f と、後述する各動作フェーズを切り替え可能とするスイッチ S_R 、 S_S 、 S_0 、 S_1 、 S_2 、 S_3 と、サブ A D 変換器 (S u b - A D C) 13 と、D A C 制御クロック発生部 14 と、フェーズ制御クロック発生部 15 とを備えるよう構成されている。尚、各スイッチは、スイッチトランジスタを用いてオン/オフ制御可能に構成される。D A C 制御クロック発生部 14 は、サブ A D 変換器 (S u b - A D C) 13 のデジタル出力コード D を基に D A C 11 を制御するために、スイッチ S_P 、 S_{MS} 、 S_N を制御する各クロック κ_P 、 κ_{MS} 、 κ_N を発生するよう構成されている。また、フェーズ制御クロック発生

50

部 15 は、各動作フェーズを制御するために、スイッチ $S_S, S_R, S_1, S_2, S_3, S_0$ を制御する各クロック $\phi_S, \phi_R, \phi_1, \phi_2, \phi_3, \phi_0$ を発生するよう構成されている。

【0007】

図 12 に示す 1 段構成の巡回型 AD 変換器 1 は、以下に説明するように、4 つの動作フェーズに分類できる。 V_{in} はアナログ入力信号であり、 V_{RL}, V_{RH} はそれぞれ下限及び上限を定める基準電源の入力端子であり、 V_{COM} は仮想接地を定める接地電源の入力端子である。

【0008】

1) リセットフェーズ

AD 変換動作の最初に、スイッチ S_1 をオフ、スイッチ S_2, S_3, S_0 及び S_R をオンするとともに、DAC 11 内のスイッチ S_{MS} をオンしてキャパシタ C_{s1}, C_{s2} の DAC 11 側の極板を接続し、キャパシタ C_{s1}, C_{s2}, C_f をリセットする。

【0009】

2) サンプリングフェーズ

次に、スイッチ S_0 をオフ、スイッチ S_S をオンして、入力信号 V_{in} をサンプリングしてサブ AD 変換器 13 に入力し、 $\{0, 1/2, 1\}$ の 3 値による AD 変換を行う。サブ AD 変換器 13 は、サブ AD 変換器 13 内の 2 個の比較器 (図示せず) によって、判定電圧 (V_{RCH}, V_{RCL}) を用いて式 (1) のようにデジタル出力コード D を求める。

【0010】

【数 1】

$$D = \begin{cases} 1 & (V_{RCH} < V_{in}) \\ 1/2 & (V_{RCL} \leq V_{in} \leq V_{RCH}) \\ 0 & (V_{in} < V_{RCL}) \end{cases} \quad (1)$$

【0011】

このように 2 進数で 3 値を用いる方式は、1.5 ビット冗長方式と呼ばれる。ここで、巡回型 AD 変換器 1 による AD 変換のフルスケールは基準電源 V_{RL} から V_{RH} までとしている。また、判定電圧 (V_{RCH}, V_{RCL}) は、それぞれ式 (2) のように表される。

【0012】

【数 2】

$$\begin{cases} V_{RCH} = \frac{5V_{RH} + 3V_{RL}}{8} \\ V_{RCL} = \frac{3V_{RH} + 5V_{RL}}{8} \end{cases} \quad (2)$$

【0013】

3) 2 倍増幅フェーズ

次に、スイッチ S_S, S_3 及び S_R をオフ、スイッチ S_0 をオンするとともに、DAC 11 内のスイッチがサブ AD 変換器 13 の出力に基づいて 2 つの基準電源 V_{RH} 又は V_{RL} のいずれかをキャパシタ C_{s1}, C_{s2} に接続するように動作することで、入力信号 V_{in} がサンプリングされたキャパシタ C_{s1}, C_{s2} の一方の端子を 2 つの基準電源 V_{RH} 又は V_{RL} のいずれかに接続し、他方をオペアンプ 12 の負入力端子に接続する。これにより、オペアンプ 12 の出力には、入力信号値 V_{in} の 2 倍から DAC 11 による DA 変換値が差し引かれた値が現れる。

【0014】

4) フィードバックフェーズ

10

20

30

40

50

次に、スイッチ S_2 をオフ、スイッチ S_1 , S_3 及び DAC 11 内のスイッチ S_{MS} をオンして、2 倍増幅フェーズのアンプ出力を容量 C_{s1} , C_{s2} の一方の端子 (DAC 11 側) に接続してサンプリングするとともに、サブ AD 変換器 13 によってオペアンプ 12 の出力電圧値 V_{out} に対して $\{0, 1/2, 1\}$ の 3 値による AD 変換を行う。

【0015】

3) と 4) の動作を 1 サイクルとして所定の回数を繰り返すことにより、当該回数に応じた分解能の AD 変換がなされる。いま、 $V_{RH} = V_r$, $V_{RL} = 0$ と仮定し (このように設定しても議論の一般性は失われない)、 i 回目のサイクルにおけるオペアンプ 12 の出力を $V_{out}(i)$ とし、そのときのサブ AD 変換器 13 のデジタル出力コードを $D(i)$ とすると、 i 回目のサイクルにおけるオペアンプ 12 の出力 $V_{out}(i)$ は、式 (3) のように表すことができる。

10

【0016】

【数 3】

$$V_{out}(i) = \left(1 + \frac{C_s}{C_f}\right) V_{out}(i-1) - D(i-1) \frac{C_s}{C_f} V_r \quad (3)$$

【0017】

ここで、 $C_s = C_{s1} + C_{s2}$ である。このとき、 $C_s = C_f$ であれば、式 (3) のように表すことができる。

20

【0018】

【数 4】

$$V_{out}(i) = 2V_{out}(i-1) - D(i-1)V_r \quad (4)$$

【0019】

式 (4) で表される変換特性を図示すると、図 13 のようになる。このように 1 サイクルあたり出力電圧値 V_{out} に対して $\{0, 1/2, 1\}$ の 3 値のデジタル出力コード $D(i)$ に対応するデジタル出力が得られるため、このデジタル出力コード $D(i)$ に対応するデジタル出力は 2 ビット長でそれぞれ 00, 01, 10 と表すことができる。そして、 N 回の巡回を行うたびに、DAC 11 は、このデジタル出力コード $D(i)$ が当該 3 値の $\{0\}$ であれば「 S_p をオフ、 S_N , S_{MS} をオン」とし、デジタル出力コード $D(i)$ が当該 3 値の $\{1/2\}$ であれば「 S_p , S_N をオン、 S_{MS} をオフ」とし、デジタル出力コード $D(i)$ が当該 3 値の $\{1\}$ であれば「 S_p , S_{MS} をオン、 S_N をオフ」として DA 変換値を出力する。一般に、 $N-1$ 回の巡回による冗長 N ビットにより、 $N+1$ ビットの分解能の AD 変換を行うことができる。

30

【0020】

(2 段巡回型 AD 変換器)

図 14 に、図 12 に示す巡回型 AD 変換器を 2 段縦列接続して、2 段巡回型 AD 変換器 1 として構成した例を示している。尚、図 14 において 1 段目の巡回型 AD 変換器 1a と 2 段目の巡回型 AD 変換器 1b との間で対応する構成要素には、それぞれ参照符号に添字 A , B (又は a , b) を付している。この 2 段巡回型 AD 変換器 1 は、 N_F ビットの分解能を、1 段目の巡回型 AD 変換器 1a で上位 M ビット、2 段目の巡回型 AD 変換器 1b で下位 $N_F - M$ ビットに分割して AD 変換するよう構成される。まず、1 段目の巡回型 AD 変換器 1a で、先に説明した動作方式にしたがって、3) と 4) の動作フェーズを $M-1$ サイクル繰り返して、上位 M ビットをデジタル出力 D_A として AD 変換する。ここで、 $M-1$ サイクル目の 3) に示した動作の間に、スイッチ S_{SB} をオンして 1 段目の巡回型 AD 変換器 1a のアナログ出力と 2 段目の巡回型 AD 変換器 1b の入力を接続する。このとき、2 段目の巡回型 AD 変換器 1b は 2) に示した動作を行い、1 段目の巡回型 AD 変換器 1a の出力が 2 段目の巡回型 AD 変換器 1b に入力、サンプルされる。この後、スイッ

40

50

ち S_{S_B} をオフして 2 段目の巡回型 A/D 変換器 1 b を 1 段目の巡回型 A/D 変換器 1 a から切り離し、3) と 4) のサイクルを $N_F - M$ 回繰り返すことで、2 段目の巡回型 A/D 変換器 1 b において残りの下位 $N_F - M$ ビットをデジタル出力 D_B として A/D 変換することができる。

【0021】

(2 段巡回型 A/D 変換器を適用した当該 CMOS イメージセンサの動作タイミング)

2 段巡回型 A/D 変換器 1 を各列に配置した CMOS イメージセンサでは、1 画素の信号を 1 段目の巡回型 A/D 変換器 1 a で上位 M ビットを A/D 変換した後、2 段目の巡回型 A/D 変換器 1 b で残りの下位 $N_F - M$ ビットを A/D 変換するとき、1 段目の巡回型 A/D 変換器 1 a では次行の画素信号が入力され、同様に上位 M ビットを A/D 変換する。このように 1 段目の巡回型 A/D 変換器 1 a と 2 段目の巡回型 A/D 変換器 1 b の間でパイプライン並列動作を行うことで、実効的な変換速度を高くすることができる。例えば、 $N_F = 12$ 、 $M = 4$ のときの動作タイミングを図 15 に示している。

10

【0022】

図 15 において、上記説明の 1) の動作を R (リセット)、2) の動作を S (サンプル)、3) の動作を A (アンプ)、4) の動作を F (フィードバック) と表している。また、“R”, “S” に並んで表記する 1 ~ 12 の数値は、各段の巡回型 A/D 変換器 1 a, 1 b が A/D 変換するビット深度を示している。CMOS イメージセンサの画素信号は、画素信号リセットパルスによりリセット後、画素転送パルスにより出力され、1 段目の巡回型 A/D 変換器 1 a におけるスイッチ S_A のオン/オフを制御するクロック S_A によりサンプリングされる。このサンプリングされた 1 段目の巡回型 A/D 変換器 1 a のアナログ出力は、スイッチ S_B のオン/オフを制御するクロック S_B により 2 段目の巡回型 A/D 変換器 1 b に転送される。このとき 1 段目の巡回型 A/D 変換器 (1 段目 ADC) 1 a と 2 段目の巡回型 A/D 変換器 (2 段目 ADC) 1 b の間でパイプライン並列動作を行うことで、1 段目の巡回型 A/D 変換器 1 a のアナログ出力を残りの下位 8 ビットを A/D 変換するときには、1 段目の巡回型 A/D 変換器 1 a では、クロック S_A により次行の画素信号をサンプルし A/D 変換しているため、実効的な変換速度を高くすることができる。

20

【0023】

尚、非特許文献 2 に開示されるような高フレームレート・超高精細の CMOS イメージセンサに求められる高速、高精度、小面積という条件を満たす巡回型 A/D 変換器や、それを 2 段縦続に接続した 2 段巡回型 A/D 変換器において、A/D 変換特性の悪化をもたらすアナログ回路部で発生する誤差を A/D 変換後のデジタル出力コードによりデジタル領域で補正することができることも知られている (例えば、非特許文献 5, 6 参照)。

30

【先行技術文献】

【非特許文献】

【0024】

【非特許文献 1】相澤清晴・浜本隆之 編著 / 黒田隆男・中村淳一・高橋秀和・川人祥二・太田 淳 共著, “CMOS イメージセンサ”, 映像情報メディア学会編、コロナ社、pp.169-174, 2012 年 7 月発行

【非特許文献 2】渡部俊久, 他, “12 ビットカラム並列サイクリック ADC を用いた 3300 万画素 120fps CMOS イメージセンサ”, 映像情報メディア学会技術報告, vol. 34, No. 18, IST2013-13, CE2012-25, pp. 31-36, 2012.

40

【非特許文献 3】T. Watabe, et al., “A 33Mpixel 120fps CMOS Image Sensor Using 12b Column-Parallel Pipelined Cyclic ADCs,” ISSCC Dig. Tech Papers, pp.388-389, 2012.

【非特許文献 4】K. Kitamura, et al., “A 33-Megapixel 120-Frames-Per-Second 2.5-Watt CMOS Image Sensor With Column-Parallel Two-Stage Cyclic Analog-to-Digital Converters,” IEEE Trans. Electron Devices, Vol.59, No.12, pp.3426-3433, 2012.

【非特許文献 5】T. Watabe, et al., “Digital Calibration Algorithm for a 2-Stage Cyclic Analog-to-Digital Converter Used in a 33-Mpixel 120-fps SHV CMOS Image S

50

ensor,” ITE Trans. Media Technology and Applications, Vol. 2, No. 2, pp. 102-107, 2014.

【非特許文献6】T. Watabe, et al., “A Digitally-Calibrated 2-Stage Cyclic ADC for a 33-Mpixel 120-fps Super High-Vision CMOS Image Sensor,” in Proc. IEEE SENSORS, pp. 66-69, 2014.

【発明の概要】

【発明が解決しようとする課題】

【0025】

前述したように、非特許文献5, 6では、高フレームレート・超高精細のCMOSイメージセンサに求められる高速、高精度、小面積という条件を満たす巡回型AD変換器や、それを2段縦続に接続した2段巡回型AD変換器において、AD変換特性の悪化をもたらすアナログ回路部で発生する誤差をAD変換後のデジタル出力コードによりデジタル領域で補正することが示されている。

【0026】

しかしながら、その従来技法では、誤差を記述するパラメータである誤差係数の値を、正確に求めるために、各構成要素の設計上で推定される誤差係数を基にトライ・アンド・エラーを繰り返して最終的な誤差係数を決定し固有の値として保持するように構成しているため、固体ばらつきを吸収するのが容易ではなく、更には温度変化等の誤差の時間変化に対応できないといった問題があった。このため、高精度のデジタル補正が実現できないという問題があった。

【0027】

また、AD変換回路を構成するアナログ回路部は様々な誤差を含んでいるため、実際の出力は式(3)のようには表現できない。図16は、図12に示す巡回型AD変換器1で発生するこれらの誤差の要因を示している。それぞれの誤差(及びその誤差係数)について、以下に説明する。

【0028】

(容量ミスマッチ誤差)

図12に示す巡回型AD変換器1のキャパシタ C_s ($=C_{s1} + C_{s2}$)と C_f の間には、キャパシタの製造誤差に起因した容量ミスマッチ誤差 $C = C_s - C_f$ が含まれるため、式(3)は、式(5)のように表される。

【0029】

【数5】

$$V_{out}(i) = \left(1 + \frac{C_f + \Delta C}{C_f}\right) V_{out}(i-1) - D(i-1) \frac{C_f + \Delta C}{C_f} V_r \quad (5)$$

【0030】

式(5)に示すように、容量ミスマッチ誤差 C により、増幅率が2倍からずれることになる。また、 $\{0, 1/2, 1\}$ の3値のデジタル出力コード D について、キャパシタ C_{s1} と C_{s2} との間に容量ミスマッチ誤差 $C_s = C_{s1} - C_{s2}$ が含まれる場合は、図13に示す入出力特性の $D = 1/2$ の領域の直線に誤差が生じ、式(5)は式(6)のように書き換えられる。

【0031】

【数6】

$$V_{out}(i) = \left(1 + \frac{C_f + \Delta C}{C_f}\right) V_{out}(i-1) - \frac{C_f + \Delta C}{C_f} \left(D(i-1) + D_s(i-1) \cdot \frac{1}{2} \frac{\Delta C_s}{C_s} \right) V_r \quad (6)$$

【0032】

ここで、 $D_s(i)$ は $D(i)$ により定まる定数で、 $D(i) = 0$ 又は 1 のときは D_s

10

20

30

40

50

(i) = 0、 $D(i) = 1/2$ のときは $D_s(i) = 1$ となる。容量ミスマッチ誤差の各誤差係数を $e_m = C/C_f$ 、 $e_{ms} = C_s/C_s$ と定義すると、式(6)は、式(7)のように表すことができる。

【0033】

【数7】

$$V_{out}(i) = (2 + e_m)V_{out}(i-1) - (1 + e_m) \left(D(i-1) + D_s(i-1) \cdot \frac{e_{ms}}{2} \right) V_r \quad (7)$$

【0034】

したがって、式(7)をデジタル領域で表すと、式(8)となる。

【0035】

【数8】

$$X(i) = (2 + e_m)X(i-1) - (1 + e_m) \left(D(i-1) + D_s(i-1) \cdot \frac{e_{ms}}{2} \right) \quad (8)$$

【0036】

ここで、 $X(i) = V_{out}(i) / V_r$ とした。式(8)において、各誤差係数 e_m 、 e_{ms} は十分小さいため、これらの積 $e_m \cdot e_{ms}$ の項を無視すると、 i 回目のサイクルにおける容量ミスマッチ誤差 $E_m(i)$ は、式(9)のように表すことができる。

【0037】

【数9】

$$E_m(i) = e_m (X(i-1) - D(i-1)) - D_s(i-1) \cdot \frac{e_{ms}}{2} \quad (9)$$

【0038】

N ビット変換後の容量ミスマッチ誤差の合計は、 $i = 1$ から $N - 1$ までの $E_m(i)$ を積算することで求められる。1段構成の巡回型AD変換器1における N ビット変換後の容量ミスマッチ誤差の合計は、式(10)のように表すことができる。

【0039】

【数10】

$$\begin{aligned} E_{m_t} &= \sum_{i=1}^{N-1} 2^{-i} E_m(i) \\ &= \sum_{i=1}^{N-1} 2^{-i} \left(e_m (X(i-1) - D(i-1)) - D_s(i-1) \cdot \frac{e_{ms}}{2} \right) \end{aligned} \quad (10)$$

【0040】

ここで、デジタル出力コードに含まれる誤差が十分小さいものとして、式(8)に示す $X(i)$ は、式(11)のように近似できる。

【0041】

【数11】

$$X(i) = D(i)2^{-1} + D(i+1)2^{-2} + D(i+2)2^{-3} + \dots + D(N-1)2^{i-N} \quad (11)$$

【0042】

ここで、 i はAD変換回路の分解能が N ビットするとき、0から $N - 1$ の範囲の整数値をとる。式(11)を式(10)に代入することで、容量ミスマッチ誤差の合計は、式(12)のように表される。

【0043】

10

20

30

40

50

【数 1 2】

$$E_{m_t} = e_m 2^{-2} \left(-D(0) + 2 \sum_{i=3}^{N-1} (i-2) D(i-1) 2^{-i} \right) - e_{ms} 2^{-1} \sum_{i=1}^{N-1} D_s(i-1) 2^{-i} \quad (12)$$

【0 0 4 4】

一方、図 1 4 に示す 2 段巡回型 A D 変換器 1 における N ビット変換後の容量ミスマッチ誤差の合計は、1 段目の巡回型 A D 変換器 1 a で行われる最初の M ビットの A D 変換と、2 段目の巡回型 A D 変換器 1 b で行われる残りの N - M ビットの A D 変換を別々に計算することにより、式 (1 3) のように表される。

【0 0 4 5】

【数 1 3】

$$\begin{aligned} E_{m_t} &= \sum_{i=1}^{N-1} 2^{-i} E_m(i) \\ &= \sum_{i=1}^{M-1} 2^{-i} \left(e_{mA} (X(i-1) - D(i-1)) - D_s(i-1) \cdot \frac{e_{msA}}{2} \right) \\ &\quad + \sum_{i=M}^{N-1} 2^{-i} \left(e_{mB} (X(i-1) - D(i-1)) - D_s(i-1) \cdot \frac{e_{msB}}{2} \right) \end{aligned} \quad (13)$$

【0 0 4 6】

ここで、 e_{mA} 及び e_{mB} は、それぞれ 1 段目の巡回型 A D 変換器 1 a のキャパシタ C_{sA} と C_{fA} との間のミスマッチ誤差の誤差係数、及び 2 段目の巡回型 A D 変換器 1 b のキャパシタ C_{sB} と C_{fB} との間の容量ミスマッチ誤差の誤差係数を表し、 e_{msA} 及び e_{msB} は、それぞれ 1 段目の巡回型 A D 変換器 1 a のキャパシタ C_{s1A} と C_{s2A} との間の容量ミスマッチ誤差の誤差係数、及び 2 段目の巡回型 A D 変換器 1 b のキャパシタ C_{s1B} と C_{s2B} との間の容量ミスマッチ誤差の誤差係数を表す。したがって、式 (1 1) を式 (1 3) に代入することで、例えば $N = 12$ 、 $M = 4$ のときの容量ミスマッチ誤差の合計は、式 (1 4) のように表される。

【0 0 4 7】

【数 1 4】

$$\begin{aligned} E_{m_t} &= e_{mA} 2^{-2} \left(-D(0) + D(2) 2^{-2} + 6 \sum_{i=4}^{11} D(i-1) 2^{-i} \right) \\ &\quad + e_{mB} 2^{-5} \left(-D(3) + 2^4 \sum_{i=6}^{11} (i-4) D(i-1) 2^{-i} \right) \\ &\quad - e_{msA} 2^{-1} \sum_{i=1}^3 D_s(i-1) 2^{-i} - e_{msB} 2^{-1} \sum_{i=4}^{11} D_s(i-1) 2^{-i} \end{aligned} \quad (14)$$

【0 0 4 8】

(アンプの有限ゲイン誤差)

図 1 2 に示す巡回型 A D 変換器 1 において、オペアンプ 1 2 の開ループゲインを無限大と仮定した場合は、オペアンプ 1 2 の負入力には仮想接地 (V_{COM}) となり、2 倍増幅回路の開ループゲインは容量 C_s と C_f の比のみで決定するため、 $C_s = C_f$ とすると、2 倍増幅フェーズにおける入出力特性は式 (4) で表される理想的な形となるが、実際の開ループゲインは有限なため、式 (1 5) のように表される。

【0 0 4 9】

10

20

30

40

【数 15】

$$V_{out}(i) = 2 \left(1 - \frac{C_s + C_f + C_i}{C_f G_0} \right) V_{out}(i-1) - \left(1 - \frac{C_s + C_f + C_i}{C_f G_0} \right) D(i-1) V_r \quad (15)$$

【0050】

ここで、 G_0 及び C_i は、それぞれオペアンプ 1 2 の開ループゲインおよび入力容量を表す。有限ゲイン誤差の誤差係数を $e_{fg} = (C_s + C_f + C_i) / (C_f \cdot G_0)$ と定義し、式 (15) をデジタル領域で表すと、式 (16) のように表される。

【0051】

【数 16】

$$\begin{aligned} X(i) &= 2(1 - e_{fg})X(i-1) - (1 - e_{fg})D(i-1) \\ &= (2X(i-1) - D(i-1)) + e_{fg}(-2X(i-1) + D(i-1)) \end{aligned} \quad (16)$$

【0052】

したがって、 i 回目のサイクルにおける有限ゲイン誤差 $E_{fg}(i)$ は、式 (17) のように表される。

【0053】

【数 17】

$$E_{fg}(i) = e_{fg}(-2X(i-1) + D(i-1)) \quad (17)$$

【0054】

このため、1 段構成の巡回型 AD 変換器 1 における N ビット変換後の有限ゲイン誤差の合計は、式 (18) のように表される。

【0055】

【数 18】

$$\begin{aligned} E_{fg-t} &= \sum_{i=1}^{N-1} 2^{-i} E_{fg}(i) \\ &= \sum_{i=2}^{N-1} 2^{-i} e_{fg}(-2X(i-1) + D(i-1)) \end{aligned} \quad (18)$$

【0056】

式 (11) を式 (18) に代入することで、有限ゲイン誤差の合計は、有限ゲイン誤差の誤差係数 e_{fg} とデジタル出力コード $D(i)$ により、式 (19) のように表される。

【0057】

【数 19】

$$E_{fg-t} = -e_{fg} \sum_{i=2}^{N-1} (i-1) D(i-1) 2^{-i} \quad (19)$$

【0058】

一方、図 14 に示す 2 段巡回型 AD 変換器 1 における N ビット変換後の有限ゲイン誤差の合計は、1 段目の巡回型 AD 変換器 1 a で行われる最初の M ビットの AD 変換と、2 段目の巡回型 AD 変換器 1 b で行われる残りの $N - M$ ビットの AD 変換を別々に計算することにより、式 (20) のように表される。

【0059】

10

20

30

40

【数 2 0】

$$E_{fg_t} = \sum_{i=1}^{N-1} 2^{-i} E_{fg}(i) \\ = \sum_{i=2}^{M-1} 2^{-i} e_{fgA}(-2X(i-1)+D(i-1)) + \sum_{i=M}^{N-1} 2^{-i} e_{fgB}(-2X(i-1)+D(i-1)) \quad (20)$$

【0 0 6 0】

ここで、 e_{fgA} 及び e_{fgB} は、それぞれ 1 段目及び 2 段目の巡回型 AD 変換回路の有限ゲイン誤差の誤差係数を表す。式 (11) を式 (20) に代入することで、例えば $N = 12$, $M = 4$ のときの有限ゲイン誤差の合計は、式 (21) のように表される。

10

【0 0 6 1】

【数 2 1】

$$E_{fg_t} = -e_{fgA} \left(\sum_{i=2}^3 (i-1)D(i-1)2^{-i} + 3 \sum_{i=4}^{11} D(i-1)2^{-i} \right) - e_{fgB} \sum_{i=5}^{11} (i-4)D(i-1)2^{-i} \quad (21)$$

【0 0 6 2】

(アンプのセットリング誤差)

図 12 に示す巡回型 AD 変換器 1 において、オペアンプ 1 2 の帯域は有限なため、有限な時間内における出力が理想値 (無限大の時間における出力) からずれることによるセットリング誤差を生じる。セットリング誤差係数を e_{st} とすると、実際の入出力特性は、式 (22) のように表される。

20

【0 0 6 3】

【数 2 2】

$$V_{out}(i) = 2(1-e_{st})V_{out}(i-1) - (1-e_{st})D(i-1)V_r \quad (22)$$

【0 0 6 4】

式 (22) をデジタル領域で表すと、式 (23) となる。

30

【0 0 6 5】

【数 2 3】

$$X(i) = 2(1-e_{st})X(i-1) - (1-e_{st})D(i-1) \\ = (2X(i-1) - D(i-1)) + e_{st}(-2X(i-1) + D(i-1)) \quad (23)$$

【0 0 6 6】

したがって、 i 回目のサイクルにおけるセットリング誤差 $E_{st}(i)$ は、式 (24) のように表される。

【0 0 6 7】

【数 2 4】

$$E_{st}(i) = e_{st}(-2X(i-1) + D(i-1)) \quad (24)$$

【0 0 6 8】

このため、1 段構成の巡回型 AD 変換器 1 における N ビット変換後のセットリング誤差の合計は、式 (25) のように表される。

40

【0 0 6 9】

【数 2 5】

$$\begin{aligned}
 E_{st_t} &= \sum_{i=1}^{N-1} 2^{-i} E_{st}(i) \\
 &= \sum_{i=2}^{N-1} 2^{-i} e_{st}(-2X(i-1)+D(i-1))
 \end{aligned} \tag{25}$$

【0070】

式(11)を式(25)に代入することで、セットリング誤差の合計は、セットリング誤差係数 e_{st} とデジタル出力コード $D(i)$ により、式(26)のように表される。

10

【0071】

【数 2 6】

$$E_{st_t} = -e_{st} \sum_{i=2}^{N-1} (i-1)D(i-1)2^{-i} \tag{26}$$

【0072】

一方、図14に示す2段巡回型AD変換器1におけるNビット変換後のセットリング誤差の合計は、1段目の巡回型AD変換器1aで行われる最初のMビットのAD変換と、2段目の巡回型AD変換器1bで行われる残りのN-MビットのAD変換を別々に計算するが、1段目の巡回型AD変換器1aがM-1サイクル目(MビットのAD変換時)の2倍増幅フェーズで動作しているとき、1段目の巡回型AD変換器1aは、サンプリングフェーズで動作する2段目の巡回型AD変換器1bと接続されるため、セットリング誤差は、これより前のサイクルにおける誤差より大きくなる。したがって、セットリング誤差の合計 E_{st_t} は、式(27)のように計算される。

20

【0073】

【数 2 7】

$$\begin{aligned}
 E_{st_t} &= \sum_{i=1}^{N-1} 2^{-i} E_{st}(i) \\
 &= \sum_{i=1}^{M-2} 2^{-i} e_{stA}(-2X(i-1)+D(i-1)) \\
 &\quad + 2^{-(M-1)} e_{stAB}(-2X(M-2)+D(M-2)) \\
 &\quad + \sum_{i=M}^{N-1} 2^{-i} e_{stB}(-2X(i-1)+D(i-1))
 \end{aligned} \tag{27}$$

30

【0074】

ここで、 e_{stA} 及び e_{stB} は、それぞれ1段目及び2段目の巡回型AD変換器1a, 1bのセットリング誤差の誤差係数を表し、 e_{stAB} は、1段目の巡回型AD変換器1aがM-1サイクル目の2倍増幅フェーズで動作しているとき、即ち1段目と2段目の巡回型AD変換器1a, 1bが接続しているときの、1段目の巡回型AD変換器1aのセットリング誤差の誤差係数を表す。式(11)を式(27)に代入することで、例えばN=12, M=4のときのセットリング誤差の合計は、式(28)のように表される。

40

【0075】

【数 2 8】

$$E_{st_t} = -e_{stA} 2^{-2} \left(D(1) + D(2) + 2^3 \sum_{i=4}^{11} D(i-1) 2^{-i} \right) \quad (28)$$

$$- e_{stAB} \sum_{i=4}^{11} D(i-1) 2^{-i} - e_{stB} \sum_{i=5}^{11} (i-4) D(i-1) 2^{-i}$$

【0076】

尚、オペアンプ 1 2 a , 1 2 b の有限ゲイン誤差とセットリング誤差は、式 (1 7) 、式 (2 4) より同じ形式で書き表されるため、1 段構成の巡回型 A D 変換器 1 における式 (1 9) と式 (2 6) 、2 段巡回型 A D 変換器 1 (N = 1 2 、 M = 4 のとき) における式 (2 1) と式 (2 8) は、それぞれ以下の式 (2 9) 、式 (3 0) のようにまとめることができる。

10

【0077】

【数 2 9】

$$E_{fg_t} + E_{st_t} = -(e_{fg} + e_{st}) \sum_{i=2}^{N-1} (i-1) D(i-1) 2^{-i} \quad (29)$$

【0078】

【数 3 0】

$$E_{fg_t} + E_{st_t} = -(e_{fgA} + e_{stA}) 2^{-2} \left(D(1) + D(2) + 2^3 \sum_{i=4}^{11} D(i-1) 2^{-i} \right) \quad (30)$$

$$- (e_{fgA} + e_{stAB}) \sum_{i=4}^{11} D(i-1) 2^{-i} - (e_{fgB} + e_{stB}) \sum_{i=5}^{11} (i-4) D(i-1) 2^{-i}$$

20

【0079】

(オフセット誤差)

図 1 2 に示す巡回型 A D 変換器 1 において、サンプリングフェーズから 2 倍増幅フェーズに移行するときのスイッチングにより、オペアンプ 1 2 の負入力端子に流入するチャージインжекションとクロックフィードスルー電荷に起因したオフセット誤差を生じる。

30

【0080】

オフセット誤差係数を e_{off} とすると、デジタル領域で表した入出力特性は、式 (3 1) となる。

【0081】

【数 3 1】

$$X(i) = 2X(i-1) - D(i-1) + e_{off} \quad (31)$$

【0082】

したがって、1 段構成の巡回型 A D 変換器 1 における N ビット変換後のオフセット誤差の合計は、式 (3 2) となる。

40

【0083】

【数 3 2】

$$\begin{aligned}
 E_{off_t} &= \sum_{i=1}^{N-1} 2^{-i} E_{off}(i) \\
 &= \sum_{i=1}^{N-1} 2^{-i} e_{off} \\
 &= (1 - 2^{-(N-1)}) e_{off}
 \end{aligned} \tag{32}$$

【0084】

一方、図 1 4 に示す 2 段巡回型 A D 変換器 1 における N ビット変換後のオフセット誤差の合計は、1 段目の巡回型 A D 変換器 1 a で行われる最初の M ビットの A D 変換と、2 段目の巡回型 A D 変換器 1 b で行われる残りの N - M ビットの A D 変換を別々に計算することにより、式 (3 3) のように表される。 10

【0085】

【数 3 3】

$$\begin{aligned}
 E_{off_t} &= \sum_{i=1}^{N-1} 2^{-i} E_{off}(i) \\
 &= \sum_{i=1}^{M-1} 2^{-i} e_{offA} + \sum_{i=M}^{N-1} 2^{-i} e_{offB} \\
 &= (1 - 2^{-(M-1)}) e_{offA} + 2^{-(M-1)} (1 - 2^{-(N-M)}) e_{offB}
 \end{aligned} \tag{33}$$

20

【0086】

ここで、 e_{offA} 及び e_{offB} は、それぞれ 1 段目及び 2 段目の巡回型 A D 変換 1 a , 1 b のオフセット誤差係数を表す。

【0087】

(デジタル補正)

上述した誤差は大変小さいため、2 次以上の誤差係数の項は無視できると考えられる。したがって、容量ミスマッチ、アンプの有限ゲイン、アンプの不完全なセットリング、オフセット電圧により 1 段又は 2 段巡回型 A D 変換器 1 で発生する誤差の総計 E_{sum} は、1 段の場合は、式 (1 2)、式 (1 9)、式 (2 6) 及び式 (3 2) で算出されるそれぞれの誤差の総和、また、2 段の場合は、式 (1 4)、式 (2 1)、式 (2 8) 及び式 (3 3) で算出されるそれぞれの誤差の総和となり、式 (3 4) のように表される。 30

【0088】

【数 3 4】

$$E_{sum} = E_{m_t} + E_{fg_t} + E_{st_t} + E_{off_t} \tag{34}$$

【0089】

デジタル補正処理は、式 (1 1) で近似されたデジタル出力コード $X(0)$ (誤差を含んだデジタル出力コード) から式 (3 4) で表される誤差の総計 E_{sum} を減算することで行われ、補正されたデジタルコード D_{calib} は、例えば、A D 変換ビット数 N を 1 2 とすると、式 (3 5) のように表される。 40

【0090】

【数 3 5】

$$D_{calib} = \sum_{i=1}^{12} D(i-1)2^{-i} - E_{sum} \tag{35}$$

【0091】

上述の説明から分かるように、高精度なデジタル補正処理を行うためには、巡回型 A D 50

変換器 1 で発生する誤差をできるだけ正確に求める必要がある。

【 0 0 9 2 】

しかしながら、その従来技法では、誤差を記述するパラメータである誤差係数の値を、正確に求めるために、各構成要素の設計上で推定される誤差係数を基にトライ・アンド・エラーを繰り返して最終的な誤差係数を決定し固有の値として保持するように構成しているため、固体ばらつきを吸収するのが容易ではなく、更には温度変化等の誤差の時間変化に対応できないといった問題が生じる。このため、高精度のデジタル補正が実現できないという問題があった。

【 0 0 9 3 】

本発明は、上記の課題に鑑みてなされたものであり、本発明の目的は、巡回型 A D 変換器で発生する誤差に基づいた誤差係数を自動的に、且つ所望のタイミングで計測可能とし、より高精度で決定することが可能な、巡回型 A D 変換器、並びに巡回型 A D 変換器用のデジタル補正器及びその方法を提供することにある。

10

【課題を解決するための手段】

【 0 0 9 4 】

本発明の巡回型 A D 変換器は、内部で発生する所定の誤差の誤差係数を自動計測可能に構成した巡回型 A D 変換器であって、入力されるアナログ信号をサンプリングするサンプリング手段と、複数のキャパシタからなるキャパシタ群及び演算増幅器を有し、前記アナログ信号を分解能に応じた巡回回数で A D 変換するために、直前の巡回時における出力を 2 倍増幅した電圧値に対して、当該直前の巡回時に A D 変換されたデジタル出力コードに応じた電圧値で差分した出力を発生するスイッチトキャパシタ増幅手段と、前記スイッチトキャパシタ増幅手段の出力を A D 変換して冗長ビットのデジタル出力コードを生成するサブ A D 変換手段と、当該 A D 変換されたデジタル出力コードに応じた電圧値を生成する D A 変換手段と、前記デジタル出力コードに応じた電圧値を前記 D A 変換手段が生成するよう制御する D A 変換制御手段と、前記サンプリング手段及び前記スイッチトキャパシタ増幅手段における前記分解能に応じた巡回回数で A D 変換するための動作フェーズを切り替え制御するフェーズ制御手段と、前記キャパシタ群と前記演算増幅器のいずれか一方又は双方に起因する誤差の誤差係数を含む当該スイッチトキャパシタ増幅手段の出力を A D 変換して得られるデジタル出力コードから前記誤差係数を特定可能にするために、当該誤差係数を計測するための予め定めた計測モードの回路構成となるよう切り替え可能な複数のスイッチからなるスイッチ群と、を備えることを特徴とする。

20

30

【 0 0 9 5 】

また、本発明による他の態様の巡回型 A D 変換器は、本発明の巡回型 A D 変換器が 2 段縦列接続されていることを特徴とする。

【 0 0 9 6 】

また、本発明の巡回型 A D 変換器において、前記スイッチ群は、当該予め定めた計測モードの回路構成として前記誤差係数の種類数以上の回路構成を実現可能に配置されていることを特徴とする。

【 0 0 9 7 】

また、本発明の巡回型 A D 変換器において、前記誤差は、前記キャパシタ群の容量ミスマッチ誤差、前記演算増幅器の有限ゲイン誤差、前記演算増幅器のセットリング誤差、及び前記演算増幅器のオフセット誤差のうち 1 つ以上の誤差を含み、前記スイッチ群は、該誤差の誤差係数を計測するための予め定めた計測モードの回路構成となるよう切り替え可能に配置されていることを特徴とする。

40

【 0 0 9 8 】

また、本発明の巡回型 A D 変換器において、前記スイッチ群は、前記キャパシタ群の容量ミスマッチ誤差、前記演算増幅器の有限ゲイン誤差、前記演算増幅器のセットリング誤差、及び前記演算増幅器のオフセット誤差の全ての誤差係数を計測するための予め定めた計測モードの回路構成となるよう切り替え可能に配置されていることを特徴とする。

【 0 0 9 9 】

50

また、本発明の巡回型 A D 変換器において、前記スイッチ群は、前記誤差係数を含む当該演算増幅器の出力を A D 変換した際に、当該巡回型 A D 変換器のフルスケール内で計測可能なバイアスが生じる回路構成となるよう配置されていることを特徴とする。

【 0 1 0 0 】

更に、本発明の巡回型 A D 変換器用のデジタル補正器は、本発明の巡回型 A D 変換器に対して、当該誤差係数を計測するよう前記スイッチ群を切り替え指示する手段と、該切り替え指示により計測された当該誤差係数を含む電圧値のデジタル出力コードから、対応する誤差を算出し当該アナログ信号のデジタル出力から減算する手段と、を備えることを特徴とする。

【 0 1 0 1 】

更に、本発明の巡回型 A D 変換器用のデジタル補正方法は、本発明の巡回型 A D 変換器に対して当該アナログ信号の誤差をデジタル領域で補正するデジタル補正方法であって、該巡回型 A D 変換器に対して当該誤差係数を計測するよう前記スイッチ群を切り替え指示するステップと、該切り替え指示により計測された当該誤差係数を含む電圧値のデジタル出力コードから、対応する誤差を算出し当該アナログ信号のデジタル出力から減算するステップと、を含むことを特徴とする。

【発明の効果】

【 0 1 0 2 】

本発明によれば、巡回型 A D 変換器の内部で発生する所定の誤差の誤差係数を含む信号を巡回型 A D 変換器の入力としてサンプリングし、本信号を A D 変換して得られた出力コードを基に誤差係数の値を自動的に、且つ所望のタイミングで計測可能となるので、固体ばらつきを吸収するのが容易となり、更には温度変化等の誤差の時間変化に対応することができる。例えば、C M O S イメージセンサや巡回型 A D 変換器の電源投入時、或いは C M O S イメージセンサのブランキング期間に、当該巡回型 A D 変換器の誤差を自動的に計測することができるので、実効性の高い高精度のデジタル補正が可能となる。

【図面の簡単な説明】

【 0 1 0 3 】

【図 1】本発明による第 1 実施形態の巡回型 A D 変換器の構成を示すブロック図である。

【図 2】本発明による第 2 実施形態の巡回型 A D 変換器の構成を示すブロック図である。

【図 3】本発明による各実施形態の巡回型 A D 変換器における第 1 計測モードの回路構成を示すブロック図である。

【図 4】本発明による各実施形態の巡回型 A D 変換器における第 2 計測モードの回路構成を示すブロック図である。

【図 5】本発明による各実施形態の巡回型 A D 変換器における第 3 計測モードの回路構成を示すブロック図である。

【図 6】本発明による第 2 実施形態の巡回型 A D 変換器における第 3 計測モードの追加の回路構成を示すブロック図である。

【図 7】本発明による各実施形態の巡回型 A D 変換器における第 4 計測モードの回路構成を示すブロック図である。

【図 8】本発明による各実施形態の巡回型 A D 変換器における第 1 計測モードの動作タイミングを示す図である。

【図 9】本発明による各実施形態の巡回型 A D 変換器における第 2 計測モードの動作タイミングを示す図である。

【図 10】本発明による各実施形態の巡回型 A D 変換器における第 3 及び第 4 計測モードの動作タイミングを示す図である。

【図 11】本発明による第 2 実施形態の巡回型 A D 変換器における第 3 計測モードの追加の動作タイミングを示す図である。

【図 12】従来技術における 1 段構成の巡回型 A D 変換器の構成を示すブロック図である。

【図 13】冗長ビット方式の巡回型 A D 変換器のデジタル出力例を示す図である。

10

20

30

40

50

【図14】従来技術における2段巡回型AD変換器の構成を示すブロック図である。

【図15】2段巡回型AD変換器をCMOSイメージセンサに適用する際の動作例を示す説明図である。

【図16】巡回型AD変換器にて発生する誤差の説明図である。

【発明を実施するための形態】

【0104】

以下、図面を参照して、本発明による各実施形態の巡回型AD変換器1、並びに巡回型AD変換器1用のデジタル補正器及びその方法を説明する。尚、各図において同様な構成要素には同一の符号を付し、重複する説明については省略している。特に、第2実施形態の巡回型AD変換器1の説明では、対応する同様な構成要素にはその参照番号の添え字にA, B (またはa, b) を付すことで、個別の重複する説明を省略している。本発明による各実施形態の巡回型AD変換器1は、例えば非特許文献2に開示されるCMOSイメージセンサに適用可能なAD変換器として構成されている。

10

【0105】

(第1実施形態)

図1は、本発明による第1実施形態の巡回型AD変換器1の構成を示すブロック図である。図1に示す巡回型AD変換器1は、その内部で発生する所定の誤差の誤差係数を自動計測可能に構成されており、入力されるアナログ信号 V_{in} をサンプリングするスイッチ S_S と、アナログ信号 V_{in} を分解能に応じた巡回回数でAD変換するために、式(4)で表されるように、直前の巡回時における出力を2倍増幅した電圧値に対して、当該直前の巡回時にAD変換されたデジタル出力コードに応じた電圧値で差分した出力を発生するスイッチトキャパシタ増幅回路の構成要素である複数のキャパシタ C_{s1}, C_{s2}, C_f 及びオペアンプ12と、オペアンプ12の出力をAD変換して冗長ビットのデジタル出力コード $D(i)$ を生成するサブAD変換器13と、そのデジタル出力コードに応じた電圧値を生成するDAC11と、DAC11を制御するDAC制御クロック発生部14と、動作フェーズを切り替え制御するスイッチ S_R, S_0, S_1, S_2, S_3 (及び S_S) と、複数のキャパシタ C_{s1}, C_{s2}, C_f 及びオペアンプ12のいずれか一方又は双方に起因する誤差の誤差係数を含むオペアンプ12の出力をAD変換して得られるデジタル出力コードからその誤差係数を特定可能にするために、当該誤差係数を計測するための予め定めた計測モードの回路構成となるよう切り替え可能な複数のスイッチ $S_P, S_{MS}, S_N, S_X, S_{ER}$ と、を備える。

20

30

【0106】

図1に示す本実施形態の巡回型AD変換器1は、主として、図12に示す巡回型AD変換器1と比較して、DAC11内にスイッチ S_X を追加し、アナログ信号 V_{in} の入力ラインとDAC11との間にスイッチ S_{ER} を挿入している点で相違している。

【0107】

また、本実施形態の巡回型AD変換器1にて、自動的、且つ所望のタイミングで各誤差係数を計測可能にするために、本実施形態の巡回型AD変換器1が動作モード制御部17によって「誤差係数の計測時」と「通常動作時」の各動作モードを切り替え可能にするよう構成されている点で相違している。この動作モード制御部17は、誤差係数の計測時と通常動作時の各動作モードを切り替え指示するべく、DAC制御指示信号及びフェーズ指示信号をそれぞれDAC制御クロック発生部14及びフェーズ制御クロック発生部15に供給するとともに、デジタル補正を行う補正制御部16内の各スイッチ S_{cal}, S_{err} のオン/オフをそれぞれ制御するためのクロック clk_{cal}, clk_{err} を補正制御部16に供給し、誤差係数の計測時と通常動作時の各動作モードを切り替え制御する機能部である。従って、誤差係数の計測時以外の動作、即ち本実施形態の巡回型AD変換器1における通常動作時は、図12に示す巡回型AD変換器1と同様に制御される。

40

【0108】

また、DAC11を制御するDAC制御クロック発生部14がスイッチ S_P, S_{MS}, S_N, S_X を制御する各クロック $clk_P, clk_{MS}, clk_N, clk_X$ を発生するよう構成されてい

50

る点、誤差係数の計測時と通常動作時の各動作モードを切り替え可能にするために、各動作フェーズを制御するフェーズ制御クロック発生部 15 がスイッチ S_{ER} , S_R , S_S , S_0 , S_1 , S_2 , S_3 を制御する各クロック E_R , R , S , 0 , 1 , 2 , 3 を発生するよう構成されている点でも相違している。これらの各クロックのタイミング例は、図 8 ~ 図 10 を参照して後述する。

【0109】

補正制御部 16 は、動作モード制御部 17 の制御により、式 (11) で近似されたデジタル出力コード $X(0)$ (誤差を含んだデジタル出力コード) から式 (34) で表される誤差の総計 E_{sum} を減算することでデジタル補正処理を行うよう構成されている。

【0110】

より具体的には、補正制御部 16 は、スイッチ S_{cal} , S_{err} と、演算部 161 と、誤差係数用レジスタ 162 と、誤差演算器 163 と、誤差用レジスタ 164 と、減算部 165 とを備える。

【0111】

補正制御部 16 における誤差係数の計測時の動作モードでは、その第 1 ステップとして、スイッチ S_{cal} がオフ、スイッチ S_{err} がオンとされ、演算部 161 により、巡回数分のデジタル出力コード D が保持されて、容量ミスマッチ、アンプの有限ゲイン、アンプの不完全なセットリング、及び、オフセット電圧により巡回型 AD 変換器 1 で発生する各誤差の誤差係数が演算され、誤差係数用レジスタ 162 に保持される。誤差係数用レジスタ 162 は、スイッチ S_{err} がオンとなり演算部 161 により誤差係数が演算される度に更新するよう構成される。続いて、誤差係数の計測時の動作モードにおける第 2 ステップとして、スイッチ S_{cal} がオン、スイッチ S_{err} がオフとされ (通常動作時の動作モードと同様)、誤差演算器 163 は、巡回数分のデジタル出力コード D が保持されて、当該誤差係数用レジスタ 162 に保持された誤差係数の値を用いて、当該巡回型 AD 変換器 1 の分解能に応じたビット数の総計 E_{sum} を算出し、誤差用レジスタ 164 に保持させる。誤差用レジスタ 164 は、スイッチ S_{cal} がオン、スイッチ S_{err} がオフとされ誤差演算器 163 によりの総計 E_{sum} が演算される度に更新するよう構成される。

【0112】

また、補正制御部 16 における通常動作時の動作モードでは、スイッチ S_{cal} がオン、スイッチ S_{err} がオフとされ、減算部 165 によって、巡回数分のデジタル出力コード D に対して誤差用レジスタ 164 に保持された誤差の総計 E_{sum} が減算されて、デジタル補正後の出力 D' (即ち、式 (35) で表される補正されたデジタルコード $D_{cal_{ib}}$) を出力する。

【0113】

特に、補正制御部 16 及び動作モード制御部 17 は、「デジタル補正器」として構成される。このようなデジタル補正器は、マイクロコンピュータ等のコンピュータとして機能させることもでき、当該コンピュータに、補正制御部 16 及び動作モード制御部 17 の各機能を実現させるためのプログラムは、当該コンピュータの内部又は外部に備えられるメモリ (図示せず) に記憶される。コンピュータに備えられる中央演算処理装置 (CPU) などの制御で、これらの機能を実現するための処理内容が記述されたプログラムを、適宜、メモリから読み込んで、当該デジタル補正器の機能をコンピュータに実現させることができる。ここで、当該デジタル補正器の一部又は全部の機能を論理回路やレジスタ等を用いたハードウェアで実現してもよい。

【0114】

まず、本実施形態の巡回型 AD 変換器 1、フェーズ制御クロック発生部 15 及びそのデジタル補正器 (補正制御部 16 及び動作モード制御部 17) は、前述した容量ミスマッチ、アンプの有限ゲイン、アンプの不完全なセットリング、及び、オフセット電圧により巡回型 AD 変換器 1 で発生する誤差に関するそれぞれのパラメータである誤差係数を予め定めた複数の計測モードで特定できるように動作するとともに、その誤差計測動作と通常動作との切り替えも可能に動作するよう構成されている。

10

20

30

40

50

【0115】

即ち、通常動作では、図1に示すDAC11を構成するスイッチ S_P, S_{MS}, S_N のオン/オフ制御はデジタル出力Dに基づいて行われているが、誤差係数の計測動作時の最初のサンプリングフェーズ及び2倍増幅フェーズでは、それぞれの誤差係数の計測モード時の回路構成(後述する図3, 図4, 図5及び図7)となるように、DAC11内のスイッチ S_P, S_{MS}, S_N, S_X 、及びスイッチ S_{ER} のオン/オフ制御が外部から(本例では、動作モード制御部17によるDAC制御指示信号及びフェーズ指示信号)から強制的に制御可能となっている。

【0116】

スイッチ S_{ER} のオン/オフ制御は、詳細に後述するが、通常動作時では図12に示す構成と同様にスイッチ S_{ER} をオンとし、誤差係数の計測モード時では、そのサンプリングフェーズ時に、フィードバック容量 C_f に inputsする電圧が V_{in} 端子に接続されるようスイッチ S_{ER} をオフし、その後の2倍増幅フェーズ時にスイッチ S_{ER} をオンする。

【0117】

そして、動作モード制御部17により、補正制御部16は、それぞれの誤差係数の計測モード時の回路構成(後述する図3, 図4, 図5及び図7)から、容量ミスマッチ、アンプの有限ゲイン、アンプの不完全なセットリング、及び、オフセット電圧により巡回型AD変換器1で発生する誤差に関する各誤差係数を算出して保持し、サブAD変換器(Sub-ADC)13からの誤差を含んだデジタル出力D(式(11)で近似されたデジタル出力コード $X(0)$)に対して、式(34)で表される誤差の総計 E_{sum} を減算することで補正後のデジタル出力D'(即ち、式(35)で表される補正されたデジタルコード D_{calib})を得るよう構成されている。

【0118】

(第2実施形態)

一方、図2は、本発明による第2実施形態の2段巡回型AD変換器1の構成を示すブロック図である。図2に示す第2実施形態の2段巡回型AD変換器1は、図1に示す1段構成の巡回型AD変換器1が2段縦列接続されて構成されている。このため、図2において1段目の巡回型AD変換器1aと2段目の巡回型AD変換器1bとの間に対応する構成要素には、それぞれ参照符号に添字A, B(又はa, b)を付している。図2に示す本実施形態の2段巡回型AD変換器1は、主として、図15に示す2段巡回型AD変換器1と比較して、1段目及び2段目の巡回型AD変換器1a, 1bにおける各DAC11a, 11b内にそれぞれスイッチ S_{XA}, S_{XB} を追加し、アナログ信号 V_{in} の入力ラインとDAC11aとの間にスイッチ S_{ERA} を挿入するとともに、2段目の巡回型AD変換器1bのアナログ信号 V_{in} の入力ラインとDAC11bとの間にスイッチ S_{ERB} を挿入している点で相違している。

【0119】

また、本実施形態の巡回型AD変換器1にて、自動的、且つ所望のタイミングで各誤差係数を計測可能にするために、各DAC11a, 11bを制御するそれぞれのDAC制御クロック発生部14a, 14bが、それぞれ対応するスイッチ $S_{PA}, S_{MSA}, S_{NA}, S_{XA}$ 、及び $S_{PB}, S_{MSB}, S_{NB}, S_{XB}$ を制御する各クロック $\phi_{PA}, \phi_{MSA}, \phi_{NA}, \phi_{XA}$ 、及び $\phi_{PB}, \phi_{MSB}, \phi_{NB}, \phi_{XB}$ を発生するよう構成されている点、誤差係数の計測時と通常動作時の各動作モードを切り替え可能にするために、1段目及び2段目の巡回型AD変換器1a, 1bの各動作フェーズを制御するフェーズ制御クロック発生部15a, 15bが、それぞれ対応するスイッチ $S_{ERA}, S_{RA}, S_{SA}, S_{0A}, S_{1A}, S_{2A}, S_{3A}$ 、及び $S_{ERB}, S_{RB}, S_{SB}, S_{0B}, S_{1B}, S_{2B}, S_{3B}$ を制御する各クロック $\phi_{ERA}, \phi_{RA}, \phi_{SA}, \phi_{0A}, \phi_{1A}, \phi_{2A}, \phi_{3A}$ 、及び $\phi_{ERB}, \phi_{RB}, \phi_{SB}, \phi_{0B}, \phi_{1B}, \phi_{2B}, \phi_{3B}$ を発生するよう構成されている点、及び、式(11)で近似されたデジタル出力コード $X(0)$ (誤差を含んだデジタル出力コード)から式(34)で表される誤差の総計 E_{sum} を減算することでデジタル補正処理を行う各補正制御部16a, 16bが、それぞれ動作モード

10

20

30

40

50

制御部 17 a , 17 b の制御により、自動的、且つ所望のタイミングで各誤差係数を計測可能にするために、それぞれ DAC 制御クロック発生部 14 a , 14 b、並びにフェーズ制御クロック発生部 15 a , 15 b に対して、それぞれ DAC 制御指示信号及びフェーズ指示信号を与えるよう構成されている点でも相違している。これらの各クロックのタイミング例は、図 8 ~ 図 11 を参照して後述する。従って、誤差係数の計測時以外の動作、即ち本実施形態の巡回型 AD 変換器 1 における通常動作時は、図 14 に示す 2 段巡回型 AD 変換器 1 と同様に制御される。

【0120】

尚、図 2 において、動作モード制御部 17 a , 17 b の制御により、それぞれ補正制御部 16 a , 16 b を制御する個別の機能ブロックとして図示しているが、動作モード制御部 17 a , 17 b を一つの機能ブロックとして構成し、補正制御部 16 a , 16 b により 1 段目及び 2 段目の巡回型 AD 変換器 1 a , 1 b に対して自動的、且つ所望のタイミングで各誤差係数を計測可能とし、且つ式 (11) で近似されたデジタル出力コード $X(0)$ (誤差を含んだデジタル出力コード) から式 (34) で表される誤差の総計 E_{sum} を減算することでデジタル補正処理を行うよう構成することもできる。

10

【0121】

特に、補正制御部 16 a , 16 b 及び動作モード制御部 17 a , 17 b は、「デジタル補正器」として構成される。このようなデジタル補正器は、マイクロコンピュータ等のコンピュータとして機能させることもでき、当該コンピュータに、補正制御部 16 a , 16 b 及び動作モード制御部 17 a , 17 b の各機能を実現させるためのプログラムは、当該コンピュータの内部又は外部に備えられるメモリ (図示せず) に記憶される。コンピュータに備えられる中央演算処理装置 (CPU) などの制御で、これらの機能を実現するための処理内容が記述されたプログラムを、適宜、メモリから読み込んで、当該デジタル補正器の機能をコンピュータに実現させることができる。ここで、当該デジタル補正器の一部又は全部の機能を論理回路やレジスタ等を用いたハードウェアで実現してもよい。

20

【0122】

第 2 実施形態の 2 段巡回型 AD 変換器 1、フェーズ制御クロック発生部 15 a , 15 b 及びそのデジタル補正器においても、前述した容量ミスマッチ、アンプの有限ゲイン、アンプの不完全なセットリング、及び、オフセット電圧により 2 段巡回型 AD 変換器 1 で発生する誤差に関するそれぞれのパラメータである誤差係数を予め定めた複数の計測モードで特定できるように動作するとともに、その誤差計測動作と通常動作との切り替えも可能に動作するよう構成されている。

30

【0123】

即ち、通常動作では、図 2 に示す DAC 11 a , 11 b を構成する各スイッチのオン/オフ制御はそれぞれのデジタル出力 D_A , D_B に基づいて行われているが、誤差係数の計測動作時の最初のサンプリングフェーズ及び 2 倍増幅フェーズでは、それぞれの誤差係数の計測モード時の回路構成 (後述する図 3 ~ 図 7) となるように、DAC 11 a , 11 b 内の各スイッチ、及びスイッチ S_{ERA} , S_{ERB} のオン/オフ制御が外部から (本例では、動作モード制御部 17 a , 17 b による DAC 制御指示信号及びフェーズ指示信号) から強制的に制御可能となっている。

40

【0124】

スイッチ S_{ERA} , S_{ERB} のオン/オフ制御は、詳細に後述するが、通常動作時では図 14 に示す構成と同様にスイッチ S_{ERA} , S_{ERB} をオンとし、誤差係数の計測モード時では、そのサンプリングフェーズ時に、フィードバック容量 C_f に入力する電圧が V_{in} 端子に接続されるようスイッチ S_{ERA} , S_{ERB} をオフし、その後の 2 倍増幅フェーズ時にスイッチ S_{ERA} , S_{ERB} をオンする。

【0125】

そして、動作モード制御部 17 a , 17 b により、補正制御部 16 a , 16 b は、それぞれの誤差係数の計測モード時の回路構成 (後述する図 3 ~ 図 7) から、容量ミスマッチ、アンプの有限ゲイン、アンプの不完全なセットリング、及び、オフセット電圧により 2

50

段巡回型 A D 変換器 1 で発生する誤差に関する各誤差係数を算出して保持し、サブ A D 変換器 (S u b - A D C) 1 3 a , 1 3 b からの誤差を含んだデジタル出力 D_A , D_B (式 (1 1) で近似されたデジタル出力コード $X(0)$) に対して、式 (3 4) で表される誤差の総計 E_{sum} を減算することで補正後のデジタル出力 D_A' , D_B' を得るよう構成されている。

【 0 1 2 6 】

(誤差係数の計測モード)

ここで、各誤差係数を算出可能とする計測モードについて説明する。本例では 4 種類の誤差係数を特定するため、4 種類の計測モードで切り替え可能に動作するよう図 1 及び図 2 にそれぞれ示す 1 段又は 2 段巡回型 A D 変換器 1 が構成されている。これらの 4 種類の計測モードは、図 1 に示す第 1 実施形態であれば動作モード制御部 1 7 (図 2 に示す第 2 実施形態であれば動作モード制御部 1 7 a , 1 7 b) により、誤差係数の計測時の動作モードで実行される。

10

【 0 1 2 7 】

各計測モードの動作原理の要諦は、計測動作時における最初のサンプリングフェーズと 2 倍増幅フェーズにより、所望の誤差係数を含む電圧値をサンプリングすることにある。特に、本実施形態では、サンプリングされた電圧値をサイクリックに A D 変換していくため、この電圧値が A D 変換範囲に含まれるように工夫されている。以下、各計測モードの回路構成 (図 2 ~ 図 5) と動作について説明する。尚、図 1 に示す V_{COM} の入力端子に印加するバイアス電圧は 0 とし、オペアンプ 1 2 のオフセット電圧 V_{OS} が付加されている。

20

【 0 1 2 8 】

(1) 第 1 計測モード

代表して図 1 に示す巡回型 A D 変換器 1 において、第 1 計測モードにおける計測動作時の最初のサンプリングフェーズ (Sampling phase) 及び 2 倍増幅フェーズ (Amplification phase) の回路構成を図 3 に示す。この第 1 計測モードにおける各クロックの動作は、図 8 に示される。 V_{RH} , V_{RL} は、それぞれ A D 変換範囲の上限、下限を示している。いま、上述した説明と同様に $V_{RH} = V_r$, $V_{RL} = 0$ とし、オペアンプ 1 2 の負入力端子における電荷保存則より、第 1 計測モードにおけるオペアンプ 1 2 の出力電圧 V_{out_md1} は、式 (3 6) となる。

30

【 0 1 2 9 】

【 数 3 6 】

$$V_{out_md1} = \frac{1}{2} (1 - e_{fg} - e_{st} + e_m + e_{ms}) V_r + e_{off} V_r \quad (36)$$

【 0 1 3 0 】

尚、各誤差係数の定義は上記の説明に示した通りである。 e_m , e_{ms} は正負両方の値を取り得るが、バイアス値として $0.5 V_r$ が加わっているため (式 (3 6) の第 1 項) 、出力電圧 V_{out_md1} は $0.5 V_r$ 前後となり、確実に A D 変換範囲に含まれる。こうしてサンプリングされた出力電圧 V_{out_md1} を巡回型 A D 変換器 1 の入力として、通常動作時と同様にサイクリックに A D 変換する。即ち、誤差計測時の最初のサンプリングフェーズ (Sampling phase) 及び 2 倍増幅フェーズ (Amplification phase) では D A C 1 1 内の各クロックが強制的に制御されて図 3 に示す回路構成を実現し、このときの出力電圧 V_{out_md1} をサイクリックに A D 変換すると、N 回の巡回を行うたびに、D A C 1 1 は、このデジタル出力コード $D(i)$ が当該 3 値の { 0 } であれば「 S_P , S_X をオフ、 S_N , S_{MS} をオン」とし、デジタル出力コード $D(i)$ が当該 3 値の { 1 / 2 } であれば「 S_P , S_N をオン、 S_{MS} , S_X をオフ」とし、デジタル出力コード $D(i)$ が当該 3 値の { 1 } であれば「 S_P , S_{MS} をオン、 S_N , S_X をオフ」として D A 変換値を出力する。誤差係数の計測モードでは、通常動作モードと異なり、N 回の巡回により冗長 N ビットが変換され、N + 1 ビットの分解能の A D 変換を行うことができる。

40

50

【 0 1 3 1 】

そして、式 (3 6) で表される出力電圧 V_{out_md1} を A/D 変換したとき、得られるデジタル出力コード $D(i)$ には誤差が含まれる。上記の説明より、デジタル出力コード $D(i)$ に含まれる誤差の総計 E_{sum} は式 (3 4) のように表されるが、式 (1 2)、式 (1 9)、式 (2 6) 及び式 (3 2) より、 E_{m_t} 、 E_{fg_t} 、 E_{st_t} 、 E_{off_t} は、式 (3 7) のようになる。

【 0 1 3 2 】

【数 3 7】

$$\begin{aligned} E_{m_t} &= a_1 e_m + a_2 e_{ms} \\ E_{fg_t} &= b_1 e_{fg} \\ E_{st_t} &= b_1 e_{st} \\ E_{off_t} &= c_1 e_{off} \end{aligned} \quad (37)$$

【 0 1 3 3 】

尚、式 (3 7) の右辺の各係数 a_1 、 a_2 、 b_1 は、動作フェーズごとに、式 (1 2)、式 (1 9) 及び式 (2 6) にデジタル出力コード $D(i)$ を代入して求める。また、 c_1 は、各動作フェーズで一定値である。したがって、式 (3 6) で表される V_{out_md1} を A/D 変換して得られる、複数の誤差を含んだデジタル出力コード X_{out_md1} は、式 (3 8) となる。

【 0 1 3 4 】

【数 3 8】

$$\begin{aligned} X_{out_md1} &= \frac{1}{2} (1 - e_{fg} - e_{st} + e_m + e_{ms}) + e_{off} + E_{sum} \\ &= \frac{1}{2} + \left(a_{1_md1} + \frac{1}{2} \right) e_m + \left(a_{2_md1} + \frac{1}{2} \right) e_{ms} + \left(b_{1_md1} - \frac{1}{2} \right) (e_{fg} + e_{st}) + (1 + c_1) e_{off} \end{aligned} \quad (38)$$

【 0 1 3 5 】

尚、式 (3 8) において、デジタル出力コード X_{out_md1} は 0.5 近傍のため、誤差が大変小さいと仮定すると、誤差の総計 E_{sum} の計算は、式 (1 2)、式 (1 9) 及び式 (2 6) の代わりに式 (1 0)、式 (1 8) 及び式 (2 5) において $X(i) = 0.5$ 、 $D(i) = 0.5$ 、 $D_s(i) = 1$ とし簡略すると、第 1 計測モードで例えば冗長 14 ビット変換 ($N = 14$) では、式 (3 9) となる。

【 0 1 3 6 】

【数 3 9】

$$X_{out_md1} = \frac{1}{2} (1 - 2e_{fg} - 2e_{st} + e_m) + 2^{-14} (e_{fg} + e_{st} + e_{ms}) + (2 - 2^{-13}) e_{off} \quad (39)$$

【 0 1 3 7 】

また、図 2 に示す 2 段巡回型 A/D 変換器 1 の場合、第 1 計測モードは、1 段目と 2 段目の巡回型 A/D 変換器 1 a、1 b にそれぞれ適用する。

【 0 1 3 8 】

(2) 第 2 計測モード

代表して図 1 に示す巡回型 A/D 変換器 1 において、第 2 計測モードにおける計測動作時の最初のサンプリングフェーズ (Sampling phase) 及び 2 倍増幅フェーズ (Amplification phase) の回路構成を図 4 に示す。この第 2 計測モードにおける各クロックの動作は、図 9 に示される。 V_{RH} 、 V_{RL} は、それぞれ A/D 変換範囲の上限、下限を示している。いま、上述した説明と同様に $V_{RH} = V_r$ 、 $V_{RL} = 0$ とし、オペアンプ 1 2 の負入力端

10

20

30

40

50

子における電荷保存則より、第 2 計測モードにおけるオペアンプ 1 2 の出力電圧 V_{out_md2} は、式 (40) となる。

【 0 1 3 9 】

【 数 4 0 】

$$V_{out_md2} = \frac{1}{2}(1 - e_{fg} - e_{st} + e_m - e_{ms})V_r + e_{off}V_r \quad (40)$$

【 0 1 4 0 】

第 1 計測モードと同様に、第 2 計測モードにおいてもバイアス値として $0.5V_r$ が加わっているため (式 (40) の第 1 項)、確実に A/D 変換範囲に含まれる。こうしてサンプリングされた出力電圧 V_{out_md2} を巡回型 A/D 変換器 1 の入力として、通常動作時と同様にサイクリックに A/D 変換する。式 (40) で表される電圧を A/D 変換したとき、得られるデジタル出力コード $D(i)$ に含まれる誤差は式 (37) の形で表されるため、式 (40) で表される V_{out_md2} を A/D 変換して得られる、複数の誤差を含んだデジタル出力コード X_{out_md2} は、式 (41) となる。

【 0 1 4 1 】

【 数 4 1 】

$$\begin{aligned} X_{out_md2} &= \frac{1}{2}(1 - e_{fg} - e_{st} + e_m - e_{ms}) + e_{off} + E_{sum} \\ &= \frac{1}{2} + \left(a_{1_md2} + \frac{1}{2}\right)e_m + \left(a_{2_md2} - \frac{1}{2}\right)e_{ms} + \left(b_{1_md2} - \frac{1}{2}\right)(e_{fg} + e_{st}) + (1 + c_1)e_{off} \end{aligned} \quad (41)$$

【 0 1 4 2 】

尚、式 (41) において、デジタル出力コード X_{out_md2} は 0.5 近傍のため、誤差が大变小さいと仮定すると、誤差の総計 E_{sum} の計算は、式 (12)、式 (19) 及び式 (26) の代わりに式 (10)、式 (18) 及び式 (25) において $X(i) = 0.5$, $D(i) = 0.5$, $D_s(i) = 1$ とし簡略すると、第 2 計測モードで例えば冗長 14 ビット変換 ($N = 14$) では、式 (42) となる。

【 0 1 4 3 】

【 数 4 2 】

$$X_{out_md2} = \frac{1}{2}(1 - 2e_{fg} - 2e_{st} + e_m - 2e_{ms}) + 2^{-14}(e_{fg} + e_{st} + e_{ms}) + (2 - 2^{-13})e_{off} \quad (42)$$

【 0 1 4 4 】

また、図 2 に示す 2 段巡回型 A/D 変換器 1 の場合、第 2 計測モードは、1 段目と 2 段目の巡回型 A/D 変換器 1 a, 1 b にそれぞれ適用する。

【 0 1 4 5 】

(3) 第 3 計測モード

代表して図 1 に示す巡回型 A/D 変換器 1 において、第 3 計測モードにおける計測動作時の最初のサンプリングフェーズ (Sampling phase) 及び 2 倍増幅フェーズ (Amplification phase) の回路構成を図 5 に示す。この第 1 計測モードにおける各クロックの動作は、図 10 に示される。 V_{RH} , V_{RL} は、それぞれ A/D 変換範囲の上限、下限を示している。いま、上述した説明と同様に $V_{RH} = V_r$, $V_{RL} = 0$ とし、オペアンプ 1 2 の負入力端子における電荷保存則より、第 3 計測モードにおけるオペアンプ 1 2 の出力電圧 V_{out_md3} は、式 (43) となる。

【 0 1 4 6 】

【 数 4 3 】

$$V_{out_md3} = \frac{1}{2}(1 - e_{fg} - e_{st})V_r + e_{off}V_r \quad (43)$$

10

20

30

40

50

【 0 1 4 7 】

第 1 計測モードと同様に、第 3 計測モードにおいてもバイアス値として $0.5 V_r$ が加わっているため（式（43）の第 1 項）、確実に A/D 変換範囲に含まれる。こうしてサンプリングされた出力電圧 V_{out_md3} を巡回型 A/D 変換器 1 の入力として、通常動作時と同様にサイクリックに A/D 変換する。式（43）で表される電圧を A/D 変換したとき、得られるデジタル出力コード $D(i)$ に含まれる誤差は式（37）の形で表されるため、式（43）で表される出力電圧 V_{out_md3} を A/D 変換して得られる、複数の誤差を含んだデジタル出力コード X_{out_md3} は、式（44）となる。

【 0 1 4 8 】

【 数 4 4 】

$$\begin{aligned} X_{out_md3} &= \frac{1}{2}(1 - e_{fg} - e_{st}) + e_{off} + E_{sum} \\ &= \frac{1}{2} + a_{1_md3}e_m + a_{2_md3}e_{ms} + \left(b_{1_md3} - \frac{1}{2}\right)(e_{fg} + e_{st}) + (1 + c_1)e_{off} \end{aligned} \quad (44)$$

【 0 1 4 9 】

尚、式（44）において、デジタル出力コード X_{out_md3} は 0.5 近傍のため、誤差が大変小さいと仮定すると、誤差の総計 E_{sum} の計算は、式（12）、式（19）及び式（26）の代わりに式（10）、式（18）及び式（25）において $X(i) = 0.5$ 、 $D(i) = 0.5$ 、 $D_s(i) = 1$ とし簡略すると、第 2 計測モードで例えば冗長 14 ビット変換（ $N = 14$ ）では、式（45）となる。

【 0 1 5 0 】

【 数 4 5 】

$$X_{out_md3} = \frac{1}{2}(1 - 2e_{fg} - 2e_{st} - e_{ms}) + 2^{-14}(e_{fg} + e_{st} + e_{ms}) + (2 - 2^{-13})e_{off} \quad (45)$$

【 0 1 5 1 】

また、図 2 に示す 2 段巡回型 A/D 変換器 1 の場合、第 3 計測モードは、1 段目と 2 段目の巡回型 A/D 変換器 1 a、1 b にそれぞれ適用する。ただし、2 段巡回型 A/D 変換器 1 の場合、第 3 計測モードにおいて、1 段目と 2 段目の巡回型 A/D 変換器 1 a、1 b が接続しているときの 1 段目の巡回型 A/D 変換器 1 a のセットリング誤差係数 e_{stAB} は別途考慮しなければならないため、この点について図 6 及び図 11 を参照して説明する。

【 0 1 5 2 】

2 段巡回型 A/D 変換器 1 の場合の第 3 計測モード 3 において、1 段目と 2 段目の巡回型 A/D 変換器 1 a、1 b が接続しているときの 1 段目の巡回型 A/D 変換器 1 a のセットリング誤差係数 e_{stAB} は別途考慮する。即ち、1 段目の巡回型 A/D 変換器 1 a が 2 段目の巡回型 A/D 変換器 1 b と接続されるときにのセットリング誤差 e_{stAB} を含んだ信号をサンプリングするために、1 段目の巡回型 A/D 変換器 1 a が 2 倍増幅フェーズで動作する時に、サンプリングフェーズで動作する 2 段目の巡回型 A/D 変換器 1 b を接続する。このときの、最初のサンプリングフェーズ（Sampling phase）及び 2 倍増幅フェーズ（Amplification phase）の回路構成を図 6 に示す。このときの第 3 計測モードにおける各クロックの動作は、図 11 に示される。こうしてサンプリングされた出力電圧 V_{out_md3b} を 1 段目の巡回型 A/D 変換器 1 a の入力として、通常動作によりサイクリックに A/D 変換する。このときのデジタル出力コード $D_A(i)$ を X_{out_md3b} とすると、式（44）を 1 段目の巡回型 A/D 変換器 1 a に適用した式のセットリング誤差 e_{stA} を e_{stAB} に置き換えればよいので、式（46）となる。

【 0 1 5 3 】

10

20

30

40

【数 4 6】

$$\begin{aligned}
 X_{out_md3b} &= \frac{1}{2}(1 - e_{fgA} - e_{stAB}) + e_{offA} + E_{sum} \\
 &= \frac{1}{2} + a_{1_md3b}e_{mA} + a_{2_md3b}e_{msA} + \left(b_{1_md3b} - \frac{1}{2}\right)(e_{fgA} + e_{stAB}) + (1 + c_1)e_{offA}
 \end{aligned} \tag{46}$$

【0 1 5 4】

また、誤差が大变小さいと仮定した場合、本動作モードで冗長 1 4 ビット変換 (N = 1 4) を実行すると、式 (4 7) となる。

【0 1 5 5】

【数 4 7】

$$X_{out_md3b} = \frac{1}{2}(1 - 2e_{fgA} - 2e_{stAB} - e_{msA}) + 2^{-14}(e_{fgA} + e_{stAB} + e_{msA}) + (2 - 2^{-13})e_{offA} \tag{47}$$

【0 1 5 6】

式 (4 6)、式 (4 7) は、2 段巡回型 A D 変換器 1 において 1 段目の巡回型 A D 変換器 1 a にのみ適用する。

【0 1 5 7】

(4) 第 4 計測モード

代表して図 1 に示す巡回型 A D 変換器 1 において、第 4 計測モードにおける計測動作時の最初のサンプリングフェーズ (Sampling phase) 及び 2 倍増幅フェーズ (Amplification phase) の回路構成を図 7 に示す。この第 4 計測モードにおける各クロックの動作は、図 1 0 に示される。V_{RH}、V_{RL} は、それぞれ A D 変換範囲の上限、下限を示している。いま、上述した説明と同様に V_{RH} = V_r、V_{RL} = 0 とし、オペアンプ 1 2 の負入力端子における電荷保存則より、第 4 計測モードにおけるオペアンプ 1 2 の出力電圧 V_{out_md4} は、式 (4 8) となる。

【0 1 5 8】

【数 4 8】

$$V_{out_md4} = e_{off}V_r \tag{48}$$

【0 1 5 9】

ここで、オフセット誤差の誤差係数 e_{off} は、スイッチングによるチャージインジェクションとクロックフィードスルー電荷がオペアンプ 1 2 の負入力端子に流入することによる誤差に起因するため、e_{off} > 0 となるため、出力電圧 V_{out_md4} は確実に A D 変換範囲に含まれる。こうしてサンプリングされた出力電圧 V_{out_md4} を巡回型 A D 変換器 1 の入力として、通常動作時と同様にサイクリックに A D 変換する。式 (4 8) で表される電圧を A D 変換したとき、得られるデジタル出力コード D に含まれる誤差は式 (3 7) の形で表されるため、式 (4 8) で表される出力電圧 V_{out_md4} を A D 変換して得られる、複数の誤差を含んだデジタル出力コード X_{out_md4} は、式 (4 9) となる。

【0 1 6 0】

【数 4 9】

$$\begin{aligned}
 X_{out_md4} &= e_{off} + E_{sum} \\
 &= a_{1_md4}e_m + a_{2_md4}e_{ms} + b_{1_md4}(e_{fg} + e_{st}) + (1 + c_1)e_{off}
 \end{aligned} \tag{49}$$

【0 1 6 1】

尚、式 (4 9) において、デジタル出力コード X_{out_md4} は 0 近傍のため、誤差

が大変小さいと仮定すると、誤差の総計 E_{sum} の計算は、式 (12)、式 (19) 及び式 (26) の代わりに式 (10)、式 (18) 及び式 (25) において $X(i) = 0$, $D(i) = 0$, $D_s(i) = 0$ とし簡略すると、第 4 計測モードで例えば冗長 14 ビット変換 ($N = 14$) では、オフセット誤差の誤差係数 e_{off} のみを含む式 (50) となる。

【 0 1 6 2 】

【 数 5 0 】

$$X_{out_md4} = (2 - 2^{-13})e_{off} \quad (50)$$

【 0 1 6 3 】

また、図 2 に示す 2 段巡回型 AD 変換器 1 の場合、第 4 計測モードは、1 段目と 2 段目の巡回型 AD 変換器 1 a, 1 b にそれぞれ適用する。

10

【 0 1 6 4 】

(誤差係数の算出)

図 1 に示す巡回型 AD 変換器 1 の場合、式 (38)、式 (41)、式 (44)、式 (49) を連立させることにより、例えば、上述の各動作モードで冗長 14 ビット変換を実行すると、以下の行列式の形に表される。

【 0 1 6 5 】

【 数 5 1 】

$$\begin{bmatrix} A_{11} & A_{12} & A_{13} & A_{14} \\ A_{21} & A_{22} & A_{23} & A_{24} \\ A_{31} & A_{32} & A_{33} & A_{34} \\ A_{41} & A_{42} & A_{43} & A_{44} \end{bmatrix} \begin{bmatrix} e_m \\ e_{ms} \\ e_{fg} + e_{st} \\ e_{off} \end{bmatrix} = \begin{bmatrix} X_{out_md1} - 1/2 \\ X_{out_md2} - 1/2 \\ X_{out_md3} - 1/2 \\ X_{out_md4} \end{bmatrix} \quad (51)$$

20

【 0 1 6 6 】

ここに、式 (51) における行列内のパラメータは、式 (52)、及び式 (53) で与えられる。

【 0 1 6 7 】

【 数 5 2 】

$$\begin{cases} A_{11} = a_{1_md1} + 1/2, & A_{12} = a_{2_md1} + 1/2, & A_{13} = b_{1_md1} - 1/2, & A_{14} = 1 + c_1 \\ A_{21} = a_{1_md2} + 1/2, & A_{22} = a_{2_md2} + 1/2, & A_{23} = b_{1_md2} - 1/2, & A_{24} = 1 + c_1 \\ A_{31} = a_{1_md3} + 1/2, & A_{32} = a_{2_md3} + 1/2, & A_{33} = b_{1_md3} - 1/2, & A_{34} = 1 + c_1 \\ A_{41} = a_{1_md4} + 1/2, & A_{42} = a_{2_md4} + 1/2, & A_{43} = b_{1_md4} - 1/2, & A_{44} = 1 + c_1 \end{cases} \quad (52)$$

30

【 0 1 6 8 】

【 数 5 3 】

$$\begin{cases} a_1 = 2^{-2} \left(-D(0) + 2 \sum_{i=3}^{13} (i-2) D(i-1) 2^{-i} \right) \\ a_2 = -2^{-1} \sum_{i=1}^{13} D_s(i-1) 2^{-i} \\ b_1 = -\sum_{i=2}^{13} (i-1) D(i-1) 2^{-i} \\ c_1 = 1 - 2^{-13} \end{cases} \quad (53)$$

40

【 0 1 6 9 】

尚、式 (53) で表される係数 a_1 , a_2 , b_1 は、動作モードごとにデジタル出力コ

50

ードを代入して求める。これらの式より、誤差係数は式(54)のように算出することができる。

【0170】

【数54】

$$\begin{bmatrix} e_m \\ e_{ms} \\ e_{fg} + e_{st} \\ e_{off} \end{bmatrix} = \begin{bmatrix} A_{11} & A_{12} & A_{13} & A_{14} \\ A_{21} & A_{22} & A_{23} & A_{24} \\ A_{31} & A_{32} & A_{33} & A_{34} \\ A_{41} & A_{42} & A_{43} & A_{44} \end{bmatrix}^{-1} \begin{bmatrix} X_{out_md1} - 1/2 \\ X_{out_md2} - 1/2 \\ X_{out_md3} - 1/2 \\ X_{out_md4} \end{bmatrix} \quad (54)$$

10

【0171】

この式(54)で与えられる連立式を解いて各誤差係数を求めるよう補正制御部16における演算部161の機能をコンピュータとして構成した「デジタル補正器」により実行させることで、高精度のデジタル補正が可能となるが、その処理負担を軽減させたい場合には、式(39)、式(42)、式(45)及び式(50)を連立して得られる、式(55)を用いて演算部161の機能を構成することができる。式(55)であれば、補正制御部16における演算部161の機能を比較的簡単な論理回路で構成することができる。

【0172】

【数55】

$$\begin{cases} e_m = X_{out_md1} + X_{out_md2} - 2X_{out_md3} \\ e_{ms} = X_{out_md1} - X_{out_md2} \\ e_{fg} + e_{st} = \frac{1}{2-2^{-13}} \left\{ 1 - (1-2^{-13})(X_{out_md1} - X_{out_md2}) - 2X_{out_md3} + 2X_{out_md4} \right\} \\ e_{off} = \frac{1}{2-2^{-13}} X_{out_md4} \end{cases} \quad (55)$$

20

【0173】

図2に示す2段巡回型AD変換器1の場合、各計測モードを1段目と2段目の巡回型AD変換器1a, 1bに適用することで、上述した1段構成の巡回型AD変換器1の場合と同様にして、1段目の誤差係数 e_{mA} , e_{msA} , $e_{fgA} + e_{stA}$, e_{offA} と、2段目の誤差係数 e_{mB} , e_{msB} , $e_{fgB} + e_{stB}$, e_{offB} を算出できる。また、誤差係数 e_{stAB} に関しては、算出した誤差係数 e_{mA} , e_{msA} , e_{offA} を式(46)に代入することで、式(56)のように求めることができる。

30

【0174】

【数56】

$$e_{fgA} + e_{stAB} = \frac{1}{b_{1_md3b} - 1/2} \left\{ X_{out_md3b} - \frac{1}{2} - a_{1_md3b} e_m - a_{2_md3b} e_{ms} - (1+c_1) e_{off} \right\} \quad (56)$$

40

【0175】

また、簡略化した式(39)、式(42)、式(45)、式(47)、式(50)を連立することにより、1段目の巡回型AD変換器1aの誤差係数については式(57)のように、2段目の巡回型AD変換器1bの誤差係数については式(58)のように算出することもできる。尚、式(57)及び式(58)において、参照符号Xの添え字“ADC_1ST”及び“ADC_2ND”は、1段目の巡回型AD変換器1a及び2段目の巡回型AD変換器1bにおけるそれぞれの誤差係数を含んだデジタル出力コードXを示している。

【0176】

50

【数 5 7】

$$\left\{ \begin{array}{l} e_{mA} = X_{out_md1}^{ADC_1ST} + X_{out_md2}^{ADC_1ST} - 2X_{out_md3}^{ADC_1ST} \\ e_{msA} = X_{out_md1}^{ADC_1ST} - X_{out_md2}^{ADC_1ST} \\ e_{fgA} + e_{stA} = \frac{1}{2-2^{-13}} \left\{ 1 - (1-2^{-13}) \left(X_{out_md1}^{ADC_1ST} - X_{out_md2}^{ADC_1ST} \right) - 2X_{out_md3}^{ADC_1ST} + 2X_{out_md4}^{ADC_1ST} \right\} \\ e_{fgA} + e_{stAB} = \frac{1}{2-2^{-13}} \left\{ 1 - (1-2^{-13}) \left(X_{out_md1}^{ADC_1ST} - X_{out_md2}^{ADC_1ST} \right) - 2X_{out_md3b}^{ADC_1ST} + 2X_{out_md4}^{ADC_1ST} \right\} \\ e_{offA} = \frac{1}{2-2^{-13}} X_{out_md4}^{ADC_1ST} \end{array} \right. \quad (57)$$

10

【0 1 7 7】

【数 5 8】

$$\left\{ \begin{array}{l} e_{mB} = X_{out_md1}^{ADC_2ND} + X_{out_md2}^{ADC_2ND} - 2X_{out_md3}^{ADC_2ND} \\ e_{msB} = X_{out_md1}^{ADC_2ND} - X_{out_md2}^{ADC_2ND} \\ e_{fgB} + e_{stB} = \frac{1}{2-2^{-13}} \left\{ 1 - (1-2^{-13}) \left(X_{out_md1}^{ADC_2ND} - X_{out_md2}^{ADC_2ND} \right) - 2X_{out_md3}^{ADC_2ND} + 2X_{out_md4}^{ADC_2ND} \right\} \\ e_{offB} = \frac{1}{2-2^{-13}} X_{out_md4}^{ADC_2ND} \end{array} \right. \quad (58)$$

20

【0 1 7 8】

前述した、図 8 ~ 図 11 において、2 倍増幅フェーズ及びフィードバックフェーズの時間は、通常動作における 2 倍増幅フェーズ及びフィードバックフェーズの時間と同じとすることができる。そして、補正制御部 16 及び動作モード制御部 17（或いは補正制御部 16a, 16b 及び動作モード制御部 17a, 17b）を構成する「デジタル補正器」は、各誤差係数を特定するための各計測モードにより得られたデジタル出力コードを、式(51) ~ 式(56)、又は、簡略化した式(57)、式(58)に代入することで計測の対象としている巡回型 AD 変換器 1 で発生する誤差に起因した誤差係数を高精度で算出することができる。このように計算された各誤差係数は、図 1 に示す例では、誤差係数用レジスタ 162 に格納される。

30

【0 1 7 9】

そして、当該「デジタル補正器」は、このようにして求めた誤差係数を、1 段構成の巡回型 AD 変換器 1 の場合は、誤差演算器 163 により、誤差係数用レジスタ 162 に格納された誤差係数を用いて、式(12)、式(29)、式(32)及び式(34)で、また、2 段巡回型 AD 変換器 1 の場合は、式(14)、式(30)、式(33)及び式(34)で各誤差に基づく誤差の総計 E_{sum} を演算し誤差用レジスタ 164 に保持させておくことで、減算部 165 により誤差用レジスタ 164 に保持させた誤差を用いて、式(35)で表されるデジタル補正の計算式に当てはめて、デジタル補正を行うようにすることで、高精度なデジタル補正処理が可能となる。

40

【0 1 8 0】

以上、特定の実施形態の例を挙げて本発明を説明したが、本発明は前述の実施形態の例に限定されるものではなく、その技術思想を逸脱しない範囲で種々変形可能である。例えば、上述した実施形態の例では、1 段又は 2 段の巡回型 AD 変換器 1 に対する「デジタル補正器」として、補正制御部 16 及び動作モード制御部 17（或いは補正制御部 16a, 16b 及び動作モード制御部 17a, 17b）をそれぞれ個別の機能ブロックで説明したが、マイクロコンピュータとして構成し、例えば中央演算処理ユニット(CPU)又は ASIC(集積回路)の一部の機能、或いはこれらの組み合わせで単一のハードウェア内で構成することができる。

【0 1 8 1】

50

また、上述した実施形態の例では、容量ミスマッチ、アンプの有限ゲイン、アンプの不完全なセットリング、オフセット電圧により1段又は2段巡回型AD変換器1で発生する誤差の全てについて計測可能とする好適例を説明したが、上述した本発明に係る技法を利用して、これらの誤差のうち少なくとも1つ以上の誤差を対象にしてデジタル補正を可能に構成することができる。例えば、容量ミスマッチ誤差のみを本発明に係る技法を利用して計測するにあたり、式(34)等で表される誤差係数のうち容量ミスマッチ誤差以外の誤差係数の値をゼロとして扱えばよく、所望の誤差係数を選択的に計測・補正するよう構成することができる。

【0182】

また、上述した例では、CMOSイメージセンサに本発明に係る巡回型AD変換器1を適用する例を好適例として説明したが、これに限定するものではない。

【産業上の利用可能性】

【0183】

本発明によれば、本誤差係数を含む信号を巡回型AD変換器の入力としてサンプリングし、本信号をAD変換して得られた出力コードを基に誤差係数の値を自動的、且つ所望のタイミングで計測可能となるので、巡回型AD変換を利用する用途に有用である。

【符号の説明】

【0184】

1 巡回型AD変換器

1 a 2段巡回型AD変換器における1段目の巡回型AD変換器

1 b 2段巡回型AD変換器における2段目の巡回型AD変換器

1 1 , 1 1 a , 1 1 b デジタル・アナログ変換器(DAC)

1 2 , 1 2 a , 1 2 b オペアンプ

1 3 , 1 3 a , 1 3 b サブAD変換器(Sub-ADC)

1 4 , 1 4 a , 1 4 b DAC制御クロック発生部

1 5 , 1 5 a , 1 5 b フェーズ制御クロック発生部

1 6 , 1 6 a , 1 6 b 補正制御部

1 7 , 1 7 a , 1 7 b 動作モード制御部

1 6 1 演算部

1 6 2 誤差係数用レジスタ

1 6 3 誤差演算器

1 6 4 誤差用レジスタ

1 6 5 減算器

C_s, C_{s1}, C_{s2}, C_f キャパシタ

$C_{sA}, C_{s1A}, C_{s2A}, C_{fA}$ キャパシタ

$C_{sB}, C_{s1B}, C_{s2B}, C_{fB}$ キャパシタ

S_P, S_N, S_{MS}, S_X DAC内のスイッチ

$S_{PA}, S_{NA}, S_{MSA}, S_{XA}$ DAC内のスイッチ

$S_{PB}, S_{NB}, S_{MSB}, S_{XB}$ DAC内のスイッチ

$S_R, S_S, S_0, S_1, S_2, S_3$ スイッチ

$S_{RA}, S_{SA}, S_{0A}, S_{1A}, S_{2A}, S_{3A}$ スイッチ

$S_{RB}, S_{SB}, S_{0B}, S_{1B}, S_{2B}, S_{3B}$ スイッチ

S_{err}, S_{cal} 補正制御部内のスイッチ

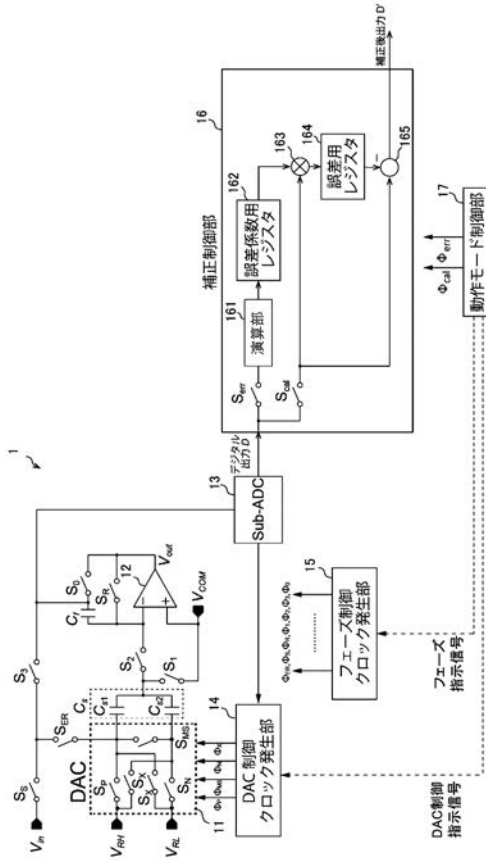
10

20

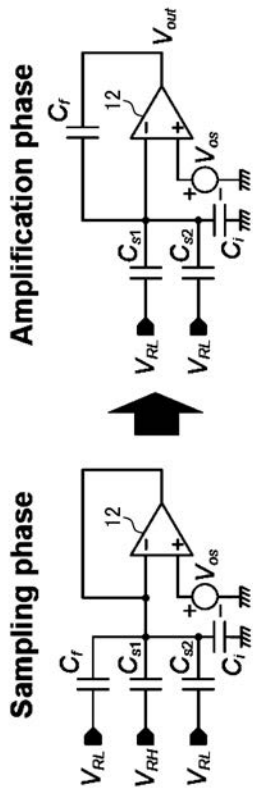
30

40

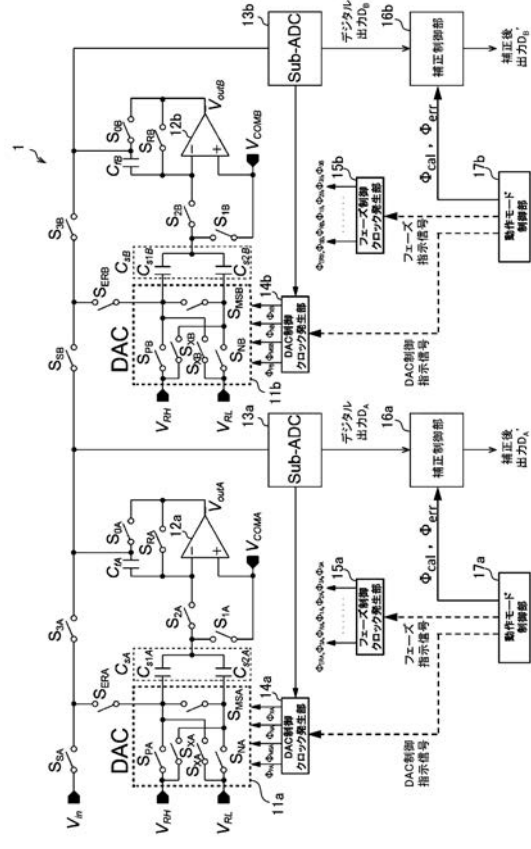
【 図 1 】



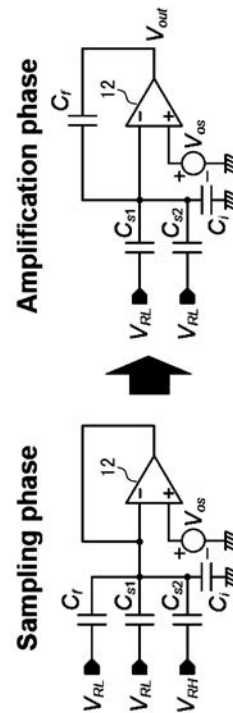
【 図 3 】



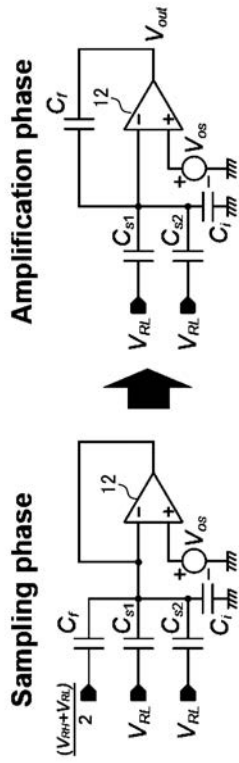
【 図 2 】



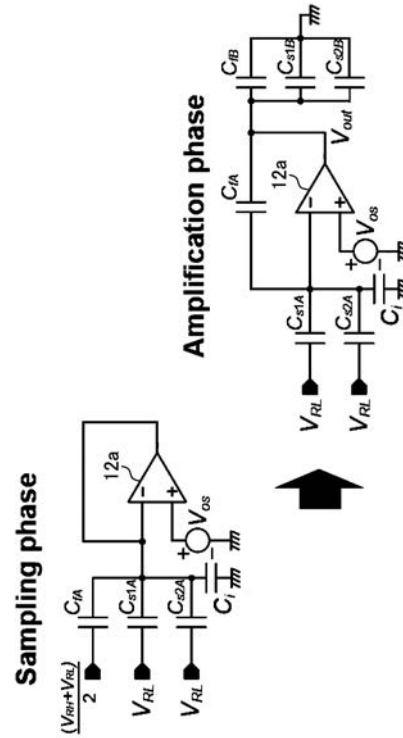
【 図 4 】



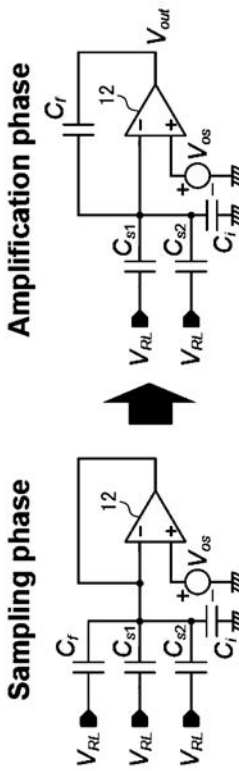
【 図 5 】



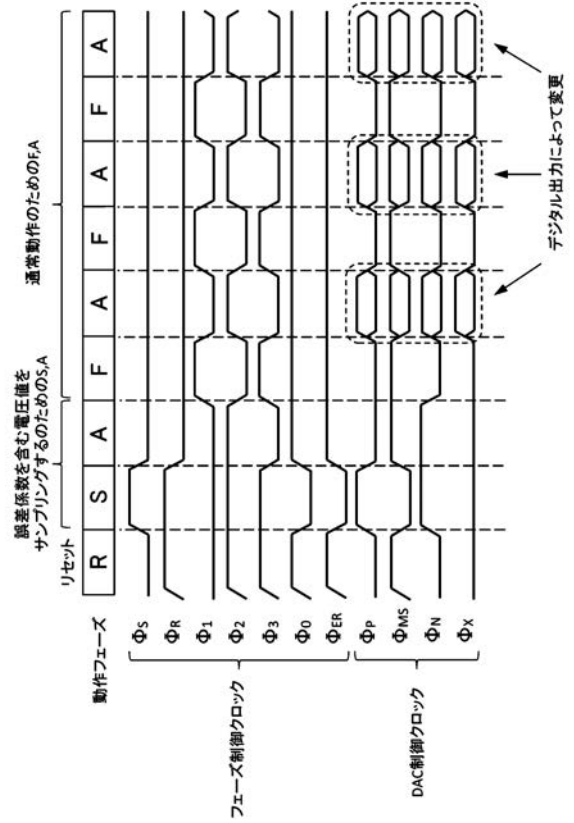
【 図 6 】



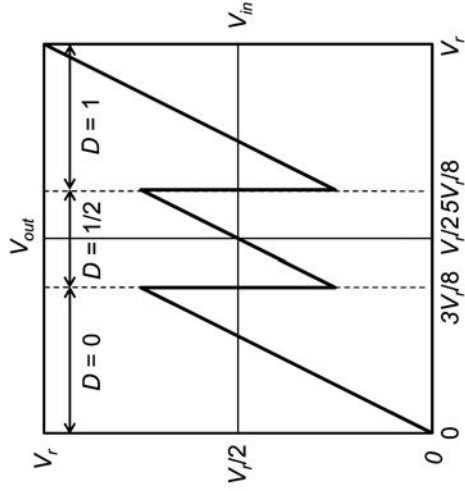
【 図 7 】



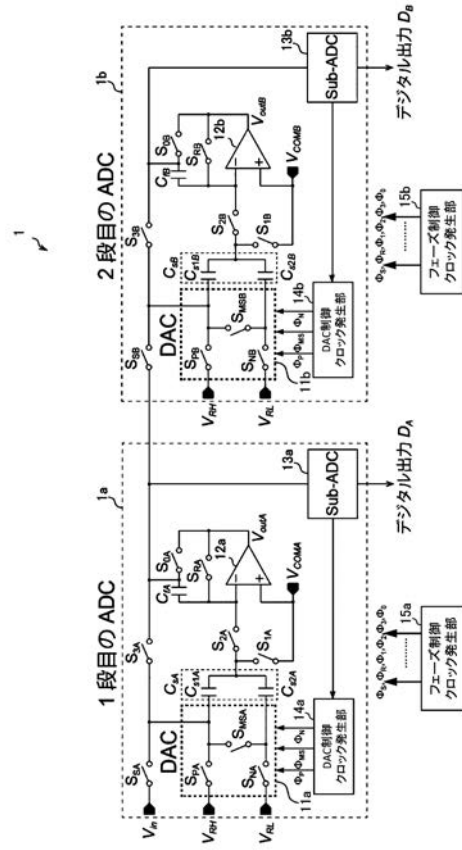
【 図 8 】



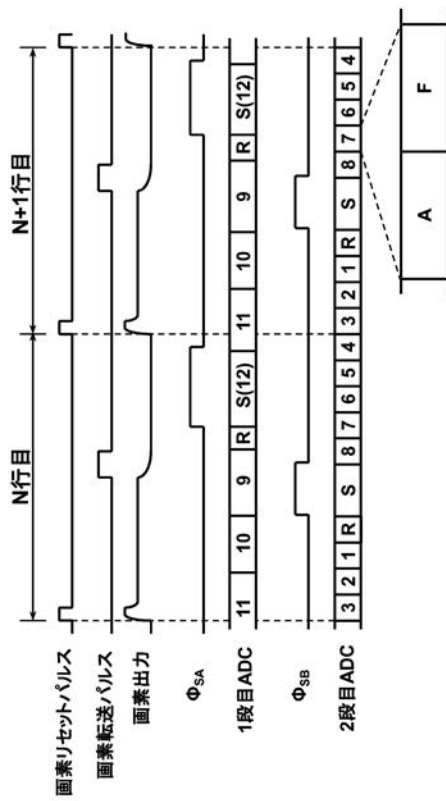
【 図 1 3 】



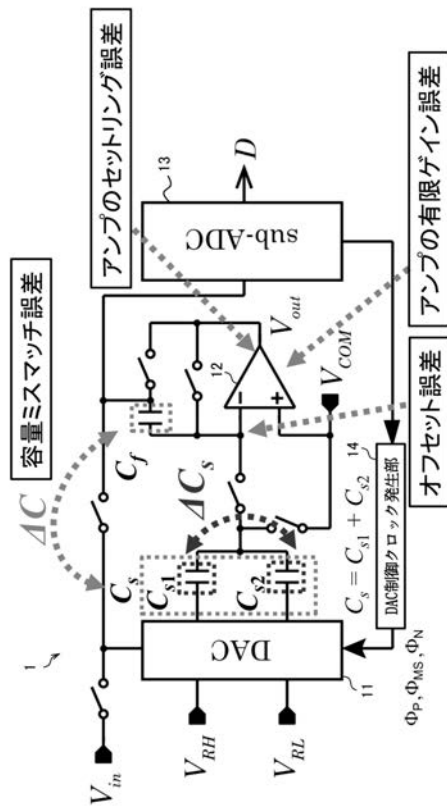
【 図 1 4 】



【 図 1 5 】



【 図 1 6 】



フロントページの続き

特許法第30条第2項適用申請有り 静岡大学の論文データベース(静岡大学学術リポジトリ)にて、平成27年4月27日に一般に利用可能に掲載された「超高精細高フレームレートCMOSイメージセンサ用2段サイクリック型A/D変換回路の低消費電力設計とデジタル補正に関する研究」と題する博士論文(当該博士論文を閲覧可能なウェブサイトアドレス) http://ir.lib.shizuoka.ac.jp/handle/10297/8281?mode=full&submit_simple=%E3%82%A2%E3%82%A4%E3%83%86%E3%83%A0%E3%81%AE%E8%A9%B3%E7%B4%B0%E3%83%AC%E3%82%B3%E3%83%BC%E3%83%89%E3%82%92%E8%A1%A8%E7%A4%BA%E3%81%99%E3%82%8B

(72)発明者 渡部 俊久

東京都世田谷区砧一丁目10番11号 一般財団法人NHKエンジニアリングシステム内

(72)発明者 川人 祥二

静岡県浜松市中区城北3丁目5-1 国立大学法人静岡大学電子工学研究所内

Fターム(参考) 5J022 AA04 BA03 CB00