

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-165306
(P2014-165306A)

(43) 公開日 平成26年9月8日(2014.9.8)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 H	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 2 D	
	HO 1 L 29/78 6 5 8 A	

審査請求 未請求 請求項の数 10 O L (全 32 頁)

(21) 出願番号	特願2013-34487 (P2013-34487)	(71) 出願人	000005234 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号
(22) 出願日	平成25年2月25日 (2013.2.25)	(74) 代理人	100150441 弁理士 松本 洋一
		(72) 発明者	山田 三千矢 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
		(72) 発明者	藤平 龍彦 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

(54) 【発明の名称】 超接合半導体装置の製造方法

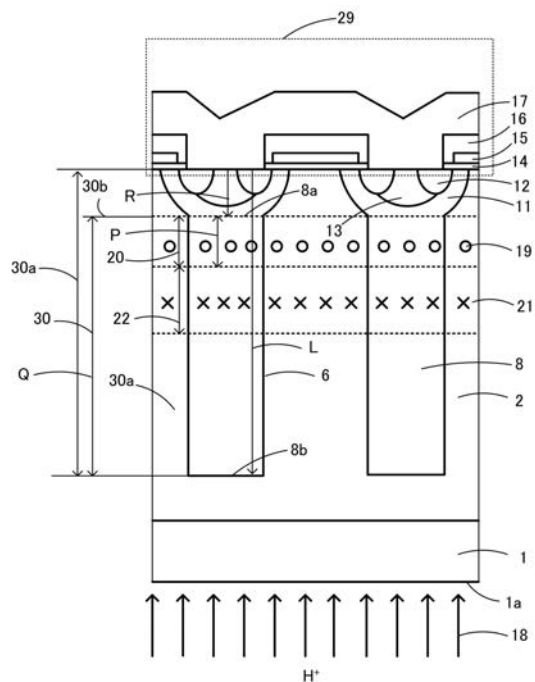
(57) 【要約】

【課題】トレンチ埋め込み法を用いて、高濃度層を高精度に形成できて、E o f fとd V / d tとのトレードオフ関係の改善ができる超接合半導体装置の製造方法を提供する。

【解決手段】トレンチ埋め込み法を用いて、並列p n層3 0 aを形成し、この並列p n層3 0 aの上部にプロトン照射層2 0を形成する。熱処理でこのプロトン照射層2 0のプロトン1 9をドナー化して高濃度n型半導体層2 3を形成する。

また、プロトン照射法を用いて、高濃度n型半導体層を形成することで、エピタキシャル層で形成した場合より、高濃度n型半導体層3 0の不純物濃度および厚さを高精度に形成することができる。

【選択図】 図7



【特許請求の範囲】

【請求項 1】

高濃度の半導体基板上に該半導体基板より低濃度の第 1 導電型の第 1 半導体層をエピタキシャル成長で形成する工程と、

前記第 1 半導体層内に該第 1 半導体層の表面から前記半導体基板に向かってトレンチ溝を形成する工程と、

前記トレンチ溝をエピタキシャル成長させた第 2 導電型の第 2 半導体層で埋め込み超接合である並列 p n 層を形成する工程と、

前記並列 p n 層の表面層に素子表面構造を形成する工程と、

前記素子表面構造を形成する工程の後、前記半導体基板の裏面を研削し該半導体基板の厚さを薄くする工程と、

前記半導体基板の厚さを薄くする工程の後、前記半導体基板の裏面側から、前記素子表面構造下の前記並列 p n 層へ重粒子照射して重粒子照射層を形成する工程と、

熱処理して前記重粒子照射によって形成された前記重粒子照射層の重粒子をドナー化し前記第 2 半導体層の不純物濃度より低く前記第 1 半導体層より不純物濃度が高い高濃度の第 1 導電型の第 3 半導体層を形成する工程と、

を含むことを特徴とする超接合半導体装置の製造方法。

10

【請求項 2】

前記重粒子照射層が、前記素子表面構造下から前記並列 p n 層の下端までの距離の 1 / 2 以下の範囲で前記素子表面構造の下に配置されることを特徴とする請求項 1 に記載の超接合半導体装置の製造方法。

20

【請求項 3】

前記重粒子照射層が前記素子表面構造下から前記並列 p n 層の下端までの距離の 1 / 4 以下の範囲で前記素子表面構造の下に配置されることを特徴とする請求項 2 に記載の超接合半導体装置の製造方法。

【請求項 4】

前記重粒子照射層の重粒子が前記熱処理でドナー化したときの平均ドナー濃度が、前記第 1 導電層の不純物濃度の 0.1 倍 ~ 2 倍であることを特徴とする請求項 1 に記載の超接合半導体装置の製造方法。

【請求項 5】

前記重粒子照射層が、加速エネルギーを変えて前記重粒子照射を複数回行って形成されることを特徴とする請求項 1 に記載の超接合半導体装置の製造方法。

30

【請求項 6】

前記表面素子構造を形成する工程が、前記第 2 半導体層に接して第 2 導電型の第 3 半導体層を形成する工程と、該第 3 半導体層の表面層に第 1 導電型の第 4 半導体層を形成する工程と、該第 4 半導体層と前記第 1 半導体層に挟まれた前記第 2 半導体層上にゲート絶縁膜を介してゲート電極を形成する工程とを含むことを特徴とする請求項 1 に記載の超接合半導体装置の製造方法。

【請求項 7】

前記薄い半導体基板の裏面側から、前記素子表面構造下の前記並列 p n 層へ重粒子照射して重粒子照射層を形成する工程において、並列 p n 層の p 層上に遮蔽マスクの遮蔽部を配置し、該遮蔽マスクの開口部を前記並列 p n 層の n 層上に配置して前記重粒子照射を行うことを特徴とする請求項 1 に記載の半導体装置の製造方法。

40

【請求項 8】

前記遮蔽マスクを前記並列 p n 層の n 層上まで延在させ、前記並列 p n 層の p 層上に前記遮蔽マスクの遮蔽部を配置し、前記並列 p n 層の n 層上に遮蔽マスクの開口部を複数配置し、該開口部の大きさが前記 n 層の中央に向かって小さくなることを特徴とする請求項 1 に記載の半導体装置。

【請求項 9】

前記重粒子がプロトンもしくはヘリウムイオンであることを特徴とする請求項 1 ~ 8 の

50

いずれか一項に記載の超接合半導体装置の製造方法。

【請求項 10】

前記超接合半導体装置が、超接合 MOSFETであることを特徴とする請求項 1～9のいずれか一項に記載の超接合半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、MOSFETなどのパワー半導体装置に関し、特に、ドリフト層として半導体基板の主面と垂直方向に伸び、主面に平行な方向にn型カラムおよびp型カラムを交互に隣接配置させる超接合構造（並列pnカラム構造：スーパージャンクションとも言う）を有する超接合半導体装置の製造方法に関する。

10

【背景技術】

【0002】

一般に、半導体装置は電極が半導体基板の片面に形成された横型の素子と、半導体基板の両面に電極を有する縦型の素子に分類される。縦型半導体装置は、オン状態のときにドリフト電流が流れる方向と、オフ状態のときに逆バイアス電圧による空乏層が伸びる方向とが同じである。通常のプレーナ型のnチャネル縦型MOSFETでは、高抵抗のn⁻ドリフト層の部分はオン状態のときに、縦方向にドリフト電流を流す領域として働く。従って、このn⁻ドリフト層の電流経路を短くすれば、ドリフト抵抗が低くなるのでMOSFETの実質的なオン抵抗を下げるができるという効果が得られる。

20

【0003】

その一方で、高抵抗のn⁻ドリフト層の部分は、オフ状態のときには空乏化して耐圧を高める。従って、n⁻ドリフト層が薄くなると、pベース領域とn⁻ドリフト層との間のpn接合から進行するドレイン-ベース間に広がる空乏層の幅が狭くなり、耐圧低下を招く。逆に耐圧の高い半導体装置では、n⁻ドリフト層が厚いため、オン抵抗が大きくなり、導通損失が増えてしまう。このように、オン抵抗と耐圧との間には、トレードオフ関係がある。

【0004】

このトレードオフ関係はIGBTやバイポーラトランジスタやダイオード等の半導体装置においても同様に成立することが知られている。

30

上述のトレードオフ関係による問題の解決法として、ドリフト層を、不純物濃度を高めたn型領域101とp型領域102とを交互に繰り返し接合した構成の並列pn層120とした超接合（Super Junction：SJ）半導体装置が、特許文献1や特許文献2などに記載されている。

【0005】

図14(h)は、従来超接合半導体装置の要部断面図である。第1主面（表面）に配置される素子表面構造250として、pベース領域225、p⁺コンタクト領域223、n⁺ソース領域224、ゲート電極231、絶縁膜232およびソース電極233が設けられている。

【0006】

第2主面（裏面）には、n⁺ドレイン領域210に接するドレイン電極211が設けられている。並列pn層150は、素子表面構造250とn⁺ドレイン領域210との間に設けられている。

40

【0007】

このような構造の超接合半導体装置500では、並列pn層150の不純物濃度が高くても、オフ状態のときに、空乏層が、並列pn層の縦方向に伸びる各pn接合から横方向に広がり、ドリフト層全体を空乏化するため、高耐圧化を図ることができる。

【0008】

超接合半導体装置500を製造する方法として、主に2つの方法が知られている。

前記の特許文献1ではエピタキシャル成長とイオン注入を繰り返すことにより超接合

50

を形成する方法が、開示されている。この方法を多段エピ方式と称する。

【0009】

図13および図14は、多段エピタキシャル方法で形成した従来の超接合半導体装置の製造方法であり、工程順に示した要部製造工程断面図である。

(1) 図13(a)に示すように、 n^+ Si基板110の上に高抵抗な半導体エピタキシャル層120を形成する。

(2) 図13(b)に示すように、半導体エピタキシャル層120の表面側にリン121aをインプラ(イオン注入)し、 n 型インプラ領域121を形成する。

(3) 図13(c)に示すように、半導体エピ層120表面にレジスト130を塗布し、フォトリソグラフィ法によりパターンニングを行なう。

(4) 図13(d)に示すように、レジスト130と半導体エピタキシャル層120の表面側からボロン122aをインプラし、 p 型インプラ領域122を形成する。

(5) 図13(e)に示すように、レジスト130を剥離する。

(6) 図13(f)に示すように、上記手順(1)~(5)の工程を、例えば、6回繰り返した後、もう一度半導体エピタキシャル層120を形成する。

(7) 図14(g)に示すように、エピタキシャル成長時の温度より高い1150 ~ 1200程度の温度で熱処理(ドライブ)を行い、 n 型インプラ領域121、 p 型インプラ領域122のリン121aとボロン122aを拡散させることで、各インプラ領域を縦方向につなげて n 型半導体層123(n 型カラム)および p 型半導体層124(p 型カラム)を形成する。

【0010】

この n 型半導体層123、 p 型半導体層124では点線の箇所140の不純物濃度が高く、点線で挟まれた中央部分141の不純物濃度は低くなる。

(8) 図14(h)に示すように、通常のMOSFET工程により、素子表面構造250を構成する p ベース領域225、 p^+ コンタクト領域223、 n^+ ソース領域224、ゲート電極231、酸化膜232、ソース電極233および n^+ ドレイン領域210(n^+ Si基板110)上にドレイン電極211を形成して従来の超接合半導体装置500が完成する。

【0011】

また、特許文献2には、超接合構造を製造する前記とは別の方法として、 n^+ 基板上に n 型層をエピタキシャル成長し、そこにトレンチ溝を掘って、そのトレンチ溝内部に p 型層をエピタキシャル成長する方法が開示されている。この方法をトレンチ埋め込み方式と称する。

【0012】

さらに、特許文献3には、Eoffと dv/dt とのトレードオフを改善する超接合半導体装置が開示されている。超接合半導体装置において、超接合の表面側(第1主面側)の不純物濃度を1.5~2.0倍程度に増やして高濃度層(例えば、高濃度 n 型半導体層)を形成し、超接合半導体装置のゲートに接続する外部のゲート抵抗を変えずに、ターンオフ動作時の空乏層を広がり難くすることで、Eoffと dv/dt とのトレードオフ改善を達成している。

【0013】

ここでのEoffとターンオフ時の dV/dt の関係を説明する。超接合半導体装置のゲートに外部から接続するゲート抵抗(回路抵抗)を大きくして、ターンオフ時の dV/dt を小さくして電磁ノイズを抑制することが行なわれている。しかし、ゲート抵抗を大きくするとターンオフ時に超接合半導体装置のミラー容量を含むゲート容量からの電荷の引く抜き時間が長くなり、ターンオフ損失(Eoff)が増大する。そのため、Eoffと dv/dt はトレードオフの関係にある。この特許文献3では、ゲート抵抗を増やさずに、 dV/dt を小さくし、Eoffと dv/dt とのトレードオフを改善できる素子構造が記載されている。この素子構造においては、超接合の並列 pn 層を多段エピタキシャル法を用いて形成し、その最上段に位置する箇所に高濃度層を形成する方法が記載されて

10

20

30

40

50

いる。また、別の方法として、低濃度のエピタキシャル層上に高濃度層のエピタキシャル層を形成する。その後、トレンチ埋め込み方式を用いて、 p 型半導体層をトレンチ溝に埋め込んで超接合である並列 pn 層を形成する。これにより、並列 pn 層の上部にエピタキシャル層からなる高濃度層が配置される。ということが記載されている。

【0014】

また、特許文献4では、寄生ダイオードの逆回復電流をソフトリカバリー化するために並列 pn 層の下部に高濃度の n 型バッファ層を設けるMISFETについて記載されている。このバッファ層はプロトン、ヘリウムなどの重粒子をドナー化することで形成される。また、これらの重粒子はライフタイムキラーとしても働く。

【0015】

また、特許文献5では、超接合MOSFETの並列 pn 層にライフタイムキラーを導入するためにプロトンやヘリウムなどの重粒子照射を行ない結晶欠陥を形成することでライフタイムを制御している。この重粒子照射の深さを最適にすることで寄生ダイオードの逆回復時間と漏れ電流を共に小さくすることが記載されている。

【0016】

また、特許文献6では、アスペクト比が8以上の深いトレンチ溝の側壁に複数回の斜めイオン注入を行い、その後トレンチ溝内を逆導電型の半導体層で埋め込むことで深さ方向に長い並列 pn 層を形成できることが記載されている。

【先行技術文献】

【特許文献】

【0017】

【特許文献1】特開2001-119022号公報

【特許文献2】米国特許第5216275号

【特許文献3】WO2011/093473号パンフレット

【特許文献4】特開2012-142330号公報

【特許文献5】WO2010/024433号パンフレット

【特許文献6】特開2007-235080号公報

【発明の概要】

【発明が解決しようとする課題】

【0018】

しかし、前記の特許文献3に記載されているように多段エピタキシャル方式を用いた場合には、前述の通り図13から図14に記載の(1)エピタキシャル成長、(2)イオン注入、(3)パターンニング、および(4)イオン注入という4つの工程を6回程度繰り返すため、工程が長くなり、コストが高くなるという課題があった。

【0019】

一方、トレンチ埋め込み方式を用いて、均一な不純物濃度である高濃度層の形成をエピタキシャル法で行なうと、コストが高くなるという課題がある。また、エピタキシャル法では高濃度層の不純物濃度や厚みを高精度に制御することは困難である。

【0020】

また、前記の特許文献1では、 E_{off} と dV/dt とのトレードオフは寄生ダイオードについてであり、MOSFETのゲート抵抗を可変したときのターンオフ時の E_{off} と dV/dt とのトレードオフ関係を改善することについては記載されていない。

【0021】

また、特許文献2、4、6では、並列 pn 層の上部に高濃度層を設けて、ゲート抵抗を可変したときの E_{off} と dV/dt とのトレードオフ関係を改善することについては記載されていない。

【0022】

また、特許文献5では、重粒子照射はライフタイムを制御するためのものであり、ドナー化については触れていない。

この発明の目的は、前記の課題を解決して、トレンチ埋め込み法を用いて、高濃度層を

10

20

30

40

50

高精度に形成できて、E o f f と dV/dt とのトレードオフ関係の改善ができる超接合半導体装置の製造方法を提供することにある。

【課題を解決するための手段】

【0023】

前記の目的を達成するために、特許請求の範囲の請求項1に記載の発明によれば、高濃度の半導体基板上に該半導体基板より低濃度の第1導電型の第1半導体層をエピタキシャル成長で形成する工程と、前記第1半導体層内に該第1半導体層の表面から前記半導体基板に向かってトレンチ溝を形成する工程と、前記トレンチ溝をエピタキシャル成長させた第2導電型の第2半導体層で埋め込み超接合である並列pn層を形成する工程と、前記並列pn層の表面層に素子表面構造を形成する工程と、前記素子表面構造を形成する工程の後、前記半導体基板の裏面を研削し該半導体基板の厚さを薄くする工程と、前記半導体基板の厚さを薄くする工程の後、前記半導体基板の裏面側から、前記素子表面構造下の前記並列pn層へ重粒子照射して重粒子照射層を形成する工程と、熱処理して前記重粒子照射によって形成された前記重粒子照射層の重粒子をドナー化し前記第2半導体層の不純物濃度より低く前記第1半導体層より不純物濃度が高い高濃度の第1導電型の第3半導体層を形成する工程と、を含む超接合半導体装置の製造方法とする。

10

【0024】

また、特許請求の範囲の請求項2に記載の発明によれば、請求項1に記載の発明において、前記重粒子照射層が、前記素子表面構造下から前記並列pn層の下端までの距離の1/2以下の範囲で前記素子表面構造の下に配置されるとよい。

20

【0025】

また、特許請求の範囲の請求項3に記載の発明によれば、請求項2に記載の発明において、前記重粒子照射層が前記素子表面構造下から前記並列pn層の下端までの距離の1/4以下の範囲で前記素子表面構造の下に配置されるとよい。

【0026】

また、特許請求の範囲の請求項4に記載の発明によれば、請求項1に記載の発明において、前記重粒子照射層の重粒子が前記熱処理でドナー化したときの平均ドナー濃度が、前記第1導電層の不純物濃度の0.1倍～2倍であるとよい。

【0027】

また、特許請求の範囲の請求項5に記載の発明によれば、請求項1に記載の発明において、前記重粒子照射層が、加速エネルギーを変えて前記重粒子照射を複数回行なって形成されるとよい。

30

【0028】

また、特許請求の範囲の請求項6に記載の発明によれば、請求項1に記載の発明において、前記表面素子構造を形成する工程が、前記第2半導体層に接して第2導電型の第3半導体層を形成する工程と、該第3半導体層の表面層に第1導電型の第4半導体層を形成する工程と、該第4半導体層と前記第1半導体層に挟まれた前記第2半導体層上にゲート絶縁膜を介してゲート電極を形成する工程とを含むとよい。

【0029】

また、特許請求の範囲の請求項7に記載の発明によれば、請求項1に記載の発明において、前記薄い半導体基板の裏面側から、前記素子表面構造下の前記並列pn層へ重粒子照射して重粒子照射層を形成する工程において、並列pn層のp層上に遮蔽マスクの遮蔽部を配置し、該遮蔽マスクの開口部を前記並列pn層のn層上に配置して前記重粒子照射を行うとよい。

40

【0030】

また、特許請求の範囲の請求項8に記載の発明によれば、請求項1に記載の発明において、前記遮蔽マスクを前記並列pn層のn層上まで延在させ、前記並列pn層のp層上に前記遮蔽マスクの遮蔽部を配置し、前記並列pn層のn層上に遮蔽マスクの開口部を複数配置し、該開口部の大きさが前記n層の中央に向かって小さくなるとよい。

【0031】

50

また、特許請求の範囲の請求項 9 に記載の発明によれば、請求項 1 ~ 8 のいずれか一項にの発明において、前記重粒子がプロトンもしくはヘリウムイオンであるとよい。

また、特許請求の範囲の請求項 10 に記載の発明によれば、請求項 1 ~ 9 のいずれか一項に記載の発明において、前記超接合半導体装置が、超接合 MOSFET であるとよい。

【発明の効果】

【0032】

この発明により、従来のような多段エピ方式で製造した場合のような、冗長な工程の繰り返しが無くなるために、工程が短縮化され低コスト化が可能になる。

また、超接合部表面側の不純物濃度を高めることにより、 dV/dt を小さくすることが可能になり、 dV/dt と E_{off} とのトレードオフ関係を改善した素子を低コストで製造可能になる。

【0033】

また、重粒子照射法を用いて、高濃度領域を形成することで、エピタキシャル層で形成した場合より、高濃度領域の不純物濃度および厚さを高精度に形成することができる。その結果、良品率の向上が図れて製造コストを低減できる。

【図面の簡単な説明】

【0034】

【図 1】この発明の第 1 実施例の超接合半導体装置 100 の要部製造工程断面図である。

【図 2】図 1 に続く、この発明の第 1 実施例の超接合半導体装置 100 の要部製造工程断面図である。

【図 3】図 2 に続く、この発明の第 1 実施例の超接合半導体装置 100 の要部製造工程断面図である。

【図 4】図 3 に続く、この発明の第 1 実施例の超接合半導体装置 100 の要部製造工程断面図である。

【図 5】図 4 に続く、この発明の第 1 実施例の超接合半導体装置 100 の要部製造工程断面図である。

【図 6】図 5 に続く、この発明の第 1 実施例の超接合半導体装置 100 の要部製造工程断面図である。

【図 7】図 6 に続く、この発明の第 1 実施例の超接合半導体装置 100 の要部製造工程断面図である。

【図 8】図 7 に続く、この発明の第 1 実施例の超接合半導体装置 100 の要部製造工程断面図である。

【図 9】図 8 に続く、この発明の第 1 実施例の超接合半導体装置 100 の要部製造工程断面図である。

【図 10】ストライプ状の開口部が所定のピッチで配列されたラインアンドスペース形状の酸化膜マスクの要部平面図である。

【図 11】プロトンによる平均ドナー濃度とプロトンドーズ量の関係を示した図である。

【図 12】この発明の第 2 実施例の超接合半導体装置 200 の要部製造工程断面図である。

【図 13】多段エピタキシャル方法で形成した従来の超接合半導体装置の要部製造工程断面図である。

【図 14】図 13 に続く、多段エピタキシャル方法で形成した従来の超接合半導体装置の要部製造工程断面図である。

【図 15】図 6 の素子表面構造 29 をトレンチゲート型 MOSFET の素子表面構造 29a としたときの要部断面図である。

【図 16】この発明の第 3 実施例の超接合半導体装置 300 の図 7 に相当する要部製造工程断面図である。

【図 17】図 16 で用いた遮蔽マスクの要部平面図である。

【図 18】この発明の第 4 実施例の超接合半導体装置 400 の図 7 に相当する要部製造工程断面図である。

10

20

30

40

50

【図19】遮蔽マスクとドナー分布をそれぞれ示す図であり、(a)は遮蔽マスク45の要部平面図、(b)は(a)のX-X線で切断した箇所に相当するドナー分布図である。

【発明を実施するための形態】

【0035】

実施の形態を以下の実施例で説明する。

【実施例1】

【0036】

図1～図9は、この発明の第1実施例の超接合半導体装置100の製造方法であり、工程順に示した要部製造工程断面図である。尚、本実施例は600V耐圧クラスの超接合MOSFETを想定しているが、他の耐圧クラスの場合は膜厚・寸法などのパラメータを適宜調整すれば本発明を適用可能である。

10

【0037】

また、以下の説明において、第1導電型をn型とし、第2導電型をp型としたが、導電型を逆にする場合もある。

(1) 図1に示すように、例えば、数100 μm の厚さのn型半導体基板1(シリコン)上に例えば、厚さ45 μm 程度エピタキシャル成長させてn型半導体層2aを形成し、さらにその上に酸化膜3(SiO_2)を成膜させる。

(2) 図2に示すように、フォトリソグラフィ法によって酸化膜3をパターンニングする。パターンニングの形状としては、一例としては、図10の平面図に示すような、ストライプ状の開口部4の幅Wが6 μm 、繰り返しピッチT(セルピッチ)12 μm のラインアンドスペース形状とする。

20

(3) 図3に示すように、ドライエッチング法によって、酸化膜3をマスクとして、酸化膜3の開口部4から露出した表面5をエッチング7し、表面5から深さLが40 μm 程度のトレンチ溝6を形成する。トレンチ溝6が形成されたn型半導体層2はn型カラムとなる。

(4) 図4に示すように、トレンチ溝6の内部をエピタキシャル成長したp型半導体層8で埋めてp型カラムを形成する。

(6) 図5に示すように、酸化膜3をHF(フッ化水素酸)溶液などにより除去し、CMP(Chemical Mechanical Polishing)やエッチングなどにより上部のp型半導体層8を削り、n型半導体層2(n型カラム)とp型半導体層8(p型カラム)の表面9,10の高さを揃えて並列pn層30a(並列pnカラム構造)を形成する。

30

(6) 図6に示すように、従来技術と同じMOSFET工程により、並列pn層30aの上部に素子表面構造29を形成する。

【0038】

この素子表面構造29は、並列pn層の表面層でp型半導体層8上部に形成されたpベース領域11と、その表面層に形成されたp⁺コンタクト領域12、n⁺ソース領域13を備える。また、n型半導体層2とn⁺ソース領域13との間のpベース領域11の表面には、ゲート酸化膜14を介して形成されたゲート電極15を備えている。さらに、ゲート電極15を覆うように形成された層間絶縁膜16と、層間絶縁膜16の開口部にp⁺コンタクト領域12およびn⁺ソース領域13に接するソース電極17を備える。

40

【0039】

この素子表面構造29はプレーナゲート構造であるが図15に示すようなトレンチゲート構造の素子表面構造29aであっても構わない。

この素子表面構造29aは、並列pn層の表面層に形成されたpベース領域11aと、pベース領域11aの表面層に形成されたp⁺コンタクト領域12aおよびn⁺ソース領域13aを備える。また、pベース領域11aの表面からn型カラムに達するトレンチ14bと、そのトレンチ14b内にゲート酸化膜14aを介して形成されたゲート電極15aを備えている。さらに、ゲート電極を覆うように形成された層間絶縁膜16aと、層間絶縁膜16aの開口部にp⁺コンタクト領域12aおよびn⁺ソース領域13aに接する

50

ソース電極 17a を備える。並列 pn 層 30a のうちトレンチ 14b (素子表面構造 29a) より下に位置する個所が並列 pn 層 30 となる。

(7) 図 7 に示すように、n 型半導体基板 1 の裏面を研削・研磨により減らし全体を $60\ \mu\text{m} \sim 80\ \mu\text{m}$ 程度にする (この厚さは半導体装置の耐圧によって変わる)。研削・研磨後の裏面 1a 側からプロトン照射 18 を行い p ベース領域 11 下 (素子表面構造 29 下) に位置する並列 pn 層 30 に、例えば、 $0.5\ \text{MeV}$ 程度の照射エネルギーでプロトン 19 を打ち込み、プロトン照射層 20 を形成する。照射されたプロトン 19 が分布する箇所前面には結晶欠陥 21 による欠陥層 22 が広がっている。

【0040】

なお、素子表面構造 29a としてトレンチゲート構造を適用した場合には、照射したプロトンがゲート酸化膜に侵入する可能性があり、これは長期信頼性の面で望ましくない。よって、プロトン照射層 20 の上端はゲート酸化膜 14a の下端よりも下となるように照射エネルギーや減速材により調整することが望ましい。なお、プレーナゲート構造の素子表面構造 29 の場合は、しきい値電圧変動や長期信頼性劣化などの影響が出ない範囲であれば、p ベース領域 11 にプロトン 19 が侵入してもよい。

(8) 図 8 に示すように、プロトン照射後、 $350 \sim 450$ で熱処理を行い、欠陥層 22 を回復させながらプロトン 19 をドナー化して高濃度 n 型半導体領域 23 (プロトンドナー化領域) を形成する。尚、プロトン 19 などによる重粒子照射層に形成された不純物準位は熱処理によってドナー化する。また、ドナー化には酸素や照射で発生した結晶欠陥なども関与する。

(9) 図 9 に示すように、裏面 1a の n⁺ドレイン領域 25 (薄くなった n⁺半導体基板 1) 上にドレイン電極 24 を蒸着 (あるいはスパッタ) で形成し、超接合半導体装置 100 が完成する。

【0041】

前記のような超接合半導体装置 100 の製造方法により、従来技術の多段エピタキシャル方式で製造した場合のような、(1) エピタキシャル成長から (4) イオン注入までの工程の複数回の繰り返しが無くなり、工程が短縮化されコスト低減が可能となる。また、トレンチ埋め込み方式で製造した素子の課題であったゲート抵抗を可変したときの E_{off} と dv/dt とのトレードオフ関係も改善できる。よって、 E_{off} と dv/dt とのトレードオフ関係を改善した低コストの超接合半導体装置 100 を製造できる。

【0042】

プロトン照射 18 のパラメータについては、装置に依存するため実機において条件調整をする必要がある。図 7 に示すように、並列 pn 層 30 を p 型半導体層 8 と p 型ベース領域 11 が接する箇所 8a (素子表面構造 29 下) から p 型半導体層 8 の下端 8b (並列 pn 層 30, 30a の底面) までとした場合、並列 pn 層 30 の深さ方向の長さ Q はトレンチ溝 6 の深さ L から p 型ベース領域 11 と p 型半導体層 8 が接する箇所の深さ R を差し引いた値となる。L = $40\ \mu\text{m}$ 、R = $8\ \mu\text{m}$ とすると、Q = $32\ \mu\text{m}$ となる。プロトン照射層 20 を、並列 pn 30 の表面 30b (前記の箇所 8a) から並列 pn 層 30 の長さ Q の $1/2$ ($16\ \mu\text{m}$) 以下、好ましくは並列 pn 層 30 の長さ Q の $1/4$ ($8\ \mu\text{m}$) 以下の領域に形成し、熱処理により高濃度 n 型半導体領域 23 を形成することで良好なチャージバランスが得られて、耐圧低下を抑制できる。

【0043】

高濃度 n 型半導体領域 23 の不純物濃度の調整はプロトンドーズ量で行い、高濃度 n 型半導体領域 23 の形成位置の調整はプロトンの照射エネルギーで行い、高濃度 n 型半導体領域 23 の厚みの調整は、照射エネルギーを変えて複数回プロトン照射することで行なう。

【0044】

また、プロトンドーズ量としては、その平均ドナー濃度が n 型半導体層 23 の不純物濃度の 0.1 倍 ~ 2.0 倍となるように調整することが望ましい。つまり、高濃度 n 型半導体領域 23 の不純物濃度が n 型半導体層 2 の 1.1 倍 ($1 + 0.1$) ~ 3 倍 ($1 + 2$) に

10

20

30

40

50

高めるとよい。こうすることで、チャージバランスがとれて、並列pn層30の耐圧の低下を抑制することができる。さらに、EoffとdV/dtとのトレードオフ関係を改善される。

【0045】

例えば、上記実施例のように耐圧600V、開口部4の幅Wを6 μ mでセルピッチ12 μ mで設計し、n型半導体層23の不純物濃度（形成時におけるドーピング濃度）を $5.0 \times 10^{15} \text{ cm}^{-3}$ とする。前記したように、プロトンによる平均ドナー濃度をn型半導体層23の不純物濃度の0.1~2.0倍、すなわち $0.5 \times 10^{15} \text{ cm}^{-3} \sim 1.0 \times 10^{16} \text{ cm}^{-3}$ にすればよい。つまり、高濃度n型半導体領域23の不純物濃度を $5.5 \times 10^{15} \text{ cm}^{-3} \sim 1.5 \times 10^{16} \text{ cm}^{-3}$ にすればよい。この平均ドナー濃度は、p型半導体層8が反転（n転）しない濃度に設定する。平均ドナー濃度がn型半導体層23の不純物濃度の0.1倍未満では、高濃度n型半導体領域23の不純物濃度が低すぎて、EoffとdV/dtとのトレードオフ関係の改善効果が小さい。また、2倍超にすると、並列pn層30でのチャージバランスが崩れて耐圧低下を招く。このプロトンによる平均ドナー濃度が前記のn型半導体層2の不純物濃度に加算されて、高濃度n型半導体領域23が形成される。また、並列pn層30の長さQを前記したように32 μ m程度とすると、この長さの、例えば、1/4、すなわち、並列pn層30の上端（pベース領域11の下端）から8 μ mまでのn型半導体層2の箇所を前記のプロトンによる平均ドナー濃度（ $0.5 \times 10^{15} \text{ cm}^{-3} \sim 1.0 \times 10^{16} \text{ cm}^{-3}$ ）に高めれば、耐圧低下を抑えてEoffとdV/dtとのトレードオフ関係を大幅に改善できる。勿論、前記の1/4を1/2にした場合でもトレードオフ関係の改善効果はある。

10

20

【0046】

図11は、プロトンによる平均ドナー濃度（ cm^{-3} ）とプロトンドーズ量（ cm^{-2} ）の関係を示した図である。プロトンが分布する範囲（プロトン照射層20の範囲）は、並列pn層30の表面30bから下方に8 μ mの範囲である。この範囲に高濃度n型半導体領域23が形成されるとよい。また、プロトンによる平均ドナー濃度は、ドナー濃度の深さ方向の拡散プロファイルをSIMS（二次イオン質量分析法）評価により求めた。

【0047】

前記の図11で示すグラフは、プロトン照射エネルギーが0.5MeV、アニール温度が350、アニール時間が5時間の条件におけるデータである。前記のプロトンによる平均ドナー濃度（ $= 0.5 \times 10^{15} \text{ cm}^{-3} \sim 1.0 \times 10^{16} \text{ cm}^{-3}$ ）を満たすプロトンドーズ量はグラフから $3.0 \times 10^{13} \text{ cm}^{-2} \sim 1.5 \times 10^{15} \text{ cm}^{-2}$ となる。

30

【0048】

また、高濃度n型半導体領域23の不純物濃度や厚さを変える場合は、プロトン照射エネルギーやアニール条件の調整が必要になる。つまり、プロトンドーズ量を変化させた場合のプロトンによるドナー濃度プロファイルを前記したようにSIMS評価によって新規に取得し、図11のようなグラフを作成すればよい。

【0049】

また、同様の構造を実現する方法として、高濃度n型半導体領域23をエピタキシャル成長法により形成する方法がある。すなわち、前述の図1に示す手順において、n型半導体基板1（シリコン）上に例えば、n型半導体層2aをエピタキシャル成長により形成する際に、n型濃度の高めた高濃度n型半導体領域23をエピタキシャル成長させて形成する、という方法が周知である。しかしながら、この方法では、エピタキシャル成長法による濃度均一化が難しい問題があり、高濃度n型半導体領域23に $\pm 10\%$ 以上の濃度バラつきが発生する。一方で、プロトン照射により形成すれば、この濃度バラつきは $\pm 5\%$ 以内とすることができ、エピタキシャル層で形成する場合より不純物濃度の精度を高めることができる。精度が上がることで限界設計が可能となり、超接合半導体装置が小型化され、また、精度が上がることで、良品率が向上して製造コストを低減できる。

40

【0050】

50

また、高濃度 n 型半導体領域 23 を並列 p n 層 30 の長さ Q の 1 / 2 以下の範囲（好ましくは、1 / 4 以下の範囲）に設けることで、耐圧低下を抑制して、E o f f と d V / d t とのトレードオフ関係を改善することができる。

【実施例 2】

【0051】

図 12 は、この発明の第 2 実施例の超接合半導体装置 200 の要部製造工程断面図である。この図 12 は図 7 に相当する図である。第 1 実施例と異なるのは、照射粒子としてプロトン 18 の代わりに、 $^3\text{He}^{++}$ や $^4\text{He}^{++}$ などのヘリウム 27 を用いている点である。この図は図 7 に相当する図である。この場合は、ドナー化に必要な温度はプロトン 18 の時よりも高温（ ~ 500 ）になることから、電極へのダメージを考慮する必要がある。その一つの方法として、ドレイン電極 24 やソース電極 17 の形成前に粒子照射および熱処理を行なうとよい。

10

【0052】

ヘリウム照射の場合もプロトン照射と同様の効果が期待できる。尚、図中の符号で 26 はヘリウム照射、28 はヘリウム照射層である。

【実施例 3】

【0053】

図 16 および図 17 は、この発明の第 3 実施例の超接合半導体装置 300 の製造方法を説明する図であり、図 16 は図 7 に相当する要部製造工程断面図、図 17 は図 16 で用いた遮蔽マスクの要部平面図である。

20

【0054】

プロトン照射箇所を n 型半導体層 2 に行い、p 型半導体層 8 にはアルミニウムからなる遮蔽マスク 41 を用いて照射されないようにする。遮蔽マスク 41 は、アルミニウムの他クロムや金など打ち込まれるイオンを遮るものであれば特に限定されるものではない。

【0055】

これにより、p 型半導体層 8 にプロトンが照射されないことで、p 型不純物濃度の低下が発生しないので、実施例 1 の場合に比べてチャージバランスが良好になり、耐圧の確保が容易になるため、n 型半導体層 2 の n 型不純物濃度を高くすることができる。

【0056】

また、図 17 において、符号の 42 は遮蔽マスク 41 の遮蔽部であり、43 は開口部である。遮蔽部 42 は並列 p n 層の 30 の p 型半導体層 8 上に配置され、開口部 43 は並列 p n 層 30 の n 型半導体層 8 上に配置される。

30

【0057】

このような遮蔽マスク 41 を用いることで、素子終端の耐圧領域をマスクすることができる。耐圧領域をマスクすることで、耐圧領域のドナー濃度が増加するのを防ぎ、耐圧低下を防止できる。

【0058】

本実施例では、p 型半導体層 8 にプロトンが照射されないような遮蔽マスク 41 を用いたが、素子終端の耐圧領域のみをマスクする遮蔽マスクを用いてプロトンを照射することも可能である。

40

【実施例 4】

【0059】

図 18 および図 19 は、この発明の第 4 実施例の超接合半導体装置 400 の製造方法を説明する図であり、図 18 は図 7 に相当する要部製造工程断面図、図 19 は遮蔽マスクとドナー分布をそれぞれ示す図であり、図 19 (a) は遮蔽マスク 45 の要部平面図、図 19 (b) は図 19 (a) の X - X 線で切断した箇所に対応するドナー分布図である。

【0060】

遮蔽マスク 45 において、並列 p n 層の p 型半導体層 8 と接する箇所から n 型半導体層 2 の中央に向かって、直径（面積）が小さくなる開口部 46 を形成する。この遮蔽マスク 45 を用いて、p 型半導体層 8 と接する箇所付近の n 型半導体層 2 のドナー濃度を高くし

50

、この箇所から n 型半導体層 2 の中央に向かってドナー濃度を小さくなるようにして、高濃度 n 型半導体領域 2 3 (図 9 参照) を形成する。また、遮蔽マスク 4 5 において、Q は大きな直径の開口部、R は中の直径の開口部、S は小さな直径の開口部である。この例では開口部 4 7 の種類を 3 種類としたがこれに限るものではない。また、開口部 4 7 の平面形状は円形に限ることはなく、三角形、四角形、多角形またはストライプ状などであっても構わない。いずれの場合でも、n 型半導体層 2 の中央に向かって面積が小さくなるような開口部 4 7 を有する遮蔽マスク 4 5 であればよい。また、n 型半導体層 2 の中央付近に開口部 4 7 を設けない場合であってもよい。この場合、n 型半導体層 2 の中央付近には高濃度 n 型半導体領域 2 3 は形成されない。

【 0 0 6 1 】

この遮蔽マスク 4 5 を用いて高濃度 n 型半導体領域 2 3 を形成することで、不純物量が同じ場合において、全面に均一にプロトンを照射する場合に比べ、p 型半導体層 8 との p n 接合付近の不純物濃度を高くすることができる。これにより、p 型半導体層 8 との p n 接合から高濃度 n 型半導体領域 2 3 に広がる空乏層の広がりをはじめにおいて空乏層の広がりが抑制される。その結果、実施例 1 に比べターンオフ時の dV/dt が小さくなり、電磁ノイズを低減することができる。尚、図中の符号で 4 6 は遮蔽部である。

【 0 0 6 2 】

また、前記の実施例 3 , 4 においても、実施例 2 のようにプロトン照射の代わりにヘリウム照射を用いても構わない。

【 符号の説明 】

【 0 0 6 3 】

- 1 n 型半導体基板 (ドレイン領域となる)
- 1 a 裏面
- 2 n 型半導体層 (n 型カラム)
- 2 a n 型半導体層 (トレンチ溝形成前のエピタキシャル層)
- 3 酸化膜
- 4 , 4 3 , 4 7 開口部
- 5 表面 (エピタキシャル層)
- 6 トレンチ溝
- 7 エッチング
- 8 p 型半導体層 (p 型カラム)
- 9 表面 (n 型カラム)
- 1 0 表面 (p 型カラム)
- 1 1 , 1 1 a p ベース領域
- 1 2 , 1 2 a p + コンタクト領域
- 1 3 , 1 3 a n + ソース領域
- 1 4 , 1 4 a ゲート酸化膜
- 1 4 b トレンチ
- 1 5 , 1 5 a ゲート電極
- 1 6 , 1 6 a 層間絶縁膜
- 1 7 , 1 7 a ソース電極
- 1 8 プロトン照射
- 1 9 プロトン
- 2 0 プロトン照射層
- 2 1 結晶欠陥
- 2 2 欠陥層
- 2 3 高濃度 n 型半導体領域
- 2 4 ドレイン電極
- 2 5 n + ドレイン領域
- 2 6 ヘリウム照射

10

20

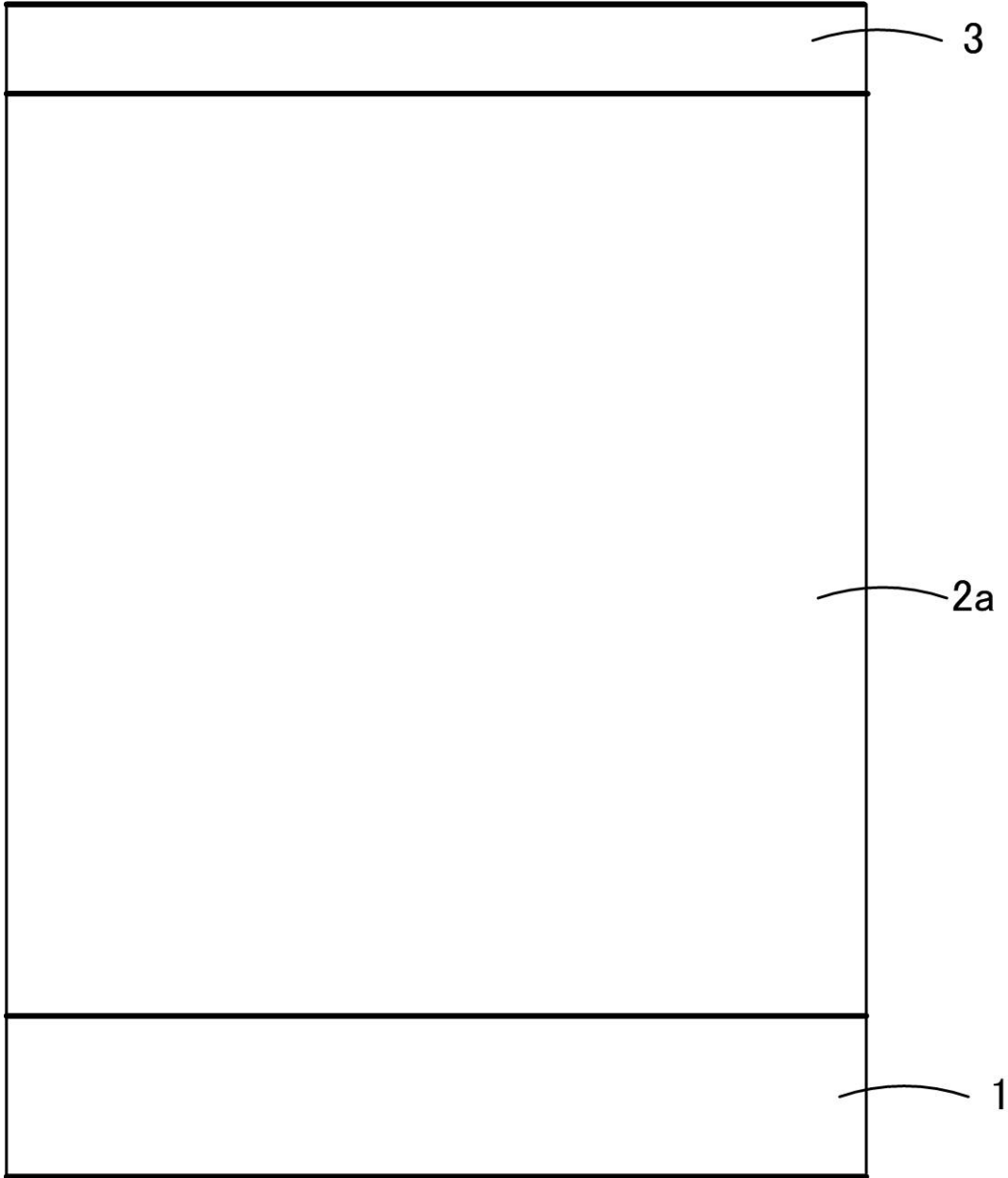
30

40

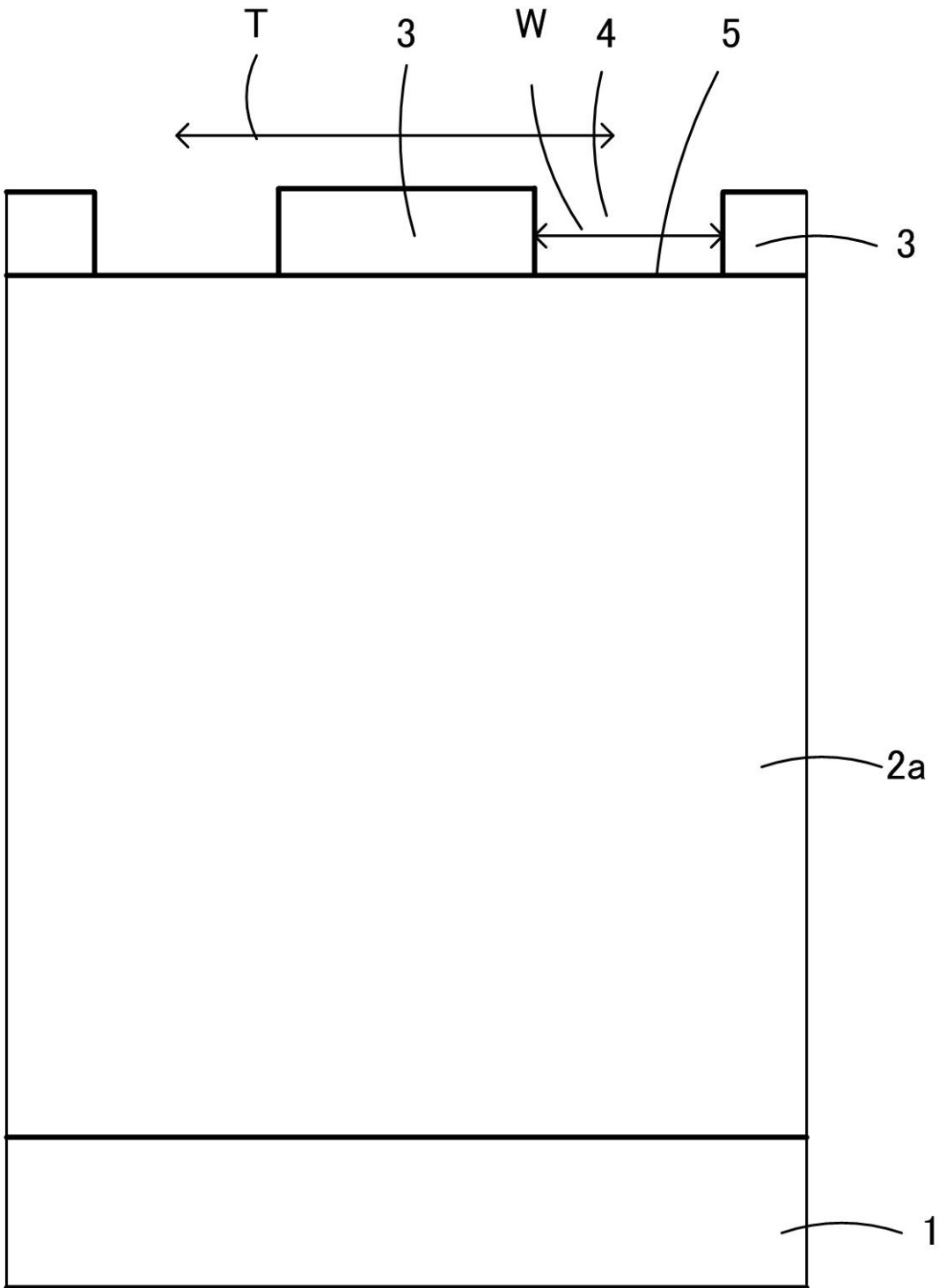
50

- 2 7 ヘリウム
- 2 8 ヘリウム照射層
- 2 9 素子表面構造（プレーナゲート型）
- 2 9 a 素子表面構造（トレンチゲート型）
- 3 0 並列 p n 層（素子表面構造 2 9 下の箇所）
- 3 0 a 並列 p n 層（素子表面構造 2 9 形成前）
- 4 1 , 4 5 遮蔽マスク
- 4 2 , 4 6 遮蔽部
- 1 0 0 , 2 0 0 本発明の超接合半導体装置

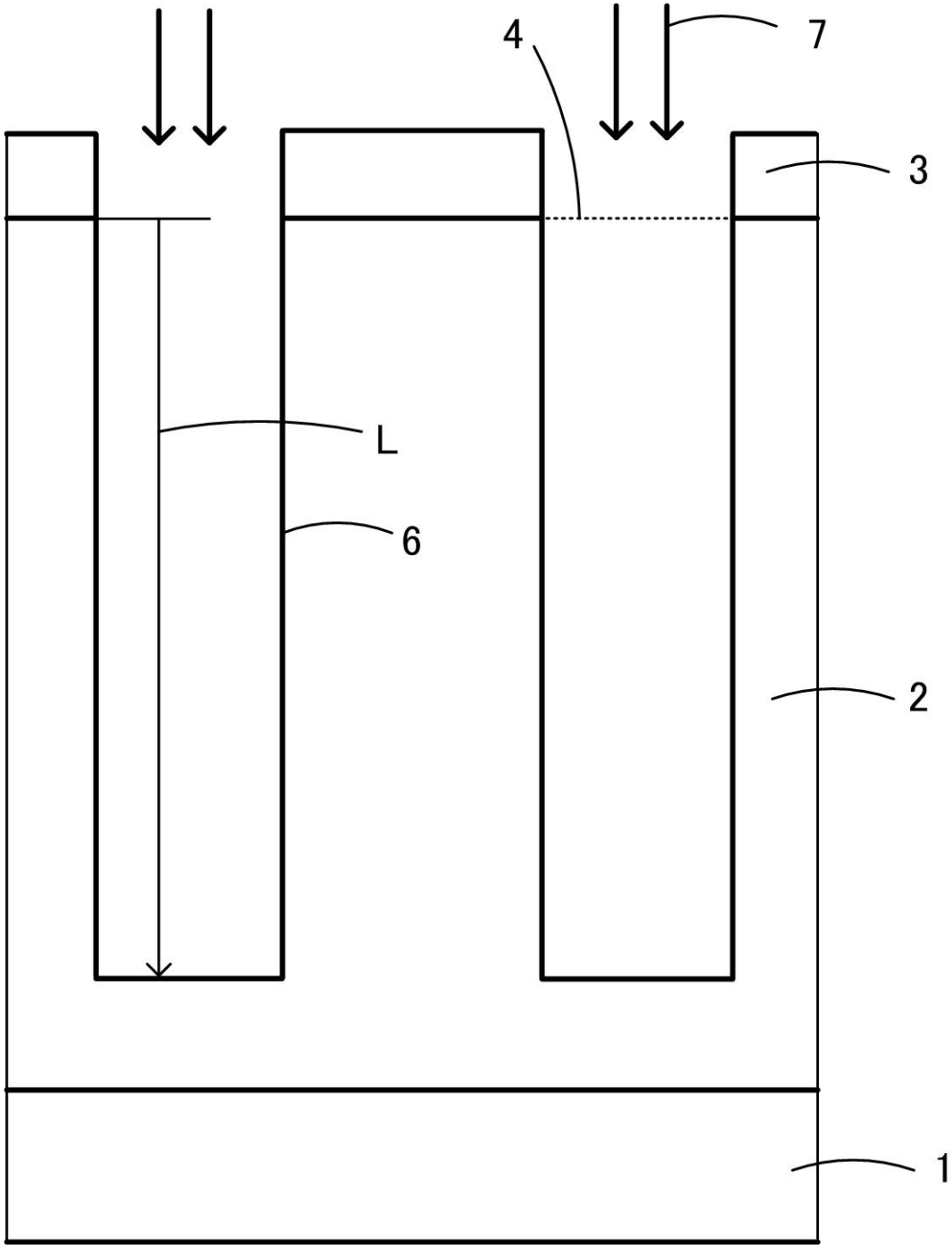
【 図 1 】



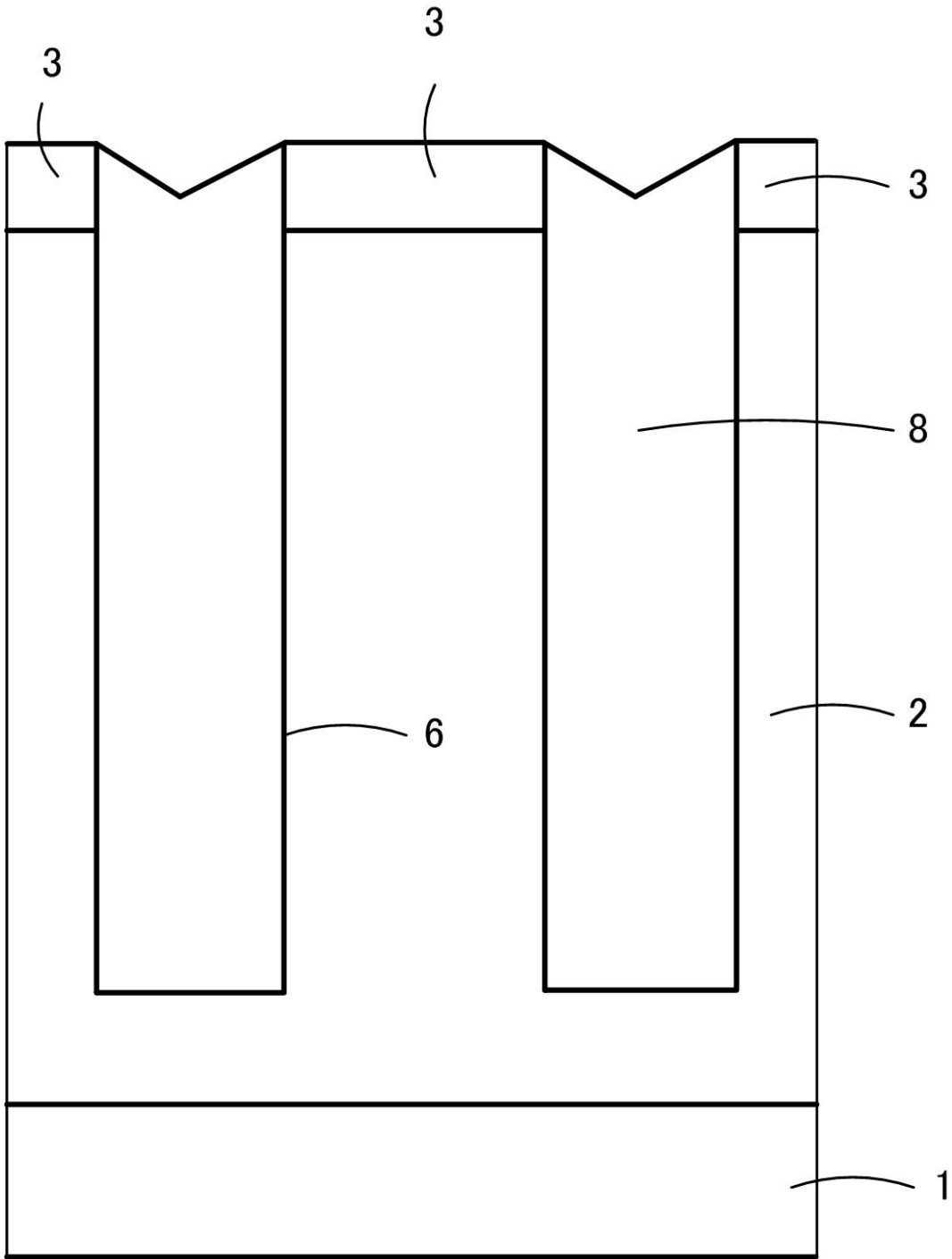
【 図 2 】



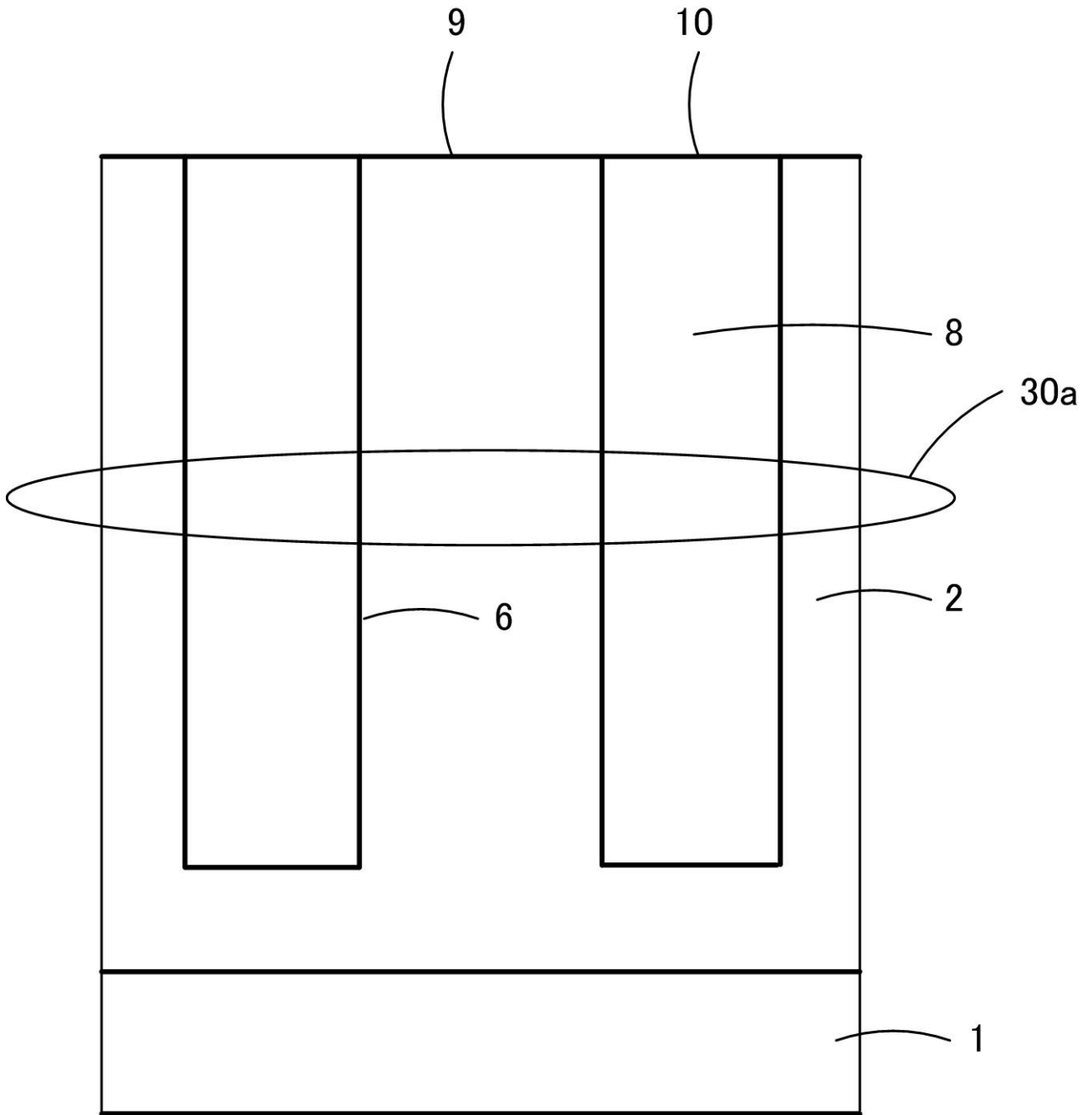
【 図 3 】



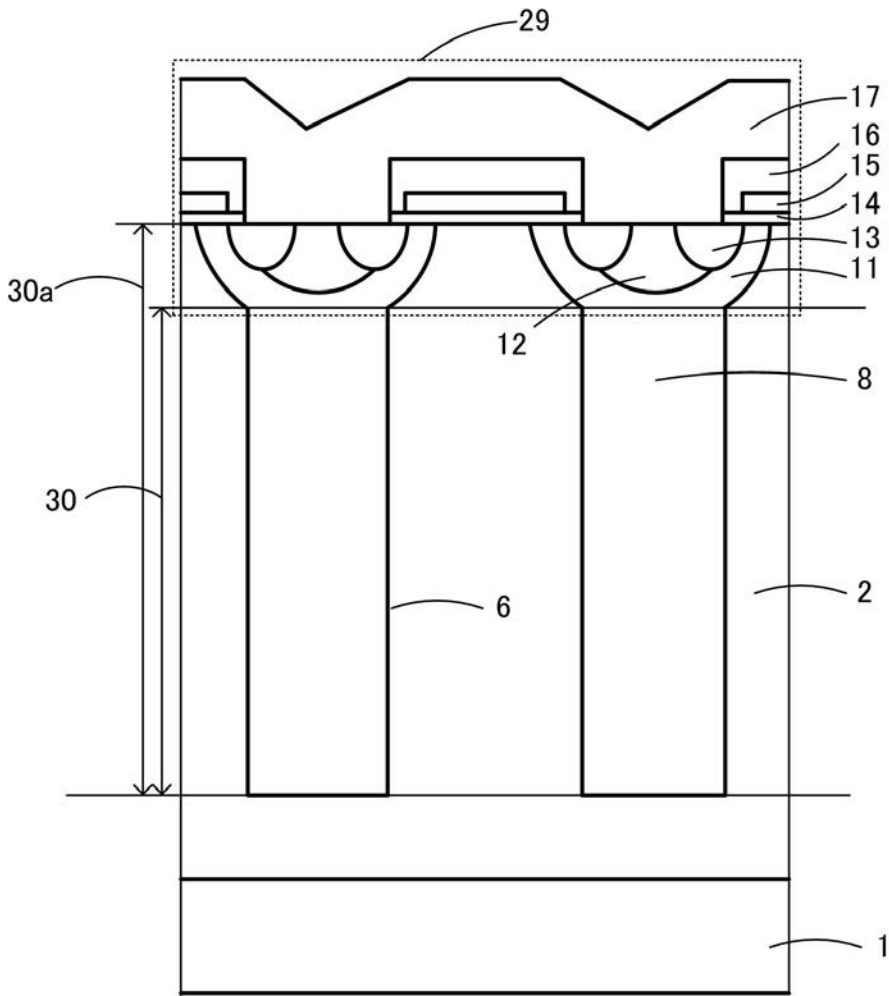
【 図 4 】



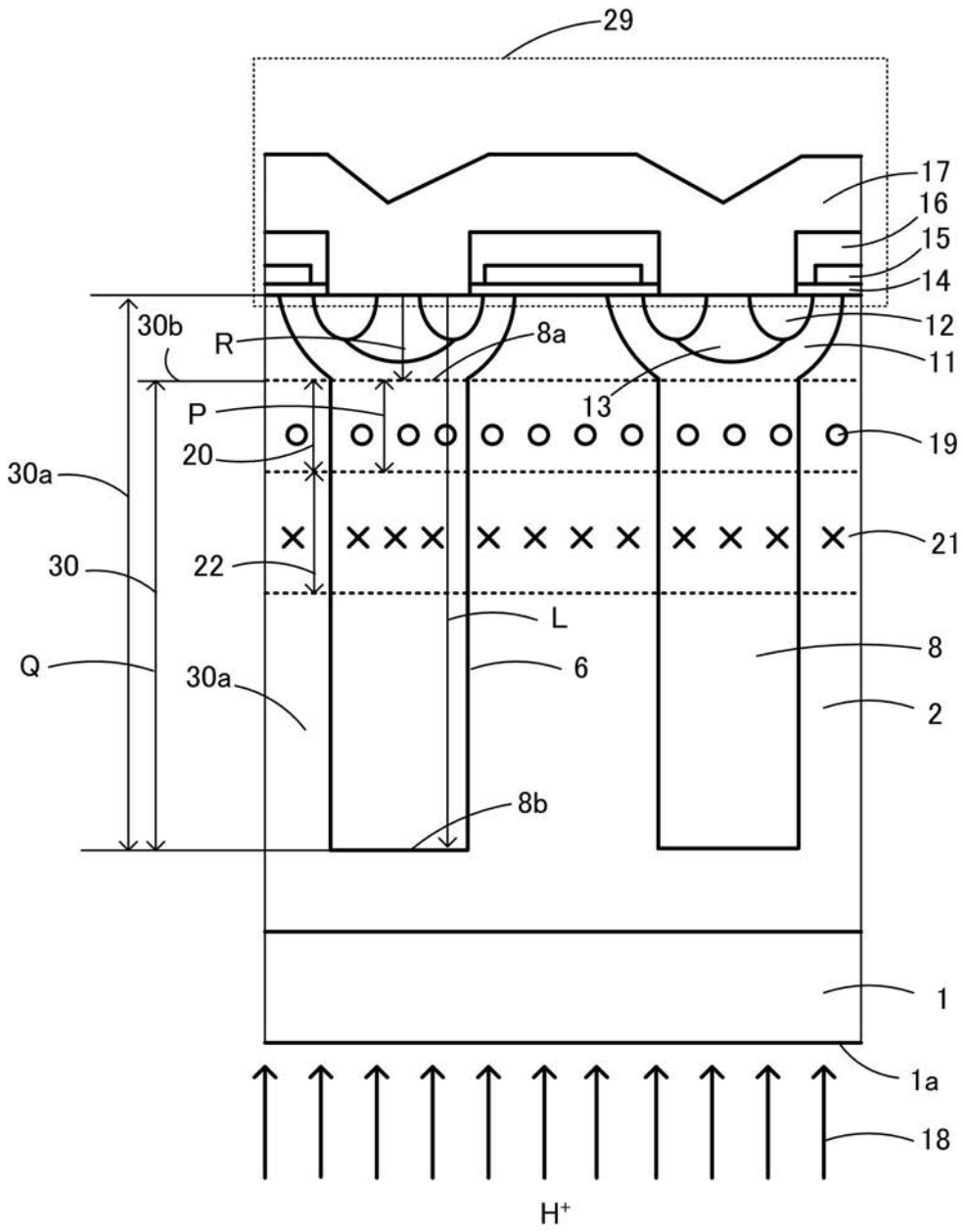
【図 5】



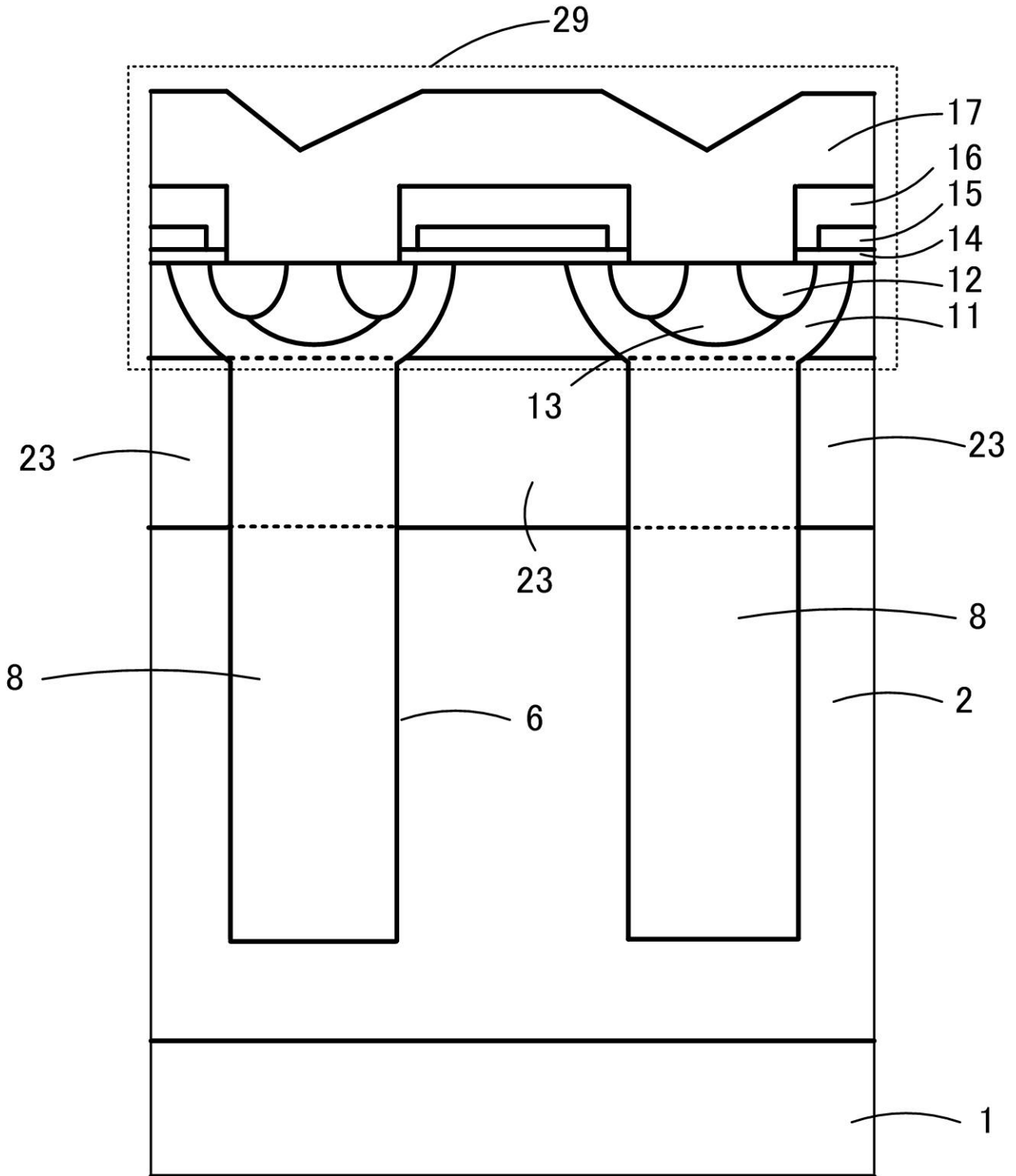
【 図 6 】



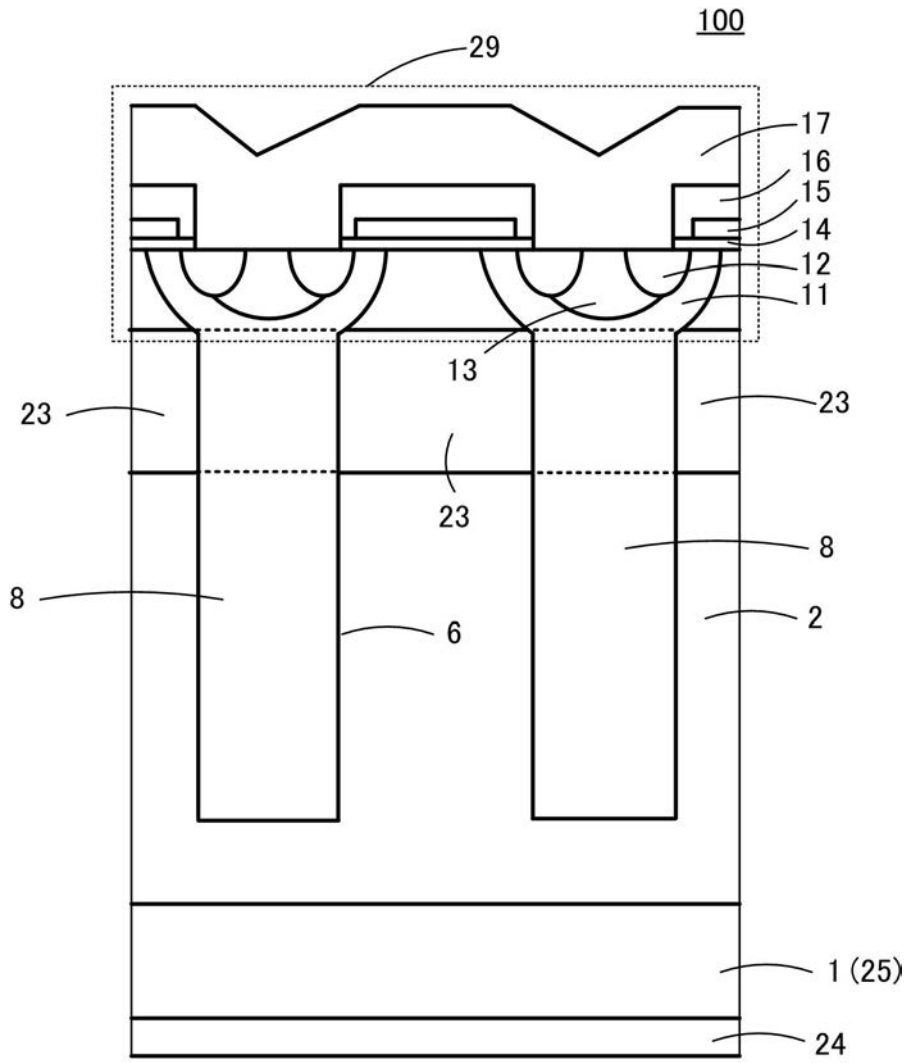
【 図 7 】



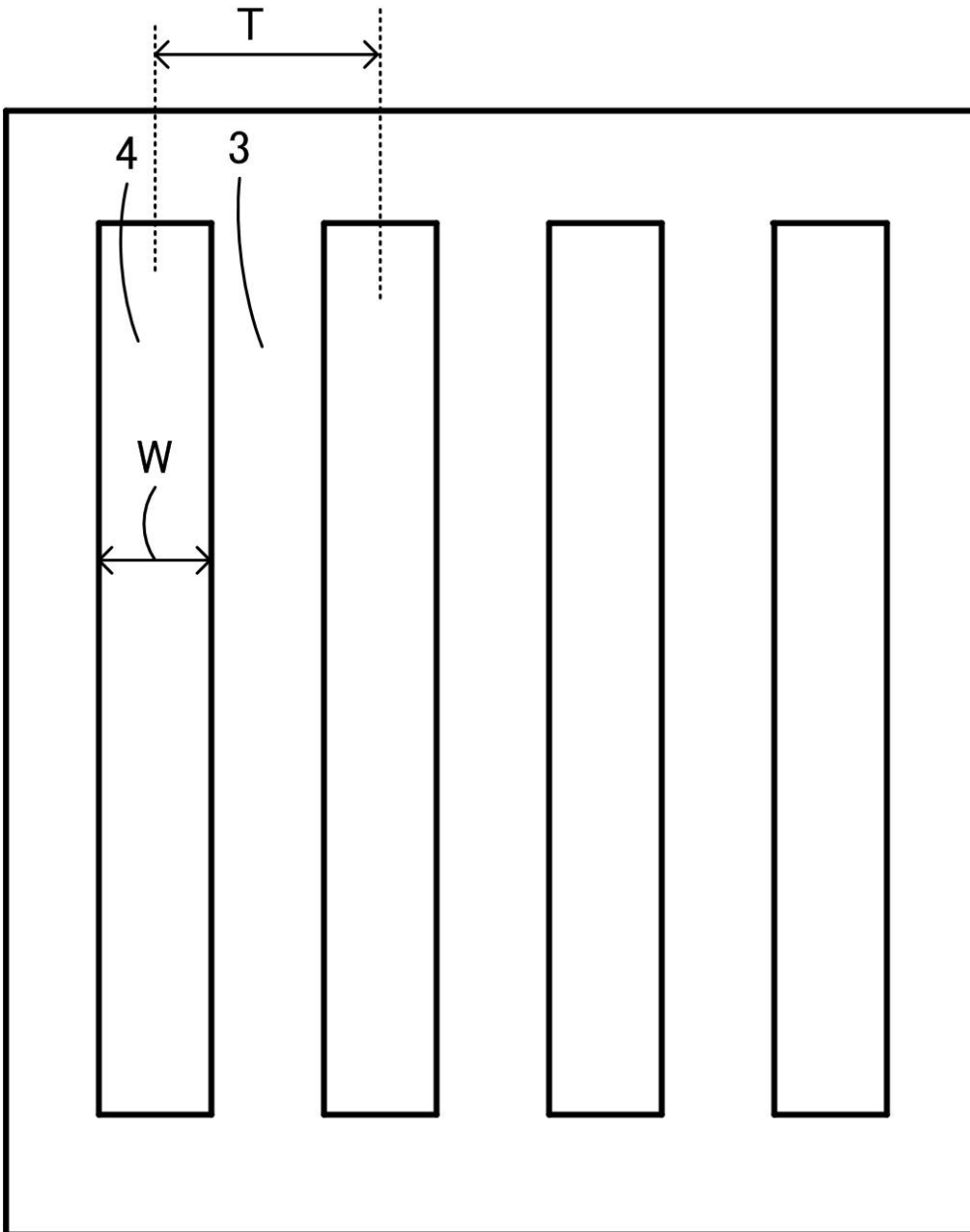
【 図 8 】



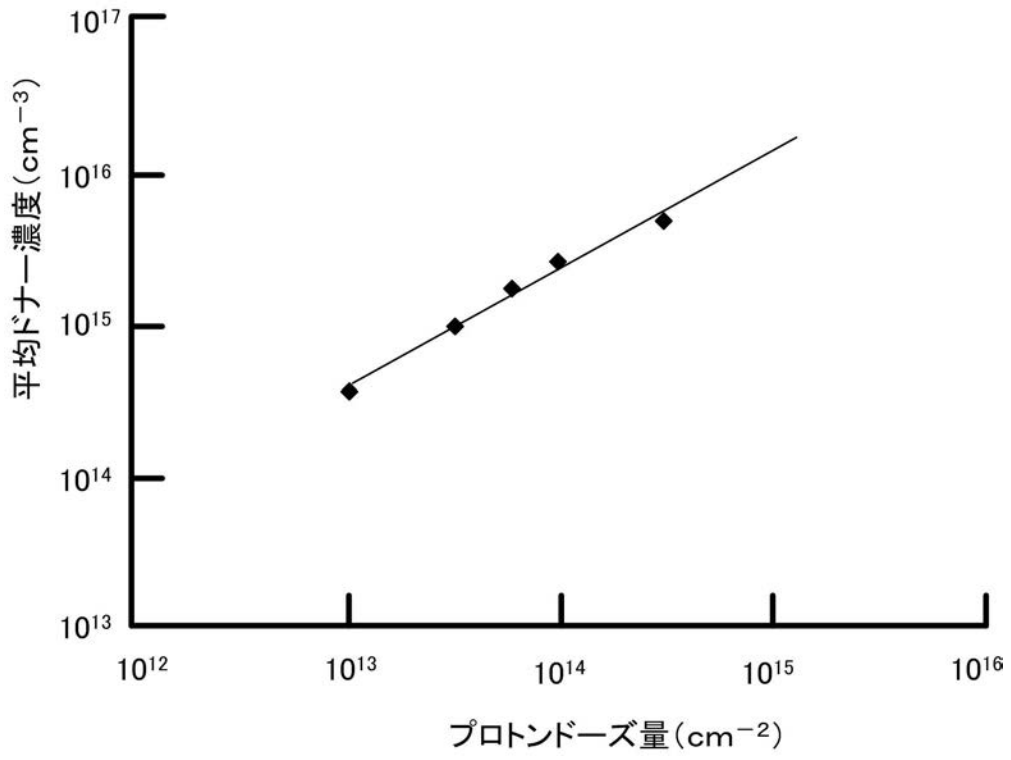
【 図 9 】



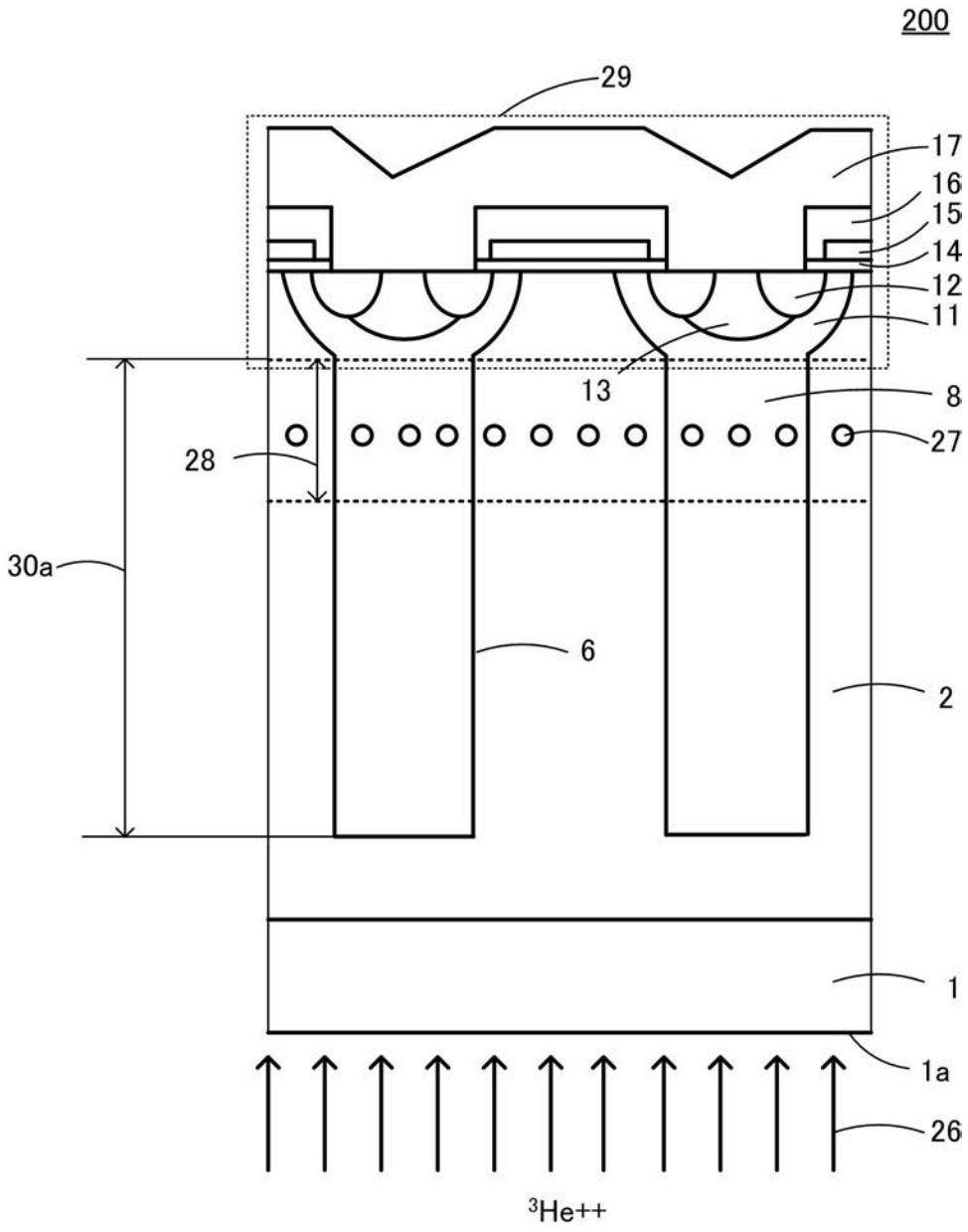
【 図 1 0 】



【 図 1 1 】



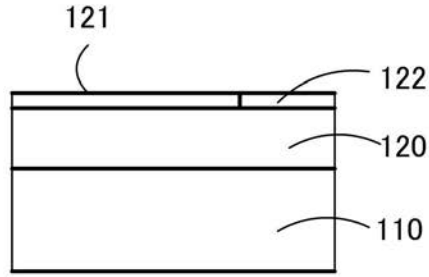
【 図 1 2 】



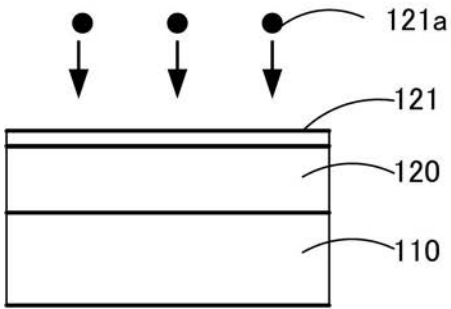
【 図 1 3 】



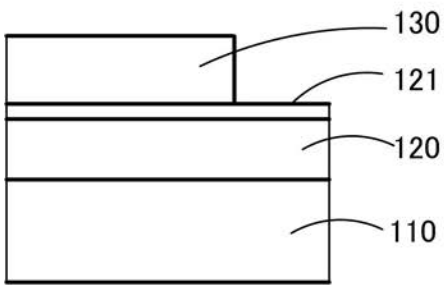
(a)



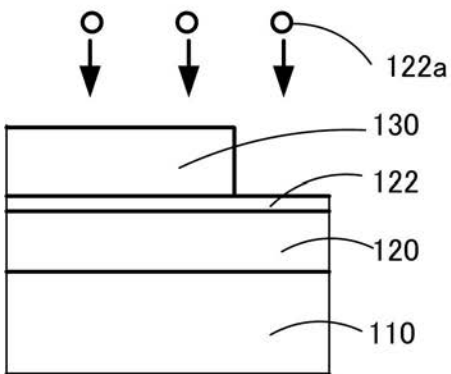
(e)



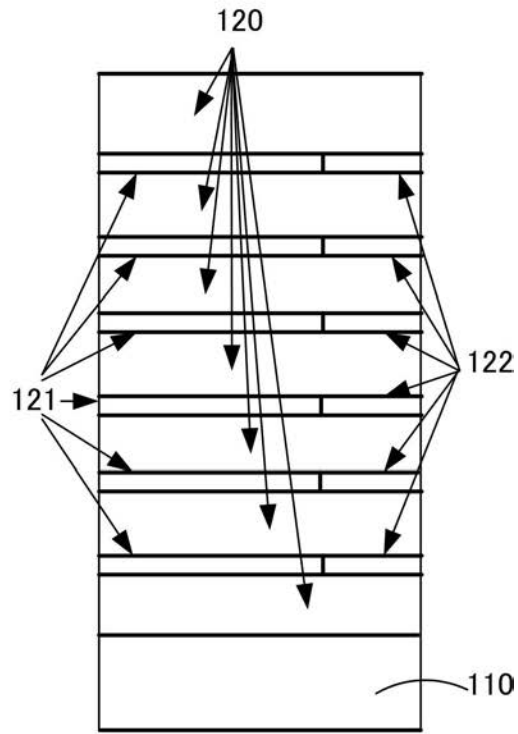
(b)



(c)

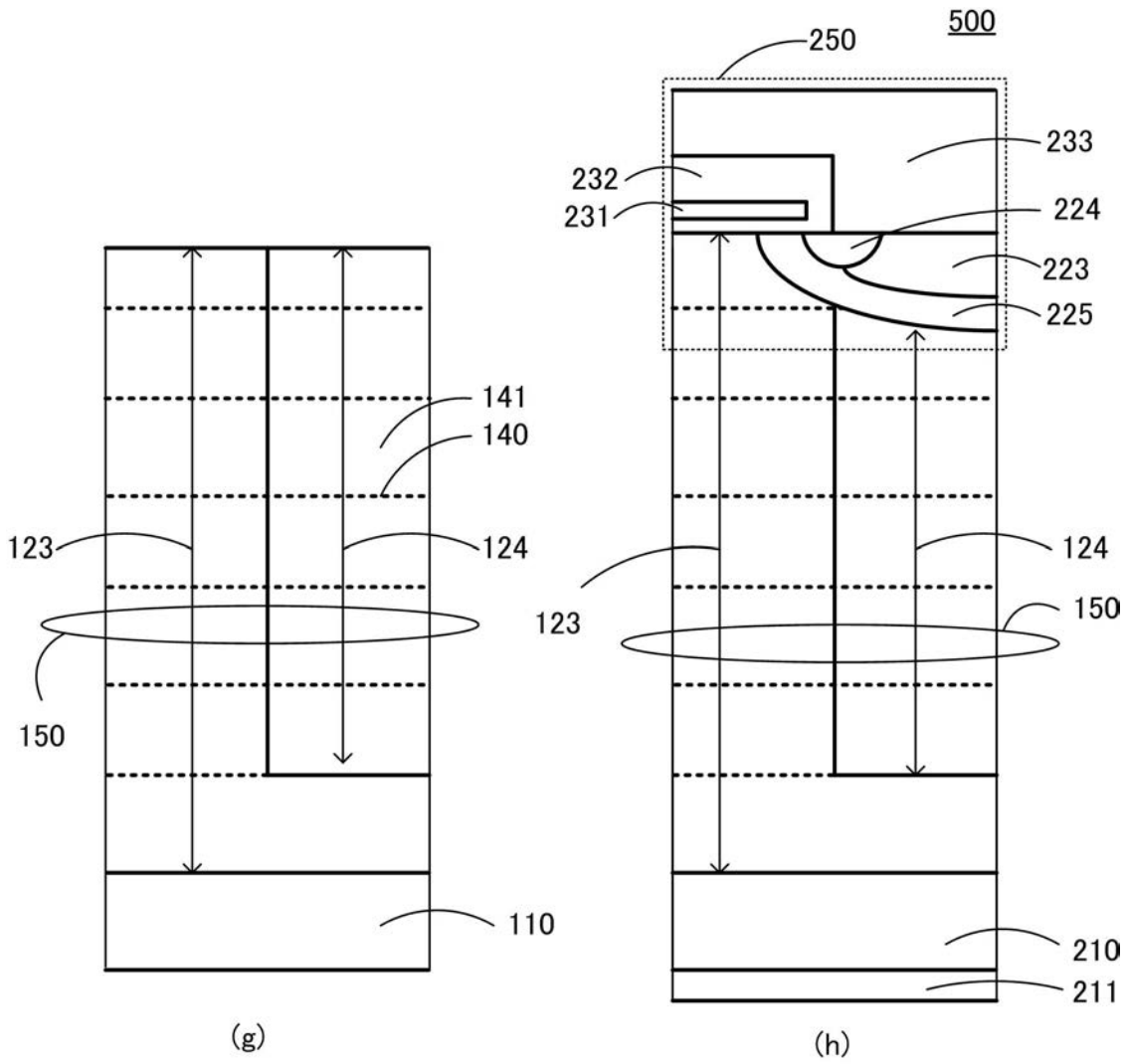


(d)

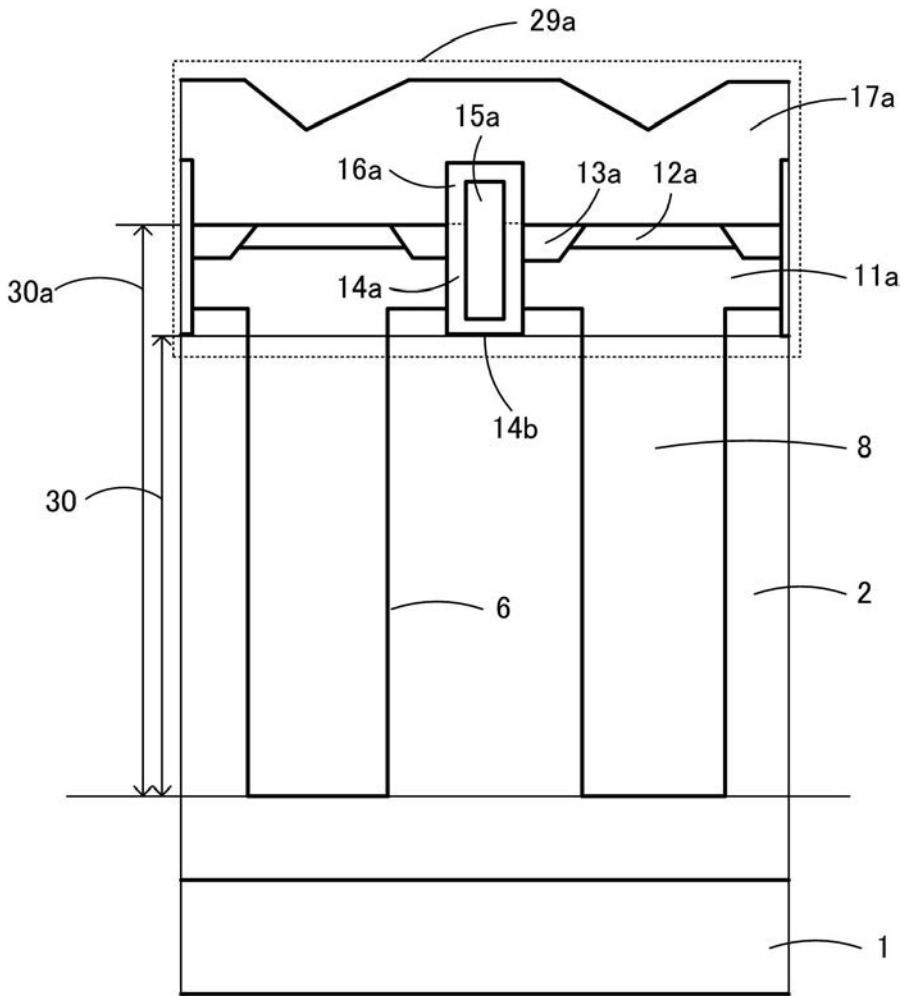


(f)

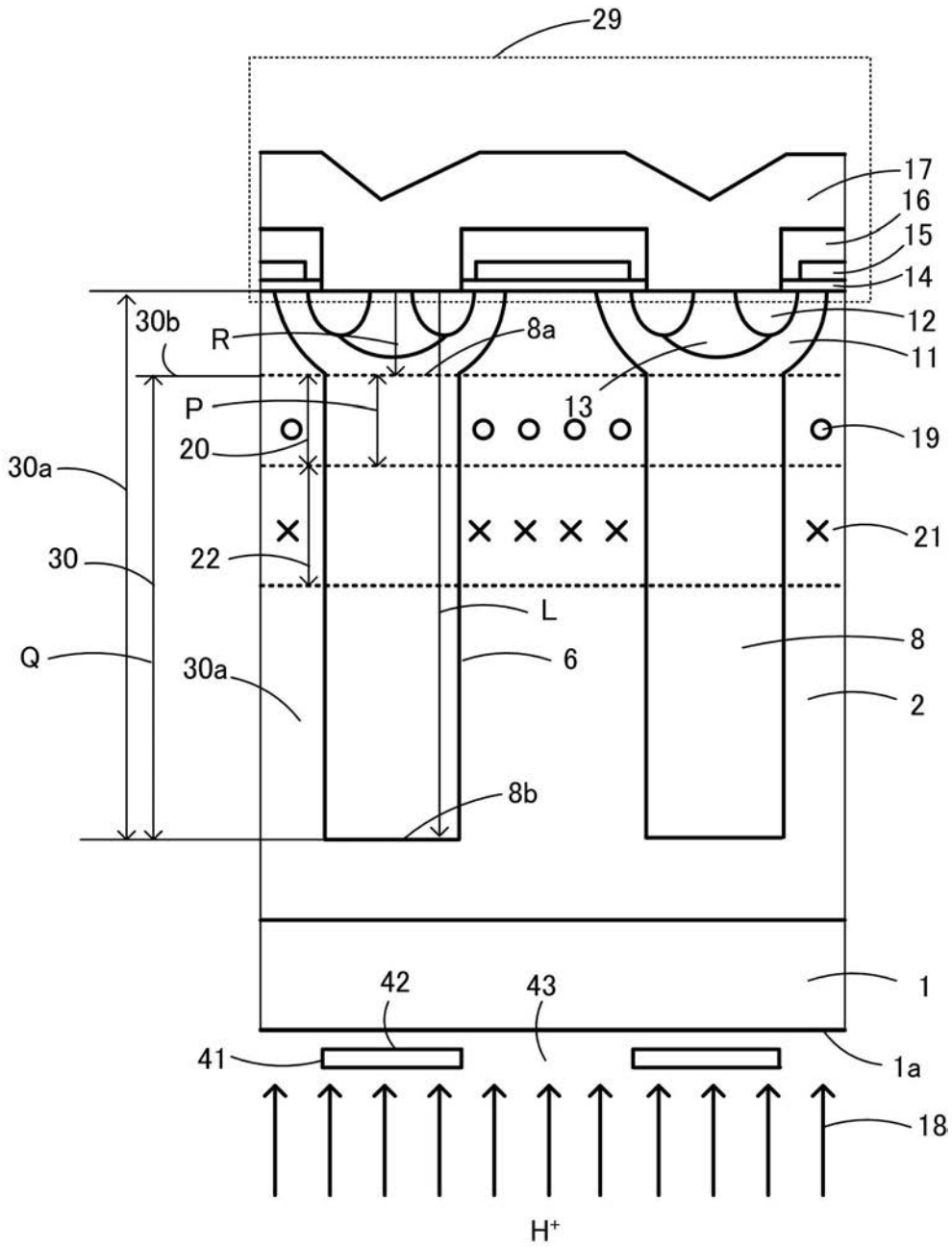
【 図 1 4 】




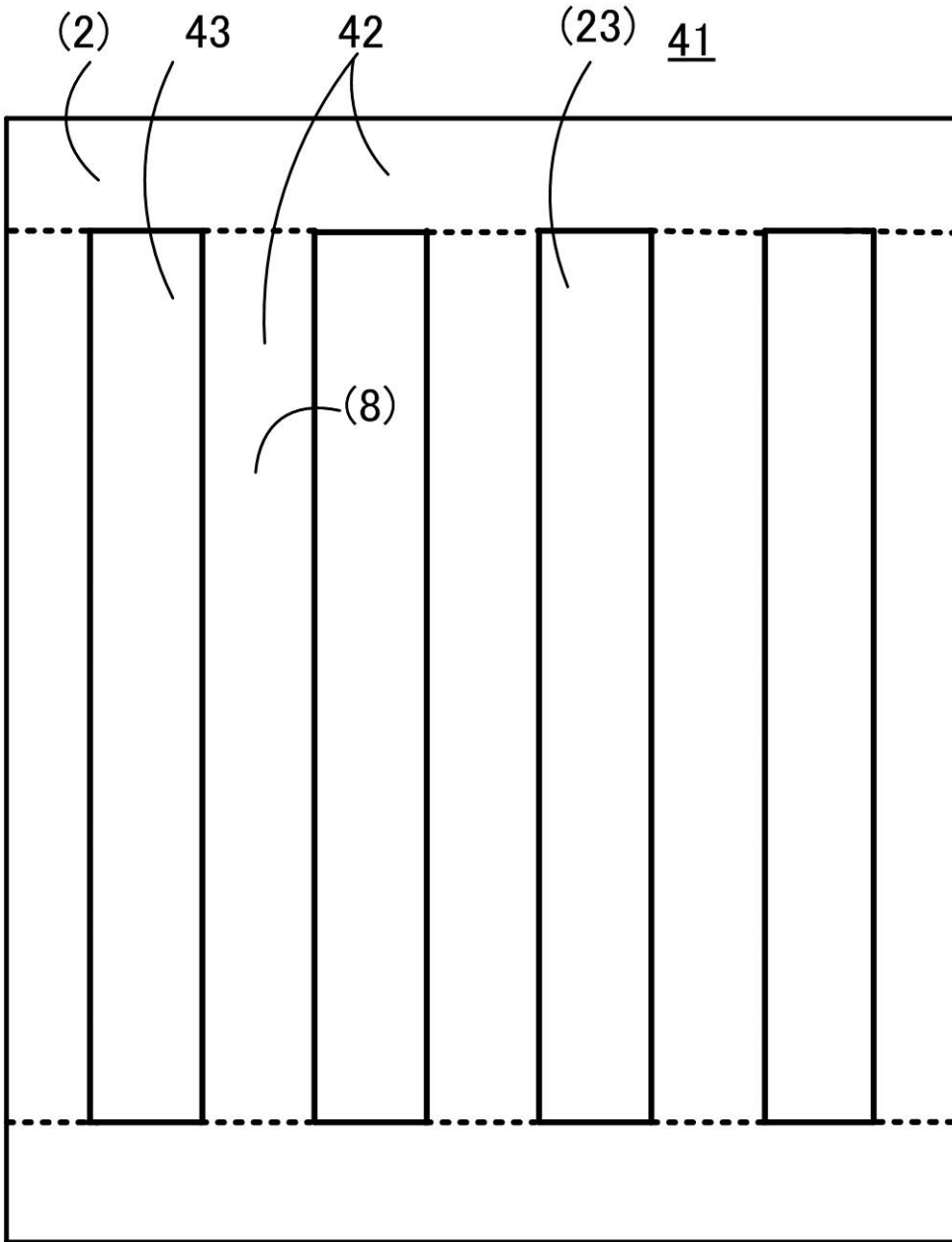
【図 15】



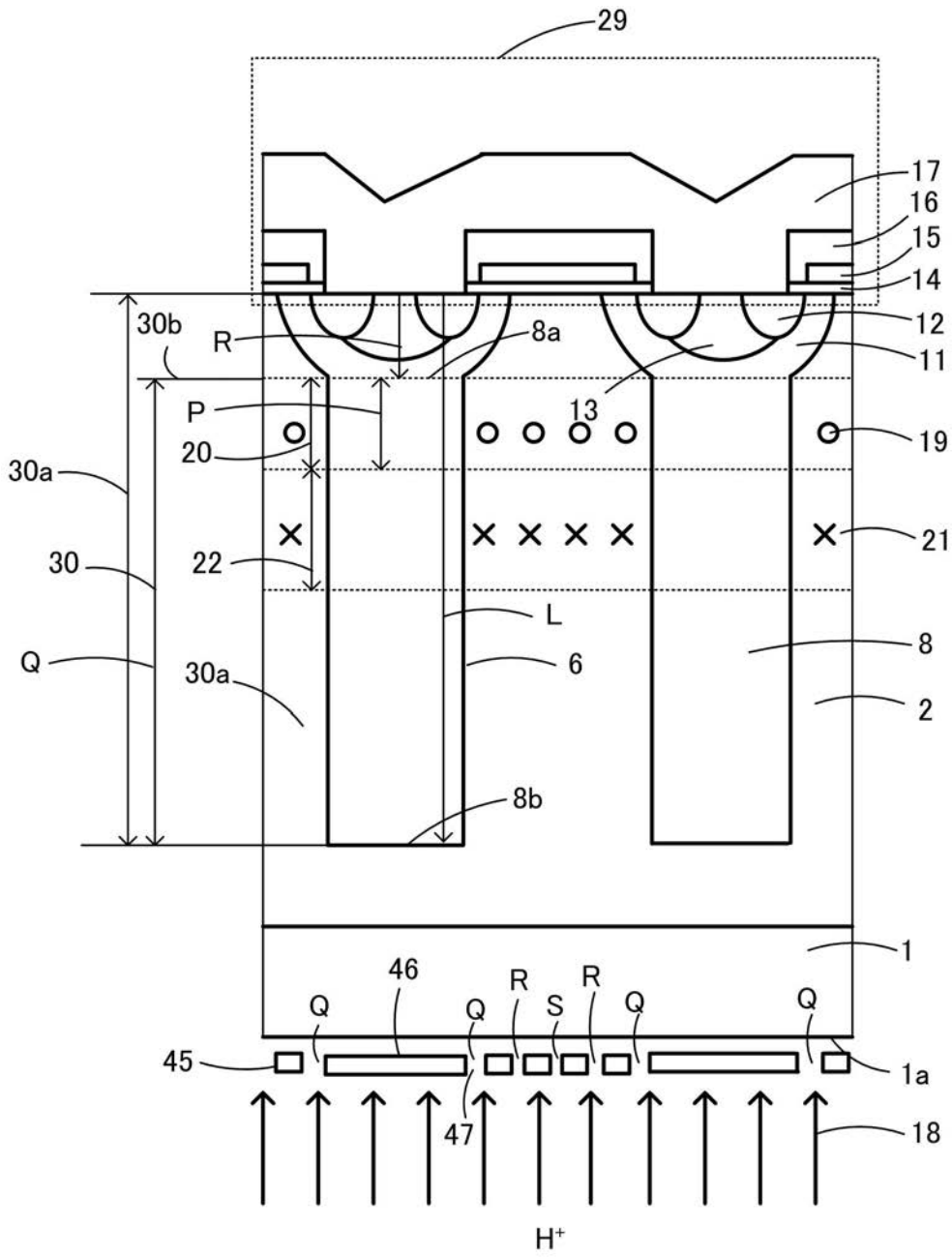
【図16】



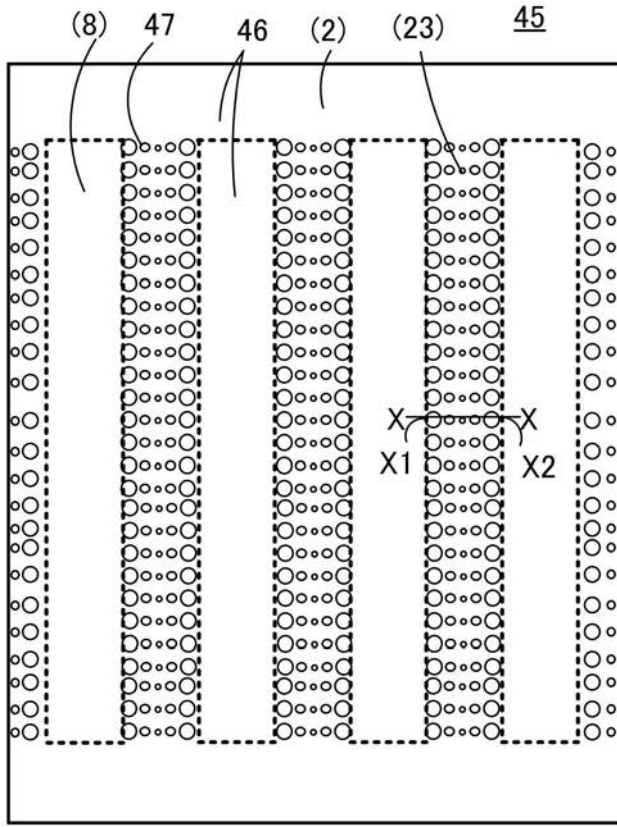
【 17】



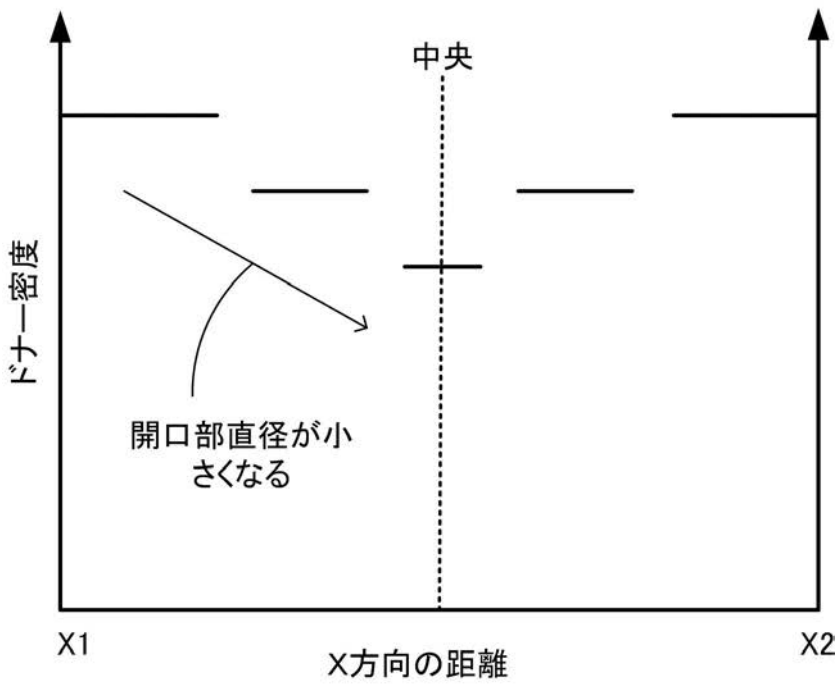
【 図 18 】



【図19】



(a)



(b)