

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成19年11月1日(2007.11.1)

【公開番号】特開2006-100531(P2006-100531A)

【公開日】平成18年4月13日(2006.4.13)

【年通号数】公開・登録公報2006-015

【出願番号】特願2004-284123(P2004-284123)

【国際特許分類】

H 01 L 21/8247 (2006.01)

H 01 L 29/788 (2006.01)

H 01 L 29/792 (2006.01)

H 01 L 27/10 (2006.01)

H 01 L 27/115 (2006.01)

【F I】

H 01 L 29/78 3 7 1

H 01 L 27/10 4 6 1

H 01 L 27/10 4 3 4

【手続補正書】

【提出日】平成19年9月12日(2007.9.12)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体基板の主面に電荷蓄積用絶縁膜を介在してゲート電極が設けられた第1及び第2の不揮発性記憶素子を有し、

前記第1の不揮発性記憶素子は、プログラムを構成するデータの記憶に使用され、

前記第2の不揮発性記憶素子は、前記プログラムの実行によって処理されたデータの記憶に使用され、かつ、ゲート幅が前記第1の不揮発性記憶素子のゲート幅よりも広いことを特徴とする半導体装置。

【請求項2】

請求項1に記載の半導体装置において、

前記電荷蓄積用絶縁膜は、窒化膜を含む膜であることを特徴とする半導体装置。

【請求項3】

請求項1に記載の半導体装置において、

前記第1及び第2の不揮発性記憶素子の各々のゲート電極は、ゲート配線の一部で形成されていることを特徴とする半導体装置。

【請求項4】

請求項1に記載の半導体装置において、

前記第1の不揮発性記憶素子のゲート電極は、第1のゲート配線の一部で形成され、

前記第2の不揮発性記憶素子のゲート電極は、前記第1のゲート配線とは異なる第2のゲート配線の一部で形成されていることを特徴とする半導体装置。

【請求項5】

請求項1に記載の半導体装置において、

前記第1及び第2の不揮発性記憶素子のゲート幅は、前記半導体基板の主面に形成された素子分離領域で規定されていることを特徴とする半導体装置。

【請求項 6】

請求項 1 に記載の半導体装置において、

前記第 1 及び第 2 の不揮発性記憶素子の各々のゲート電極は、メモリ・ゲート電極であり、

前記第 1 及び第 2 の不揮発性記憶素子の各々は、前記半導体基板の主面上にゲート絶縁膜を介在して設けられたコントロール・ゲート電極を有することを特徴とする半導体装置。

【請求項 7】

請求項 6 に記載の半導体装置において、

前記第 2 の不揮発性記憶素子のメモリ・ゲート電極下におけるゲート幅は、前記第 1 の不揮発性記憶素子のメモリ・ゲート電極下におけるゲート幅よりも広いことを特徴とする半導体装置。

【請求項 8】

請求項 6 に記載の半導体装置において、

前記第 2 の不揮発性記憶素子のコントロール・ゲート電極下におけるゲート幅は、前記第 1 の不揮発性記憶素子のコントロール・ゲート電極下におけるゲート幅よりも広いことを特徴とする半導体装置。

【請求項 9】

請求項 6 に記載の半導体装置において、

前記第 2 の不揮発性記憶素子のメモリ・ゲート電極下におけるゲート幅は、前記第 1 の不揮発性記憶素子のメモリ・ゲート電極下におけるゲート幅よりも広く、

前記第 2 の不揮発性記憶素子のコントロール・ゲート電極下におけるゲート幅は、前記第 1 の不揮発性記憶素子のコントロール・ゲート電極下におけるゲート幅よりも広いことを特徴とする半導体装置。

【請求項 10】

請求項 6 に記載の半導体装置において、

前記第 1 及び第 2 の不揮発性記憶素子の各々のメモリ・ゲート電極下におけるゲート幅、並びに前記第 1 及び第 2 の不揮発性記憶素子の各々のコントロール・ゲート電極下におけるゲート幅は、前記半導体基板の正面に形成された素子分離領域で規定されていることを特徴とする半導体装置。

【請求項 11】

請求項 6 に記載の半導体装置において、

前記第 1 及び第 2 の不揮発性記憶素子の各々のメモリ・ゲート電極は、第 1 のゲート配線の一部で形成され、

前記第 1 及び第 2 の不揮発性記憶素子の各々のコントロール・ゲート電極は、第 2 のゲート配線の一部で形成されていることを特徴とする半導体装置。

【請求項 12】

請求項 6 に記載の半導体装置において、

前記第 1 の不揮発性記憶素子のメモリ・ゲート電極は、第 1 のゲート配線の一部で形成され、

前記第 2 の不揮発性記憶素子のコントロール・ゲート電極は、第 2 のゲート配線の一部で形成され、

前記第 2 の不揮発性記憶素子のメモリ・ゲート電極は、前記第 1 のゲート配線とは異なる第 3 のゲート配線の一部で形成され、

前記第 2 の不揮発性記憶素子のコントロール・ゲート電極は、前記第 2 のゲート配線とは異なる第 4 のゲート配線の一部で形成されていることを特徴とする半導体装置。

【請求項 13】

請求項 1 に記載の半導体装置において、

前記電荷蓄積用絶縁膜は、窒化膜を含む膜で形成され、

前記第 1 及び第 2 の不揮発性記憶素子は、前記電荷蓄積用絶縁膜の窒化膜から前記ゲー

ト電極に電子を放出させることによってデータの書き換えが行われることを特徴とする半導体装置。

【請求項 1 4】

請求項 1 に記載の半導体装置において、
前記電荷蓄積用絶縁膜は、窒化膜を含む膜で形成され、

前記第 1 及び第 2 の不揮発性記憶素子は、前記メモリ・ゲート電極 MG 下のチャネル形成領域側から前記電荷蓄積用絶縁膜の窒化膜中にホットホールを注入させることによってデータの書き換えが行われることを特徴とする半導体装置。

【請求項 1 5】

請求項 1 に記載の半導体装置において、
前記第 1 および第 2 の不揮発性記憶素子は、共通のセンスアンプに接続されていることを特徴とした半導体装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正の内容】

【0023】

メモリ・ゲート電極 MG は、情報蓄積部として機能する電荷蓄積用絶縁膜 5 を介在して、シリコン基板 1 の主面の活性領域に設けられている。メモリ・ゲート電極 MG は、例えば抵抗値を低減する不純物が導入された多結晶シリコン膜で形成されている。このメモリ・ゲート電極 MG の上面には、その上面を覆うようにして例えば酸化シリコン膜からなる絶縁膜（キャップ絶縁膜）6 が設けられている。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

【補正の内容】

【0028】

ソース領域及びドレイン領域は、一対の n 型半導体領域（エクステンション領域）9 及び一対の n 型半導体領域（コンタクト領域）11a, 11b を有する構成になっている。一対の n 型半導体領域 9 のうち、一方の n 型半導体領域 9 は、他方（コントロール・ゲート電極 CG 側と反対側）のサイドウォールスペーサ 7 に整合してシリコン基板 1 の主面に設けられ、他方の n 型半導体領域 9 は、コントロール・ゲート電極 CG の外側に設けられたサイドウォールスペーサ 10 に整合してシリコン基板 1 の主面に設けられている。一対の n 型半導体領域（11a, 11b）のうち、一方の n 型半導体領域 11b は、他方（メモリ・ゲート電極 MG 側）のサイドウォールスペーサ 10 に整合してシリコン基板 1 の主面に設けられ、他方の n 型半導体領域 11a は、コントロール・ゲート電極 CG 側のサイドウォールスペーサ 10 に整合してシリコン基板 1 の主面に設けられている。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0032

【補正方法】変更

【補正の内容】

【0032】

プログラム用不揮発性メモリ・モジュール 21 に配置された不揮発性記憶素子 Qm1 は、図 4 乃至図 6 に示すように、シリコン基板 1 の主面上に設けられた層間絶縁膜 12 で覆われており、層間絶縁膜 12 上には Y 方向に沿って延在する複数のサブビット線 15 が配置されている。サブビット線 15 は、例えば、A1 膜、又は A1 合金膜、若しくは Cu 膜、又は Cu 合金膜等の導電性金属膜で形成されている。層間絶縁膜 12 は、例えば酸化シ

リコン膜で形成されている。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0036

【補正方法】変更

【補正の内容】

【0036】

なお、電荷蓄積用絶縁膜5において、ホットエレクトロンを注入する膜は、特に窒化シリコン(SiN)膜に限るものではなく、例えば、酸窒化シリコン(SiON)膜のような膜中に窒素を含有する絶縁膜で形成することもできる。このような酸窒化シリコン膜で形成した場合、窒化シリコン膜に比べて電荷蓄積用絶縁膜5の耐圧を高めることができる。このため、後述するようなホットエレクトロン又はホットホールの注入回数に応じたメモリ・ゲート電極MG下の基板表面(基板と電荷蓄積用絶縁膜との界面近傍)におけるキャリア移動度の劣化に対する耐性を高めることができる。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0042

【補正方法】変更

【補正の内容】

【0042】

プログラム用不揮発性メモリ・モジュール21に配置された不揮発性記憶素子Qm1は、論理演算回路モジュール25に配置されたCPUやDSP等の論理演算回路を動作させるためのプログラムデータの記憶に使用される。データ用不揮発性メモリ・モジュール22に配置された不揮発性記憶素子Qm2は、前記プログラムの実行によって処理された処理データの記憶に使用される。即ち、本実施例1のマイクロ・コンピュータ20aは、MONOS型不揮発性記憶素子Qm1と、MONOS型不揮発性記憶素子Qm1よりもゲート幅が広いMONOS型不揮発性記憶素子Qm2とを同一基板に混載し、MONOS型不揮発性記憶素子Qm1を書換回数が少ないプログラムデータの記憶用として使用し、MONOS型不揮発性記憶素子Qm2を書換回数が多い処理データの記憶用として使用している。

このように構成されたマイクロ・コンピュータ20aは、図12に示すように、非接触型のICカード30に搭載される。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0059

【補正方法】変更

【補正の内容】

【0059】

コントロール・ゲート電極CGは、例えば酸化シリコン膜からなるゲート絶縁膜42を介在してシリコン基板1の正面の活性領域に設けられている。電荷蓄積用絶縁膜5は、コントロール・ゲート電極CGのチャネル長方向において互いに反対側に位置する2つの側壁面のうちの一方の壁面側に、この一方の側壁面及びシリコン基板1の正面に沿って設けられている。メモリ・ゲート電極MGは、シリコン基板1及びコントロール・ゲート電極CGとの間に電荷蓄積用絶縁膜5を介在して、コントロール・ゲート電極CGの隣、具体的にはコントロール・ゲート電極CGの一方の側壁面側に設けられている。このコントロール・ゲート電極CG及びメモリ・ゲート電極MGは、これらのゲート長方向に沿って配置されている。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0066

【補正方法】変更

【補正の内容】

【0066】

プログラム用不揮発性メモリ・モジュール(21)に配置された不揮発性記憶素子Qm3は、図23乃至図25に示すように、シリコン基板1の主面上に設けられた層間絶縁膜12で覆われており、層間絶縁膜12上にはY方向に沿って延在する複数のサブビット線15が配置されている。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0070

【補正方法】変更

【補正の内容】

【0070】

不揮発性記憶素子Qm3及びQm4の書き込み動作は、例えば、ドレイン領域のn型半導体領域46aに1[V]、ソース領域のn型半導体領域46bに6[V]、メモリ・ゲート電極MGに12[V]、コントロール・ゲート電極CGに1.5[V]、p型ウエル領域3に0[V]の電圧を印加し、メモリ・ゲート電極MG下のチャネル形成領域側(基板1側)から電荷蓄積用絶縁膜5の窒化シリコン膜5b中にホットエレクトロンを注入することによって行われる。ホットエレクトロンの注入は、電荷蓄積用絶縁膜5の下層の酸化シリコン膜5aを通過させることによって行われる。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0071

【補正方法】変更

【補正の内容】

【0071】

不揮発性記憶素子Qm3及びQm4の消去動作は、例えば、ドレイン領域に0[V]、ソース領域に7[V]、メモリ・ゲート電極MGに-6[V]、コントロール・ゲート電極CG及びp型ウエル領域3に0[V]の電位を夫々印加し、電荷蓄積用絶縁膜5の下層の酸化シリコン膜5aを通過させて、メモリ・ゲート電極MG下のチャネル形成領域側(基板1側)から電荷蓄積用絶縁膜5の窒化シリコン膜5b中にホットホールを注入されることによって行われる。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0075

【補正方法】変更

【補正の内容】

【0075】

プログラム用不揮発性メモリ・モジュール(21)に配置された不揮発性記憶素子Qm3は、論理演算回路モジュール(25)に配置されたCPUやDSP等の論理演算回路を動作させるためのプログラムデータの記憶に使用される。データ用不揮発性メモリ・モジュール(22)に配置された不揮発性記憶素子Qm4は、前記プログラムの実行によって処理された処理データの記憶に使用される。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0076

【補正方法】変更

【補正の内容】

【0076】

ここで、MONOS型不揮発性記憶素子の書換回数について説明する。

本実施例3の不揮発性記憶素子Qm3は、メモリ・ゲート電極MG下のチャネル形成領域側（基板1側）から電荷蓄積用絶縁膜5の窒化シリコン膜5b中にホットエレクトロンを注入することによってデータの書き込みが行われ、電荷蓄積用絶縁膜5の下層の酸化シリコン膜5aを通過させて、メモリ・ゲート電極MG下のチャネル形成領域側（基板1側）から電荷蓄積用絶縁膜5の窒化シリコン膜5b中にホットホールを注入させることによってデータの書き換えが行われる。このような不揮発性記憶素子Qm3では、前述の不揮発性記憶素子Qm1と同様に、1000回前後で書き換時間が桁で遅くなるため、製品としての書き換動作ができなくなってしまう。これは、消去動作時に電荷蓄積用絶縁膜が劣化することに起因するとされている。不揮発性記憶素子Qm3は、ソース領域端からのホットホール注入によってデータの消去を行っているため、図30に示すように、主に酸化シリコン膜5aが劣化するものと考えられる。

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0086

【補正方法】変更

【補正の内容】

【0086】

メモリセルMc2は、複数の不揮発性記憶素子Qm6およびQm7を含んで構成されており、前述の実施例1～3と同様に処理データの記憶に使用される。不揮発性記憶素子Qm6およびQm7において、そのコントロール・ゲート電極CGと一体になったゲート配線16、メモリ・ゲート電極MGと一体になったゲート配線17およびソース配線18は不揮発性記憶素子Qm5と共通であるが、サブビット線15は不揮発性記憶素子Qm5と別に設けられており、各々のサブビット線15に対応して設けられたセンスアンプSAに電気的に接続されている。

【手続補正14】

【補正対象書類名】明細書

【補正対象項目名】0095

【補正方法】変更

【補正の内容】

【0095】

1…シリコン基板、2…素子分離領域、3…p型ウエル領域、4…p型半導体領域、5…電荷蓄積用絶縁膜、5a…酸化シリコン膜、5b…窒化シリコン膜、5c…酸窒化シリコン膜、5d…酸化シリコン膜、6…絶縁膜、7…サイドウォールスペーサ、8…ゲート絶縁膜、9…n型半導体領域、10…サイドウォールスペーサ、11…n型半導体領域、12…層間絶縁膜、13…接続孔、14…導電性プラグ、15…サブビット線、16，17…ゲート配線、18…ソース配線、19…メインビット線、

20a，20b…マイクロ・コンピュータ（半導体装置）、21…プログラム用不揮発性メモリ・モジュール、22…データ用不揮発性メモリ・モジュール、23…周辺回路モジュール、24…RAMモジュール、25…論理演算回路モジュール、26…不揮発性メモリ・モジュール、

41…p型半導体領域、42…ゲート絶縁膜、43…p型半導体領域、44…n型半導体領域、45…サイドウォールスペーサ、46a，46b…n型半導体領域、

CG…コントロール・ゲート電極、MG…メモリ・ゲート電極、Mc1，Mc2…メモリセル、Qm1～Qm7…不揮発性記憶素子。