

(19)



Europäisches Patentamt
European Patent Office
Office européen des brevets



(11)

EP 0 597 772 B1

(12)

FASCICULE DE BREVET EUROPEEN

(45) Date de publication et mention
de la délivrance du brevet:
02.05.1997 Bulletin 1997/18

(51) Int Cl.⁶: **G09G 3/22**, G09G 1/20,
G09G 3/30

(21) Numéro de dépôt: **93402744.2**

(22) Date de dépôt: **09.11.1993**

(54) **Ecran d'affichage matriciel du type multiplexé et son procédé de commande**

Multiplexbetriebener Matrixbildschirm und Steuerverfahren dafür

Multiplexed matrix display screen and control method therefore

(84) Etats contractants désignés:
CH DE GB IT LI NL

(30) Priorité: **13.11.1992 FR 9213661**

(43) Date de publication de la demande:
18.05.1994 Bulletin 1994/20

(73) Titulaire: **COMMISSARIAT A L'ENERGIE
ATOMIQUE
75015 Paris (FR)**

(72) Inventeur: **Sarrasin, Denis
F-38360 Sassenage (FR)**

(74) Mandataire: **Dubois-Chabert, Guy et al
c/o BREVATOME
25, rue de Ponthieu
75008 Paris (FR)**

(56) Documents cités:
EP-A- 0 197 742 **EP-A- 0 249 954**

- **SID INTERNATIONAL SYMPOSIUM 1991 -
DIGEST OF TECHNICAL PAPERS Mai 1991 ,
PLAYA DEL REY (CA) - USA pages 437 - 439
T.LEROUX ET AL. 'Microtips Display
Addressing'**
- **SID INTERNATIONAL SYMPOSIUM 1988 -
DIGEST OF TECHNICAL PAPERS 24 Mai 1988 ,
ANAHEIM (CA) - USA pages 31 - 34 XP41810
S.A.STEINER ET AL. 'High-Performance Column
Driver for Gray-Scale TFEL Displays'**

EP 0 597 772 B1

Il est rappelé que: Dans un délai de neuf mois à compter de la date de publication de la mention de la délivrance du brevet européen, toute personne peut faire opposition au brevet européen délivré, auprès de l'Office européen des brevets. L'opposition doit être formée par écrit et motivée. Elle n'est réputée formée qu'après paiement de la taxe d'opposition. (Art. 99(1) Convention sur le brevet européen).

Description

La présente invention a pour objet un écran d'affichage matriciel de type multiplexé ainsi que son procédé de commande. Cet écran permet notamment l'affichage en noir et blanc ou en couleur, avec ou sans demi-teinte, d'images simples ou complexes permettant notamment la visualisation d'images animées du type images de télévision.

L'invention s'applique aux écrans utilisant un matériau électroluminescent ou aux écrans cathodoluminescents à micropointes.

On sait que pour commander l'affichage d'images sur un écran matriciel, on affecte à chaque ligne et à chaque colonne de l'écran, une électrode et un circuit de commande et on effectue un adressage de l'écran une ligne à la fois (EP-A-0 249 954). Pour n lignes, le multiplexage est d'ordre n et le temps image totale T est partagé en intervalles de temps lignes $T/n=TI$, chacun de ces intervalles étant affecté à l'inscription des points images ou pixels d'une ligne de l'écran.

Pendant la durée d'une période ligne ou temps TI , la ligne que l'on adresse ou qui est sélectionnée par le balayage ligne en court est portée à un potentiel dit de sélection, noté Vls . Pendant ce temps, les m colonnes sont portées à des potentiels appropriés à l'affichage des informations sur les pixels de cette ligne.

Dans le cas particulier d'un affichage uniquement en noir et blanc, appelé aussi affichage numérique, on applique soit le potentiel Vc ou $-Vc$ sur les colonnes selon que l'on souhaite afficher respectivement du noir ou du blanc.

Les lignes non adressées ou non sélectionnées sont, suivant le type d'écran, soit portées à un potentiel de non sélection, noté $Vlns$, soit laissées flottantes ou mises en haute impédance.

L'invention est parfaitement bien adaptée aux écrans cathodoluminescents utilisant des micropointes émettrices d'électrons supportées par les électrodes colonnes jouant alors le rôle de cathodes, les électrodes lignes reposant sur les électrodes colonnes étant isolées de celles-ci et perforées en regard des micropointes, jouant alors le rôle de grilles. Une ou plusieurs anodes cathodoluminescentes sont disposées en regard des micropointes. En général, une anode cathodoluminescente est constituée d'un conducteur anodique recouvert d'un matériau luminescent sous bombardement électronique.

On trouvera dans l'article de T. Leroux et al. "Microtips displays addressing", SID 91 P.437, une description du principe de fonctionnement des écrans cathodoluminescents à micropointes ainsi que la façon de les adresser.

Dans ces écrans à micropointes connus, les lignes non sélectionnées sont portées à un potentiel de non sélection imposé.

Il est indiqué dans cet article que l'un des inconvénients majeurs de ce type d'écran est la puissance électrique consommée lors d'un adressage colonne de type numérique.

En effet, la structure d'un écran à micropointes fait apparaître une forte capacité ligne-colonne à chaque sélection de ligne ; cette capacité peut être chargée ou déchargée à la tension Vc de commande des colonnes.

La puissance capacitive consommée vaut alors : $P=1/2CVc^2Fm$ où P est la consommation par dm^2 , C est la capacité par dm^2 , Vc est la tension de modulation des colonnes et Fm la fréquence effective de modulation des signaux de colonne.

Dans le cas particulier d'un affichage d'un fond uniformément gris obtenu par une méthode de modulation de durée, la fréquence Fm est égale à deux fois la fréquence Fl de balayage des lignes et la consommation capacitive est alors maximum. En pratique, pour une capacité de $30 pF/mm^2$, une tension modulée sur les colonnes de $30 V$ et une fréquence Fl de balayage des lignes de $30 kHz$, on arrive à une consommation de $8 W/dm^2$.

Les écrans électroluminescents du type ACTFEL utilisent une fine couche de matériau électroluminescent intercalée entre des électrodes lignes et des électrodes colonnes. Ce type d'écran est notamment décrit dans l'article "Display Drive Handbook" édition 1984 de la société Texas Instruments, "The AC Thin Film Electroluminescent Display", p.2-43 à 2-49.

D'après cet article, la séquence d'adressage de chaque ligne est la suivante :

- 1) Pendant le temps de sélection d'une ligne, le potentiel de la ligne que l'on adresse est d'abord porté à un potentiel V_{neg} , les potentiels des colonnes étant portés selon l'information à afficher à $+Vc$ ou à 0 .
- 2) Le temps de sélection comporte une deuxième phase pendant laquelle les potentiels de la ligne sélectionnée et de l'ensemble des colonnes sont ramenés à 0 .
- 3) On passe ensuite à l'adressage de la ligne suivante.

La ligne précédemment sélectionnée passe en état haute impédance, noté HZ , et le potentiel de la ligne est alors flottant.

Ce principe de "lignes flottantes" est déjà largement utilisé pour l'adressage d'écrans électroluminescents qui rencontrent des problèmes de consommation électrique similaires à ceux des écrans cathodoluminescents. (cf. J.P. Budin, "Principes d'adressage des écrans matriciels" Séminaires de formation générale en visualisation - Visu 90).

La transposition directe de ce mode de commande aux écrans à micropointes pourrait être possible et intéressant

du point de vue de la consommation capacitive. Toutefois, par rapport au mode de commande généralement utilisé dans les écrans cathodoluminescents (potentiel de non sélection de ligne imposé), elle se traduirait par une perte importante de luminance. En effet, les temps pendant lesquels les lignes seraient ramenées à zéro serait pris sur le temps d'adressage de la ligne sélectionnée. Or, dans le cas particulier des écrans à micropointes, la luminance est

5 directement proportionnelle au temps d'adressage.
La demande des utilisateurs allant vers des écrans toujours plus complexes, il faut pouvoir toujours mieux utiliser les temps d'adressage et donc, en priorité éliminer les temps morts.

Pour les écrans à micropointes, un temps de décharge est nécessaire après chaque sélection de ligne. En effet, dans ce type d'écran, toute tension dépassant la tension seuil se traduit immédiatement par l'émission d'électrons au niveau des pointes et donc de lumière au niveau de la face avant (phénomène de cathodoluminescence). Or la sélection d'une ligne s'opère en portant celle-ci à un potentiel proche du seuil, le potentiel colonne traduisant l'information à afficher.

10 Ayant ainsi imposé ce potentiel à l'armature ligne (première borne) de la capacité ligne-colonne, si on se contentait simplement "d'ouvrir l'interrupteur", le potentiel de cette ligne ne varierait pas instantanément pour rendre la ligne non sélectionnée mais retournerait au contraire très lentement vers le potentiel moyen des colonnes. En conséquence, par addition des potentiels colonnes destinés aux lignes suivantes, il y aurait une succession d'émissions parasites. Le multiplexage n'est alors pas possible dans ces conditions. Il apparaît donc absolument nécessaire de décharger la ligne immédiatement après son temps de sélection.

Le temps de décharge correspond en fait au temps nécessaire à l'écoulement de toutes les charges stockées dans la ligne précédemment adressée.

20 Une simple impulsion de durée quasi négligeable devant le temps de sélection n'est pas envisageable pour résoudre ce problème. En effet, il ne suffit pas de porter l'électrode ligne au potentiel désiré, mais il faut aussi éliminer toutes les charges stockées dans le "réservoir" constitué par la ligne à charges réparties, formée par l'électrode ligne (de résistivité non nulle) couplée à son réseau de capacités ligne-colonnes, la deuxième borne de ces capacités étant respectivement reliée à une forte résistance (couche résistive disposée entre les micropointes et l'électrode colonne correspondante). En pratique, le temps nécessaire à l'évacuation des charges est supérieur à la dizaine de microsecondes.

L'invention a justement pour objet un écran d'affichage matriciel du type multiplexé et son procédé de commande permettant notamment de remédier à l'inconvénient mentionné ci-dessus ; c'est-à-dire permettant de réduire la consommation capacitive sans réduire le temps utile d'adressage.

Pour l'essentiel, la consommation capacitive d'un écran matriciel est due aux charges et décharges des capacités situées entre les lignes et les colonnes non sélectionnées.

30 Les moments de non sélection des lignes ne devant apporter aucune contribution à l'affichage, les inventeurs ont envisagés de libérer les électrodes lignes non sélectionnées en les mettant dans un état dit de haute impédance afin qu'aucun courant ne circule entre les colonnes et ces lignes. Ceci n'est toutefois acceptable que, si à tout moment, leur différence de potentiel avec les colonnes reste inférieure au seuil d'émission des électrons.

Aussi, l'invention a pour objet un écran d'affichage matriciel du type multiplexé comportant n électrodes lignes et m électrodes colonnes croisées pour véhiculer des signaux de commande, n circuits de commande de lignes pour commander successivement les n électrodes lignes, avec n et m entiers ≥ 2 , le circuit de commande de l'électrode ligne L_i , avec i entier tel que $1 \leq i \leq n$, comportant des moyens pour appliquer sur l'électrode ligne L_i un potentiel de sélection pendant un premier temps de sélection puis un potentiel de décharge pendant au moins une partie d'un second temps de sélection d'au moins une autre électrode ligne et pour mettre en haute impédance l'électrode ligne L_i en dehors du premier temps de sélection et de ladite partie du second temps de sélection, des circuits de commande de colonnes pour appliquer simultanément sur les m électrodes colonnes pendant le premier temps de sélection des potentiels appropriés à l'affichage des informations de la ligne L_i .

L'invention a aussi pour objet un procédé de commande de cet écran matriciel qui se caractérise en ce qu'on effectue, successivement pour les n électrodes lignes de l'écran les étapes suivantes :

- 50 - appliquer sur une électrode ligne L_i , avec i entier tel que $1 \leq i \leq n$, un potentiel de sélection pendant un premier temps de sélection, suivi d'un potentiel de décharge pendant au moins une partie d'un second temps de sélection d'au moins une autre électrode ligne puis mettre l'électrode ligne L_i en haute impédance en dehors du premier temps de sélection et de ladite partie du second temps de sélection ;
- appliquer sur les m électrodes colonnes pendant le premier temps de sélection des potentiels appropriés à l'affichage des informations de la ligne L_i .

55 L'écran de l'invention permet une réduction importante de la consommation électrique en fonction de l'image à afficher. En particulier, on constate que :

- dans le cas d'une transition où l'on passe d'une ligne noire à une ligne blanche la consommation capacitive qui était maximum dans l'art antérieur, devient nulle en ligne flottante ;
- en revanche, dans le cas d'une transition où l'on passe d'une ligne contenant autant de points noirs que de points blancs à une ligne du même type, mais en inversant chaque pixel, la consommation qui était aussi maximum dans l'art antérieur reste inchangée.

La décharge de la ligne sélectionnée ou adressée peut s'opérer simplement par l'utilisation, au niveau de l'étage de sortie des circuits de commande des lignes, de circuits de type push-pull.

Bien que parfaitement adaptée aux écrans cathodoluminescents, l'invention s'applique aussi aux écrans électroluminescents utilisant un ou plusieurs matériaux électroluminescents intercalés entre les électrodes lignes et les électrodes colonnes, par exemple du type ACTFEL.

D'autres caractéristiques et avantages de l'invention ressortiront mieux de la description qui va suivre, donné à titre illustratif et non limitatif, en référence aux figures annexées, dans lesquelles

- la figure 1 est une vue schématique et partielle d'un écran d'affichage conforme à l'invention,
- la figure 2 donne les différents signaux appliqués aux lignes et colonnes de l'écran de l'invention,
- la figure 3 est un mode particulier de réalisation des circuits de commande de lignes de l'écran de l'invention,
- la figure 4 est une variante de réalisation des circuits commande de lignes de l'écran de l'invention,
- les figures 5 et 6 sont des variantes de réalisation du circuit d'entrée de chaque circuit de commande d'une ligne de l'invention.

L'écran d'affichage représenté sur la figure 1 est un écran matriciel cathodoluminescent pour un affichage noir et blanc. Cet écran comporte de façon connue deux parois transparentes 4 et 6 situées en regard l'une de l'autre, normalement assemblées de façon étanche. La paroi inférieure 6 est pourvue d'électrodes colonnes 8 parallèles entre elles, jouant le rôle de cathodes, et d'électrodes lignes 10 parallèles entre elles, jouant le rôle de grilles, placées au-dessus des électrodes colonnes et perpendiculairement à celles-ci. Une couche 12 électriquement isolante interposée entre les électrodes 8 et 10 assure leur isolement électrique.

A chaque croisement d'une électrode ligne et d'une électrode colonne correspond un point élémentaire d'affichage ou pixel 14.

Les électrodes colonnes 8 portent des micropointes 16 faites d'un matériau émetteur d'électrons, au niveau des pixels. En regard de ces micropointes 16, la couche isolante 12 et les électrodes lignes 10 sont percées de trous 18 d'où émergent les micropointes.

La paroi supérieure 4 de l'écran est pourvue d'une couche conductrice continue 20 jouant le rôle d'anode. Celle-ci est recouverte d'une couche 22 réalisée en un matériau émettant de la lumière lorsqu'il est soumis à un bombardement électronique provenant des micropointes 16.

L'émission d'électrons par les micropointes 16 est réalisée en polarisant simultanément les cathodes 8, les grilles 10 et l'anode 20. L'anode est portée au potentiel le plus élevé, noté VA (généralement entre 200 et 600V) et les cathodes 8 sont commandées simultanément à chaque adressage ligne à l'aide d'un circuit de commande 24 de type connu.

Ce circuit 24 délivre une tension +Vc ou -Vc, telle que représentée sur la figure 2 dans le cas d'un affichage en noir et blanc, le potentiel +Vc étant destiné à l'affichage d'un point noir alors que le potentiel -Vc étant destiné à l'affichage d'un point blanc. Dans le cas d'un affichage à plusieurs niveaux de gris ou analogique on peut utiliser les signaux décrits dans le document de T. Leroux et al. cité précédemment.

L'originalité de l'invention réside dans le circuit de commande des lignes de cet écran, le reste étant conforme à l'art antérieur. Le synoptique général du circuit de commande des lignes de l'écran est représenté aussi sur la figure 1.

A chaque électrode ligne Li (où i est un nombre entier allant de 1 à n si n est le nombre total d'électrodes lignes) correspond un circuit de commande 26i relié à une horloge CP pour l'adressage séquentiel des lignes, à une source d'alimentation électrique délivrant un potentiel Vls de sélection de ligne et à une source d'alimentation électrique délivrant un potentiel Vd de décharge de ligne.

Conformément à l'invention on applique, pendant le temps de sélection de la ligne Li le potentiel de sélection Vls représenté sur la figure 2. Pendant ce temps de sélection, on applique sur les colonnes des potentiels appropriés à l'affichage des informations sur la ligne Li, soit le potentiel -Vc ou +Vc selon que l'on veut afficher un état allumé ou un état éteint sur les pixels de la ligne Li.

On effectue ensuite la décharge de la ligne Li précédemment sélectionnée en la portant au potentiel Vd de décharge. Ce potentiel Vd de décharge est $\leq -Vc$. Il est appliqué sur la ligne Li pendant une partie au moins du temps de sélection de la ligne Li+1 et donc de l'application de la tension Vls de sélection sur la ligne Li+1.

Sur la figure 2, on a représenté un potentiel Vd appliqué pendant tout le temps de sélection de la ligne Li+1.

Après la décharge de la ligne Li celle-ci est mise en haute impédance (HZ) pendant tout le temps de non sélection de la ligne Li. Le potentiel Vlns de non sélection est fixé par couplage capacitif avec les colonnes et peut donc varier

selon la proportion des pixels allumés de la ligne sélectionnée.

Du point de vue du chronogramme des temps (figure 2) on voit que, dans l'invention, la décharge de la ligne Li précédemment sélectionnée se fait en temps "masqué" pendant la sélection de la ligne en court Li+1. La luminescence de l'écran est donc équivalente à celle obtenue avec un retour ligne en potentiel imposé.

5 Les circuits de commande 261-26n doivent pouvoir imposer un potentiel positif de sélection Vls ou un potentiel de décharge Vd sur les lignes adressées et ensuite un état de haute impédance, noté HZ.

Ceci peut être obtenu, comme représenté sur la figure 3, à l'aide d'un étage de sortie 28i comprenant (pour chaque circuit 26i) un circuit de type push-pull classique, pouvant être réalisé à l'aide de transistors MOS ou bipolaires et des moyens logiques pour pouvoir commander ces transistors.

10 On note T1i et T2i les deux transistors du système push-pull 28i de la ligne Li. T1i est relié d'une part à une source d'alimentation apte à délivrer le potentiel de sélection Vls et d'autre part à T2i et à la ligne Li, et T2i est par ailleurs relié à une source d'alimentation apte à délivrer le potentiel de décharge Vd.

La sélection de la ligne Li se fait en ouvrant le transistor T2i et en fermant le transistor T1i. La décharge de la ligne Li s'effectue en ouvrant le transistor T1i et en fermant le transistor T2i. La mise en haute impédance est réalisée en ouvrant simultanément les transistors T1i et T2i de la ligne Li.

Ce type de commande peut être réalisé à l'aide d'un circuit d'entrée du type registre à décalage 30 comportant n+1 bascules 321-32n+1 pour piloter les n circuits de sortie 281 à 28n des n lignes de l'écran.

20 Selon l'invention, le registre à décalage 30 possède une entrée série de données D, une entrée d'horloge CP et n+1 sorties parallèles Q1-Qn+1. La bascule de rang i (32i) est reliée au travers d'un inverseur 34i et d'un premier translateur de niveau 36i au transistor T1i, tandis que le transistor T2i est relié, soit directement, soit au travers d'un second translateur de niveau 38i, à la bascule de rang i+1 et donc à la sortie Qi+1 de la bascule 32i+1.

Par ailleurs, le registre doit comporter un étage de plus que le nombre de circuits de sortie des lignes. Cet étage disposé en bout du registre à décalage permet de compléter la commande du dernier circuit de sortie.

25 En pratique, il faut pouvoir garantir la non conduction simultanée des transistors T1i et T2i quel que soit les états des bascules. Un moyen possible pour parvenir à ce résultat est l'adjonction d'une porte "ET", de référence 40i, ayant pour entrées la sortie de la bascule de rang i et la sortie de la bascule de rang i+1, et agissant ainsi comme validation pour le translateur 38i du transistor de T2i.

30 A chaque front montant d'horloge CP, l'information présente sur l'entrée D du registre à décalage 30 est chargée dans la première position du registre (ou première bascule) et toute les données contenues dans le registre sont décalées d'une bascule à l'autre ; on opère en début de trame (ou d'image) en positionnant un niveau logique "1" sur D, puis un niveau logique "0" pour tous les coups d'horloge suivant. On obtient ainsi la circulation d'un seul état "1" dans toute les positions du registre, correspondant à la sélection successive de toutes les lignes de l'écran.

35 Etant donné que les données du registre à décalage 30 correspondent à "1" pour la ligne sélectionnée et à "0" pour les lignes non sélectionnées, on utilise avantageusement un inverseur 34i entre l'étage 32i et le transistor T1i, étant bien entendu que d'autres circuits logiques peuvent être utilisés pour commander les transistors. De même, on pourrait utiliser un "0" logique pour la ligne sélectionnée et un "1" logique pour les lignes non sélectionnées, et par conséquent, des moyens logiques adaptés à ce type de commande des transistors.

40 La présence d'un "1" logique sur la sortie Qi de la bascule 32i impose un "0" logique après l'inverseur 34i associé et le premier translateur de niveau 36i porte la grille du transistor T1i à un potentiel Vls-Vth tel qu'il permette la conduction du transistor (interrupteur 28i fermé sur Vls : ligne Li à Vls), où Vth est une tension grille-source supérieure au seuil de conduction du transistor de commande T1i.

45 Dans le même temps, le niveau logique "1" de la bascule 32i de rang i est présenté à la porte "ET" 40i-1 de l'étage de rang (i-1) du registre, la bascule 32i-1 étant normalement à "0" ; on trouve un "1" logique après son inverseur 34i-1 et devant la deuxième entrée de la porte "ET" 40i-1 qui transmet ainsi un "1" logique au translateur 38i-1 de tension du transistor T2i-1, imposant par la même à la grille de ce transistor une tension Vd+Vth telle qu'elle permette la conduction du transistor T2i-1 (interrupteur 28i fermé sur Vd : ligne Li-1 à Vd).

Par ailleurs, la porte "ET" 40i validant le transistor T2i impose un niveau logique "0" pour ce transistor et le translateur de tension 38i impose donc à la grille du transistor T2i la tension Vd qui bloque le transistor T2i (interrupteur 28i ouvert, l'état de la ligne Li n'est pas imposé par le transistor T2i).

50 L'impulsion d'horloge suivante sur l'entrée CP du registre 30 décale le niveau logique "1" de la bascule 32i à la bascule 32i+1 et on obtient un état "0" sur la sortie Qi de la bascule 32i ; un nouveau coup d'horloge décalant encore les données, on trouve alors des niveaux logique "0" sur les sorties Qi et Qi+1 des bascules 32i et 32i+1, et ainsi de suite. Le comportement de l'ensemble est résumé dans le tableau suivant pour la bascule 32i.

55

Indice des temps	j-1	j	j+1	j+2
Qi	0	1	0	0

(suite)

Indice des temps	j-1	j	j+1	j+2
A	1	0	1	1
B	0	0	1	0
C	0	0	1	0
G1 Grille de T1i	Vls	Vls-Vth	Vls	Vls
G2 Grille de T2i	Vd	Vd	Vd+Vth	Vd
T1i	ouvert	fermé	ouvert	ouvert
T2i	ouvert	ouvert	fermé	fermé
Sortie Ligne Li	HZ	Vls	Vd	HZ

T_j correspond au temps qui s'écoule entre deux coups d'horloge CP avec j allant de 1 à n.

A, C représentent respectivement les entrées des translateurs 36i et 38i du circuit de sortie 28i et B représente l'entrée de la porte ET 40i connectée à la bascule 32i+1.

Si la tension de décharge V_d est égale à la "masse logique" du circuit, la sortie de rang i+1 du registre 30 est effectivement reliée directement à la grille du transistor T2 via la porte "ET" 40i (à un temps de retard prés réalisé par des moyens classiques, destiné à éviter la conduction simultanée des deux transistors T1i et T2i de l'étage de sortie i). Dans le cas contraire, un étage de translation 38i de niveau logique doit être inséré.

L'adressage des lignes, tel que l'on balaye une parité (i=2, 4, 6...), puis l'autre (i=1, 3, 5...) est parfois intéressante ; cette configuration s'applique bien sûr dans le cas d'une source vidéo entrelacée, mais peut aussi être moins pénalisante du point de vue de la consommation électrique pour l'affichage de certains types d'images (gris pointillistes par exemple).

La réalisation pratique d'un tel balayage s'obtient, sur la base du circuit précédemment décrit, comme représenté sur la figure 4, en utilisant deux demi-registres à décalage 42 et 44 ayant chacun une entrée de donnée Da et Db. Les sorties Q2-Q2k et Q1-Q2k-1 respectivement de ces demi-registres à décalage 42 et 44 restent couplées à leurs étages de sortie, mais ces sorties, celles issues des registres pairs et celles issues des registres impairs, doivent être intercalées.

Dans ces conditions, le demi-registre à décalage 42 est associé à la logique combinatoire 33_{2k} (inverseurs et portes ET) et aux circuits de sortie 28_{2k} comprenant des circuits de type push-pull associés aux lignes 2k (où k prend les valeurs de 1 à n/2). De même, le demi-registre 44 est associé à la logique combinatoire 33_{2k-1} (inverseurs, et portes ET) et aux circuits de sortie 28_{2k-1} des lignes L_{2k-1}.

La description précédente correspondait à un temps de décharge de la ligne Li égale au temps de sélection de la ligne Li+1. Il est toutefois possible, conformément à l'invention, d'utiliser un temps de décharge différent de celui du temps de sélection de la ligne suivante.

Les figures 5 et 6 montrent respectivement une modification de la logique combinatoire des figures 3 et 4 dans le cas d'un temps de décharge de la ligne Li plus court que le temps de sélection de la ligne suivante et dans le cas d'un temps plus long que le temps de sélection de la ligne suivante.

Pour un temps plus court, on applique un signal ED qui opère de façon identique sur toutes les portes 40i. Ce signal appliqué séquentiellement sur les lignes Li valide le temps de décharge et permet ainsi d'ajuster sa durée entre 0 et le temps de sélection de la ligne suivante.

En effet, par rapport au schéma de la figure 3, le point C en entrée du translateur 38i ne peut être qu'à 1, ce qui impose la conduction du transistor T2i et donc la décharge, que si le signal ED est également à 1.

Pour des écrans (cathodoluminescents ou autres) qui nécessiteraient des temps de décharge supérieurs aux temps de sélection ligne, on peut utiliser une variante du circuit logique qui permettrait de valider, pour la décharge d'une ligne, les temps de sélection de plusieurs lignes suivantes.

Ceci peut être obtenu en utilisant un OU logique 42i pour la ligne Li, placé avant l'entrée B de la porte 40i, relié à plusieurs des étages de sortie 32i+1, 32i+2 par exemple du registre à décalage 30.

Le mode de commande proposé s'applique bien évidemment dans le cas d'un affichage à niveau de gris (qu'il soit de type numérique ou analogique). Différentes teintes de gris peuvent être obtenues en modulant la durée et l'amplitude des signaux colonnes ; pour éviter des émissions lumineuses parasites, il faut que V_d reste la plus basse tension utilisée.

Par rapport à un adressage avec le potentiel de non sélection ligne imposé, on voit que l'excursion de tension ligne doit être importante puisqu'elle doit recouvrir complètement l'excursion colonnes (c'est-à-dire V_d ≤ -V_c et V_{ls}

$\leq V_s + V_c$, V_s correspondant à un ϵ près au seuil d'émission.

L'application à la couleur est évidente, et sans problème spécifique. En effet, la trichromie s'obtient soit par un balayage successif de trois couleurs (rouge, vert, bleu) par multiplexage de tensions d'anodes, soit par un triplement des commandes cathodes. Elle n'a donc pas d'incidence spécifique sur le mode de balayage ligne. En particulier, on peut utiliser le système de trois anodes par pixel respectivement pour le rouge, le vert et le bleu avec connexion des anodes de même couleur entre elles et le procédé de commande de ces anodes tels que décrits dans le document EP-A-349 425.

10 Revendications

1. Ecran d'affichage matriciel du type multiplexé comportant n électrodes lignes (10) et m électrodes colonnes (8) croisées pour véhiculer des signaux de commande, n circuits de commande (26i) de lignes pour commander successivement les n électrodes lignes, avec n et m entiers ≥ 2 , le circuit de commande de l'électrode ligne Li, avec i entier tel que $1 \leq i \leq n$, caractérisé en ce que l'écran comporte des moyens pour appliquer sur l'électrode ligne Li un potentiel de sélection (V_s) pendant un premier temps de sélection puis un potentiel de décharge (V_d) pendant au moins une partie d'un second temps de sélection d'au moins une autre électrode ligne (L_{i+1}) et pour mettre en haute impédance l'électrode ligne Li en dehors du premier temps de sélection et de ladite partie du second temps de sélection, des circuits de commande (24) de colonnes pour appliquer simultanément sur les m électrodes colonnes pendant le premier temps de sélection des potentiels ($-V_c$, $+V_c$) appropriés à l'affichage des informations de la ligne Li.
2. Ecran selon la revendication 1, caractérisé en ce que lesdits moyens comportent un circuit de sortie comprenant un circuit de type push-pull (28i) connecté directement à l'électrode ligne Li, à une source d'alimentation apte à fournir le potentiel de sélection (V_s) et à une source d'alimentation apte à fournir le potentiel de décharge (V_d).
3. Ecran selon la revendication 1 ou 2, caractérisé en ce que le potentiel de décharge (V_d) est inférieur ou égal au plus petit potentiel ($-V_c$) appliqué aux électrodes colonnes.
4. Ecran selon l'une quelconque des revendications 1 à 3, caractérisé en ce que lesdits moyens comportent un circuit d'entrée (30) constitué d'un registre à décalage de $n+1$ bascules (32i) pour piloter les n circuits de sortie (28i) connectés chacun à une électrode ligne (Li).
5. Ecran selon l'une quelconque des revendications 1 à 4, caractérisé en ce qu'il comprend en outre au moins une anode cathodoluminescente (20), des micropointes (16) émettrices d'électrons supportées par les électrodes colonnes, les électrodes lignes reposant sur les électrodes colonnes et isolées de celles-ci étant alors perforées en regard des micropointes.
6. Ecran selon la revendication 4, caractérisé en ce que lesdits moyens comportent des portes "ET" (40i) connectée entre le circuit d'entrée (30) et chaque circuit de sortie (28i).
7. Ecran selon l'une quelconque des revendications 4 à 6, caractérisé en ce que lesdits moyens comportent un circuit "OU" (42i) entre le circuit d'entrée (30) et chaque circuit de sortie (28i) afin que le potentiel de décharge soit appliqué sur la ligne Li pendant un temps supérieur au temps de sélection d'une ligne.
8. Ecran selon l'une quelconque des revendications 4 à 7, caractérisé en ce qu'au moins un circuit translateur (36i, 38i) est prévu dans chaque circuit de sortie (28i).
9. Procédé de commande d'un écran d'affichage matriciel du type multiplexé comportant n électrodes lignes (Li) et m électrodes colonnes (8) croisées pour véhiculer des signaux de commande, dans lequel les n lignes (Li) sont sélectionnées successivement, n et m étant des entiers ≥ 2 , caractérisé en ce qu'on effectue, successivement pour les n électrodes lignes de l'écran, les étapes suivantes :
 - appliquer sur une électrode ligne Li, avec i entier tel que $1 \leq i \leq n$, un potentiel de sélection (V_s) pendant un premier temps de sélection, suivi d'un potentiel de décharge (V_d) pendant au moins une partie d'un second temps de sélection d'au moins une autre électrode ligne (L_{i+1}) puis mettre l'électrode ligne Li en haute impédance en dehors du premier temps de sélection et de ladite partie du second temps de sélection ;
 - appliquer sur les m électrodes colonnes (8) pendant le premier temps de sélection des potentiels ($+V_c$, $-V_c$)

appropriés à l'affichage des informations de la ligne Li.

Patentansprüche

- 5
1. Multiplexbetriebener Matrixbildschirm, umfassend sich kreuzende \underline{n} Zeilenelektroden (10) und \underline{m} Spaltenelektroden (8) zum Leiten der Steuersignale, \underline{n} Zeilen-Steuerschaltkreise (26i), um nacheinander die \underline{n} Zeilenelektroden zu steuern, mit \underline{n} und \underline{m} als Ganzzahlen ≥ 2 , die Steuerschaltung der Zeilenelektrode Li mit i als Ganzzahl wie z. B. $1 \leq i \leq n$,
- 10 **dadurch gekennzeichnet,**
daß der Bildschirm Einrichtungen umfaßt, um an die Zeilenelektrode Li während einer ersten Ansteuerzeit ein Ansteuerpotential (VIs) zu legen, dann ein Entladepotential (Vd) während wenigstens eines Teils einer zweiten Ansteuerzeit von wenigstens einer anderen Zeilenelektrode (Li+1) und um die Zeilenelektrode außerhalb der ersten Ansteuerzeit und des genannten Teils der zweiten Ansteuerzeit hochohmig zu machen, Spalten-Steuerschaltkreise (24), um während der ersten Ansteuerzeit simultan an die \underline{m} Spaltenelektroden geeignete Potentiale (-Vc, +Vc) für die Anzeige der Informationen der Zeile Li zu legen.
- 15
2. Bildschirm nach Anspruch 1, dadurch gekennzeichnet, daß die genannten Einrichtungen einen Ausgangsschaltkreis mit einer Schaltung (28i) des Gegentaktyps umfassen, direkt verbunden mit der Zeilenelektrode Li, einer zur Lieferung des Ansteuerpotentials (VIs) fähigen Versorgungsquelle und einer zur Lieferung des Entladepotentials (Vd) fähigen Versorgungsquelle.
- 20
3. Bildschirm nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß das Entladepotential (Vd) kleiner als das kleinste an die Spaltenelektroden gelegte Potential (-Vc) ist oder gleich.
- 25
4. Bildschirm nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß die genannten Einrichtungen einen Eingangsschaltkreis (30) umfassen, gebildet durch ein Schieberegister mit $\underline{n}+1$ Kippschaltungen (32i), um die \underline{n} Ausgangsschaltungen (28i) zu steuern, von denen jede mit einer Zeilenelektrode (Li) verbunden ist.
- 30
5. Bildschirm nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß er außerdem wenigstens eine kathodolumineszente Anode (20) und elektronenemittierende, durch die Spaltenelektroden getragene Mikrospitzen (16) umfaßt, wobei die auf den Spaltenelektroden ruhenden und von diesen isolierten Zeilenelektroden dann diesen Mikrospitzen gegenüber perforiert sind.
- 35
6. Bildschirm nach Anspruch 4, dadurch gekennzeichnet, daß die genannten Einrichtungen "UND"-Glieder (40i) umfassen, eingeschaltet zwischen die Eingangsschaltungen (30) und jede Ausgangsschaltung (28i).
- 40
7. Bildschirm nach einem der Ansprüche 4 bis 6, dadurch gekennzeichnet, daß die genannten Einrichtungen zwischen der Eingangsschaltung (30) und jeder Ausgangsschaltung (28i) ein "ODER"-Glieder (42i) umfassen, damit das Entladepotential während eines größeren Zeitraums als der Zeilenansteuerzeit an die Zeile Li gelegt wird.
- 45
8. Bildschirm nach einem der Ansprüche 4 bis 7, dadurch gekennzeichnet, daß in jeder Ausgangsschaltung (28i) wenigstens eine Translator- bzw. Übertragungsschaltung (36i, 38i) vorgesehen ist.
- 50
9. Steuerverfahren eines multiplexbetriebenen Matrixbildschirms, umfassend sich kreuzende \underline{n} Zeilenelektroden (Li) und \underline{m} Spaltenelektroden (8) zum Leiten der Steuersignale, bei dem die \underline{n} Zeilen (Li) nacheinander angesteuert werden, wobei \underline{n} und \underline{m} Ganzzahlen ≥ 2 sind,
dadurch gekennzeichnet,
daß man nacheinander für die \underline{n} Zeilenelektroden des Bildschirms die folgenden Schritte ausführt:
- 55
- Anlegen eines Ansteuerpotentials (VIs) an eine Zeilenelektrode Li mit i als Ganzzahl wie z.B. $1 \leq i \leq n$ während einer ersten Ansteuerzeit, gefolgt von einem Entladepotential (Vd) während wenigstens eines Teils einer zweiten Ansteuerzeit von wenigstens einer weiteren Zeilenelektrode (Li+1), sodann die Zeilenelektrode Li außerhalb der ersten Ansteuerzeit und des besagten Teils der zweiten Ansteuerzeit hochohmig machen;
 - Anlegen von zur Anzeige der Informationen der Zeile Li geeigneten Potentialen (+Vc, -Vc) an die \underline{m} Spaltenelektroden (8) während der ersten Ansteuerzeit.

Claims

1. Multiplexed matrix display screen having n row electrodes (10) and m column electrodes (8) in crossed manner for carrying control signals, n row control circuits (26i) for successively controlling the n row electrodes, with n and m integers ≥ 2 , the control circuit of the row electrodes Li, with i an integer such that $1 \leq i \leq n$, characterized in that the screen has means for applying to the row electrode Li a selection potential (VIs) during a first selection time and then a discharge potential (Vd) during at least part of a second selection time of at least one other row electrode (Li+1) and for placing under high impedance the row electrode Li outside the first selection time and said part of the second selection time, column control circuits (24) for simultaneously applying to the m column electrodes during the first selection time potentials (-Vc, +Vc) appropriate for the display of the informations of the row Li.
2. Screen according to claim 1, characterized in that said means have an output circuit incorporating a push-pull circuit (28i) directly connected to the row electrode (Li), to a power supply able to supply the selection potential (VIs) and to a power supply able to supply the discharge potential (Vd).
3. Screen according to claim 1 or 2, characterized in that the discharge potential (Vd) is equal to or below the smallest potential (-Vc) applied to the column electrodes.
4. Screen according to any one of the claims 1 to 3, characterized in that said means incorporate an input circuit (30) constituted by a shift register with n+1 flip-flops (32i) for controlling the n output circuits (28i), each connected to a row electrode (Li).
5. Screen according to any one of the claims 1 to 4, characterized in that it also comprises at least one cathodoluminescent anode (20), electron emitting microdots (16) supported by column electrodes, the row electrodes resting on the column electrodes and are insulated therefrom being perforated facing the microdots.
6. Screen according to claim 4, characterized in that said means have "AND" gates (40i) connected between the input circuit (30) and each output circuit (28i).
7. Screen according to any one of the claims 4 to 6, characterized in that said means incorporate an "OR" circuit (42i) between the input circuit (30) and each output circuit (28i), so that the discharge potential is applied to the row Li for a time exceeding the selection time of a row.
8. Screen according to any one of the claims 4 to 7, characterized in that at least one translator circuit (36i, 38i) is provided in each output circuit (28i).
9. Process for the control of a multiplexed matrix display screen having n row electrodes (Li) and m column electrodes (8) in crossed manner for carrying control signals, in which the n rows (Li) are successively selected, n and m being integers ≥ 2 , characterized in that the following stages are successively performed for the n row electrodes of the screen:
 - application to a row electrode Li, with i being an integer such that $1 \leq i \leq n$, of a selection potential (VIs) for a first selection time, followed by a discharge potential (Vd) during at least part of a second selection time of at least another row electrode (Li+1) and then placing the row electrode Li under high impedance outside the first selection time and said part of the second selection time,
 - applying to the m column electrodes (8) during the first selection time potentials (+Vc, -Vc) appropriate for the display of the informations of the row Li.

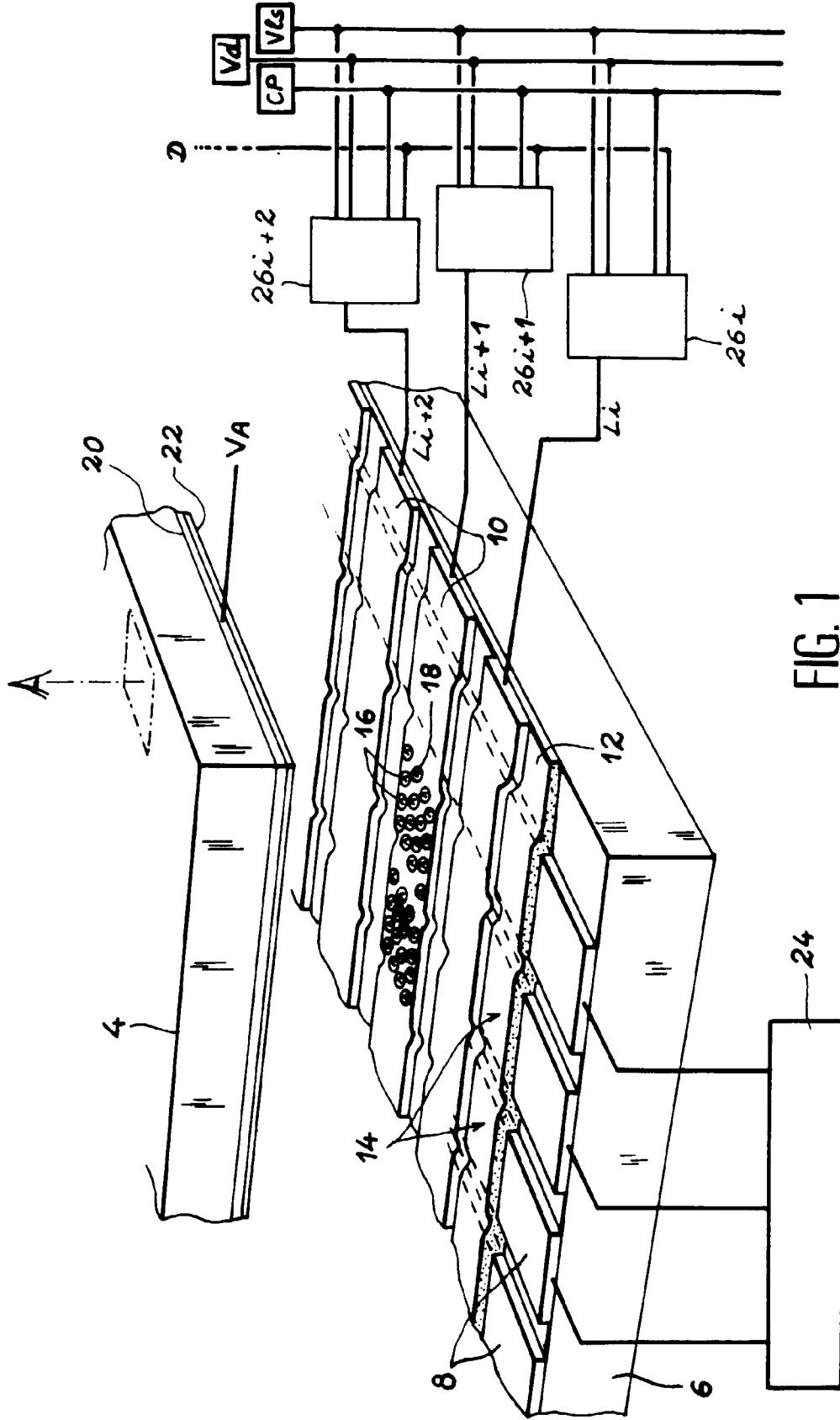


FIG. 1

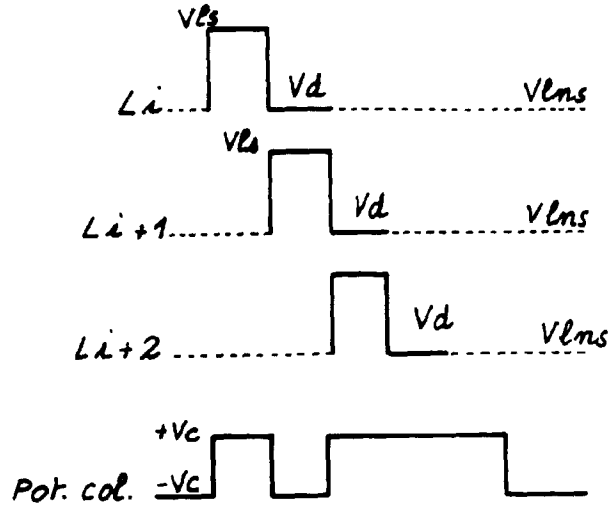


FIG. 2

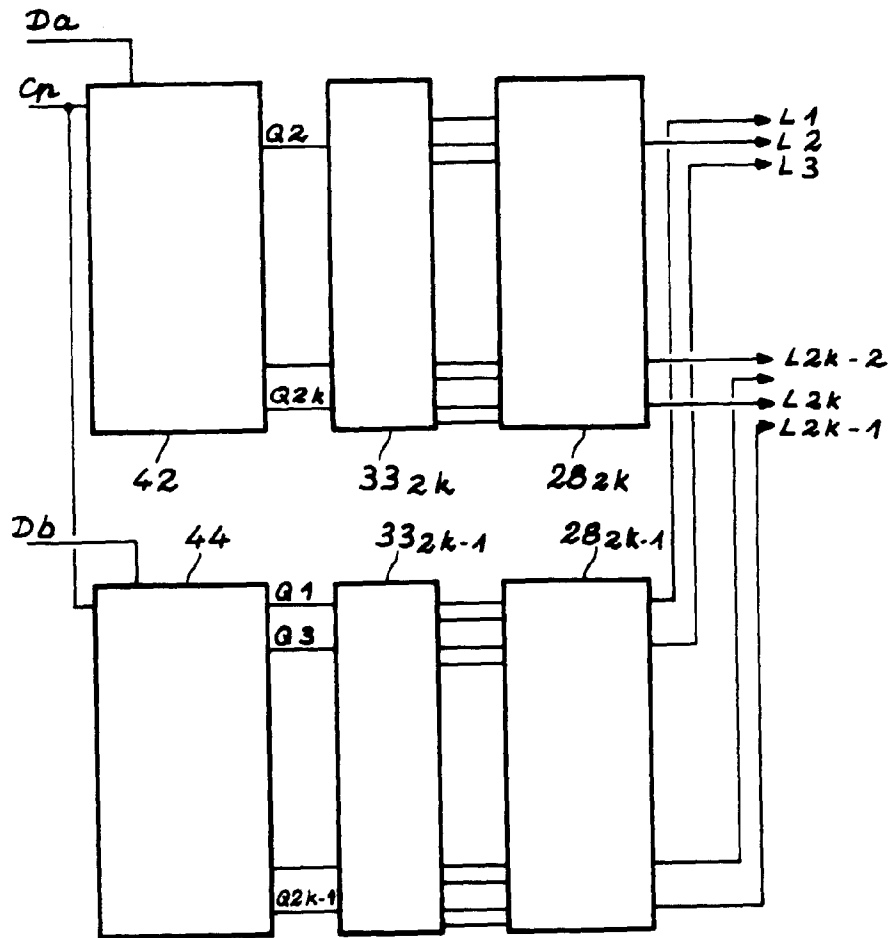


FIG. 4

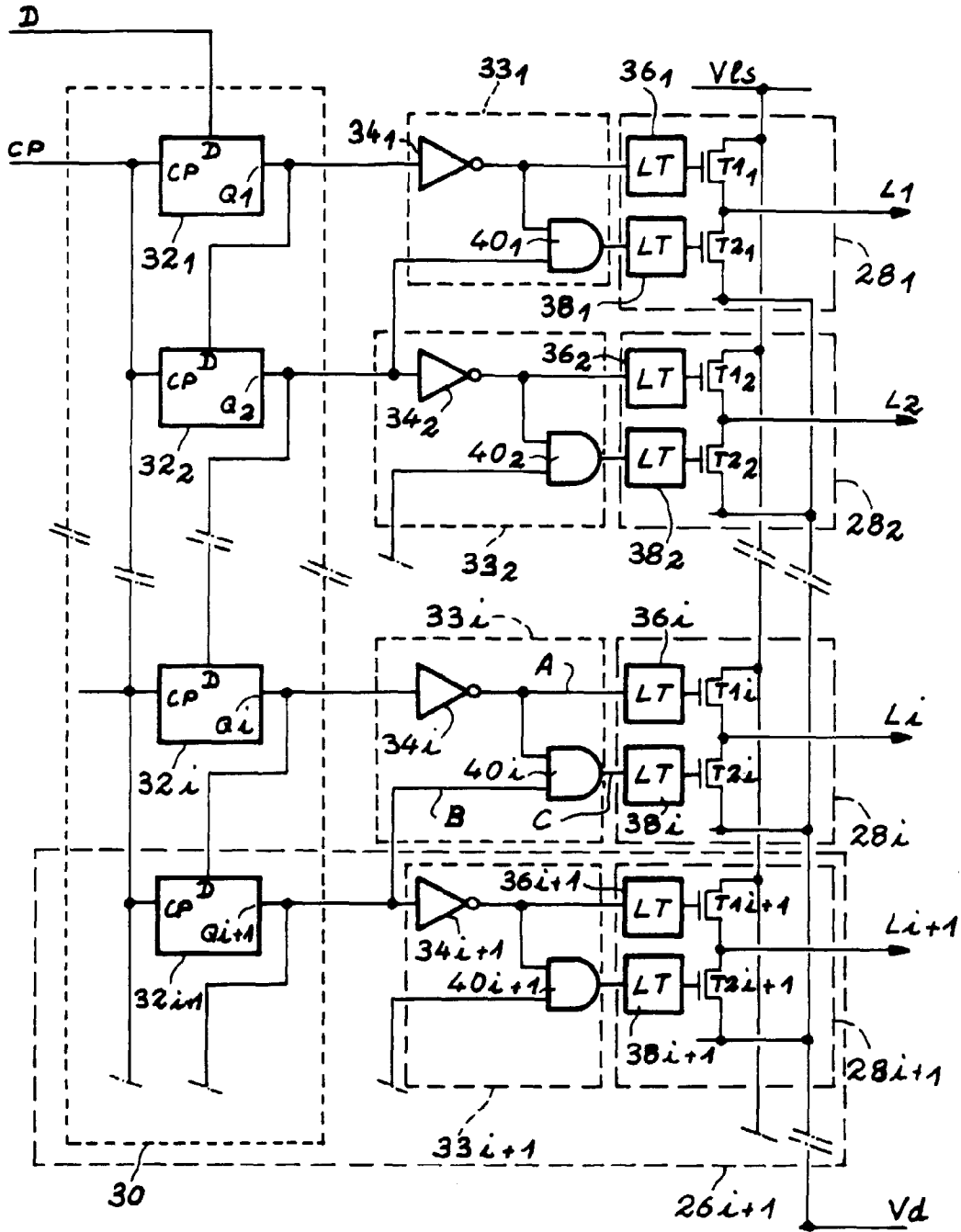


FIG. 3

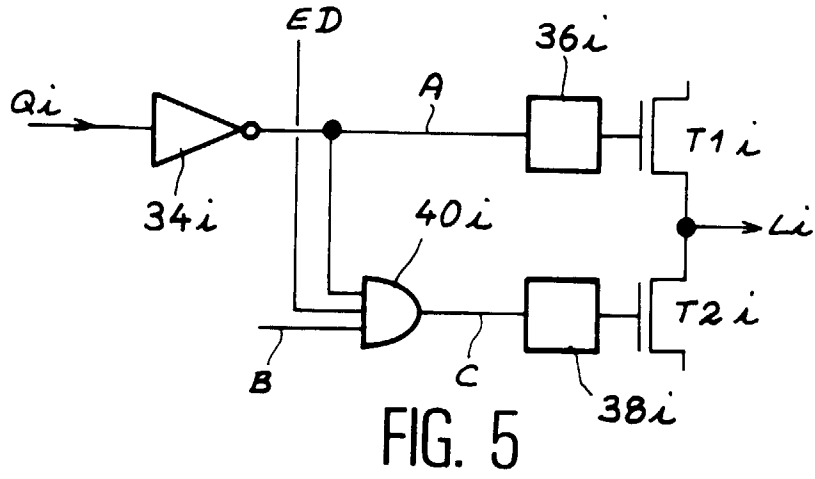


FIG. 5

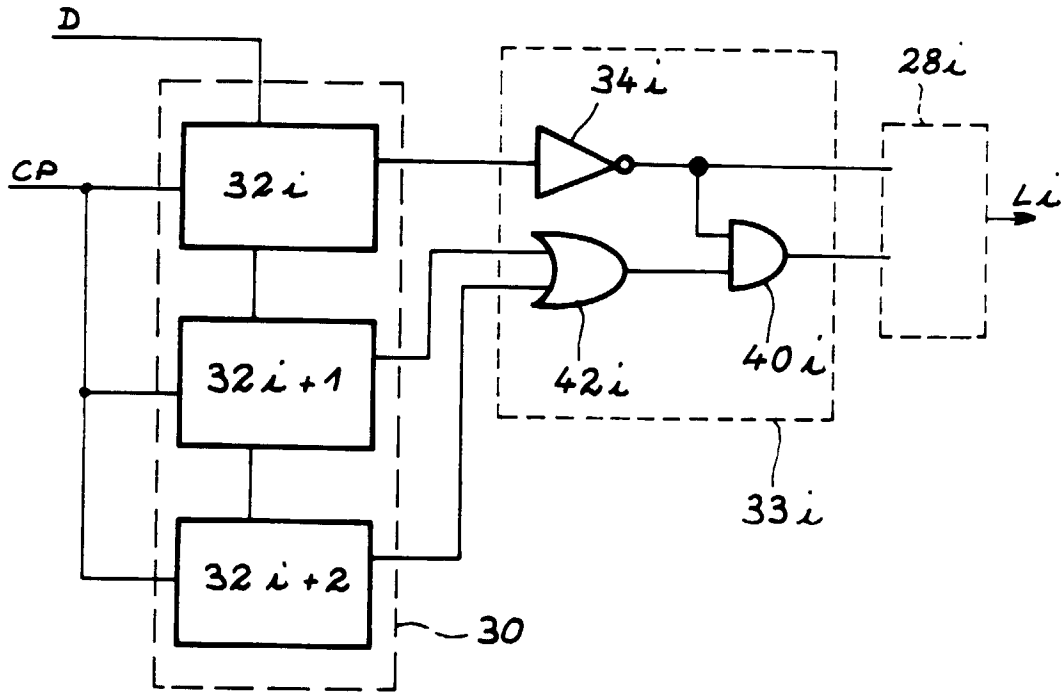


FIG. 6