

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3806644号  
(P3806644)

(45) 発行日 平成18年8月9日(2006.8.9)

(24) 登録日 平成18年5月19日(2006.5.19)

(51) Int. Cl. F I  
**HO2M 7/48 (2006.01)** HO2M 7/48 M  
**HO2M 1/08 (2006.01)** HO2M 1/08 C

請求項の数 11 (全 12 頁)

(21) 出願番号	特願2001-380074 (P2001-380074)	(73) 特許権者	000006013
(22) 出願日	平成13年12月13日(2001.12.13)		三菱電機株式会社
(65) 公開番号	特開2003-189632 (P2003-189632A)		東京都千代田区丸の内二丁目7番3号
(43) 公開日	平成15年7月4日(2003.7.4)	(74) 代理人	100062144
審査請求日	平成16年4月21日(2004.4.21)		弁理士 青山 稔
		(74) 代理人	100086405
			弁理士 河宮 治
		(72) 発明者	吉村 浩介
			東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
		審査官	川端 修

最終頁に続く

(54) 【発明の名称】 電力用半導体装置

(57) 【特許請求の範囲】

【請求項1】

モータ等の誘導性負荷を駆動する電力変換装置におけるP側およびN側の駆動用パワー素子の双方の制御を同時に行う機能を有する電力用半導体装置において、

パワー素子駆動回路へ駆動信号を供給する入力信号処理回路と、P側およびN側の駆動回路の間にレベルシフト回路を挿入して、P側およびN側の駆動回路のGND線と、入力信号処理回路のGND線とを電氣的に絶縁したことを特徴とする電力用半導体装置。

【請求項2】

入力信号処理回路の電源線と、P側およびN側の駆動回路の電源線とを電氣的に絶縁した請求項1記載の電力用半導体装置。

【請求項3】

入力信号処理回路と、P側およびN側の駆動回路とで全ての電源線を電氣的に絶縁した請求項1記載の電力用半導体装置。

【請求項4】

入力信号処理回路に対して外部より、P側とN側のパワー素子を同時にONさせるような誤信号が入力された場合に、この信号を無効にするような機能を持つインターロック回路を内部に含む請求項1～3のいずれかに記載の電力用半導体装置。

【請求項5】

電源およびGND電位の変動に起因してレベルシフト回路から出力される誤信号を除去するために、レベルシフト回路の後段に、ロジックフィルタおよびRSラッチ回路を備えた

請求項 1 ~ 4 のいずれかに記載の電力用半導体装置。

【請求項 6】

入力信号処理回路より出力される電圧振幅信号を電流パルス列に変換するための電流パルス列変換回路を、前記入力信号処理回路の後段に接続した請求項 1 ~ 5 のいずれかに記載の電力用半導体装置。

【請求項 7】

レベルシフト回路を ON または OFF 状態に保持する間、パルス信号を周期的にレベルシフト回路に入力するパルス印加機能を上記電流パルス列変換回路に備えた請求項 6 に記載の電力用半導体装置。

【請求項 8】

P 側、N 側のパワー素子の短絡、過負荷、過電圧などの異常を検知する保護回路を備え、この回路からの検知信号を第 2 のレベルシフト回路を通じて外部の制御回路へ出力する請求項 1 ~ 7 のいずれかに記載の電力用半導体装置。

【請求項 9】

上記保護回路より出力される電圧振幅信号を電流パルス列に変換するための電流パルス列変換回路を、前記第 2 のレベルシフト回路の前段に備えた請求項 8 に記載の電力用半導体装置。

【請求項 10】

電源および GND 電位の変動に起因して第 2 のレベルシフト回路から出力される誤信号を除去するために、第 2 のレベルシフト回路の後段に、ロジックフィルタおよび RS ラッチ回路を備えた請求項 8 または 9 に記載の電力用半導体装置。

【請求項 11】

P 側、N 側の組みの駆動回路を 1 つの電力用半導体装置に複数個集積した請求項 1 ~ 10 のいずれかに記載の電力用半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、電力変換装置にて使用される HVIC (High Voltage Integrated Circuit) に関するものである。

【0002】

【従来の技術】

電力変換回路としては古典的であるモータ駆動インバータ装置の回路図を図 10 に示し、その基本的な動作を以下に述べる。インバータ用駆動電源 23 の P 側 (高圧側) と N 側 (低圧) の間には、各 U、V、W 相のパワー素子 (17、18、19、20、21、22) が接続されており、それらの各パワー素子と並列に FWD (Free Wheel Doide: 31、32、33、34、35、36) が接続される。そして各々のパワー素子の制御信号を生成するマイコン等の制御信号生成回路 1 に入力信号処理回路 (2、3、4) が接続され、それらの入力信号処理回路は電源 30 より給電される。

【0003】

各相のパワー素子の駆動用に各相毎にパワー素子駆動回路 (11、12、13、14、15、16) および専用電源 (24、25、26、27、28、29) が接続される。入力信号処理回路とパワー素子駆動回路での GND 電位が異なるため、両者の結合用にフォトプラ (5、6、7、8、9、10) を用いている。

【0004】

そして実際のインバータでは、駆動方式に従って U、V、W 各相の P 側 (17、19、21) と N 側 (18、20、22) の各パワー素子をスイッチングさせることにより、モータ制御を実現している。

【0005】

次に、図 10 の回路図を元に HVIC を用いた場合のインバータ回路例を図 11 に示す。HVIC は、入力信号処理回路 (2 ~ 4)、パワー素子駆動回路 (11 ~ 16) およびフォト

10

20

30

40

50

カプラと同等の機能を有するレベルシフト回路(37、38、39)から構成され、また、本例では、U、V、Wの各相毎に1チップ化(50、51、52)した回路構成となっている。

**【0006】**

HVIC化するメリットとしては、チップ内へレベルシフトを組み込むことでフォトカプラを用いたものに比べて信頼性を高くでき、又、電源数およびインバータ搭載部品点数の削減により安価なシステムを提供できるなどが挙げられる。

**【0007】**

図11のごとく、駆動電源を外部電源30のみとした場合には、別途付加する部品としては各々の相のP側パワー素子(17、19、21)の駆動回路(11、13、15)の電源用にブートストラップダイオード(40、41、42)とブートストラップコンデンサ(43、44、45)のみとなる。

10

**【0008】**

HVICを用いた場合のインバータ回路の簡略図を図12に示す。本例はインバータ駆動用の制御信号生成回路から各U、V、W相のHVIC(50、51、52)へ制御信号が伝達され、パワー素子(17、18、19、20、21、22)を駆動する回路例である。この回路構成では、HVIC(50～52)の各GNDとパワー素子(18、20、22)の各エミッタ端子がU、V、W相毎に接続されている。L1～L12は後述する寄生インダクタンスである。

**【0009】**

この図12の回路の基板実装例を図13に示す。インバータ回路では、アプリケーションによりP-N間電圧、パワー素子電流定格等の規格値が異なるが、一般的には高電圧・大電流を扱うインバータ回路の動作はパワー素子を用いた高速スイッチングにより実現しているため、インバータ自体での電力損失を出来るだけ小さくするように強く要請されている。この損失は通常、ジュール熱となりインバータ外部へ放出される。

20

**【0010】**

図13では、U相のパワー素子18のエミッタは、ボンディングワイヤを通じて、HVICのGNDとFWD(32)のアノードに接続されている。また、FWD(32)のアノードを経由してボンディングワイヤにてパスバー(PB)のN電極(54)に接続されている。インバータ回路の損失は、DCロスとスイッチングロスの2つに分けることができる。

30

**【0011】**

DCロスとは、パワー素子で発生する損失と、ボンディングワイヤ等の配線で発生する損失から成る。パワー素子で発生する分は、P電極からP側パワー素子、負荷(インダクタンス)、N側パワー素子を経由してN電極へ定期的に流れる電流によるものである。

**【0012】**

図14にパワー素子での損失を発生させる電流径路を図示している。配線などでの損失は電流と電気抵抗によって決まるため、大電流になればなるほど、配線の電気抵抗を下げなければならない。

**【0013】**

一方、スイッチングロス、パワー素子がON OFFとOFF ONする際にパワー素子から発生する損失と、FWDから発生する損失との合計であり、一般的に、パワー素子のスイッチング速度が速いほど、また、P-N間電圧が低いほどパワー素子での損失分は低くなる。以上から、インバータ回路を高圧・大電流領域で使用するには、損失の低減が重要となり、特にパワー素子はスイッチング速度の向上のために種々の改良が続けられている。

40

**【0014】**

パスバーはインバータで発生する損失の一部となっているため、そのパスバーの形状は、電気抵抗を下げるため、できるだけ太く、短くする必要があるが、定格電流を保証するために最低限必要な大きさであるパワー素子やその他の部品をパッケージに載せる必要があり、組み立て作業の効率化を考慮すると、一般的には図13に示したような形状が考えら

50

れる。

【0015】

N電極(54)には、L7、L8に示すような寄生インダクタが存在する。また、パワー素子とFWDとパスバー(PB)間のワイヤボンドにはそれぞれL1、L2、L3、L4、L5、L6なる寄生インダクタも存在する。また、U相、V相、W相駆動のHVIC(50、51、52)の各々のGNDノードA点、B点、C点と、各パワー素子との間には、各々のHVICのGND端子からパワー素子のエミッタ端子までのワイヤボンドおよび、基板(55)の配線パターンによる寄生インダクタンスL9、L10、L11が存在し、また、各々のHVICのGND端子間を結ぶ配線パターンによる寄生インダクタンスL12(U相-V相間)、L13(V相-W相間)も存在する。

10

【0016】

【発明が解決しようとする課題】

図12の回路において、インバータ動作を行うと、L1~L13の寄生インダクタンスにより誤動作が発生する場合がある。この誤動作発生メカニズムを図14および図15を用いて説明する。

【0017】

図14では、U相のP側のパワー素子(17)とV相のN側のパワー素子(20)がON状態にあり、その状態では矢印に示した径路で電流が流れている。次に図15に示すように、U相のP側のパワー素子(17)がONからOFFに切り替った後も、インダクタンスの負荷(60)に蓄えられていたエネルギーによって電流が流れ続けようとする。この時、U相のN側のパワー素子(18)はOFF状態であるが、これと並列に接続されたFWD(32)が、前記電流に対し、順バイアス状態であるため、負荷(60) V相N側パワー素子(20) N電極の寄生インダクタンス(L7) U相N側FWD(32) 負荷(60)の径路で電流が流れる。また、この図15を図12と照らし合わせてみるとわかるように、寄生インダクタンスL1、L2、L3、L4、L9、L10、L12にも電流が流れている。

20

【0018】

この場合、各インダクタンスLに対しては次式で表される電圧Vが発生する。

$$V = L \times (di/dt) \quad di/dt : \text{電流変化率}$$

【0019】

これより、図12に示す、U相駆動用のHVIC(50)のGNDノード点AとV相駆動用のHVIC(51)のGNDノードB点との間に電位差が発生していることになる。図12の制御信号生成回路(1)からは、各相のHVIC(50~52)にデジタルの制御信号が送出されるが、前述のGND電位の変動により、各相のHVIC(50~52)がその制御信号を誤認識して誤動作を引き起こすことがあった。

30

【0020】

この発明は、GND電位の変動による制御信号を誤認識をなくすようにした電力用半導体装置を提供するものである。

【0021】

【課題を解決するための手段】

本発明は、モータ等の誘導性負荷を駆動する電力変換装置におけるP側およびN側の駆動用パワー素子の双方の制御を同時に行う機能を有する電力用半導体装置において

40

パワー素子駆動回路へ駆動信号を供給する入力信号処理回路と、P側およびN側の駆動回路の間にレベルシフト回路を挿入して、P側およびN側の駆動回路のGND線と、入力信号処理回路のGND線とを電氣的に絶縁したことを特徴とする。

【0022】

【発明の実施の形態】

実施形態1

図1に本発明の第1実施形態を示す。これは本発明を適用したHVICを3個(50、51、52)用いたモータ駆動用インバータ装置の回路図である。図10の従来例と比較すると、主な変更点としてはU、V、W各相に用いられていたフォトカプラ(5~10)がレ

50

レベルシフト回路(37、38、39、46、47、48)に置き換わり、また、U、V、Wの相毎にパワー素子制御回路がHVIC化されたものとなっていることと、U、V、WのP側駆動回路の電源が別電源(24、26、8)であったものが、ブートストラップ回路方式によりコンデンサ(43、44、45)とダイオード(40、41、42)にて構成されており、従来の回路よりも少ない電源数にて回路を構成している点である。

#### 【0023】

これにより、トランスによる方式よりも部品点数の削減による低コスト化が見込める。また、P側とN側の駆動回路を同じ半導体上に集積しているため、P側駆動回路とN側駆動回路の伝播遅延時間の差を小さくでき、インバータ装置でのデッドタイムを従来回路よりも縮めることができる。

10

#### 【0024】

本方式によるIC外部電源構成を、図7、図8、図9に示す。尚、これらの図ではU相のみを示し、他の相も回路構成は同じになる。

#### 【0025】

図7では、入力信号処理回路(2)の電源(30)より、ダイオード(91)およびコンデンサ(94)よりなるブートストラップ回路を通じてP側のパワー素子駆動回路(11)に給電し、同様に、ダイオード(92)およびコンデンサ(95)よりなるブートストラップ回路を通じてN側のパワー素子駆動回路(12)に給電している。この構成では電源数が少ないので、インバータ装置としての部品点数は減るが、起動時や制御方法に制約がある。

#### 【0026】

図8は、N側のパワー素子駆動回路(12)にのみN側駆動電源(25)を備え、P側のパワー素子駆動回路(11)へはダイオード(40)およびコンデンサ(43)よりなるブートストラップ回路を通じて給電している。この構成では図7の回路に比べ部品点数削減効果は小さいが、起動時や制御方法の制約が緩くなる。図1ではこの給電方式を採用している。

20

#### 【0027】

図9は、P側およびN側パワー素子駆動回路(11、12)への給電にそれぞれ独立した電源(24、25)を用いており、部品点数は最も多いが、起動時や制御方法の制約がなく、使いやすいという特長がある。

#### 【0028】

次に図1の回路図の動作を述べる。このモータ駆動用インバータ装置を制御するための制御信号が制御信号生成回路(1)で生成され、U、V、W各相のパワー素子駆動用の各HVIC(50、51、52)に入力される。これらのHVICは各々の入力信号処理回路(2、3、4)には共通の電源(30)が接続されており、N側の各パワー素子駆動回路(12、14、16)には個別に電源(25、27、29)が接続される。

30

#### 【0029】

一方、U相のHVIC(50)内のP側のパワー素子駆動回路(11)へは、N側のパワー素子駆動回路(12)の電源(25)から、ダイオード(40)およびコンデンサ(43)よりなるブートストラップ回路を通じて給電される。他のV、W相のHVIC(51、52)においても同様に給電される。

#### 【0030】

U、V、W相はそれぞれ共通の回路構成となっており、動作も同じなので、以下、代表例としてU相についてその動作を詳細に示す。HVIC(50)に入力された信号は、入力信号処理回路(2)で信号処理された後、P側、N側別々のレベルシフト回路(37、46)に入る。

40

#### 【0031】

N側レベルシフト回路(46)に入力される信号は、電源(30)の負極性側(GND)を基準電位とした電圧振幅の信号であり、その信号を、電源(25)の負極側を基準電位とした電圧振幅の信号にレベルシフトする。そして、P側レベルシフト回路(37)は、入力された信号を、コンデンサ(43)の負極性側を基準電位とした電圧振幅の信号にレベルシフトする。

50

## 【0032】

図1のN端子からU、W相のパワー素子への径路の中に、パッケージに存在する寄生インダクタンスをL7、L8として回路図に図示している。この電力半導体装置がスイッチング動作を行うと、モータの負荷電流が前述の寄生インダクタンスに流れて、負荷電流のスイッチング時の $di/dt$ により電圧が発生し、U、V、W各相のN側に接続されている電源(25、27、29)の負極性側や、パワー素子(32、34、36)のエミッタ端子側やHVIC(50、51、52)のN側パワー素子駆動回路(12、14、16)のGND側の各々のノードで電位差が生じる。

## 【0033】

ところが、N側のパワー素子駆動回路12のGND(つまり各相のN側電位)と入力信号処理回路2のGNDとは、レベルシフト回路(46)で電気的に絶縁されているため、入力信号処理回路(2)の電源(30)の負電極が接続されているHVIC(50)のGNDノードは、パワー素子動作時のN側電位変動の影響を受けないので、誤動作は起こらない。他のHVICについても同様のことがいえる。

10

## 【0034】

## 実施形態2

図2に本発明の第2実施形態を示す。この図2においては、図1と同様にU、V、W各相とも同じ機能を持つためU相のみを示している。この図2では、レベルシフト回路(37、46)の後段にロジックフィルタ・RSラッチ回路(71、72)を挿入している。

## 【0035】

パワー素子の動作により、電源(25)およびコンデンサ(43)の端子電圧が変動するが、急激な電圧変動があると、それらの端子電圧を受けるレベルシフト回路(46、37)が誤動作する。ロジックフィルタ・RSラッチ回路(71、72)は、レベルシフト回路より出力される誤信号を除去することでパワー素子の誤動作を避ける。

20

## 【0036】

## 実施形態3

図3に本発明の第3実施形態を示す。この図3では、レベルシフト回路の前段に電流パルス列変換回路(73)を挿入している。入力信号処理回路(2)よりの電圧振幅信号を、レベルシフト回路(37、46)が扱おうと、レベルシフト回路の動作時の消費電流が大きくなる。そこで、前記電圧振幅信号を、電流パルス列変換回路(73)にて、電圧振幅信号からパルス信号に変換し、そのパルス信号に対してレベルシフト回路がレベルシフトする。この回路構成では、レベルシフト回路での消費電流を低減できる。

30

## 【0037】

## 実施形態4

図4に本発明の第4実施形態を示す。この図4では、図3の電流パルス列変換回路(73)に換えて電流パルス結変換・パルス印加回路(74)を用いている。ONまたはOFFの状態を伝達するレベルシフト回路(37、46)をONまたはOFF状態に保持する間、電流パルス列変換・パルス印加回路(74)よりパルス信号を周期的にレベルシフト回路(37、46)に入力するようにしている。これにより、パワー素子の動作により電源(25)およびコンデンサ(43)の端子電圧が変動しても、レベルシフト回路(46、37)での誤動作を防止できる。

40

## 【0038】

## 実施形態5

図5に本発明の第5実施形態を示す。図1にて用いたハーフブリッジ構成の3個のHVIC(50、51、52)を図5では、1個のHVIC(53)に集積化している。

## 【0039】

## 実施形態6

図6に本発明の第6実施形態を示す。この図6では、HVIC内のパワー素子駆動/保護回路(11A、12A)から出力される異常信号を上位の制御回路へ伝達するためのP側、N側のFo(フォルト)信号出力端子を追加している。このパワー素子駆動/保護回路は図

50

1等にあるパワー素子駆動回路(11、12)に、パワー素子での短絡、過負荷、過電圧、過温度などを検知して異常信号を出力できる保護回路を付加したものである。

【0040】

前記F<sub>o</sub>信号を出力するための信号伝達径路に、前記異常信号を、所望のレベルにシフトさせるレベルシフト回路(76、79)と、電流パルス列変換回路(77、80)を設けている。この電流パルス列変換回路は図3で用いた電流パルス列変換回路(73)と同じ機能をなすものである。

【0041】

この場合も、N極側の電源(25)およびP側のコンデンサ(43)の電位変動により誤動作することがあるので、レベルシフト回路(76、79)の後段にロジックフィルタ・RSラッチ回路(75、78)を設けている。このロジックフィルタ・RSラッチ回路も図2で用いたものと同じである。

10

【0042】

【発明の効果】

請求項1の発明は、入力信号処理回路と、P側およびN側の駆動回路の間にレベルシフト回路を挿入したことにより、N側(ローサイド)のGND線にノイズなどが重畳しても、入力信号処理回路のGND線とを電氣的に絶縁されているため、ノイズによる入力信号処理回路からの信号を誤認識する誤動作を防止できる。

【0043】

請求項2の発明は、入力信号処理回路の電源線と、P側およびN側の駆動回路の電源線とを電氣的に絶縁したものであり、その場合は、絶縁されている電源回路はブートストラップ回路ではなく、トランスなどにより構成されるため、ブートストラップ回路特有の、初期充電や制御方式の制約などの問題がなく、トランス方式との混合なので、ノイズによる誤動作のレベルを抑えながら低コストの方式を選択できる。

20

【0044】

請求項3の発明は、入力信号処理回路と、P側およびN側の駆動回路とで全ての電源線を電氣的に絶縁したものであり、その場合は、絶縁されている電源回路はブートストラップ回路ではなく、トランスなどにより構成され、その結果、ブートストラップ回路特有の、初期充電や制御方式の制約などの問題がなく、安定した動作が期待できる。

【0045】

請求項4の発明は、入力信号処理回路に対して外部より、P側とN側のパワー素子を同時にONさせるような誤信号が入力された場合に、この信号を無効にするような機能を持つインターロック回路を備えるので、P/Nのパワー素子の短絡を防止できる。

30

【0046】

請求項5の発明は、レベルシフト回路の後段に、ロジックフィルタおよびRSラッチ回路を備えたので、電源およびGND電位の変動に起因してレベルシフト回路から出力される誤信号を除去できる。

【0047】

請求項6の発明は、入力信号処理回路より出力される電圧振幅信号を電流パルス列に変換するための電流パルス列変換回路を、前記入力信号処理回路の後段に接続したので、レベルシフト回路での消費電流を低減できる。

40

【0048】

請求項7の発明は、レベルシフト回路をONまたはOFF状態に保持する間、パルス信号を周期的にレベルシフト回路に入力するパルス印加機能を上記電流パルス列変換回路に備えたので、パワー素子の動作により電源などの端子電圧が変動しても、レベルシフト回路での誤認識を防止でき、誤動作がなくなる。

【0049】

請求項8の発明は、P側、N側のパワー素子の短絡、過負荷、過電圧などの異常を検知する保護回路を備え、この回路からの検知信号を第2のレベルシフト回路を通じて外部の制御回路へ出力するようにしたので、パワー素子での異常を確実に検知でき故障を回避でき

50

る。

【0050】

請求項9の発明は、上記保護回路より出力される電圧振幅信号を電流パルス列に変換するための電流パルス列変換回路を、第2のレベルシフト回路の前段に備えたので、第2のレベルシフト回路での消費電流を低減できる。

【0051】

請求項10の発明は、電源およびGND電位の変動に起因して第2のレベルシフト回路から出力される誤信号を除去するために、第2のレベルシフト回路の後段に、ロジックフィルタおよびRSラッチ回路を備えたので、電源およびGND電位の変動に起因してレベルシフト回路から出力される誤信号を除去できる。

10

【0052】

請求項11の発明は、P側、N側の組みの駆動回路を1つの電力用半導体装置に複数個集積したので、実装基板面積の縮小により低コスト化が図れる。

【図面の簡単な説明】

【図1】 本発明の電力半導体装置の第1実施形態を示した回路図

【図2】 本発明の電力半導体装置の第2実施形態を示した回路図

【図3】 本発明の電力半導体装置の第3実施形態を示した回路図

【図4】 本発明の電力半導体装置の第4実施形態を示した回路図

【図5】 本発明の電力半導体装置の第5実施形態を示した回路図

【図6】 本発明の電力半導体装置の第6実施形態を示した回路図

20

【図7】 P側およびN側パワー素子駆動回路への給電にブートストラップ電源を用いた回路図

【図8】 P側パワー素子駆動回路の給電にのみブートストラップ電源を用いた回路図

【図9】 P側およびN側パワー素子駆動回路への給電にそれぞれ独立電源を用いた回路図

【図10】 従来のディスクリット部品を用いた場合の電力用半導体の回路図

【図11】 図10の電力用半導体を従来のハーフブリッジ構成のHVICで置き換えた回路図

【図12】 図11の回路構成に含まれる寄生インダクタンスを示した回路図

【図13】 電力半導体装置を基板に実装した場合の実装図

30

【図14】 電力半導体装置の動作時の電流経路を示した図

【図15】 電力半導体装置の動作時の電流経路を示した図

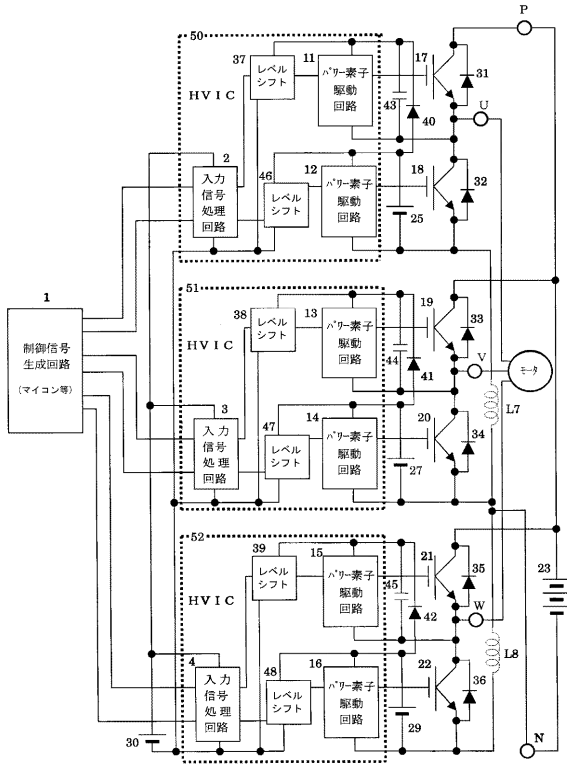
【符号の説明】

1 制御信号生成回路、2~4 入力信号処理回路、11~16 パワー素子駆動回路、11A、12A パワー素子駆動/保護回路、17~22 パワー素子、23 P-N電源、25、27、29 N側駆動電源、30 入力信号処理回路電源、31~36 フリーホイールダイオード、37~39 P側用レベルシフト回路、46~48 N側用レベルシフト回路、50~53 HVIC、71、72、75、78 ロジックフィルタとRSラッチ回路、73、77、80 電流パルス列変換回路、76、79 レベルシフト回路、60 負荷、54 N電極、55 基板、L 寄生インダクタンス

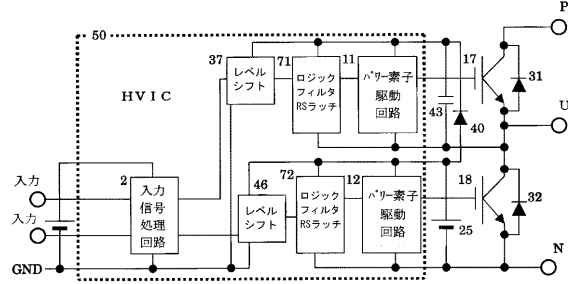
40



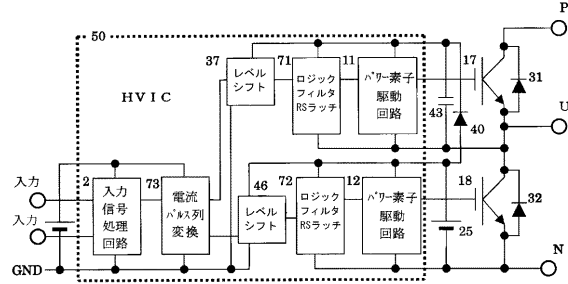
【図1】



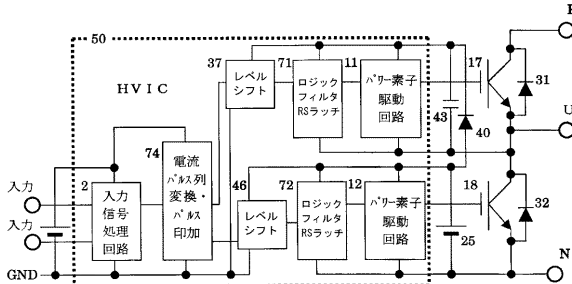
【図2】



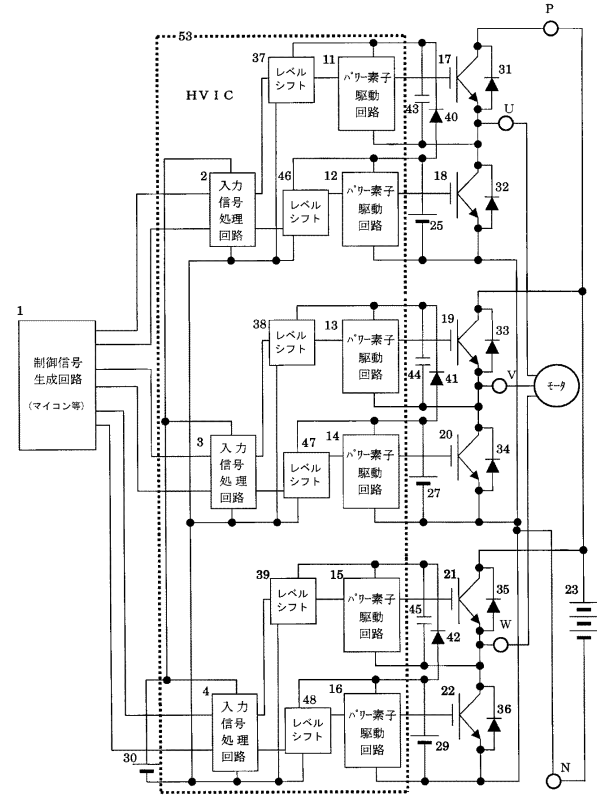
【図3】



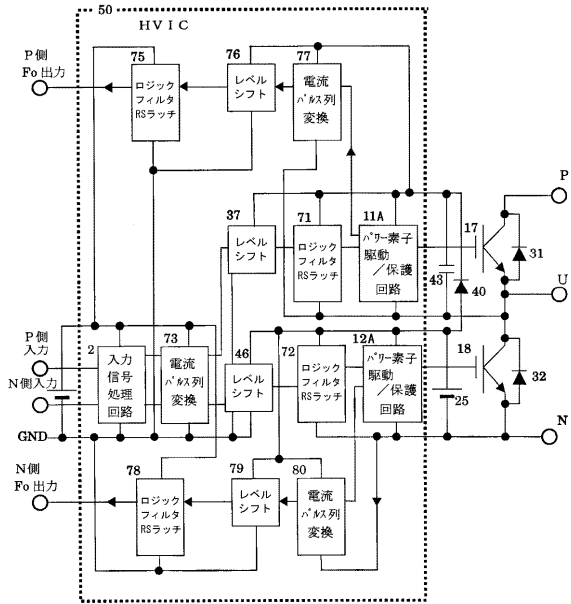
【図4】



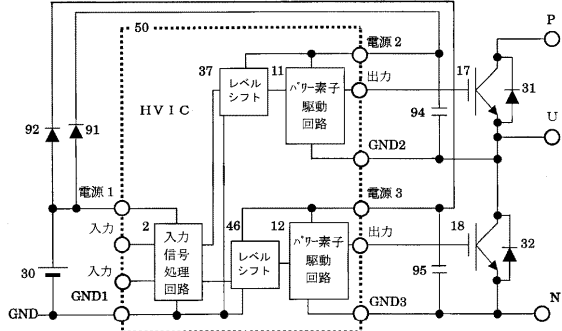
【図5】



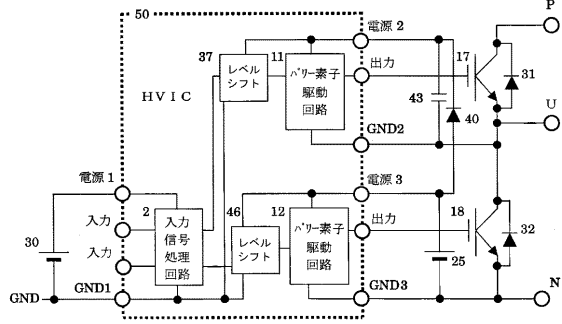
【図6】



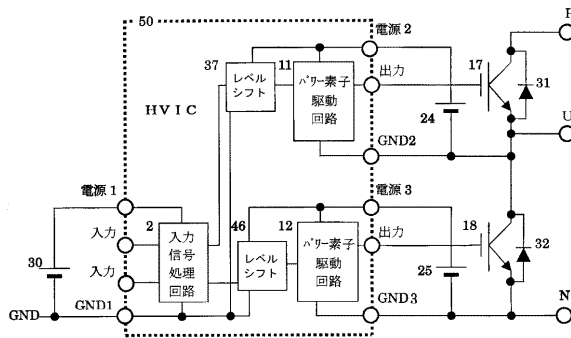
【図7】



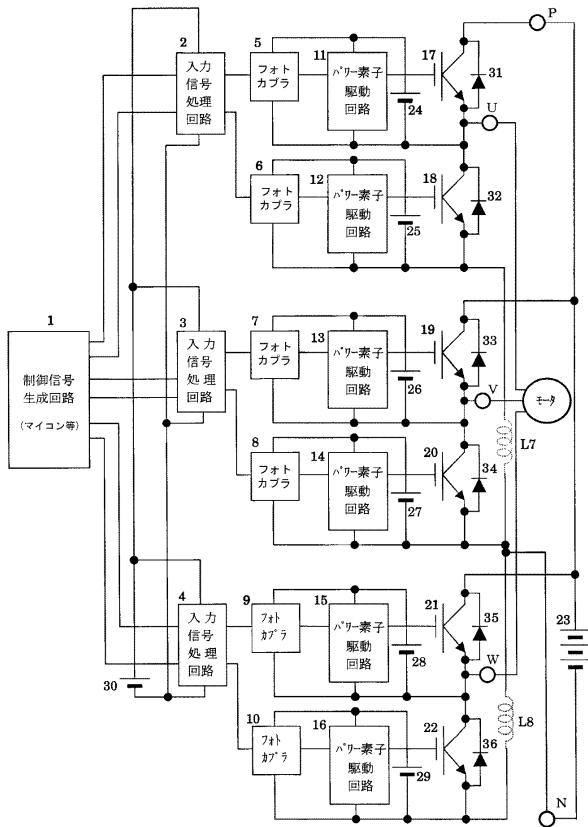
【図8】



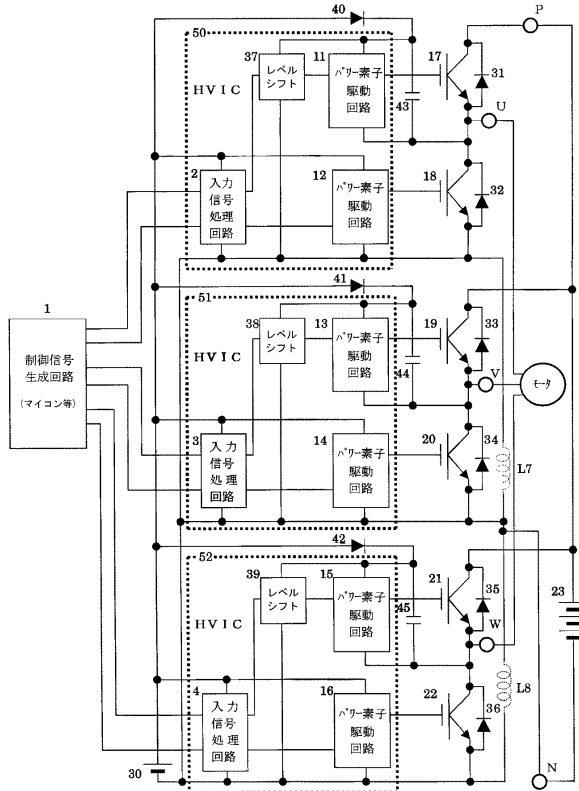
【図9】



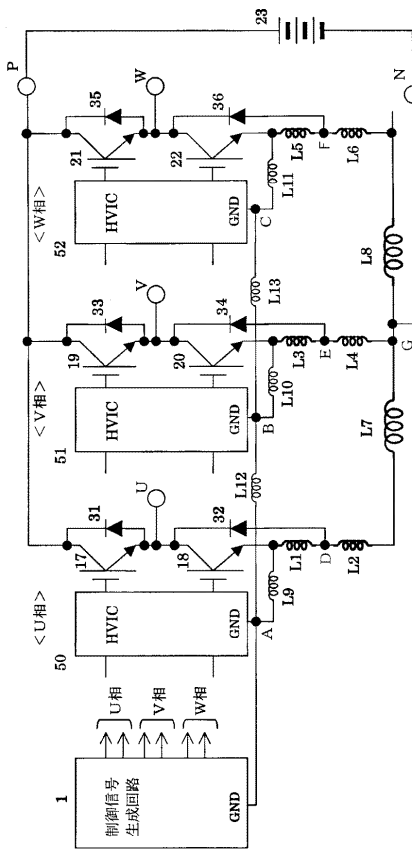
【図10】



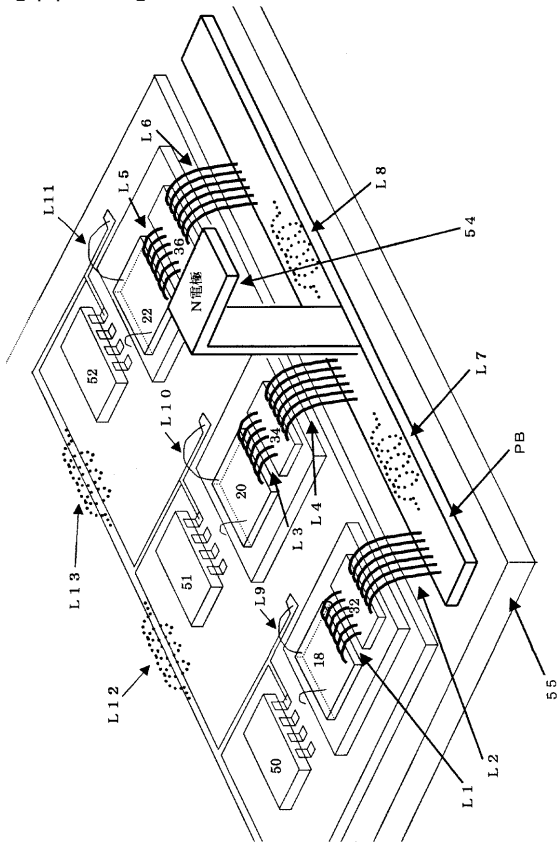
【図11】



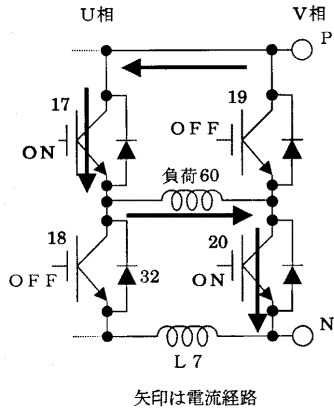
【図12】



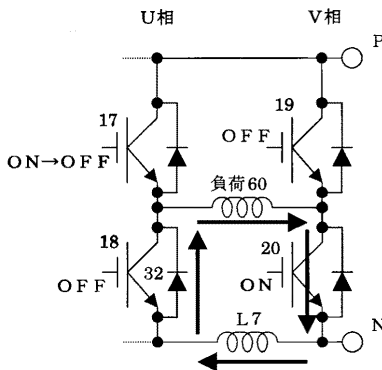
【図13】



【図14】



【図15】



---

フロントページの続き

- (56)参考文献 特開2001-237381(JP,A)  
特開2000-340740(JP,A)  
特開平06-153533(JP,A)  
特開平11-027985(JP,A)  
特開2000-308367(JP,A)  
特開平04-230117(JP,A)  
特開2000-278959(JP,A)  
特開平09-074198(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M 7/48

H02M 1/08