

公告

申請日期: 90.2.22	案號: 90104291
類別: H01K 23/8	

(以上各欄由本局填註)

# 發明專利說明書

476146

一、發明名稱	中文	晶圓級封裝
	英文	
二、發明人	姓名 (中文)	1. 劉安鴻 2. 李耀榮
	姓名 (英文)	1. John Liu 2. Y. J. Lee
	國籍	1. 中華民國 2. 中華民國
	住、居所	1. 台南市北門路一段33號 2. 台南縣仁德鄉成功村保生路77號
三、申請人	姓名 (名稱) (中文)	1. 南茂科技股份有限公司
	姓名 (名稱) (英文)	1. ChipMOS TECHNOLOGIES INC
	國籍	1. 中華民國
	住、居所 (事務所)	1. 新竹科學工業園區研發一路1號
	代表人姓名 (中文)	1. 胡洪九
	代表人姓名 (英文)	1.



本案已向

國(地區)申請專利	申請日期	案號	主張優先權
-----------	------	----	-------

無

有關微生物已寄存於

寄存日期	寄存號碼
------	------

無



## 五、發明說明 (1)

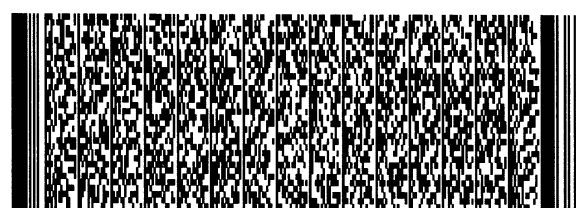
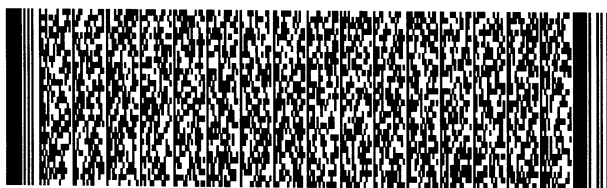
## 【發明領域】

本發明係有關於一種晶圓級封裝，特別係有關於一種積體電路與焊墊不在平行面之晶圓級封裝。

## 【先前技術】

以往習知之半導體封裝係在一晶圓〔圓盤形矽基板〕完成積體電路，並切割為複數個晶粒〔dice〕後，方以塑膠、陶瓷或導線架為載體對呈晶粒之積體電路進行個別封裝，隨著技術之進步，為了降低成本、加快製造效率及產品之微小化，有人提出了晶圓級封裝之構想，也就是在積體電路完成及切割之間將呈晶圓型態之複數個積體電路進行封裝，以達到一次封裝一晶圓之目的，在切割後即可得到經適當封裝之積體電路。

美國專利第5,356,838號「半導體裝置製造方法」揭示一種半導體封裝方法，其係屬晶圓級封裝，如第11a圖所示，首先提供一晶圓60，在晶圓60之連接墊61上形成一阻障金屬層62〔barrier metal layer〕，之後在阻障金屬層62鍍鎳，此時，該晶圓60係放置於一磁鐵82〔magnet〕內，並放置一金屬罩81〔metal mask〕於晶圓60上，當複數個焊球透過金屬罩81黏貼於連接墊61，在回焊後形成凸塊63〔bump〕，之後如第11b及12圖所示，在不同積體電路之兩凸塊63之間，以網版印刷〔screen printing process〕印刷一連接兩凸塊63之導電膠71〔conductive paste material〕，其係越過切割道64，在乾燥及烘烤後成為兩凸塊63之內部電性連接，接著如第



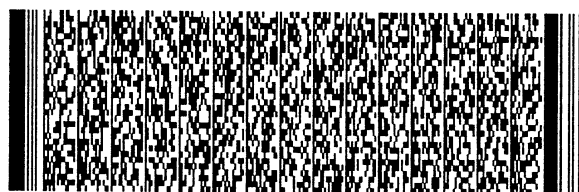
## 五、發明說明 (2)

11c 圖所示，以可模鑄之聚醯亞胺樹脂〔moldable polyimide resin〕形成一保護層72，以保護導電膠71，在切割後得到如第13圖所示之晶片尺寸封裝65，其具有複數個位於側邊由切割形成之焊墊73，故具有堆疊之功效，如第14圖所示，將複數個晶片尺寸封裝65堆疊並以環氧黏膠74黏固，在側面之焊墊73同樣以網版印刷導電膠75，以構成複數個晶片尺寸封裝65之電性連接，然而在該半導體裝置製造方法中，由於需先在連接墊61上接植形成凸塊63並印刷導電膠71，其凸塊63之接植形成與導電膠71之印刷均以一般後段封裝設備實施，如凸塊63之接植形成使用到BGA基板之植球設備，導電膠71之印刷使用到印刷電路板之塗施設備，與前段之積體電路設備不同，無法確實達到系統整合於前段製程，此外，在形成凸塊63後再以印刷一導電膠71作為電性傳輸線，其線徑係相當寬而粗，無法適用於高密度或小晶片尺寸之晶圓級封裝。

## 【發明目的及概要】

本發明之主要目的在於提供一種晶圓級封裝，其係在切割前完成封裝，利用複數個導電線路延伸進入切割區域，在切割時同時形成表面焊墊，得到複數個可供側面結合之晶片尺寸封裝。

本發明之次一目的在於提供一種晶圓級封裝，其係在切割前完成封裝，其所形成之複數個導電線路及封膠層均可在晶圓型態執行，在不需額外增加設備之下，達到整合前段積體電路與後段封裝製程、降低成本、提高產率之功



## 五、發明說明 (3)

效。

依本發明之晶圓級封裝，其主要包含有：

提供一晶圓，其中該晶圓具有一上表面及一下表面，在晶圓之上表面形成有複數個積體電路及複數個已定義之切割區域，每一積體電路具有複數個供外接之連接墊；形成複數個導電線路於晶圓之上表面，每一導電線路係內部電性連接對應之連接墊，且同一積體電路之導電線路之一端係延伸朝向同一側之切割區域；

形成一放大部於導電線路朝向切割區域之一端，其中該放大部係超過並進入切割區域；

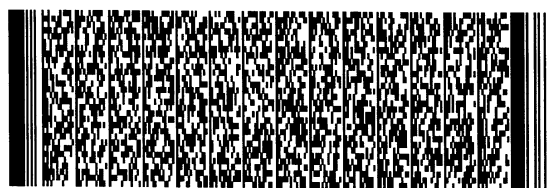
密封該複數個導電線路於晶圓之上表面；及

沿切割區域切割該晶圓，而分離成複數個晶片尺寸封裝。

## 【發明詳細說明】

依本發明之晶圓級封裝之一具體實施例，其包含之步驟係詳述如下：

首先，如第1及2圖所示，提供一晶圓10〔wafer〕，該晶圓10係以一矽基板11〔silicon substrate〕為基礎材，其係由一單晶矽棒或多晶矽錠切片形成，並進行積體電路布局，晶圓10係具有一上表面12、一下表面13及複數個切割區域15，一般切割區域15之寬度約在 $100\ \mu\text{m}$ ，並複數個積體電路〔圖未繪出〕係形成於矽基板11之上〔在由切割區域15所圍繞的範圍內〕，並在晶圓10之上表面12形成有一防護層〔passivation layer〕16及複數個連接墊



## 五、發明說明 (4)

14 (contact pad)，其中防護層16係具有開口，以裸露連接墊14之部份表面，而連接墊14係為積體電路之電源及訊號外端接點，通常防護層16之形成係以化學氣相沉積 (Chemical Vapor Deposition) 或電漿促進化學氣相沉積 (Plasma Enhanced Chemical Vapor Deposition) 製程沉積形成一層SiO<sub>2</sub>、磷矽玻璃 (PSG) 或氮化矽 (Si<sub>3</sub>N<sub>4</sub>)，而通常連接墊14係為一鋁墊或銅墊，在本實施例中，複數個連接墊14形成於一中間線係為了易於表示及瞭解，實際上，連接墊14係可形成於晶圓10除了切割區域15之外之其他任何部位，在本發明並不局限連接墊14之位置，較佳地，該晶圓10在進行下一步驟之前係已經過電性測試 (electrical test)，以辨識出好的或不良的積體電路。

接著，如第3及4圖所示，形成複數個導電線路21 (conductive circuit) 於晶圓10之上表面12，每一導電線路21係內部電性連接對應之連接墊14，且在同一積體電路 (同一個由切割區域15所圍繞之範圍) 之導電線路21之一端係延伸朝向同一側之切割區域15，關於導電線路21之形成係以物理氣相沉積 (Physical Vapor Deposition)、化學氣相沉積 (CVD) 或電漿促進化學氣相沉積 (PECVD) 製程沉積鋁Al、銅Cu、鎢W或其合金形成之，在本實施例中，導電線路21形成直線並其一端係延伸接近右側之切割區域15係為了易於表示及瞭解，實際上，導電線路21係可呈現任意線形或彎曲角度。



## 五、發明說明 (5)

之後，如第5及6圖所示，形成一放大部22於導電線路21朝向切割區域15之一端，其中該放大部22係導通連接導電線路21同時超過積體電路形成區並進入切割區域15，使放大部22係較厚於導電線路21之其他部位，關於放大部22之形成係以印刷〔printing〕、蒸鍍〔thermal evaporating〕或電鍍〔plating〕等方法附著一較抗氧化之金屬或導電膠，如金Au、銀Ag、鎳Ni、鉬Mo、銦In、鉛錫或其合金，甚至是導電銀膠或高分子導電塑膠等等。

之後，如第7圖所示，密封該複數個導電線路21，其係形成一封膠層30〔sealing layer〕於晶圓10之上表面12，用以密封及保護該複數個導電線路21，關於封膠層30之形成可利用印刷塗施〔print coating〕加烘烤、模封射出〔molding & injection〕加烘烤或者是蒸鍍等技術據以實施，較佳地，在形成封膠層30之後，適當研磨晶圓10之下表面13，以確實掌握整體厚度，最後，以切割裝置40沿切割區域15切割分斷該晶圓10，可得到複數個如第8及9圖所示之晶片尺寸封裝〔Chip Size Package〕，由於放大部22係延伸入切割區域15，在切割的同時，部份放大部22係被切除而剩餘之放大部22在側邊形成裸露可供表面結合之表面焊墊23，在本實施例中，由放大部22形成之表面焊墊23係位於該晶片尺寸封裝之一側邊，較佳地，形成有表面焊墊23之平面係與晶片之上表面12呈垂直，以供側向表面結合於一印刷電路板50〔如第10圖右側之晶片尺寸封裝所示〕，其中該印刷電路板50係可預先形成焊料51

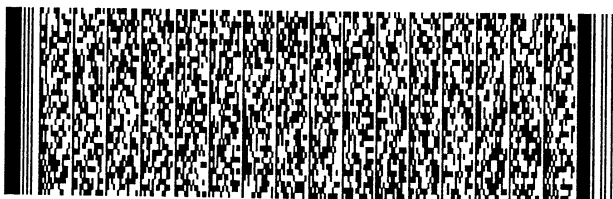


## 五、發明說明 (6)

〔solder paste〕與底墊52〔underfill〕，顯然，本發明之晶片尺寸封裝因側向結合具有較小結合面積

〔footprint〕及較大之散熱面，故可供高密度表面結合並具較佳之散熱性，此外，在等效的變化下，本發明之晶圓級封裝在形成一封膠層30〔sealing layer〕於晶圓10之上表面12時，可形成另一封膠層31〔sealing layer〕於晶圓10之下表面13，可得到一具較佳保護之晶片尺寸封裝〔如第10圖左側之晶片尺寸封裝所示〕。

故本發明之保護範圍當視後附之申請專利範圍所界定者為準，任何熟知此項技藝者，在不脫離本發明之精神和範圍內所作之任何變化與修改，均屬於本發明之保護範圍。



## 圖式簡單說明

## 【圖式說明】

- 第1圖：依本發明之第一具體實施例，晶圓級封裝之製造步驟中提供一晶圓之俯視圖；
- 第2圖：沿第1圖2-2線之剖視圖；
- 第3圖：依本發明之第一具體實施例，晶圓級封裝之製造步驟中形成導電線路之俯視圖；
- 第4圖：沿第3圖4-4線之剖視圖；
- 第5圖：依本發明之第一具體實施例，晶圓級封裝之製造步驟中形成導電線路之放大部之俯視圖；
- 第6圖：沿第5圖6-6線之剖視圖；
- 第7圖：依本發明之第一具體實施例，晶圓級封裝之製造步驟中密封導電線路之剖視圖；
- 第8圖：依本發明之第一具體實施例，晶圓級封裝之製造步驟中切割得到一晶片尺寸封裝之剖視圖；
- 第9圖：第8圖之晶片尺寸封裝之立體圖；
- 第10圖：依本發明之晶圓級封裝，多個晶片尺寸封裝結合於一印刷電路板之示意圖；
- 第11a圖：美國專利第5,356,838號「半導體裝置製造方法」之過程一；
- 第11b圖：美國專利第5,356,838號「半導體裝置製造方法」之過程二；
- 第11c圖：美國專利第5,356,838號「半導體裝置製造方法」之過程三；
- 第12圖：依美國專利第5,356,838號「半導體裝置製造方



圖式簡單說明

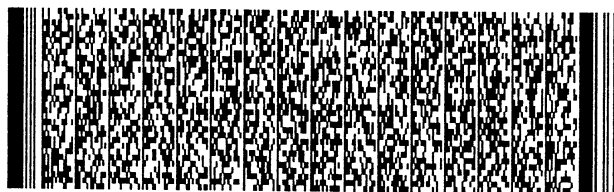
法」，第11b圖之俯視圖；

第13圖：依美國專利第5,356,838號「半導體裝置製造方法」所得到之一半導體裝置之立體圖；及

第14圖：依美國專利第5,356,838號「半導體裝置製造方法」所得到之一半導體裝置之堆疊應用立體圖。

【圖號說明】

- |    |       |    |        |    |      |
|----|-------|----|--------|----|------|
| 10 | 晶圓    |    |        |    |      |
| 11 | 矽基板   | 12 | 上表面    | 13 | 下表面  |
| 14 | 連接墊   | 15 | 切割區域   | 16 | 防護層  |
| 21 | 導電線路  | 22 | 放大部    | 23 | 表面焊墊 |
| 30 | 封膠層   | 31 | 封膠層    | 40 | 切割裝置 |
| 50 | 印刷電路板 | 51 | 焊料     | 52 | 底墊   |
| 60 | 晶圓    |    |        |    |      |
| 61 | 連接墊   | 62 | 阻障金屬層  | 63 | 凸塊   |
| 64 | 切割道   | 65 | 晶片尺寸封裝 |    |      |
| 71 | 導電膠   | 72 | 保護層    | 73 | 焊墊   |
| 74 | 環氧黏膠  | 75 | 導電膠    |    |      |
| 81 | 金屬罩   | 82 | 磁鐵     |    |      |



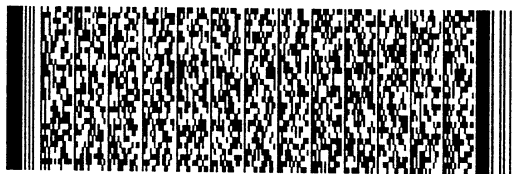
## 四、中文發明摘要 (發明之名稱：晶圓級封裝)

一種晶圓級封裝，其形成有複數個連接積體電路之導電線路，較佳為PVD、CVD、PECVD方法形成，導電線路具有一放大部，係延伸進入切割區域，在密封與且切割後，部份之放大部被切除而剩餘之放大部係裸露形成表面焊墊，其中該表面焊墊係不與形成積體電路之平面平行，以供側向表面結合。



## 英文發明摘要 (發明之名稱：)

A wafer level package including forming a plurality of conductive circuit for connecting to a corresponding integrated circuit, preferred by PVD, CVD or PECVD method. An enlarged portion is formed on a conductive circuit and expands into the cutting area. After sealing and cutting, some of the enlarged portion is removed by cutting, and the residue of the enlarged portion has an exposed surface to form a bonding pad. The bonding pad is not parallel with the plane of the integrated



四、中文發明摘要 (發明之名稱：晶圓級封裝)

英文發明摘要 (發明之名稱：)

circuit in order to lateral surface mounting.



## 六、申請專利範圍

1、一種晶圓級封裝，其步驟為：

提供一晶圓，其中該晶圓具有一上表面及一下表面，在晶圓之上表面形成有複數個積體電路及複數個已定義之切割區域，每一積體電路具有複數個供外接之連接墊；

形成複數個導電線路於晶圓之上表面，每一導電線路係內部電性連接對應之連接墊，且同一積體電路之導電線路之一端係延伸朝向同一側之切割區域；

形成一放大部於導電線路朝向切割區域之一端，其中該放大部係超過並進入切割區域；

密封該複數個導電線路；及

沿切割區域切割該晶圓，而分離成複數個晶片尺寸封裝。

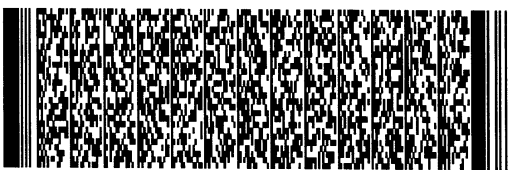
2、如申請專利範圍第1項所述之晶圓級封裝，其中導電線路之放大部係為一抗氧化之金屬或導電膠。

3、如申請專利範圍第1項所述之晶圓級封裝，其中導電線路之放大部係較厚於導電線路之其他部位。

4、如申請專利範圍第1項所述之晶圓級封裝，其中在提供一晶圓之步驟中，在晶圓之上表面係形成有一防護層。

5、如申請專利範圍第1項所述之晶圓級封裝，其中該導電線路係以物理氣相沉積〔PVD〕、化學氣相沉積〔CVD〕或電漿促進化學氣相沉積〔PECVD〕所形成。

6、如申請專利範圍第1項所述之晶圓級封裝，其中該導



## 六、申請專利範圍

電線路之材質係為鋁、銅、鎢或其合金。

7、如申請專利範圍第1項所述之晶圓級封裝，其中該導電線路之放大部係以印刷、蒸鍍或電鍍所形成。

8、如申請專利範圍第1項所述之晶圓級封裝，其中該導電線路之放大部之材質係為金、銀、鎳、鉬、銻、鉛錫或其合金或導電銀膠或高分子導電塑膠。

9、如申請專利範圍第1項所述之晶圓級封裝，其中在提供一晶圓之步驟中，在該晶圓之積體電路係已經測試。

10、一種積體電路封裝方法，其步驟有：

提供一矽基板，其中矽基板具有一上表面及一下表面，在矽基板之上表面形成有複數個積體電路及複數個已定義之切割區域，每一積體電路具有複數個供外接之連接墊；

形成複數個導電線路於矽基板之上表面，每一導電線路係內部電性連接對應之連接墊，且導電線路之一端係延伸進入切割區域；

形成一封膠層於該矽基板之上表面；

沿切割區域切割該矽基板，而分離成複數個積體電路封裝。

11、如申請專利範圍第10項所述之積體電路封裝方法，其中導電線路在延伸入切割區域係形成一放大部。

12、如申請專利範圍第10項所述之積體電路封裝方法，其中在形成複數個導電線路之步驟中，同一積體電路之複數個導電線路係延伸進入同一側之切割區域。

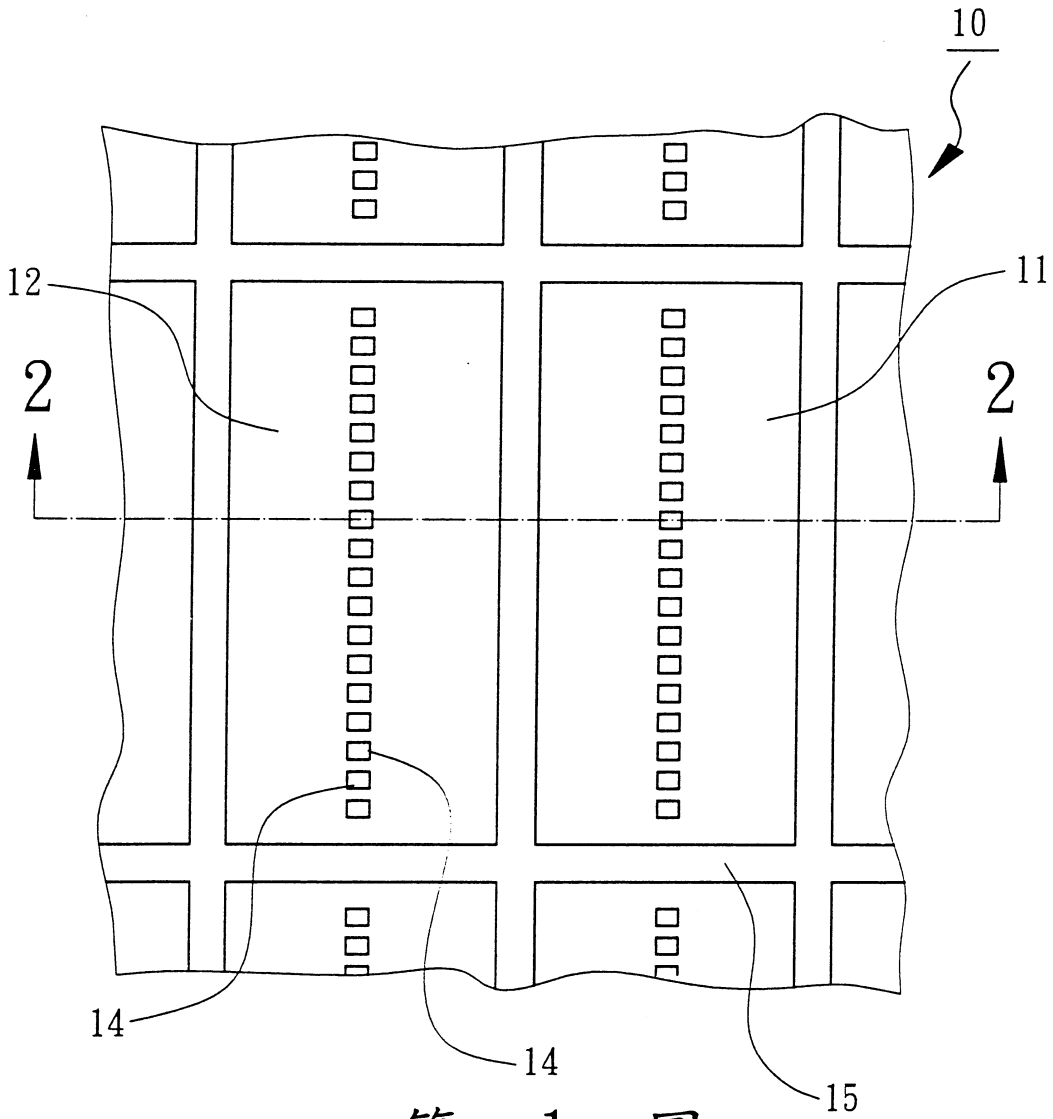


## 六、申請專利範圍

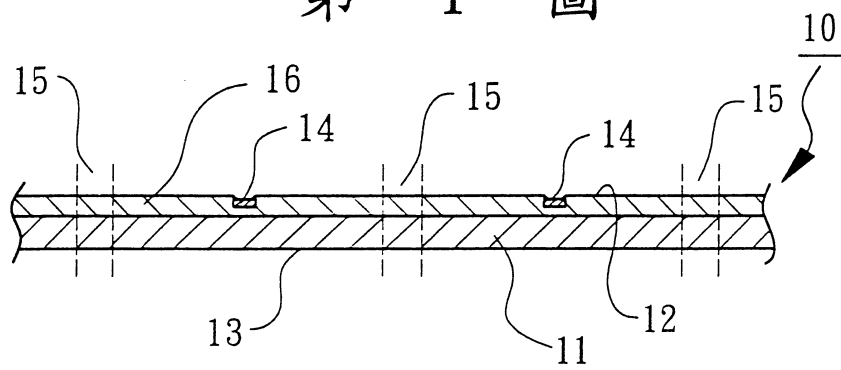
- 13、如申請專利範圍第10項所述之積體電路封裝方法，其中該矽基板係為一晶圓。
- 14、如申請專利範圍第10項所述之積體電路封裝方法，其中該封膠層係密封複數個導電線路。
- 15、一種晶片尺寸封裝，其包含有：  
一晶片，具有一上表面及一下表面，在晶片之上表面具有一防護層及複數個連接墊，其中該複數個連接墊係至少部份裸露於防護層；  
複數個導電線路，每一導電線路係內部電性連接對應之連接墊，且導電線路之一端係延伸至晶片之邊緣而形成一表面焊墊；及  
一封膠層，至少覆蓋晶片之上表面並裸露出導電線路之表面焊墊。
- 16、如申請專利範圍第15項所述之晶片尺寸封裝，其中形成有導電線路之表面焊墊之平面係與晶片之上表面呈垂直。
- 17、如申請專利範圍第15項所述之晶片尺寸封裝，其中複數個導電線路之一端係延伸至晶片之同一側邊緣。
- 18、如申請專利範圍第15項所述之晶片尺寸封裝，其中該導電線路之材質係為鋁、銅、鎢或其合金。
- 19、如申請專利範圍第15項所述之晶片尺寸封裝，其中該導電線路之表面焊墊之材質係為金、銀、鎳、鉬、鈮、鉛錫或其合金。



圖式

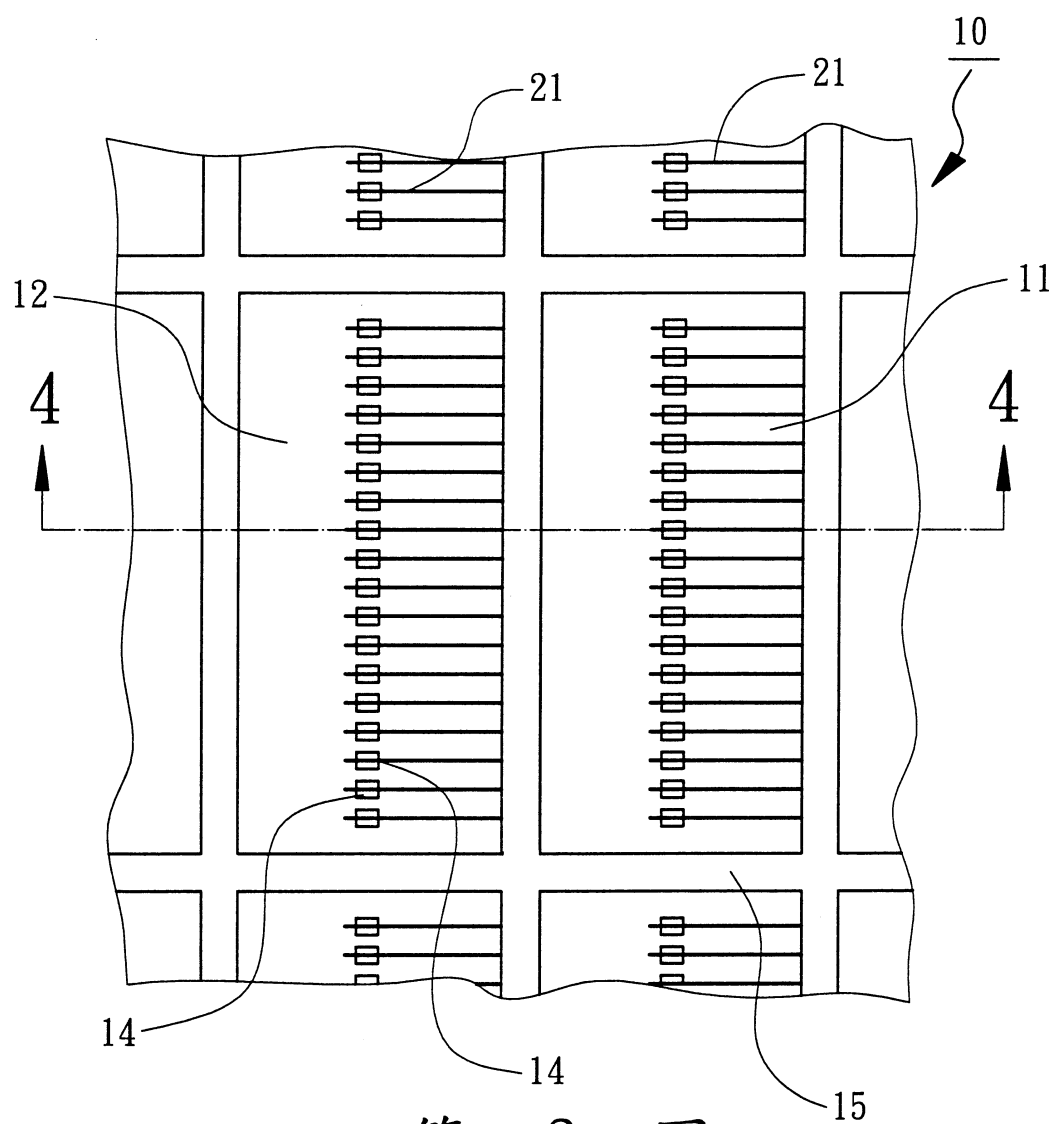


第 1 圖

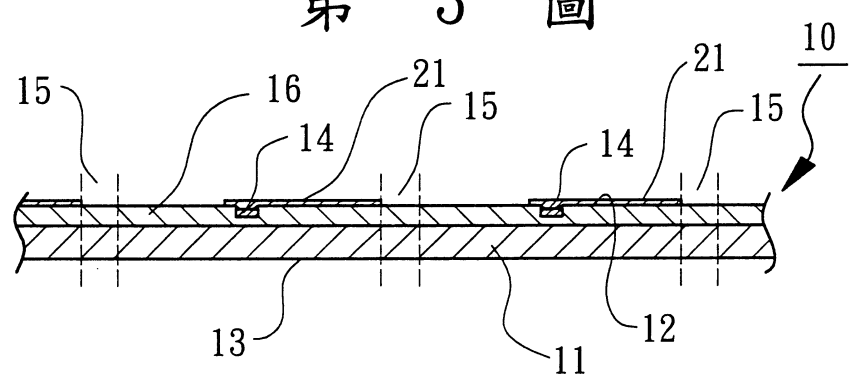


第 2 圖

圖式

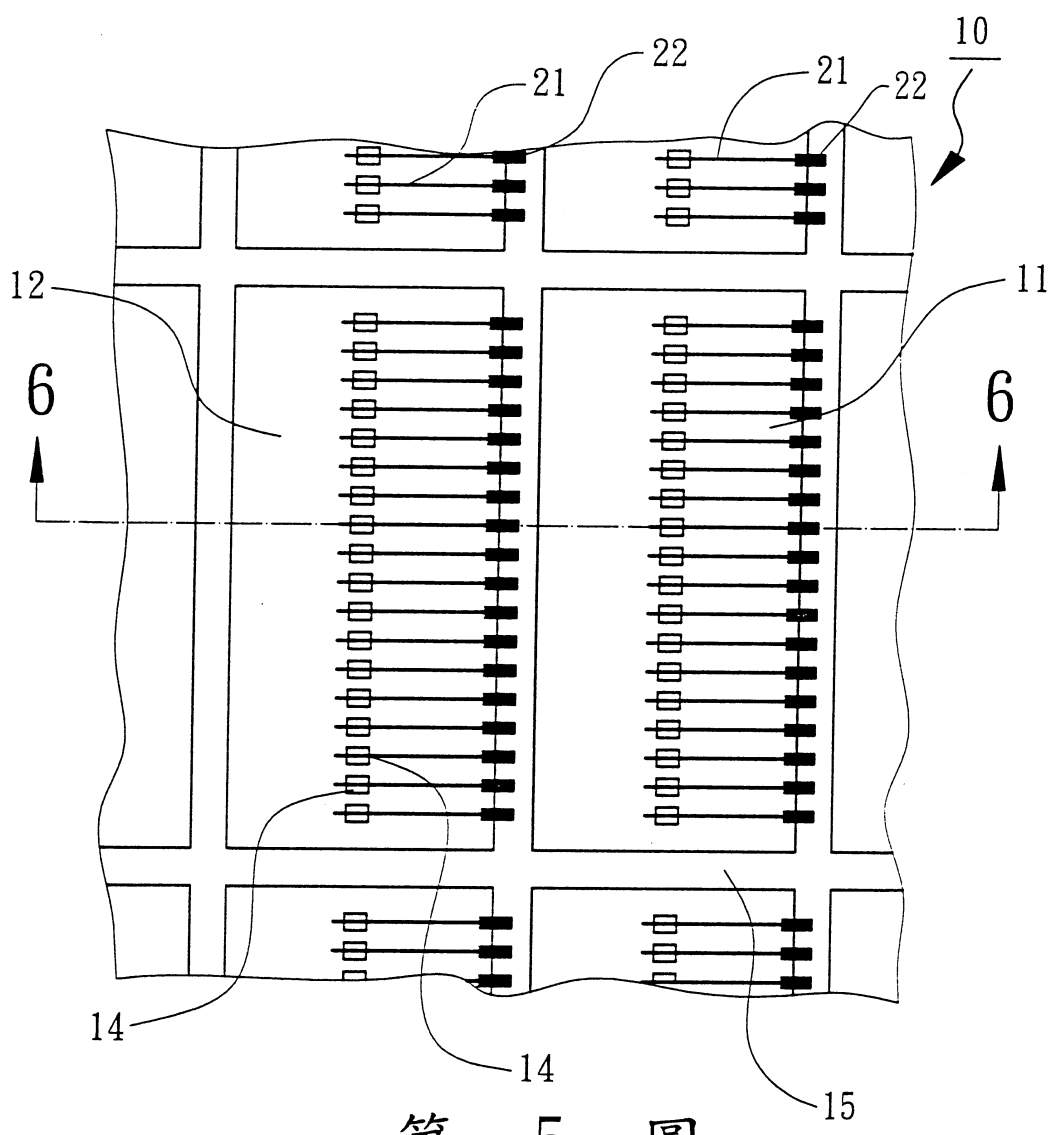


第 3 圖

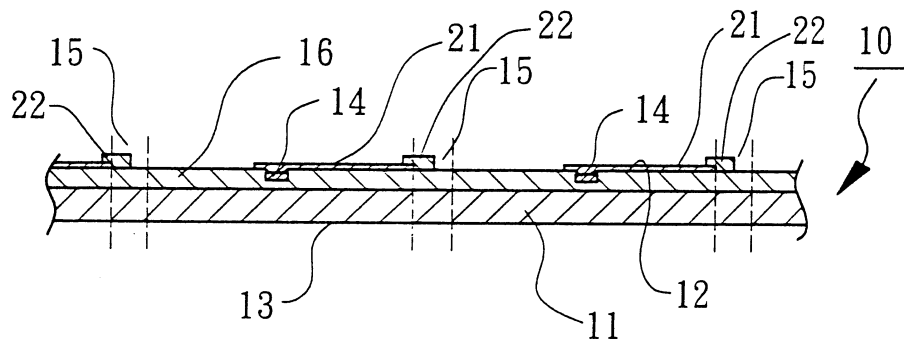


第 4 圖

圖式

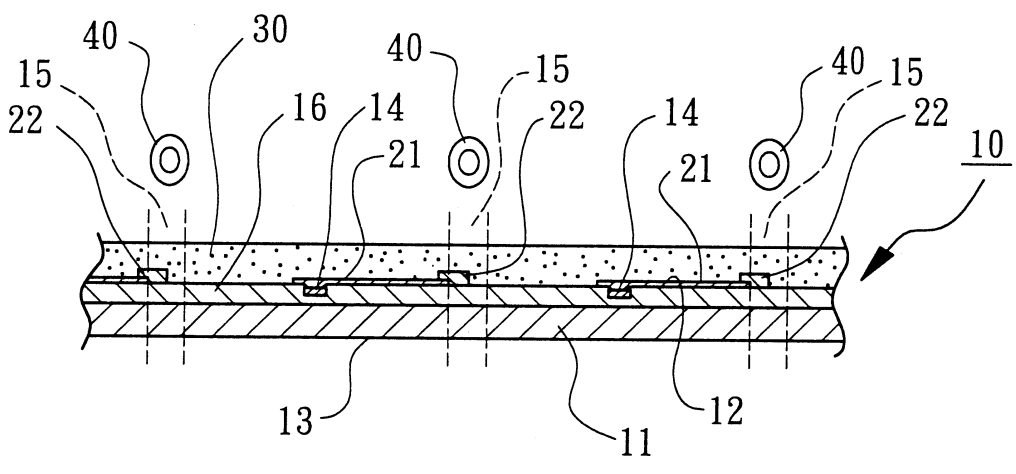


第 5 圖

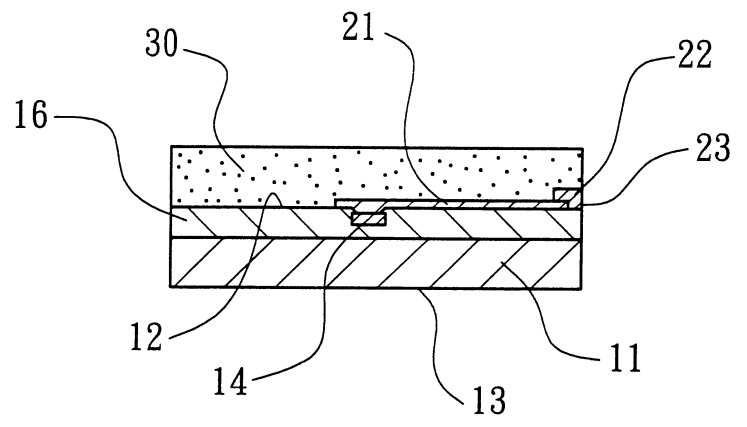


第 6 圖

圖式

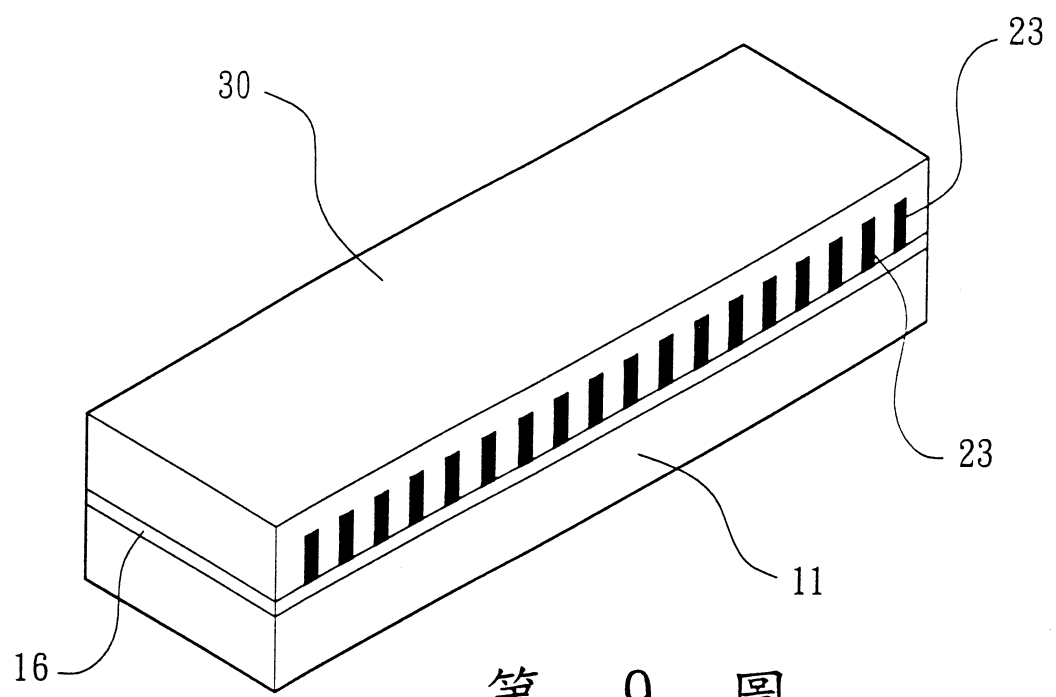


第 7 圖

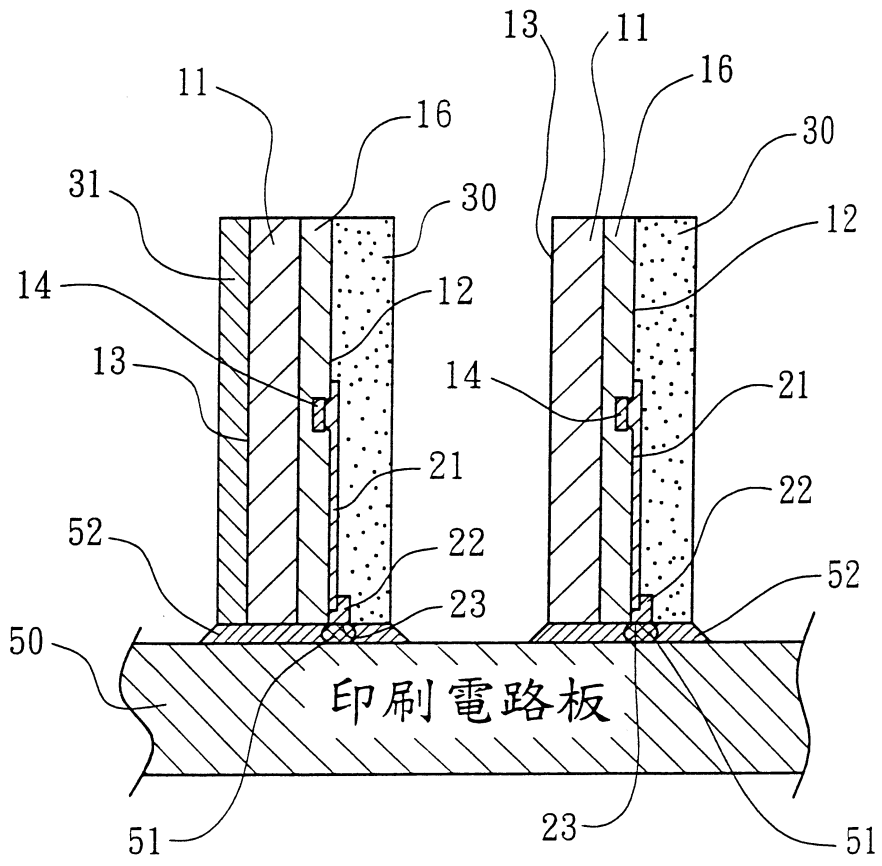


第 8 圖

圖式

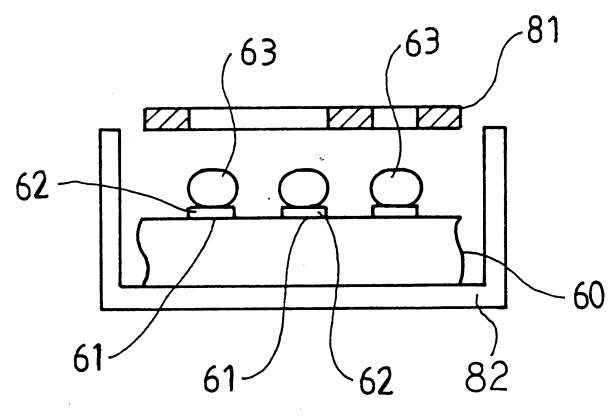


第 9 圖

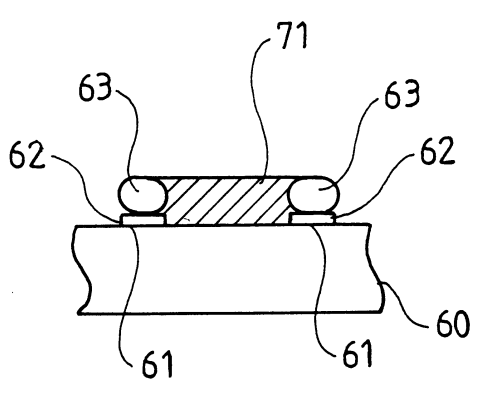


第 10 圖

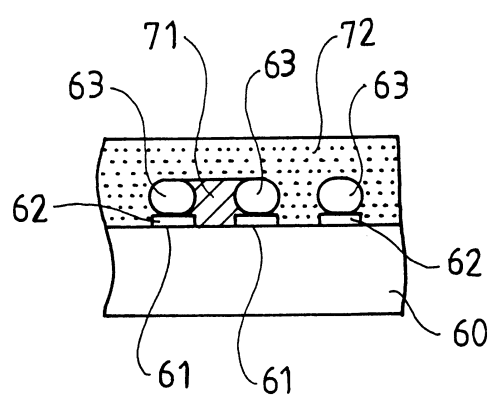
圖式



第 11a 圖

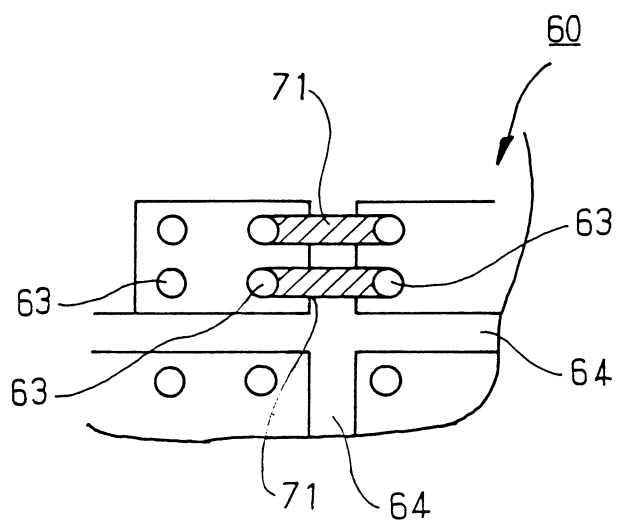


第 11b 圖

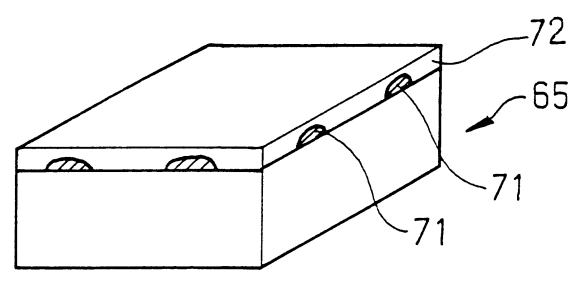


第 11c 圖

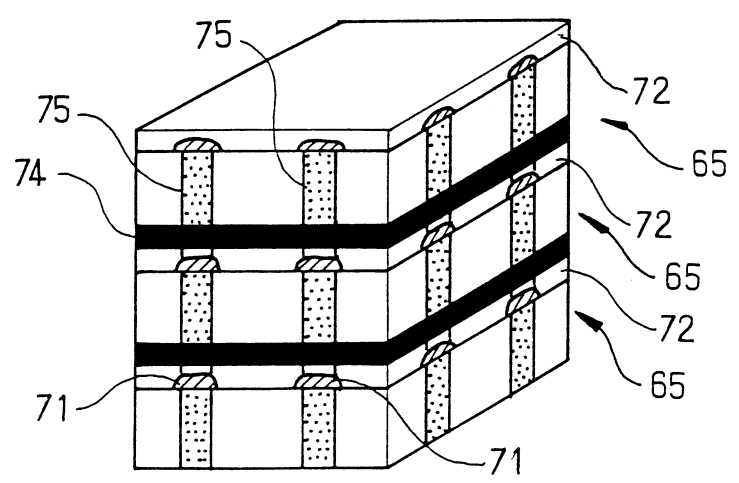
圖式



第 12 圖



第 13 圖



第 14 圖