

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H01L 21/76 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200880007500.0

[43] 公开日 2010 年 1 月 13 日

[11] 公开号 CN 101627468A

[22] 申请日 2008.2.6

[21] 申请号 200880007500.0

[30] 优先权

[32] 2007. 3. 8 [33] US [31] 11/683,846

[86] 国际申请 PCT/US2008/053133 2008.2.6

[87] 国际公布 WO2008/109221 英 2008.9.12

[85] 进入国家阶段日期 2009.9.8

[71] 申请人 飞思卡尔半导体公司

地址 美国得克萨斯

[72] 发明人 马克·D·霍尔 格伦·C·阿别利
约翰·M·格兰特

[74] 专利代理机构 中原信达知识产权代理有限责
任公司

代理人 刘光明 穆德骏

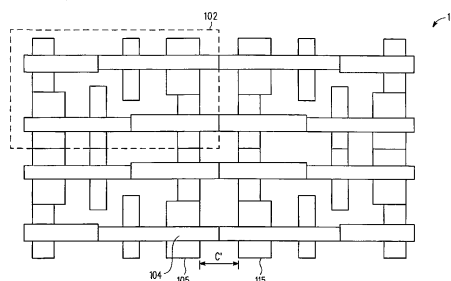
权利要求书 4 页 说明书 10 页 附图 14 页

[54] 发明名称

半导体材料内的沟槽形成

[57] 摘要

在半导体层(16)上形成半导体器件(10)。在半导体层上面形成栅极介质层(18)。在栅极介质层上面形成栅极材料层(20)。图案化栅极材料层以形成栅极结构(20)。使用栅极结构作为掩模,执行向半导体层内的注入(24)。为了形成第一图案化栅极结构(20)以及在半导体层(16)内围绕半导体层的第一部分(28)和第二部分(30)以及栅极的沟槽(42),执行穿过栅极结构(20)和半导体层(16)的刻蚀。沟槽(42)用绝缘材料(46)填充。



1. 一种用于在半导体层上形成半导体器件的方法，包括：
在半导体层上形成栅极介质层；
在所述栅极介质层上形成栅极材料层；
图案化所述栅极材料层以形成栅极结构；
使用所述栅极结构作为掩模在所述半导体层内注入；
穿过所述栅极结构刻蚀以形成第一图案化栅极结构，以及穿过所述半导体层刻蚀以在所述半导体层内形成围绕所述半导体层的第一部分和第二部分及所述图案化栅极结构的沟槽；以及
用绝缘材料填充所述沟槽。
2. 如权利要求 1 所述的方法，还包括：
在所述栅极结构的侧壁上形成侧壁间隔物；以及
使用所述栅极结构以及所述侧壁间隔物作为掩模在所述第一部分和所述第二部分内注入。
3. 如权利要求 1 所述的方法，还包括将导电线电连接到所述第一图案化栅极结构。
4. 如权利要求 1 所述的方法，其中电连接步骤包括：
在所述衬底上面沉积绝缘层；
在至少部分所述栅极上面在所述绝缘层内形成沟槽；以及
用导电材料填充所述绝缘层内的沟槽。
5. 如权利要求 1 所述的方法，其中电连接步骤包括：
在所述第一图案化栅极结构上面沉积金属层；以及
图案化所述金属层以在所述第一图案化栅极结构上面留下部分所述金属层。

6. 如权利要求 1 所述的方法，还包括：

在填充沟槽步骤后，在所述半导体层中在所述第一部分、所述第一图案化栅极结构以及所述第二部分上面形成应力物层，其中所述应力物层在所述第一和第二部分上面的高度比所述第一图案化栅极结构的高度大。

7. 如权利要求 6 所述的方法，其中形成应力物步骤的特征还在于所述应力物包括氮化物。

8. 如权利要求 1 所述的方法，其中刻蚀步骤的特征还在于所述第一图案化栅极结构具有与所述半导体层内的沟槽有共同边界的端部，所述第一部分在所述第一图案化栅极结构的第一侧上，并且所述第二部分在所述第一图案化栅极结构的第二侧上。

9. 如权利要求 1 所述的方法，其中：

穿过所述栅极结构刻蚀的步骤的特征还在于形成第二图案化栅极结构，其中所述第一和所述第二图案化栅极结构由所述沟槽的宽度隔开。

10. 如权利要求 1 所述的方法，其中填充沟槽的步骤包括：

在所述沟槽的侧壁上形成沟槽侧壁间隔物；以及

在形成沟槽侧壁间隔物的步骤之后，在所述沟槽内沉积绝缘材料。

11. 一种用于在半导体层上形成半导体器件的方法，包括：

在所述半导体层上形成栅极结构；

使用所述栅极结构作为掩模执行注入；

在注入步骤后，通过穿过所述栅极结构以及所述半导体层刻蚀以在所述半导体层内形成沟槽，在所述半导体层内限定有源区，其中该刻蚀在所述有源区内产生图案化栅极结构；以及

在所述沟槽内沉积隔离材料。

12. 如权利要求 11 所述的方法，其中限定步骤的特征还在于所述图案化栅极结构具有两端，其中每一端与所述沟槽限定的有源区边界有共同边界。

13. 如权利要求 12 所述的方法，其中形成栅极结构的步骤的特征还在于包括由多晶硅和金属构成的组中的一个，该方法还包括：

在形成栅极结构之前，在所述半导体层上形成高 k 介质作为栅极介质。

14. 如权利要求 12 所述的方法，还包括：

在填充沟槽步骤后，在与所述图案化栅极结构相邻的有源区上面以及图案化相邻上面形成应力物；以及

将导电线电连接到所述图案化栅极结构。

15. 如权利要求 14 所述的方法，其中形成应力物的步骤特征还在于：所述应力物在与所述图案化栅极结构相邻的有源区的高度高于所述图案化栅极结构的高度。

16. 一种半导体器件，包括：

半导体层；

穿过所述半导体层限定有源区边界的沟槽；

在所述有源区内具有第一端和第二端的第一导电结构，其中所述第一和第二端与所述有源区的边界有共同边界，并且所述第一导电结构起栅极作用，其中所述第一导电结构足够厚以能够起到用于源极/漏极注入的注入掩模的作用；以及

所述沟槽中的绝缘材料。

17. 如权利要求 16 所述的半导体器件，还包括在与所述图案化栅极结构相邻的有源区上面以及图案化相邻上面的应力物。

18. 如权利要求 16 所述的半导体器件，还包括第二导电结构，该第二导电结构的特征在于：

具有在所述第一导电结构上面的部分；
与所述第一导电结构电接触；
具有与所述第一导电结构材料不同的材料；以及
延伸到所述有源区外。

19. 如权利要求 16 所述的半导体器件，其中所述第一导电结构包括多晶硅层以及所述多晶硅层上面的硅化物层。

20. 如权利要求 16 所述的半导体器件，其中所述第一导电结构包括金属，其中高 k 介质将所述第一导电结构与所述半导体层隔开。

半导体材料内的沟槽形成

技术领域

本发明总体涉及一种半导体器件，更具体而言，涉及半导体材料内的沟槽形成。

背景技术

减小一个或多个半导体器件需要的布局面积，这对于降低集成电路成本是重要的。

附图说明

本发明通过示例被示出，但不局限于附图，在图中相同的附图标记表示类似的元素。图中的元素是出于简单清楚目的而示出的，不一定按比例绘制。

图 1 以顶视图示出根据现有技术的电路 1。

图 2 以顶视图示出根据本发明一个实施例的电路 101。

图 3 以顶视图示出根据本发明一个实施例的电路 101。

图 4 至 23 以截面图示出根据本发明一个实施例的半导体器件 10。应注意，偶数图 4-22 使用同一分割线（见图 3），而奇数图 5-23 使用不同的分割线（见图 3）。

具体实施方式

这里描述的半导体衬底可以是任何半导体材料或材料的组合，例如砷化镓、锗硅、硅绝缘体 (SOI)、硅、单晶硅、类似的材料或以上的组合。

现有技术图 1 示出具有 2x2 位单元(如位单元 2)阵列的现有技术六晶体管位单元静态随机存取存储器 (SRAM) 电路 1。如现有技术图 1

所示，晶体管布局通常需要将栅极层 4 绘制成具有延伸越过晶体管有源区 5 的边缘的非零延伸或端帽 6，以考虑有源区临界尺寸的重叠误差（overlay misalignment）或工艺差（process variation）。然而，这导致一些电路所需的布局面积增大。例如，在现有技术图 1 所示的电路 1 中，尺寸 C 的最小值由尺寸 A 和 B 二者的最小值决定。尺寸 A 是延伸经过有源区的所需的最小栅极交叠量（如端帽的长度）。尺寸 B 是能够使两个端帽的端部之间（如在端帽 6 和端帽 7 之间）图案化的最小间隔。在所示实施例中，尺寸 B 的最小值由可用的加工技术确定。尺寸 C 是两个分离的半导体器件有源区之间的距离。在图 1（现有技术）中，尺寸 C 的最小值由尺寸 A 和 B 二者的最小值确定。如果 C 不由尺寸 A 和 B 确定，将有可能减小尺寸 C（如两个分离的半导体器件的有源区之间的距离）。

图 2 示出具有 2x2 位单元（如位单元 102）阵列的六晶体管位单元静态随机存取存储器（SRAM）电路 101。通过在形成隔离沟槽之前形成半导体器件（如晶体管），有可能除去端帽（图 1 的 6 和 7）。换言之，可将图 1（现有技术）的尺寸 A 减小到图 2 电路 101 中的零。现在，尺寸 C 与 B 相同。且 C 的最小尺寸由可用的加工技术确定。

图 3 示出形成沟槽（如 108）之后的图 2 的 SRAM 电路 101。由于形成了沟槽（如 108），可将栅极（如 104）制成与有源区（如 105）有共同边界。这里“有共同边界”是这样定义的，即当在有源区 105 和 115 之间形成具有宽度 C' 的沟槽 108 时，栅极（如 104）和有源区（如 105）在同一垂直面结束，或者近似在同一垂直面结束。注意，每个六晶体管位单元 102（见图 2 和 3）所需的面积已经比位单元 2（见图 1）所需的面积减小。减小 SRAM 中每个位单元的面积可使半导体晶圆尺寸非常明显地减小，从而明显地降低集成电路的成本。虽然图 2-3 中所示的电路 101 为 SRAM 电路，但本发明可用于任何类型的电路。

注意，偶数图 4-24 是沿图 3 所示的下述分割线的截面图，该分割

线示出与晶体管电流流动方向垂直的平面。应注意，奇数图 5-25 是沿图 3 所示下述分割线的截面图，该分割线示出与晶体管电流流动方向平行的平面。

图 4 和 5 以两种不同的截面图（见图 3 的分割线）示出根据本发明一实施例的半导体器件 10。在所示实施例中，器件 10 包括 SOI（绝缘半导体）晶片，它包括衬底 12、位于衬底 12 上的绝缘层 14 以及位于绝缘层 14 上的半导体层 16。栅极介质层 18 由介质材料构成，并在半导体层 16 上面形成。栅极介质层 18 可以被生长、沉积或用任何其他合适技术形成。栅极层 20 由导电材料构成，并在栅极介质层 18 上面形成。栅极层 20 可被沉积或用任何其他合适方法形成。

图 6 和 7 以两种不同的截面图（见图 3 的分割线）示出根据本发明一个实施例的半导体器件 10。在所示实施例中，栅极层 20 经过图案化。在一个实施例中，使用光刻胶掩模和后续刻蚀进行图案化。在替换实施例中，可使用任何合适的技术进行图案化。

图 8 和 9 以两种不同的截面图（见图 3 的分割线）示出根据本发明一个实施例的半导体器件 10。在所示实施例中，使用一个或多个注入步骤（如注入 24）形成源极/漏极延伸。应注意，可使用各种已知的掩模技术来选择注入区。还要注意，对不同器件类型（如各种 p 沟道晶体管和各種 n 沟道晶体管），可以使用不同的注入。

图 10 和 11 以两种不同的截面图（见图 3 的分割线）示出根据本发明一个实施例的半导体器件 10。在栅极 20 的侧壁上形成侧壁间隔物 25。在所示实施例中，使用一个或多个注入步骤（如注入 26）以形成源极/漏极结（见源极/漏极区 28、30）。应注意，可使用各种已知的掩模技术选择注入区。还要注意，对不同的器件类型（如各种 p 沟道晶体管和各種 n 沟道晶体管），可以使用不同的注入。

图 12 和 13 以两种不同的截面图（见图 3 的分割线）示出根据本发明一个实施例的半导体器件 10。在栅极层 20 和源极/漏极区 28、30 上面形成硅化物层 32、34、36。

在图 12 和 13 所示的加工之后，可在加工中做各种选择。在一个实施例中，参见图 24，可以在硅化物层 32、34、36 上面沉积氮化物层 41。在替换实施例中，可在多个步骤中沉积氮化物层 41，使得氮化物 41 在选定区域上面可以是压缩的，并且在不同区域上可以是拉伸的。在其他替换实施例中，可沉积氧化物层（与图 15 中的层 38 类似）以及氮化物层（与图 15 中的层 40 类似）。接下来，可以执行一个或多个光刻和刻蚀步骤以在区域 47 内刻蚀沟槽。众所周知，穿过氮化物/氧化物/硅叠层刻蚀用于沟槽隔离。多晶硅可与硅相同或非常类似地刻蚀。将化学品稍作改变，可很容易地刻蚀硅化物层。以镍硅化物为例，在常规的卤基沟槽刻蚀化学品中添加 CO，将容许将硅化物充分刻蚀。对于其他硅化物，可使用类似的刻蚀化学品改变。替换实施例可使用最适合沟槽区域的具体结构和材料的其他刻蚀和化学品。应注意，替换实施例可使用以下中的一个或多个的任意组合：化学刻蚀、物理溅射刻蚀、定时刻蚀、端点刻蚀等。

仍然参见图 24，在一个实施例中，可用已知的加工技术形成沟槽间隔物 45。替换实施例可不用沟槽间隔物 45。然后在沟槽区域 47 内沉积场氧化物 47。之后用常规技术（如化学机械抛光或 CMP）将场氧化物 47 平面化。替换实施例可以不同方式平面化。在一些实施例中，可在平面化后在整个顶表面上面沉积附加氧化物层（未示出）。在一个实施例中，此附加氧化物层（未示出）的目的是提供可以形成镶嵌层的介质。形成该镶嵌层（未示出）的刻蚀对栅极 20 上面的氮化物层 40 具有选择性。可使用短的氧化物刻蚀以完成到栅极 20、36 的开口。

参见图 25，可执行一个或多个光刻和刻蚀步骤来刻蚀氮化物层 41，以制作到栅极 20、36 的电接触。这些刻蚀在本领域是公知的。然

后，在栅极 20、36 上面并与其电接触地沉积包括一种或多种导电材料的互连层 49。应注意，可用任何合适的技术（如 CMP，等离子回刻）去除从氮化物层 41 表面抬高的任何多余材料 49。替换实施例可用不同方式平面化。

再参见图 12 和 13，在图 12 和 13 所示的加工之后，可在加工中做各种选择。在替换实施例中，参见图 14 和 15，在硅化物层 32、34、36 上面形成氧化物层 38。在氧化物层 38 上面沉积氮化物层 40。

图 16 和 17 以两种不同的截面图（见图 3 的分割线）示出根据本发明一个实施例的半导体器件 10。可执行一个或多个光刻和刻蚀步骤以刻蚀沟槽（如 42）。众所周知，穿过氮化物/氧化物/硅叠层刻蚀用于沟槽隔离。多晶硅可与硅相同或非常类似地刻蚀。将化学品稍作改变，可很容易地刻蚀硅化物层。以镍硅化物为例，在常规的卤基沟槽刻蚀化学品中添加 CO，可容许将硅化物适当刻蚀。对于其他硅化物，可使用类似的刻蚀化学品改变。替换实施例可使用最适合沟槽区域中的具体结构和材料的其他刻蚀和化学品。应注意，替换实施例可使用以下中的一个或多个的任意组合：化学刻蚀、物理溅射刻蚀、定时刻蚀、端点刻蚀等。

仍然参见图 16 和 17，在一个实施例中，可用已知的加工技术形成沟槽间隔物（未示出）。替换实施例可不使用沟槽间隔物。

图 18 和 19 以两种不同的截面图（见图 3 的分割线）示出根据本发明一个实施例的半导体器件 10。在沟槽 42 内沉积场氧化物 46。然后用常规技术（如化学机械抛光或 CMP）将场氧化物 46 平面化。替换实施例可以不同方式平面化。在一个实施例中，在氮化物层 40 内终止平面化。在替换实施例中，可在任何合适位置终止平面化。

图 20 和 21 以两种不同的截面图（见图 3 的分割线）示出根据本

发明一个实施例的半导体器件 10。可使用本领域已知的任何合适的刻蚀（如干法刻蚀）去除氮化物层 40 的暴露区域。此外，可使用本领域已知的任何合适的刻蚀（如湿法或干法刻蚀）去除氧化物层 38。应注意，在所示实施例中，氧化物刻蚀也可去除厚场氧化物 46 的薄顶层。还应注意，氮化物层 40 和氧化物层 38 的去除允许制成到栅极 20、36 的电接触。

图 22 和 23 以两种不同的截面图（见图 3 的分割线）示出根据本发明一个实施例的半导体器件 10。然后，在栅极 20、36 上面并与其电接触地沉积包括一个或多个导电材料的互连层 48。可执行常规光刻和刻蚀步骤以图案化互连层 48。应注意，互连层 48 可用来电耦合一个或多个半导体器件（如晶体管）的栅极。在形成互连层 48 后，可使用标准工艺完成半导体器件 10。例如，可形成一个或多个层间介质层和/或一个或多个导电互连层。

虽然相对于具体导电类型或电位极性描述了本发明，但普通技术人员应意识到，导电类型和电位极性可以反向。

而且，说明书和权利要求中的“前面”、“背面”、“顶”、“底”、“上面”、“下面”等术语，如果有，是用于说明性目的，而不一定是用于描述固定的相对位置。应理解，在适当的语境中，所用的术语可互换，这样，这里所述的本发明实施例，例如能够以这里图示或记载之外的其他方向实现。

虽然这里参考具体实施例描述了发明，但在不背离随附权利要求列出的本发明范围的情形下，可做各种修改或变化。例如，在这里描述的实施例中，虽然由于提供沟槽隔离的目的而形成沟槽，但替换实施例可以为了任何想要的目的而形成一个或多个沟槽。此外，可在形成任何类型的半导体器件时使用沟槽，并且这些半导体器件可用于形成任何类型的电路。这里所示的 SRAM 电路 101 只是可使用本发明的

一个可能的电路。因此，说明书和附图视为说明性而不是限制性的，并且所有这些修改都将包含在本发明的范围内。对于与具体实施例相关的这里所描述的任何益处、优点或问题的解决方案，不被理解为任一或全部权利要求的关键、需要或实质特征或要素。

这里采用的术语“耦合”不限制于直接耦合或机械耦合。

而且，这里采用的术语“一”，被定义为一个或多个。同样，即使当同一权利要求包括引导性短语“一个或多个”或“至少一个”以及不定冠词如“a”或“an”，权利要求中所用的引导性短语如“至少一个”以及“一个或多个”不应解释为暗示不定冠词“a”或“an”引导的另一权利要求元素将任何包含这样被引导的权利要求元素的具体权利要求限定为包含只有一个这样的元素的发明。对于定冠词的使用同样如此。

除非特别说明，诸如“第一”、“第二”这样的术语用于随意区分这些术语描述的元素。因此，这些术语不一定用于表示这些元素的时间或其他优先次序。

附加文本

1. 一种用于在半导体层上形成半导体器件的方法，包括：

在半导体层上形成栅极介质层；

在所述栅极介质层上形成栅极材料层；

图案化所述栅极材料层以形成栅极结构；

使用所述栅极结构作为掩模在所述半导体层内注入；

穿过所述栅极结构刻蚀以形成第一图案化栅极结构，以及穿过所述半导体层刻蚀以在所述半导体层内形成围绕所述半导体层的第一部分和第二部分及所述图案化栅极结构的沟槽；以及

用绝缘材料填充所述沟槽。

2. 如项目 1 所述的方法，还包括：

在所述栅极结构的侧壁上形成侧壁间隔物；以及
使用所述栅极结构以及所述侧壁间隔物作为掩模在所述第一部分和所述第二部分内注入。

3. 如项目 1 所述的方法，还包括将导电线电连接到所述第一图案化栅极结构。

4. 如项目 1 所述的方法，其中电连接步骤包括：

在所述衬底上面沉积绝缘层；

在至少部分所述栅极上面在所述绝缘层内形成沟槽；以及
用导电材料填充所述绝缘层内的沟槽。

5. 如项目 1 所述的方法，其中电连接步骤包括：

在所述第一图案化栅极结构上面沉积金属层；以及

图案化所述金属层以在所述第一图案化栅极结构上面留下部分所述金属层。

6. 如项目 1 所述的方法，还包括：

在填充沟槽步骤后，在所述半导体层中在所述第一部分、所述第一图案化栅极结构以及所述第二部分上面形成应力物层，其中所述应力物层在所述第一和第二部分上面的高度比所述第一图案化栅极结构的高度大。

7. 如项目 6 所述的方法，其中形成应力物步骤的特征还在于所述应力物包括氮化物。

8. 如项目 1 所述的方法，其中刻蚀步骤的特征还在于所述第一图案化栅极结构具有与所述半导体层内的沟槽有共同边界的端部，所述第一部分在所述第一图案化栅极结构的第一侧上，并且所述第二部分在所述第一图案化栅极结构的第二侧上。

9. 如项目 1 所述的方法，其中：

穿过所述栅极结构刻蚀的步骤的特征还在于形成第二图案化栅极结构，其中所述第一和所述第二图案化栅极结构由所述沟槽的宽度隔开。

10. 如项目 1 所述的方法，其中填充沟槽的步骤包括：

在所述沟槽的侧壁上形成沟槽侧壁间隔物；以及

在形成沟槽侧壁间隔物的步骤之后，在所述沟槽内沉积绝缘材料。

11. 一种用于在半导体层上形成半导体器件的方法，包括：

在所述半导体层上形成栅极结构；

使用所述栅极结构作为掩模执行注入；

在注入步骤后，通过穿过所述栅极结构以及所述半导体层刻蚀以在所述半导体层内形成沟槽，在所述半导体层内限定有源区，其中该刻蚀在所述有源区内产生图案化栅极结构；以及

在所述沟槽内沉积隔离材料。

12. 如项目 11 所述的方法，其中限定步骤的特征还在于所述图案化栅极结构具有两端，其中每一端与所述沟槽限定的有源区边界有共同边界。

13. 如项目 12 所述的方法，其中形成栅极结构的步骤的特征还在于包括由多晶硅和金属构成的组中的一个，该方法还包括：

在形成栅极结构之前，在所述半导体层上形成高 k 介质作为栅极介质。

14. 如项目 12 所述的方法，还包括：

在填充沟槽步骤后，在与所述图案化栅极结构相邻的有源区上面以及图案化相邻上面形成应力物；以及

将导电线电连接到所述图案化栅极结构。

15. 如项目 14 所述的方法，其中形成应力物的步骤特征还在于：所述应力物在与所述图案化栅极结构相邻的有源区的高度高于所述图案化栅极结构的高度。

16. 一种半导体器件，包括：

半导体层；

穿过所述半导体层限定有源区边界的沟槽；

在所述有源区内具有第一端和第二端的第一导电结构，其中所述第一和第二端与所述有源区的边界有共同边界，并且所述第一导电结构起栅极作用，其中所述第一导电结构足够厚以能够起到用于源极/漏极注入的注入掩模的作用；以及

所述沟槽中的绝缘材料。

17. 如项目 16 所述的半导体器件，还包括在与所述图案化栅极结构相邻的有源区上面以及图案化相邻上面的应力物。

18. 如项目 16 所述的半导体器件，还包括第二导电结构，该第二导电结构的特征在于：

具有在所述第一导电结构上面的部分；

与所述第一导电结构电接触；

具有与所述第一导电结构材料不同的材料；以及
延伸到所述有源区外。

19. 如项目 16 所述的半导体器件，其中所述第一导电结构包括多晶硅层以及所述多晶硅层上面的硅化物层。

20. 如项目 16 所述的半导体器件，其中所述第一导电结构包括金属，其中高 k 介质将所述第一导电结构与所述半导体层隔开。

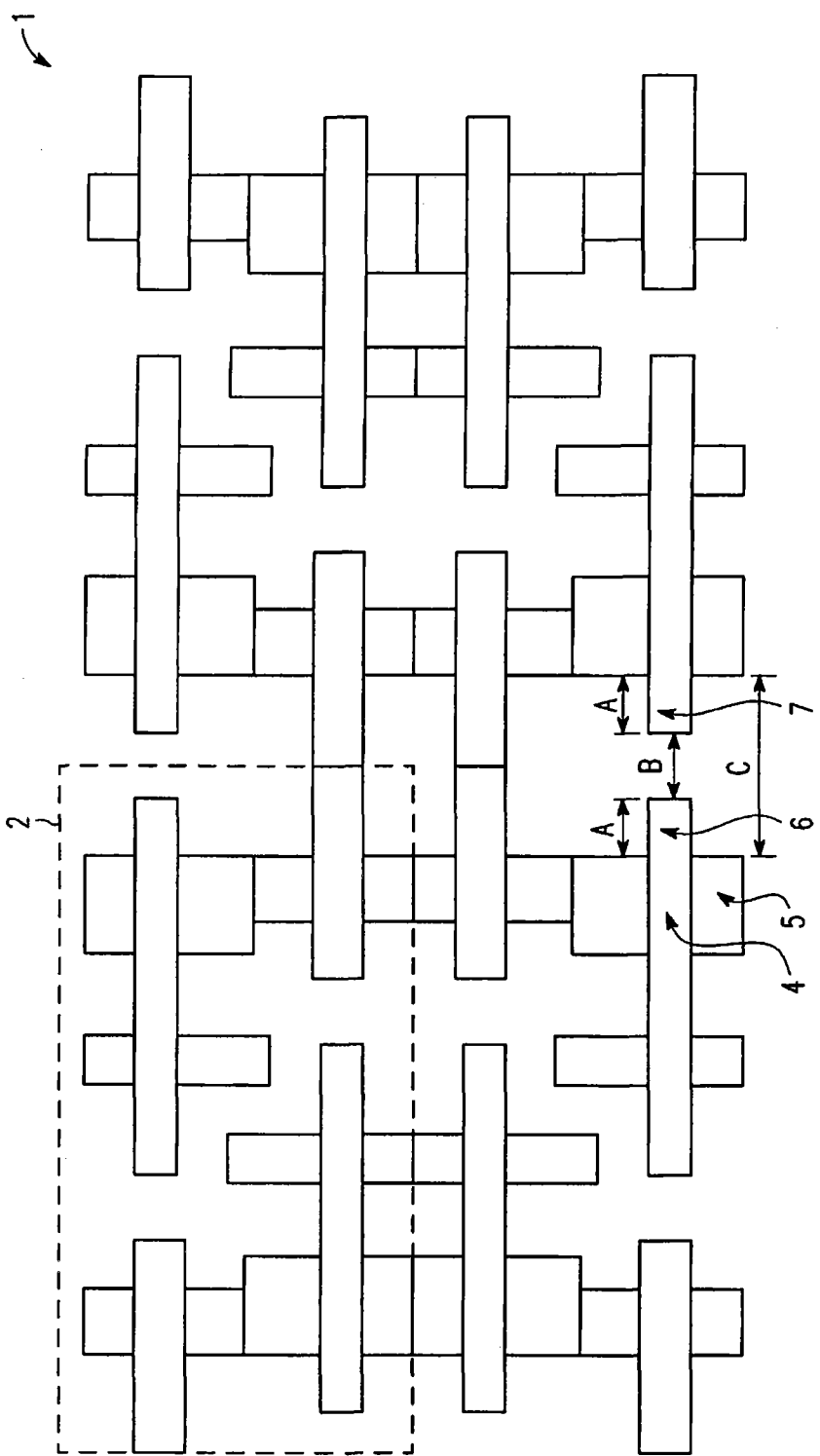


图1
-现有技术-

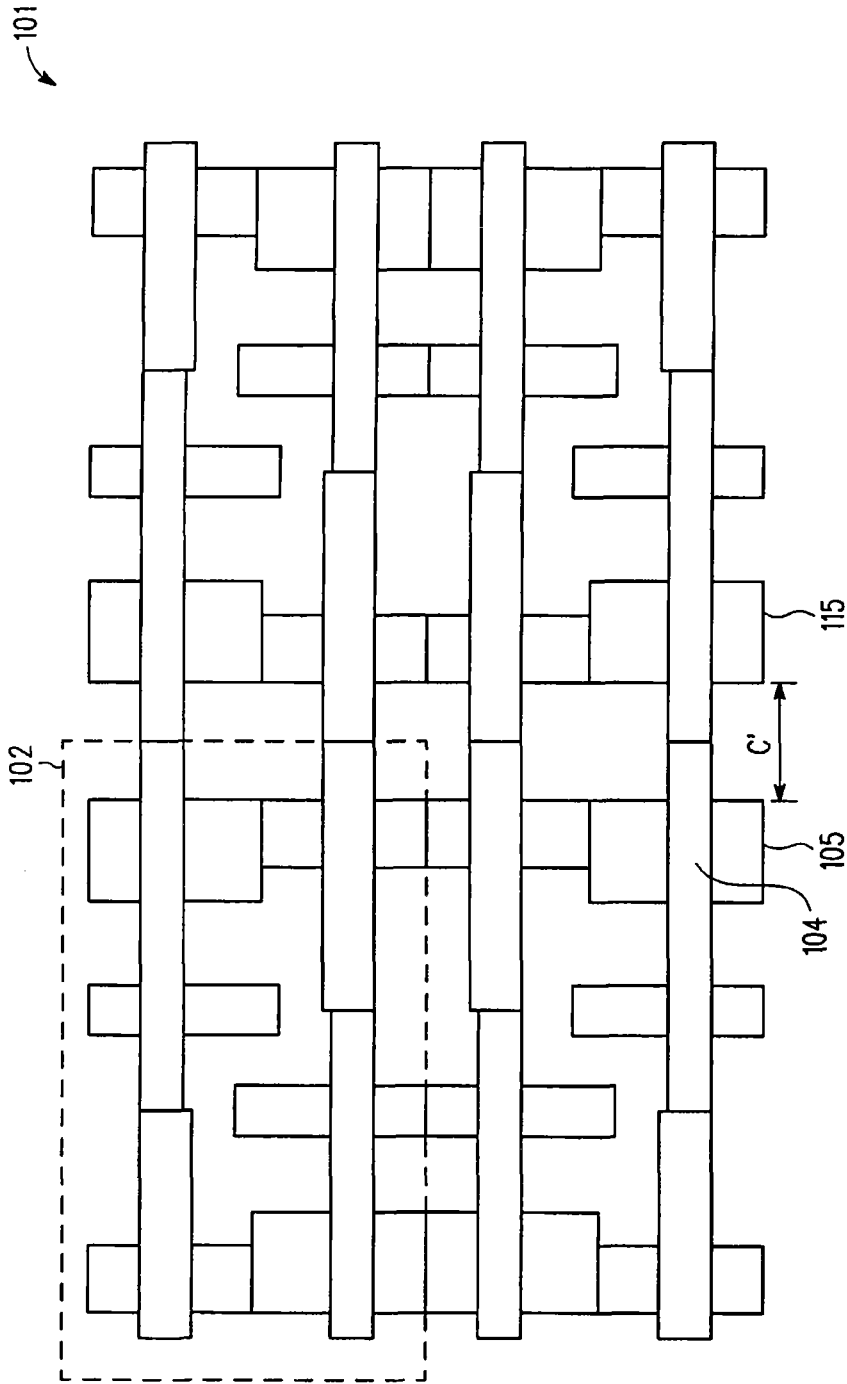


图2

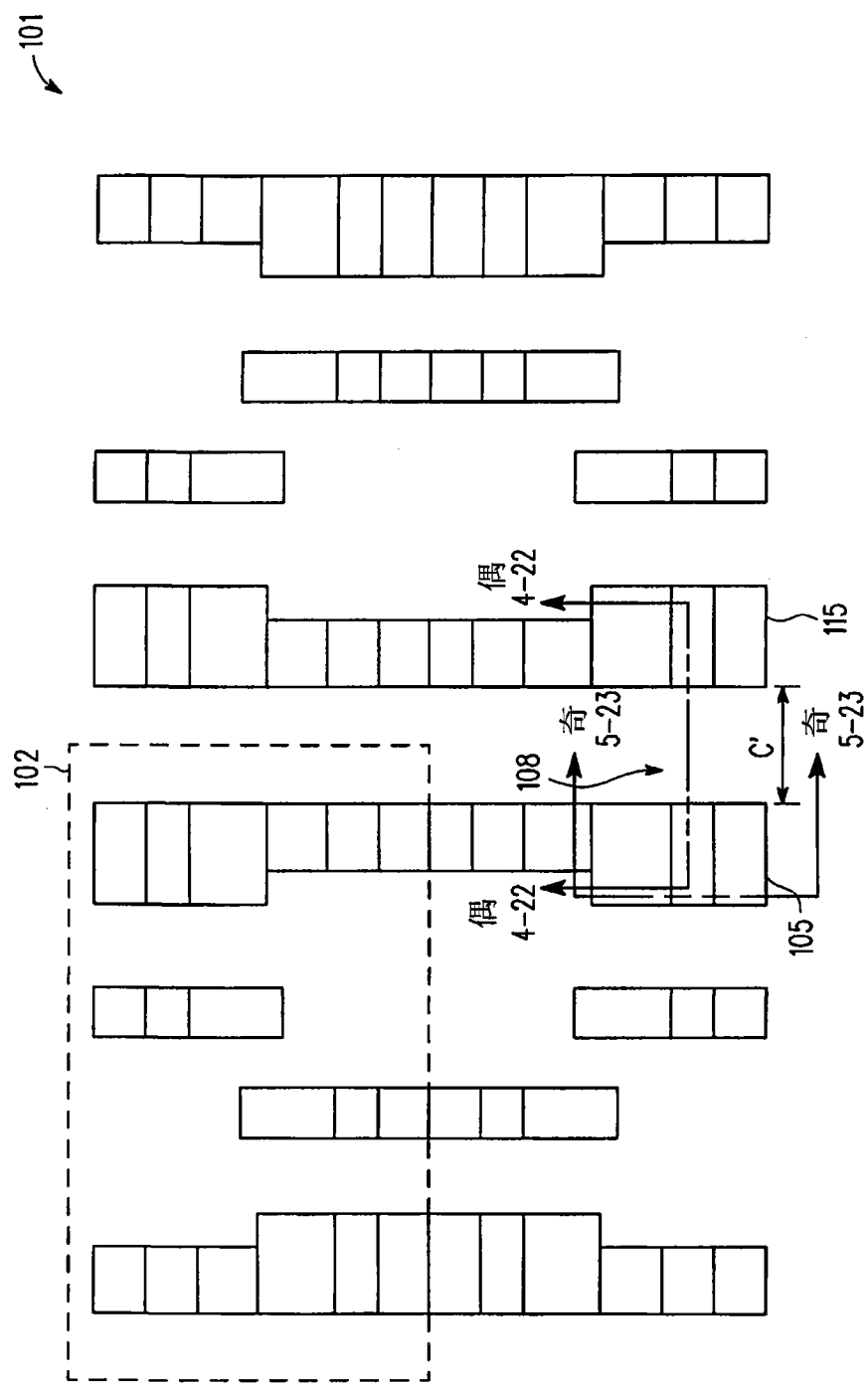


图3

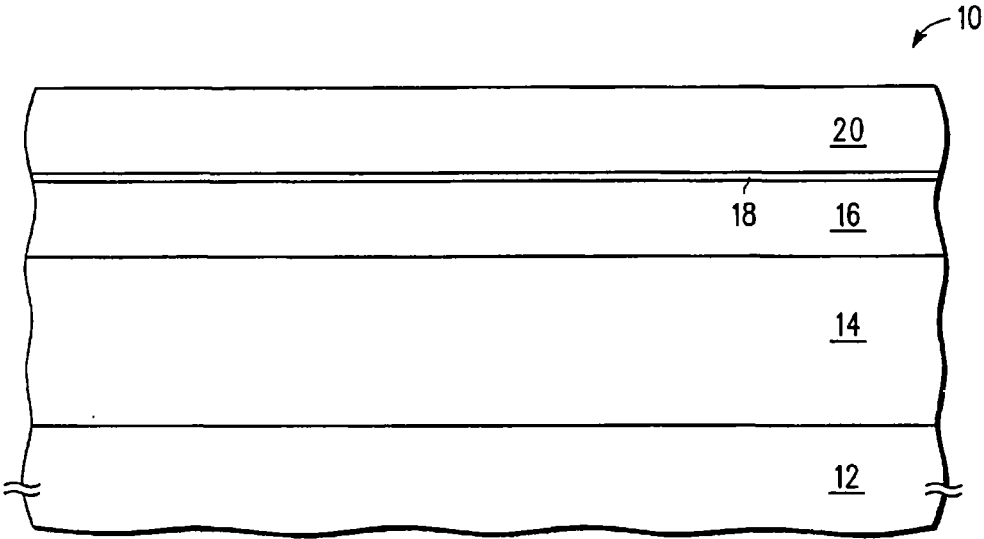


图4

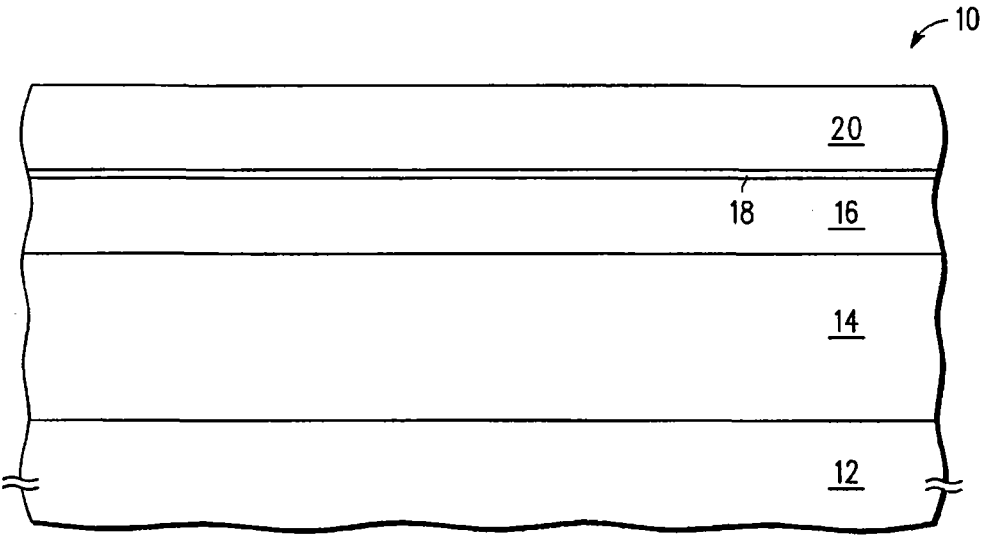


图5

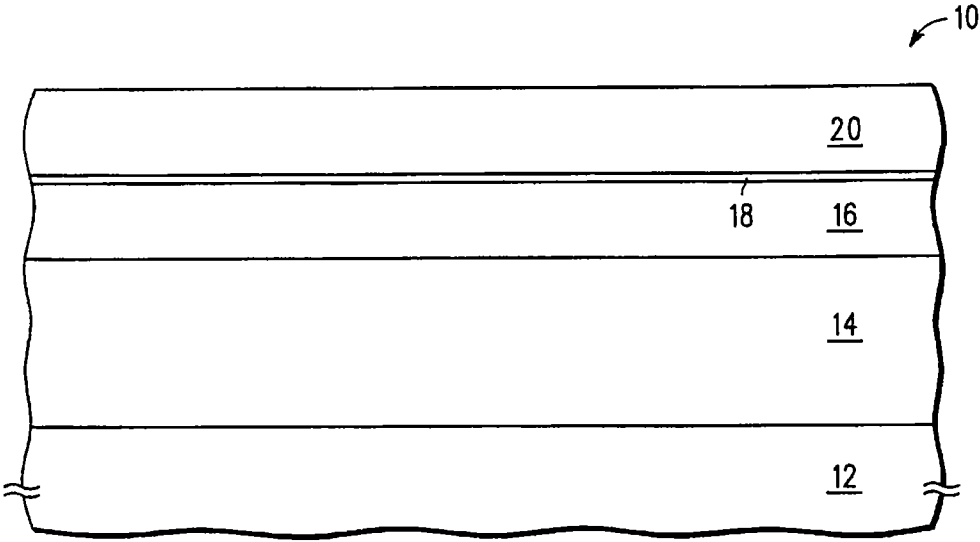


图6

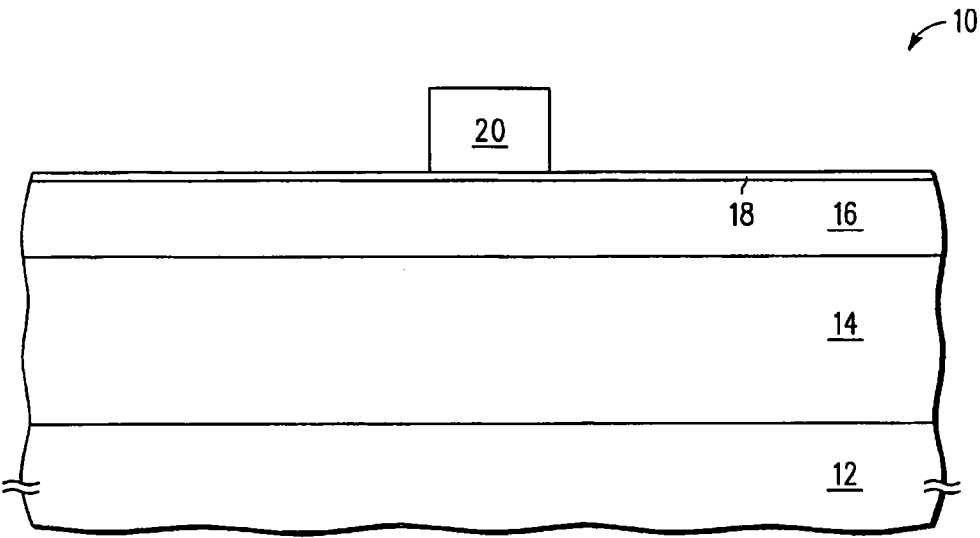


图7

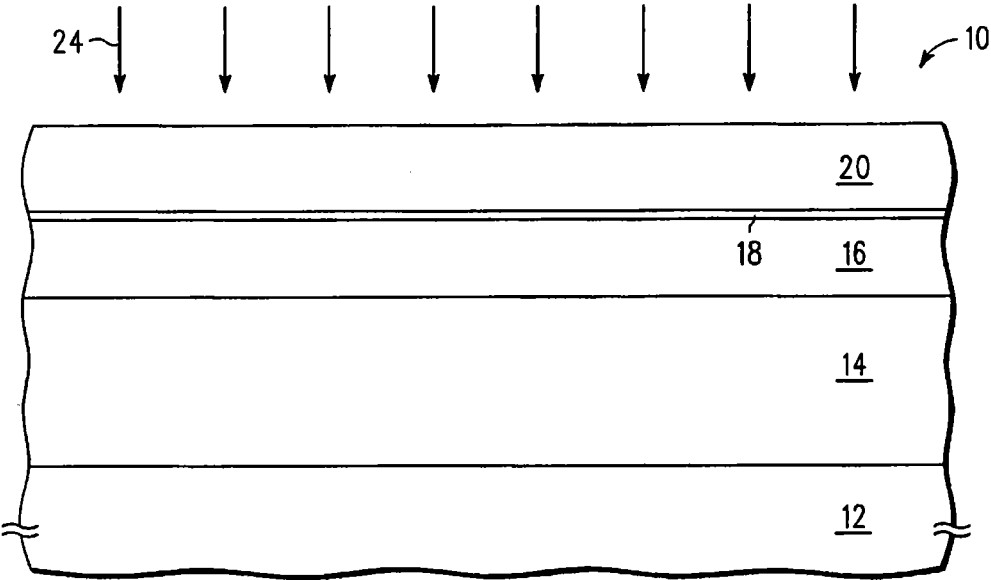


图8

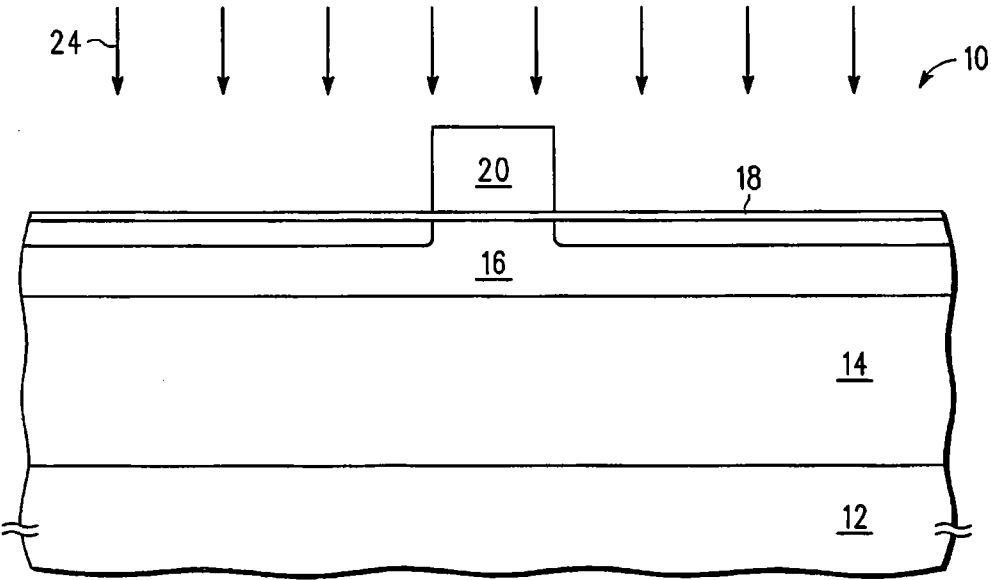


图9

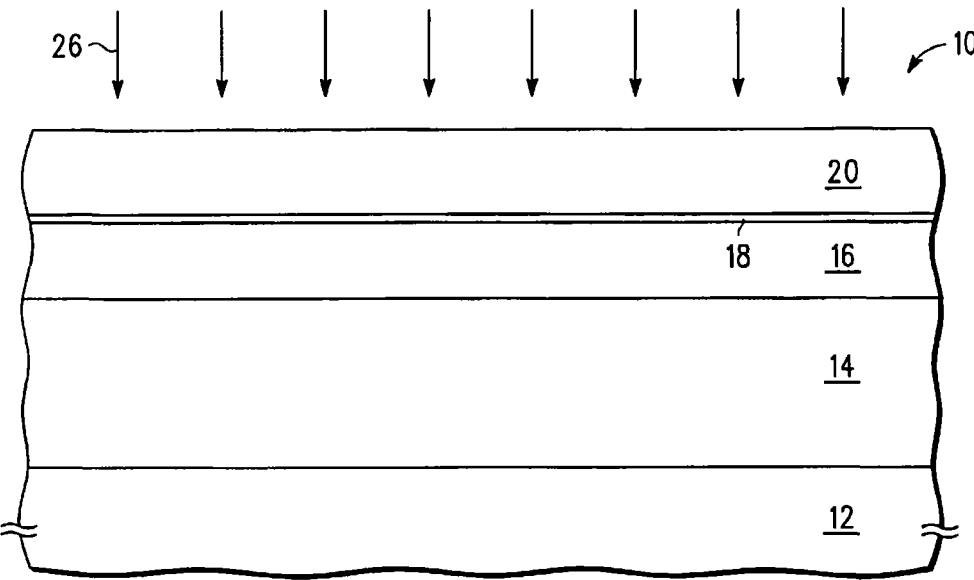


图10

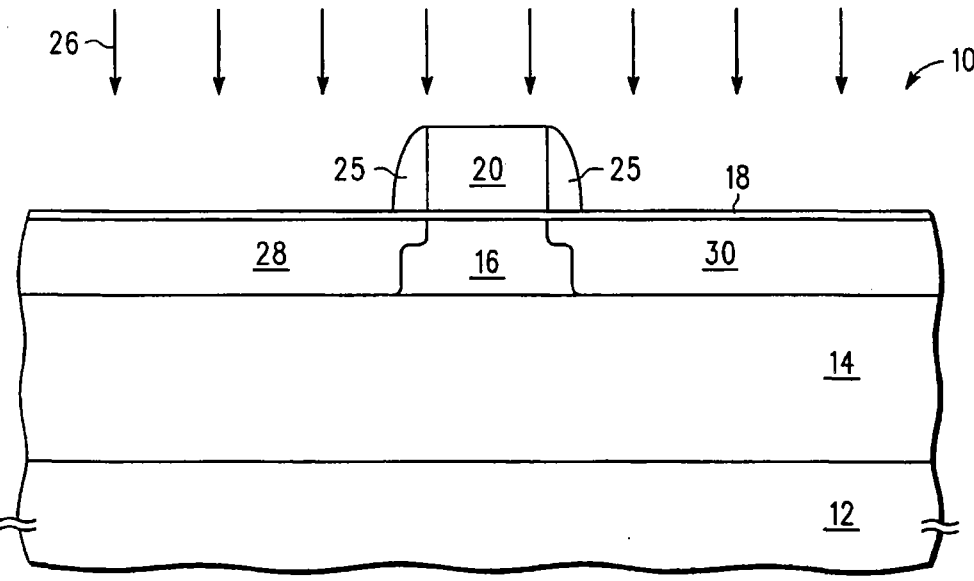


图11

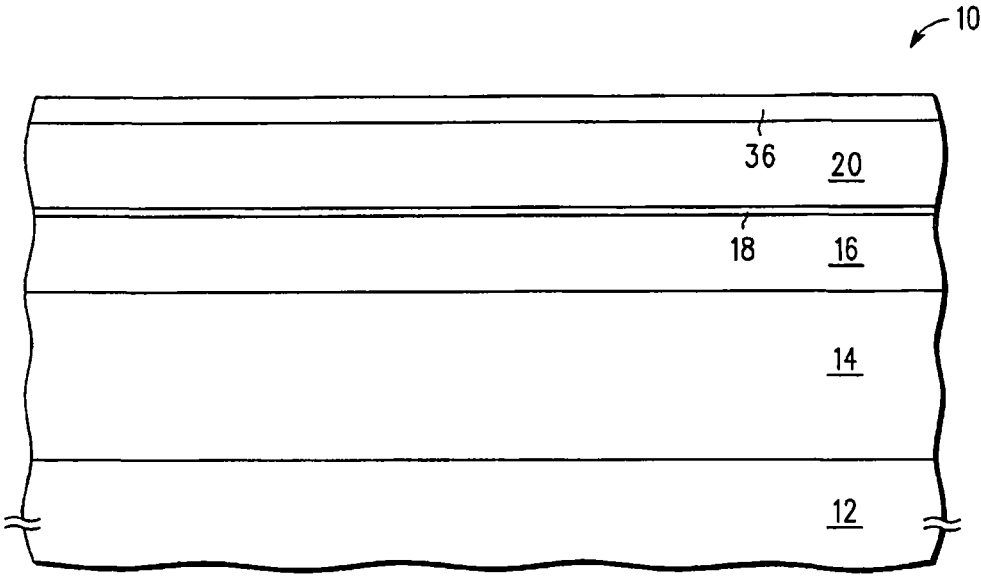


图12

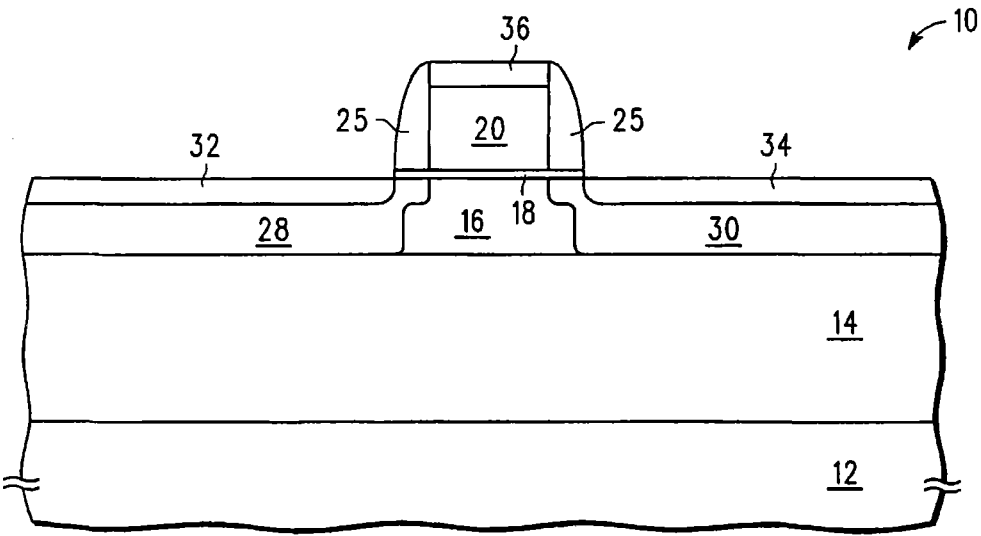


图13

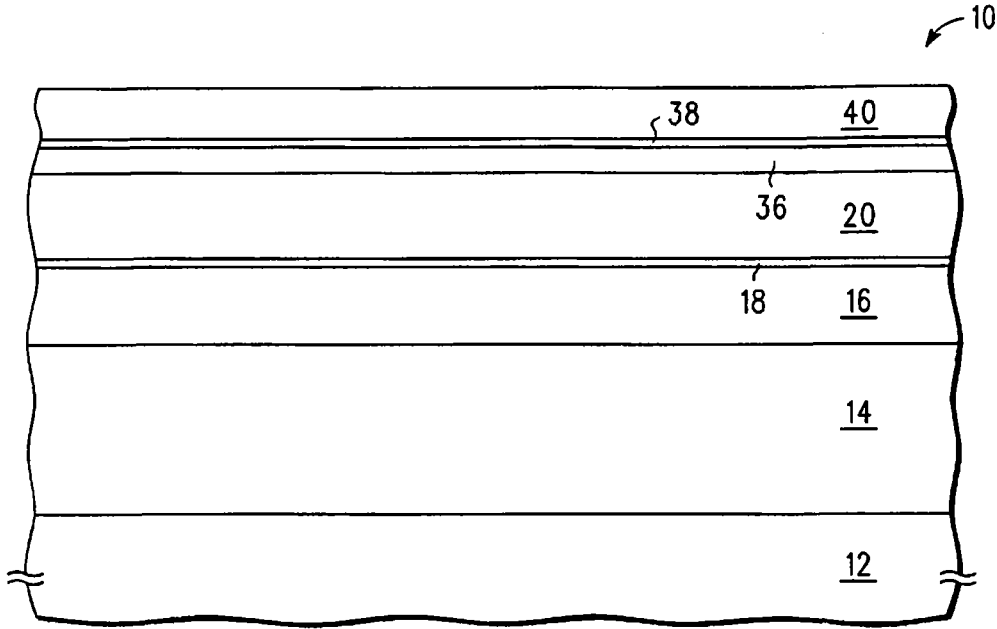


图14

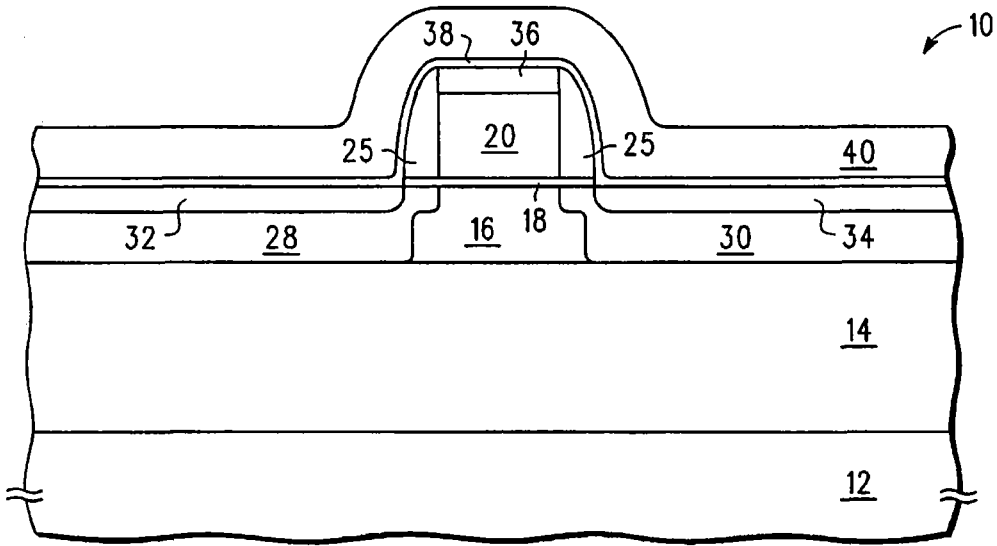


图15

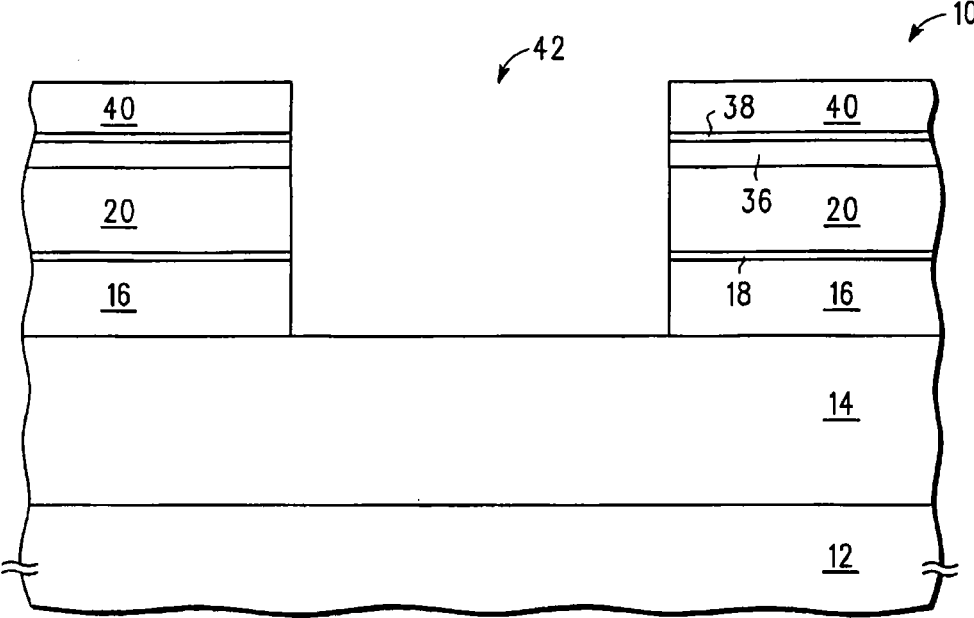


图16

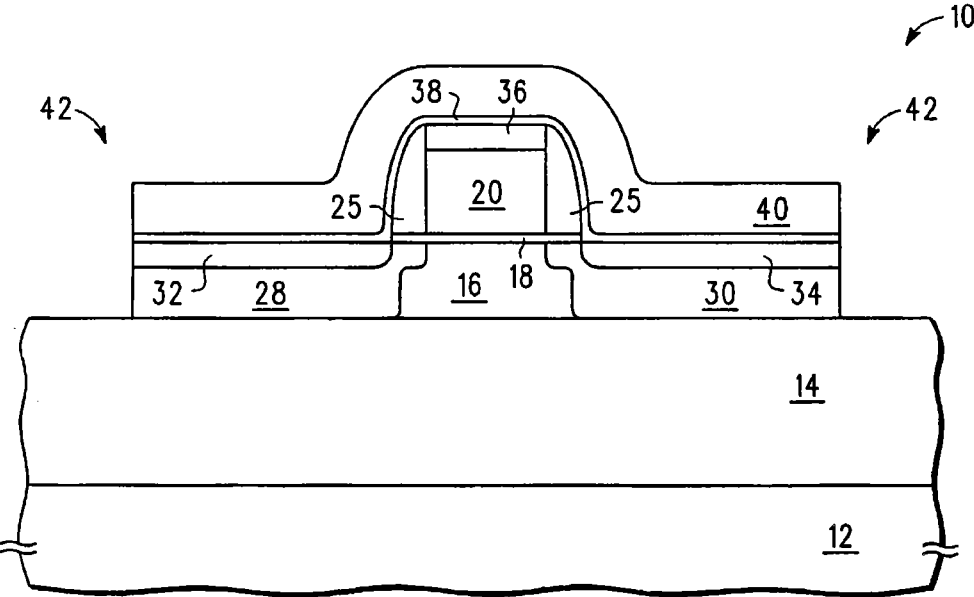


图17

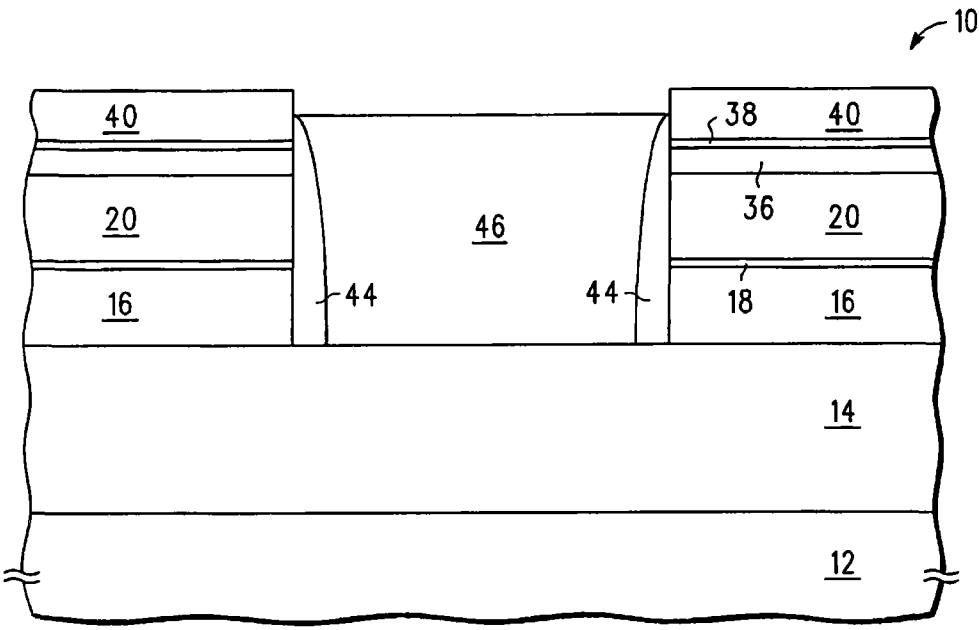


图18

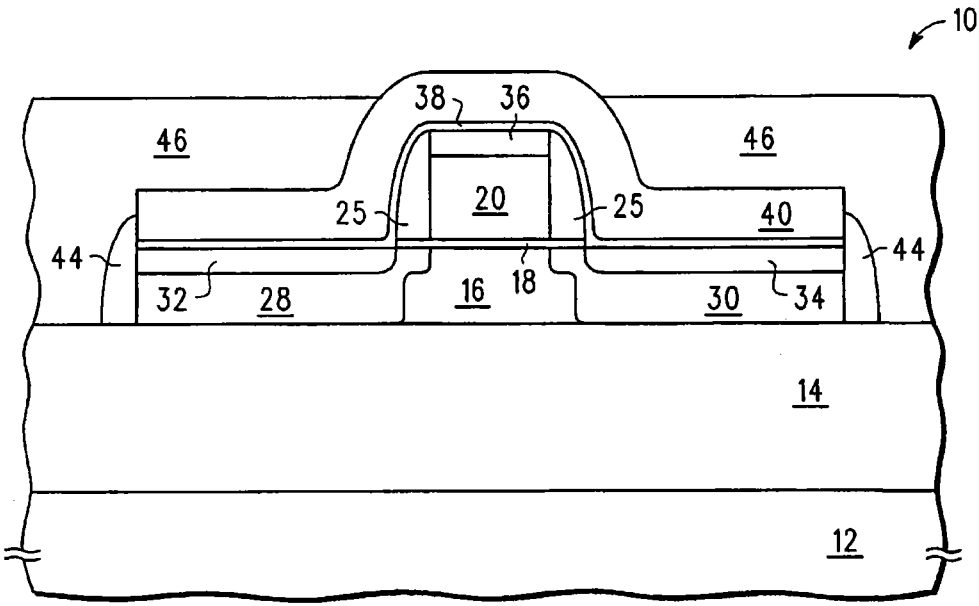


图19

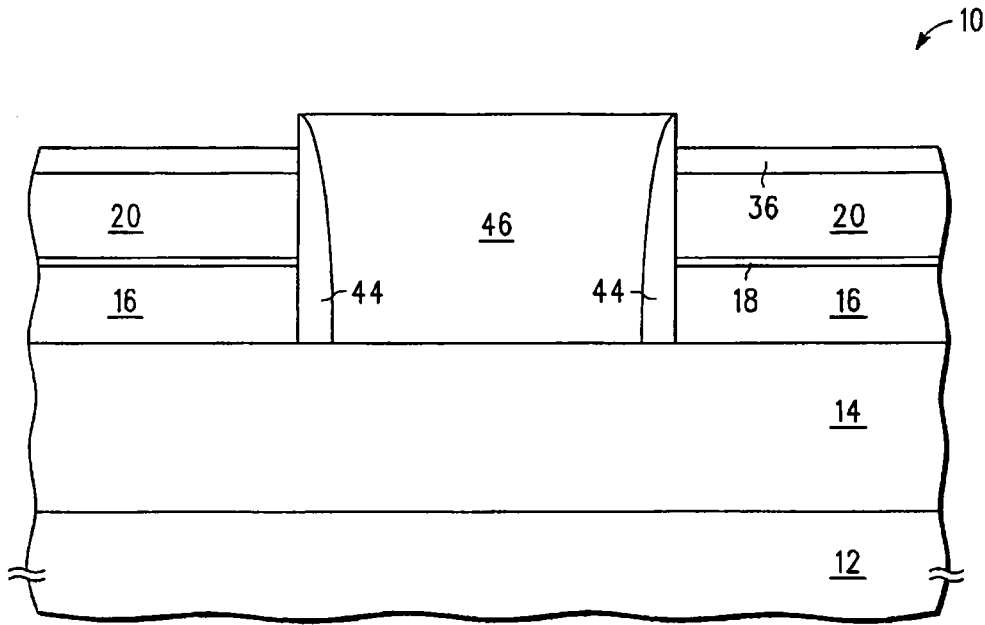


图20

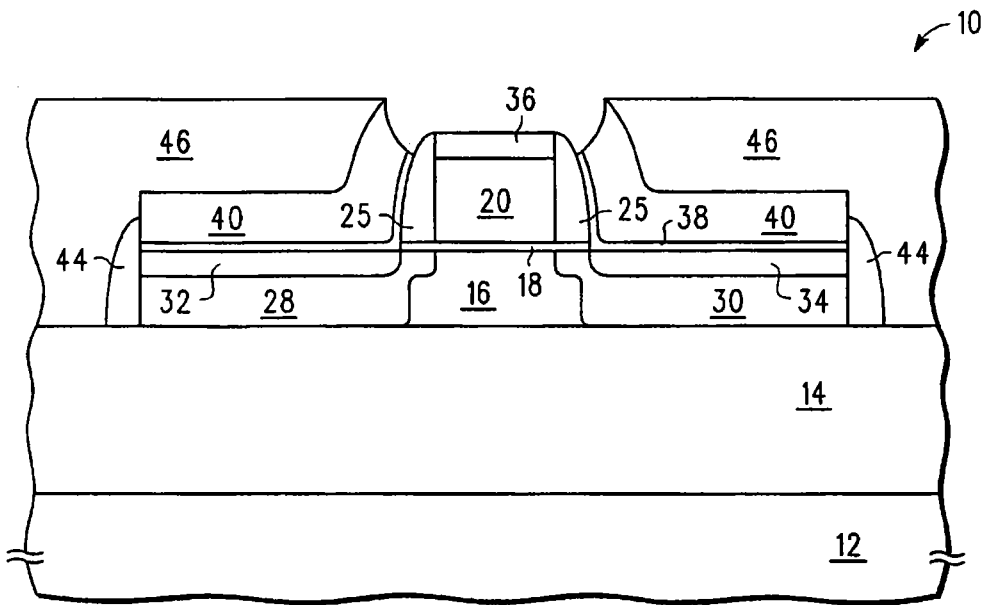


图21

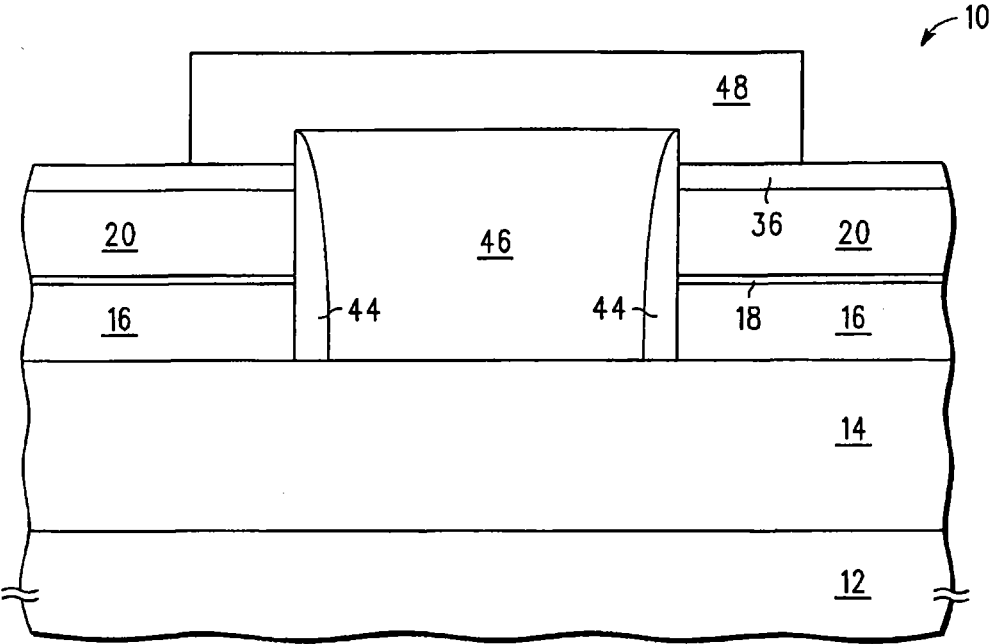


图22

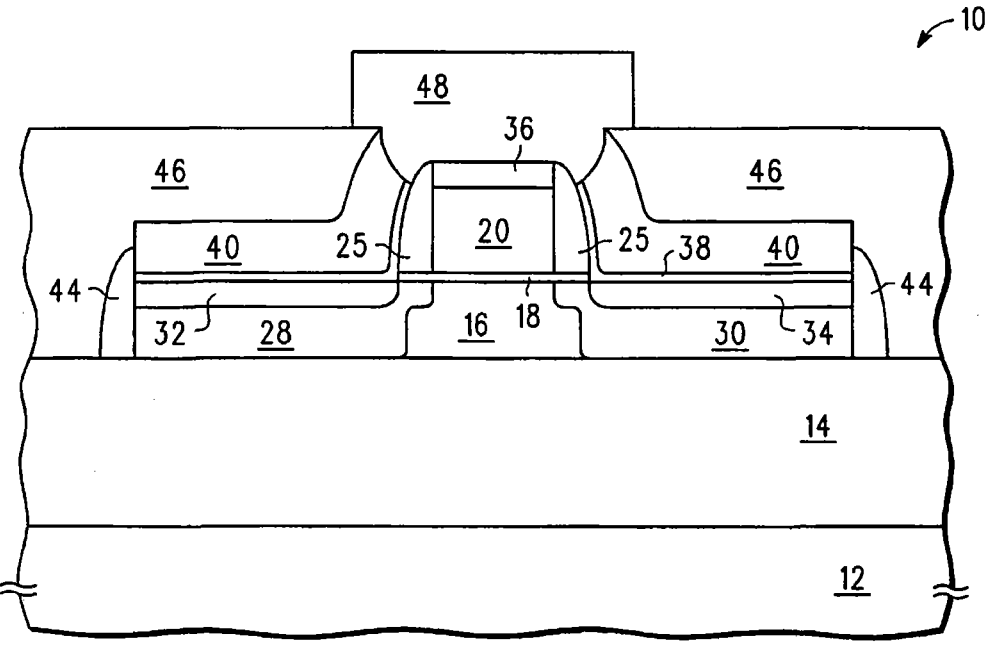


图23

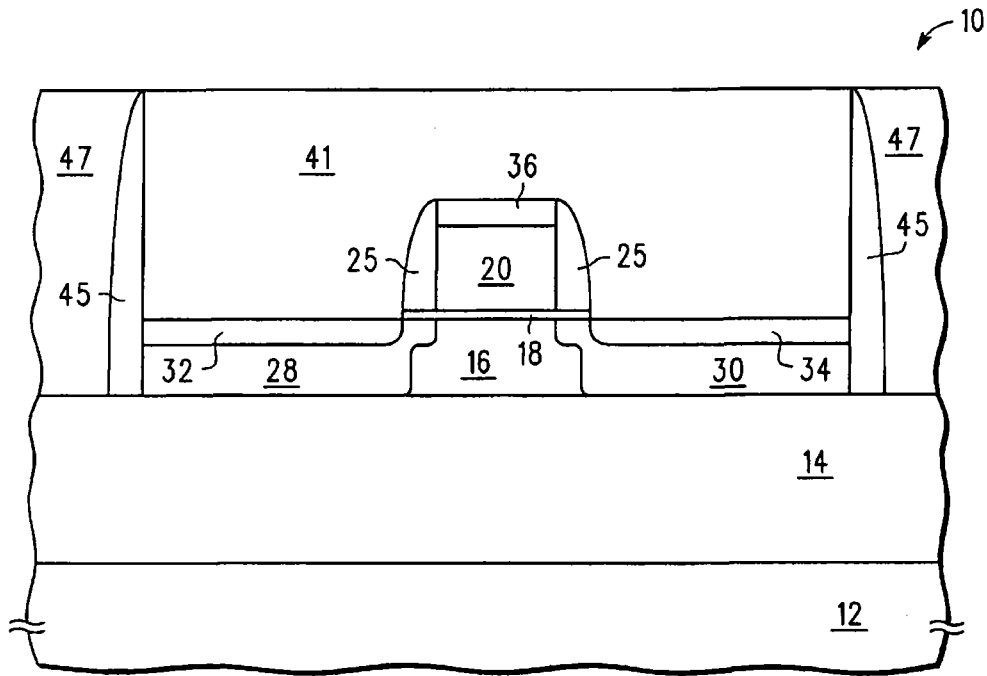


图24

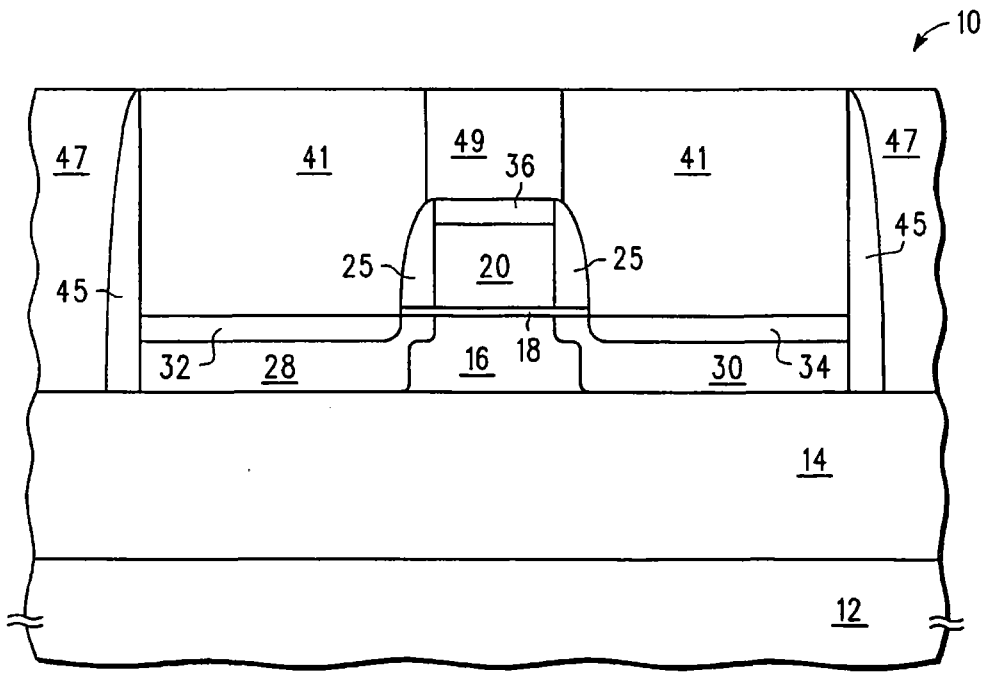


图25