

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 4 月 4 日(04.04.2013)



(10) 国際公開番号

WO 2013/047331 A1

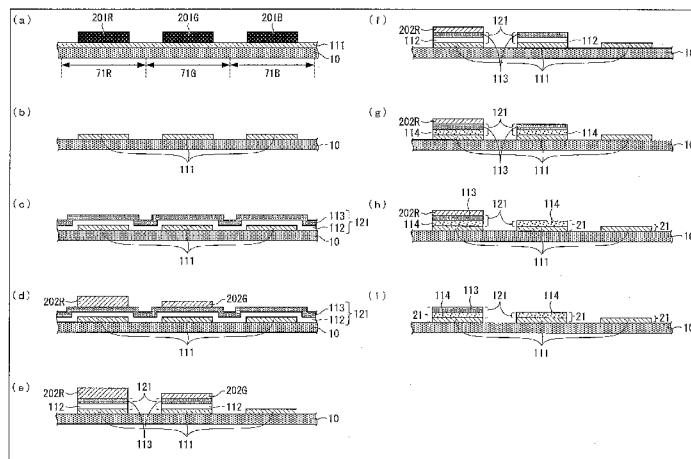
- (51) 国際特許分類:
H05B 33/10 (2006.01) H05B 33/14 (2006.01)
G09F 9/30 (2006.01) H05B 33/24 (2006.01)
H01L 27/32 (2006.01) H05B 33/26 (2006.01)
H01L 51/50 (2006.01) H05B 33/28 (2006.01)
- (21) 国際出願番号: PCT/JP2012/074114
- (22) 国際出願日: 2012 年 9 月 20 日(20.09.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-209648 2011 年 9 月 26 日(26.09.2011) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
(71) 出願人 (米国についてののみ): 園田 通(SONODA, Tohru). 岡崎 庄治(OKAZAKI, Shoji). 勝井 宏充(KATSUI, Hiromitsu). 田中 哲憲(TANAKA, Tetsunori).
- (74) 代理人: 特許業務法人原謙三国際特許事務所(HARAKENZO WORLD PATENT & TRADEMARK);
〒5300041 大阪府大阪市北区天神橋 2 丁目 2
番 6 号 大和南森町ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,

[続葉有]

(54) Title: METHOD FOR MANUFACTURING DISPLAY DEVICE

(54) 発明の名称: 表示装置の製造方法

[図1]



(57) Abstract: An IZO layer (113) is formed on top of an a-ITO layer (112); a resist pattern (202R/202G) with different film thicknesses is formed, at a minimum, in subpixels (71R/71G); and the a-ITO layer (112) and IZO layer (113) are etched, making use of both a reduction in the thickness of the resist pattern (202R/202G) due to ashing and changes in etching resistance due to conversion of the a-ITO layer (112) into a p-ITO layer (114).

(57) 要約: a-I TO 層 (112) 上に IZO 層 (113) を成膜し、少なくともサブ画素 (71R・71G) に膜厚が異なるレジストパターン (202R・202G) を形成し、アッシングによるレジストパターン (202R・202G) の薄膜化と a-I TO 層 (112) の p-I TO 層 (114) への転化を利用したエッチング耐性の変化とを利用して a-I TO 層 (112) および IZO 層 (113) をエッチングする。

WO 2013/047331 A1



MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラ
シア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッ
パ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI,
FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK,
MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：表示装置の製造方法

技術分野

[0001] 本発明は、少なくとも１つのサブ画素の電極が、反射電極層と、該反射電極層上に形成された複数の透明電極層とを備え、サブ画素間で透明電極層の合計の膜厚が異なっている表示装置の製造方法に関するものである。

背景技術

[0002] 近年、様々な商品や分野でフラットパネルディスプレイが活用されており、フラットパネルディスプレイのさらなる大型化、高画質化、低消費電力化が求められている。

[0003] そのような状況下において、有機材料の電界発光（Electro Luminescence：エレクトロルミネッセンス、以下「ＥＬ」と記す）を利用した有機ＥＬ素子を備えた有機ＥＬ表示装置は、全固体型で、低電圧駆動、高速応答性、自発光性、広視野角特性等の点で優れたフラットパネルディスプレイとして、高い注目を浴びている。

[0004] 有機ＥＬ表示装置は、例えば、ＴＦＴ（Thin Film Transistor：薄膜トランジスタ）が設けられたガラス基板等からなる基板上に、ＴＦＴに電氣的に接続された有機ＥＬ素子が設けられた構成を有している。

[0005] 有機ＥＬ素子は、低電圧直流駆動による高輝度発光が可能な発光素子であり、第１電極、有機ＥＬ層、第２電極が、この順に積層された構造を有している。

[0006] このような有機ＥＬ素子を用いた有機ＥＬ表示装置をフルカラー化するための方式としては、例えば、（１）赤（Ｒ）、緑（Ｇ）、青（Ｂ）に発光する有機ＥＬ素子をサブ画素として基板上に配列する方式、（２）白色発光の有機ＥＬ素子とカラーフィルタとを組み合わせることで各サブ画素における発光色を選択する方式が知られている。

[0007] 近年、これらの方式において、マイクロキャビティ（微小共振器）効果に

より発光の色度や発光効率を向上させる方法が提案されている（例えば、特許文献 1、2 参照）。

[0008] マイクロキャビティとは、発光した光が陽極と陰極との間で多重反射し、共振することで発光スペクトルが急峻になり、また、ピーク波長の発光強度が増幅される現象である。

[0009] マイクロキャビティ効果は、例えば、陽極や陰極の反射率および膜厚、有機層の層厚等を最適に設計することで得ることができる。

[0010] 有機 EL 素子に、このような共振構造、つまりマイクロキャビティ構造を導入する方法としては、例えば、発光色毎に各サブ画素における有機 EL 素子の光路長を変える方法が知られている。

[0011] 発光色毎に各サブ画素における有機 EL 素子の光路長を変える方法としては、反射電極と半透明電極との間に、発光層を含む有機 EL 層と透明電極層とを積層する方法が挙げられる。

[0012] すなわち、例えば、トップエミッション型の有機 EL 素子の場合、陽極を、反射電極層と透明電極層との積層構造とし、サブ画素毎に、陽極の反射電極層上の透明電極層の膜厚を変える方法が挙げられる。

[0013] トップエミッション型の有機 EL 素子の場合、このように陽極を、反射電極層と透明電極層との積層構造とし、有機 EL 層を適宜積層した後、陰極に、半透明電極として、例えば薄膜にした半透明の銀等を用いることで、有機 EL 素子にマイクロキャビティ構造を導入することができる。

[0014] このように有機 EL 素子にマイクロキャビティ構造を導入すると、発光層から発光され、陰極を通して出射された光のスペクトルは、有機 EL 素子がマイクロキャビティ構造を有していない場合よりも急峻になり、また、正面への出射強度が大きく増大する。

[0015] 特許文献 1、2 には、同一材料の透明電極層を、サブ画素毎に積層数を変えて積層することで有機 EL 素子にマイクロキャビティ構造を導入した有機 EL 表示装置が開示されている。

先行技術文献

特許文献

[0016] 特許文献1：日本国公開特許公報「特開2007-280677号公報（2007年10月25日公開）」

特許文献2：日本国公開特許公報「特開2005-116516号公報（2005年4月28日公開）」

特許文献3：日本国公開特許公報「特開2009-129604号公報（2009年6月11日公開）」

発明の概要

発明が解決しようとする課題

[0017] しかしながら、上記したように透明電極層の膜厚を変えることでマイクロキャビティ効果を変化させ、発光色を調整する方式の有機EL表示装置では、透明電極層の膜厚を各色のサブ画素毎に適切に変更する方法は、これまで知られていない。

[0018] なお、特許文献1には、各色のサブ画素毎に透明電極の膜厚を変更するための方法は開示されていない。

[0019] 一方、特許文献2には、積層する透明電極層に同一材料を使用して各色のサブ画素毎に透明電極の膜厚を変更する方法として、以下の方法が開示されている。

[0020] まず、レジストパターンを積層するサブ画素を、B→G→Rの順に変更しながら、反射電極層上に、透明電極層とレジストパターンとを交互に積層する。

[0021] 次いで、Rのサブ画素にレジストパターンを積層した後、Rのサブ画素のレジストパターンをマスクとして最上層の透明電極層をエッチングし、Gのサブ画素のレジストパターンが露出したところで、RおよびGのサブ画素のレジストパターンをマスクにして、上から2番目の透明電極層をエッチングする。

[0022] その後、Bのサブ画素のレジストパターンが露出したところで、R、G、Bのサブ画素のレジストパターンをマスクにして、最下層の透明電極層をエ

ッチングすることで、全ての透明電極層をパターン形成する。

[0023] 最後に、R、G、Bのサブ画素のレジストパターンをマスクにして、反射電極層をエッチングしてパターンニングする。

[0024] しかしながら、特許文献2では、エッチングおよびレジストの剥離回数を1回まで削減することができるが、レジストパターンの形成工程は3回必要である。また、レジストパターン上に透明電極層を積層するため、レジストと透明電極層との密着性が十分でないと、処理中に透明電極層の膜剥がれが生じて、パターン不良や汚染を招く危険性がある。

[0025] また、レジストが積層された基板をスパッタ装置内に投入すると、ゴミ等の異物が付着し、歩留が低下するおそれがあるとともに、欠陥や膜厚ムラ、膜質ムラ（光学的性質の面内分布）を引き起こす可能性がある。

[0026] また、特許文献2に記載されているようにレジストパターン上に透明電極を積層する場合、レジストパターンの厚みが厚いと、レジストパターンの陰になる部分が大きくなり、この陰になる部分で透明電極層に欠陥が生じたり、膜厚ムラが発生したりするおそれがある。このため、透明電極層を各色のサブ画素に最適な膜厚に設定することは困難であり、また、高精細のパターンでサブ画素を形成することができない。

[0027] このため、透明電極層を単純に積層するだけでは、各色のサブ画素毎に透明電極の膜厚を変更することは困難である。

[0028] 各色のサブ画素毎に透明電極の膜厚を変更する方法としては、例えば、以下の方法が考えられる。

[0029] 図18の(a)～(f)は、サブ画素毎に、陽極の反射電極層上の透明電極層の膜厚を変更する方法の一例を、工程順に示す断面図である。

[0030] 以下に、図18の(a)～(f)を参照して、上記したようにサブ画素毎に、陽極の反射電極層上の透明電極層の膜厚を変更する方法について説明する。

[0031] まず、図18の(a)に示すように、支持基板301上に、銀(Ag)等の反射電極材料からなる反射電極層302を、スパッタリング法等により成

膜する。

- [0032] 次いで、上記反射電極層 302 上に、各色のサブ画素毎に、フォトリソグラフィにより図示しないレジストパターンを形成し、これらレジストパターンをマスクとして反射電極層 302 をエッチングした後、これらレジストパターンを、レジスト剥離液により剥離洗浄する。
- [0033] これにより、図 18 の (b) に示すように、反射電極層 302 を、各色のサブ画素毎に分離するようにパターンニングする。
- [0034] 次に、図 18 の (c) に示すように、反射電極層 302 上に、透明電極層として例えば IZO (Indium Zinc Oxide: インジウム亜鉛酸化物) を成膜して IZO 層 303 を形成し、フォトリソグラフィにより、R のサブ画素のみにフォトレジスト 311 を形成する。
- [0035] 次いで、図 18 の (d) に示すように、シュウ酸により、露出している IZO 層 303 をエッチングして除去した後、フォトレジスト 311 を剥離することで、R のサブ画素にのみ、第 1 の IZO 層として、パターン化された IZO 層 303 を形成する。
- [0036] その後、図 18 の (e) に示すように、R のサブ画素の IZO 層 303、並びに、G および B のサブ画素の反射電極層 302 を覆うように再び IZO を成膜して IZO 層 304 を形成し、さらに、フォトリソグラフィにより、R および G のサブ画素のみにフォトレジスト 312 を形成する。
- [0037] その後、図 18 の (f) に示すように、フォトレジスト 312 をマスクとしてシュウ酸により IZO 層 304 をエッチングし、フォトレジスト 312 を剥離することで、サブ画素 R および G に第 2 の IZO 層として、パターン化された IZO 層 304 を形成する。
- [0038] このように、マイクロキャビティ効果を得るために、同一材料の透明電極層を用いてサブ画素毎に透明電極層の積層数を変えようとする、例えば、サブ画素が R、G、B のサブ画素からなる場合、少なくとも 3 回のフォトリソグラフィおよびエッチング、レジスト剥離が必要となる。
- [0039] 言い換えれば、陽極の反射電極層上の透明電極層の膜厚をサブ画素毎に変

更するためには、図18の(a)～(f)に示すように、フォトリソグラフィが3回必要となる。なお、反射電極層のパターニングを含めれば、フォトリソグラフィが4回必要となる。また、図18の(f)において、Bの画素にさらに透明電極層を形成する場合には、フォトリソグラフィが4回必要となる。

[0040] したがって、上記したようにマイクロキャビティ効果を得るために、サブ画素毎に電極の厚みを変えようとする、少なくとも3回（反射電極層のパターニングのためのフォトリソグラフィを含めれば、少なくとも4回）のフォトリソグラフィおよびエッチング、レジスト剥離を行うための装置が必要となる。このため、製造ラインにおいて必要とされる、上記処理を行うためのフォトリソグラフィ装置（フォトプロセス装置）の数が増える。

[0041] フォトリソグラフィでは、高価な装置や材料を必要とする。したがって、上記したようにサブ画素毎に電極の厚みを変えようとする、装置全体のコストアップおよびフットプリントの増加に繋がる。

[0042] さらに、フォトリソグラフィは、一定時間の現像処理やベーク処理等を必要とするため、処理タクトを短くすることが困難である。

[0043] このため、フォトリソグラフィの回数は、できる限り少ない方が望ましい。

[0044] また、上記したようにフォトレジストの剥離およびベークを繰り返す場合、その繰り返し回数が増えると、反射電極層の表面が荒れたり酸化したりして反射効率が低下してしまう。また、反射電極層の表面荒れによる電極間リークが発生し、画素欠陥になるおそれがある。

[0045] 特許文献3には、結晶性の異なるITOを積層することにより、フォトリソグラフィの回数を減らす手法が開示されている。しかしながら、このような方法を用いたとしても、フォトリソグラフィは少なくとも2回必要となる。

[0046] また、特許文献3では、第1および第3のサブ画素に結晶性を有するITOを成膜してパターニングした後、第1のサブ画素と第2のサブ画素とに非

晶質のITOを積層してパターンニングすることにより、サブ画素毎に透明電極層の膜厚を変更している。

[0047] すなわち、特許文献3では、フォトリソグラフィの度に2つのサブ画素に同じ膜厚の透明電極層のパターンを形成し、フォトリソグラフィ毎に透明電極層のパターンを形成するサブ画素を変更することで、フォトリソグラフィの回数を減らしている。

[0048] このため、特許文献3では、2つの透明電極層の膜厚の組み合わせで各サブ画素の光路長が決定される。したがって、光路長の設定には制約があり、光路長を任意に変更することは困難である。

[0049] 本発明は、上記問題点に鑑みなされたものであり、本発明の目的は、表示色が異なるサブ画素毎に、反射電極層上の透明電極層の膜厚を変更することができる実用的な表示装置の製造方法を提供するとともに、フォトリソグラフィの回数を削減することにある。

課題を解決するための手段

[0050] 本発明にかかる表示装置の製造方法は、上記の課題を解決するために、少なくとも1つのサブ画素における、電界を形成する対の電極のうち、一方の電極が、反射電極層と、該反射電極層上に形成された複数の透明電極層とを備え、表示色が異なるサブ画素間で上記透明電極層の合計の膜厚が異なる表示装置の製造方法であって、

非晶質の透明電極材料からなる第1の透明電極層を成膜する第1の透明電極層成膜工程と、

上記非晶質の透明電極材料からなる第1の透明電極層上に、上記非晶質の透明電極材料からなる第1の透明電極層とは組成が異なる透明電極材料からなる第2の透明電極層を成膜する第2の透明電極層成膜工程と、

表示色が異なる複数のサブ画素のうち少なくとも2つのサブ画素における第2の透明電極層上に、それぞれ膜厚が異なる第1のレジストパターンを形成する第1のレジストパターン形成工程と、

上記第1のレジストパターンをマスクとして、少なくとも上記第2の透明

電極層および非晶質の透明電極材料からなる第 1 の透明電極層をエッチングしてパターンニングする透明電極層パターンニング工程と、

アッシングにより、上記複数のサブ画素のうち、上記第 1 のレジストパターンの膜厚が最も薄いサブ画素における第 1 のレジストパターンを除去して第 2 の透明電極層を露出させる一方、残るサブ画素の第 1 のレジストパターンを薄膜化した後、上記薄膜化した第 1 のレジストパターンをマスクとして、露出した第 2 の透明電極層、もしくは、上記第 2 の透明電極層の下層に非晶質の透明電極材料からなる透明電極層が存在する場合には上記第 2 の透明電極層およびその下層の非晶質の透明電極材料からなる透明電極層をエッチングして除去する、少なくとも 1 回の透明電極層エッチング工程と、

上記透明電極層エッチング工程の後、上記第 1 のレジストパターン形成工程で形成した第 1 のレジストパターンの膜厚が最も厚いサブ画素における第 1 のレジストパターンを除去する第 1 のレジストパターン除去工程とを備え、

上記透明電極層エッチング工程は、上記第 1 のレジストパターン形成工程で形成した第 1 のレジストパターンのうち第 1 のレジストパターンの膜厚が 2 番目に厚いサブ画素における第 2 の透明電極層をエッチングして除去するまで繰り返し行われるとともに、

上記透明電極層エッチング工程は、少なくとも、

アッシングにより、上記第 1 のレジストパターン形成工程で形成した第 1 のレジストパターンの膜厚が 2 番目に厚いサブ画素における第 1 のレジストパターンを除去して第 2 の透明電極層を露出させる一方、上記第 1 のレジストパターン形成工程で形成した第 1 のレジストパターンの膜厚が最も厚いサブ画素における第 1 のレジストパターンを薄膜化するアッシング工程と、

上記アッシング工程で薄膜化した、上記第 1 のレジストパターン形成工程で形成した第 1 のレジストパターンの膜厚が最も厚いサブ画素における第 1 のレジストパターンをマスクとして、露出した第 2 の透明電極層をエッチングして除去する第 2 の透明電極層エッチング工程と、

上記非晶質の透明電極材料からなる第1の透明電極層を結晶化させて多結晶の第1の透明電極層に転化させる第1の透明電極層結晶化工程とを備え、

上記第1の透明電極層結晶化工程は、上記アッシング工程の直前の工程、または、上記アッシング工程と上記第2の透明電極層エッチング工程との間で行われることを特徴としている。

[0051] 上記の方法では、非晶質の透明電極材料からなる透明電極層と多結晶の透明電極材料からなる透明電極層とのエッチング耐性の違いによるエッチング選択性を利用して、透明電極層を複数層積層する。

[0052] 上記の方法によれば、非結晶の透明電極材料を多結晶の透明電極材料に転化させることで、エッチング液に対するエッチング耐性を高めることができる。

[0053] このため、上記の方法によれば、例えばフォトリソグラフィ1回のみで、上記反射電極層上の透明電極層の積層数を、サブ画素間、例えばサブ画素毎に変更することができる。

[0054] したがって、従来よりも少ない回数のフォトリソグラフィで、例えば、表示色が異なるサブ画素毎に、上記反射電極層上の透明電極層の合計の膜厚を任意に変更することができる。

[0055] この結果、従来よりもコストダウンおよびフットプリントの低減を図ることができる。

[0056] また、従来の方法では、フォトレジストの剥離およびベーク工程が多くなるため、反射電極層の表面が荒れたり酸化したりして反射効率が低下したり、反射電極層の表面荒れによる電極間リークが発生し、画素欠陥になるおそれがあった。

[0057] しかしながら、上記の方法によれば、露光、現像、レジスト剥離処理等の回数を低減させることができるので、そのようなおそれがない。また、処理タクトを短くすることができる。

発明の効果

[0058] 本発明にかかる表示装置の製造方法によれば、以上のように、非晶質の透

明電極材料からなる第1の透明電極層上に、上記非晶質の透明電極材料からなる第1の透明電極層とは組成が異なる透明電極材料からなる第2の透明電極層を成膜し、少なくとも2つのサブ画素に、膜厚が異なるレジストパターンを形成し、アッシングによるレジストパターンの薄膜化と第1の透明電極層の結晶化を利用したエッチング耐性の変化とを利用して上記透明電極層をエッチングすることで、例えばフォトリソグラフィ1回のみで、上記反射電極層上の透明電極層の積層数を、サブ画素間で変更することができる。

[0059] したがって、従来よりも少ない回数のフォトリソグラフィで、表示色が異なるサブ画素毎に、上記反射電極層上の透明電極層の合計の膜厚を任意に変更することができる。

[0060] この結果、従来よりもコストダウンおよびフットプリントの低減を図ることができる。

[0061] また、上記の方法によれば、露光、現像、レジスト剥離処理等の回数を低減させることができるので、反射効率の低下や、反射電極層の表面荒れによる電極間リークの発生による画素欠陥の発生を防ぐことができるとともに、処理タクトを短くすることができる。

図面の簡単な説明

[0062] [図1] (a) ~ (i) は、実施の形態1にかかるトップエミッション型の有機EL表示装置における第1電極の作製方法の一例を工程順に示す断面図である。

[図2] 実施の形態1にかかる有機EL表示装置の要部の概略構成を示す分解断面図である。

[図3] 実施の形態1にかかる有機EL表示装置における支持基板の概略構成を示す平面図である。

[図4] 図3に示す支持基板における表示領域の要部の構成を示す平面図である。

[図5] 実施の形態1にかかる有機EL表示パネルを図4に示すA-A線で切断したときの有機EL表示パネルの概略構成を示す断面図である。

[図6]実施の形態1にかかる有機EL表示装置の画像表示方法について説明する模式図である。

[図7]実施の形態1にかかる有機EL表示装置の製造工程の一例を工程順に示すフローチャートである。

[図8]実施の形態1にかかる有機EL層の作製工程の一例を工程順に示すフローチャートである。

[図9](a)～(i)は、実施の形態1にかかるトップエミッション型の有機EL表示装置における第1電極の作製方法の他の例を工程順に示す断面図である。

[図10](a)～(i)は、実施の形態2にかかるトップエミッション型の有機EL表示装置における第1電極の作製方法の一例を工程順に示す断面図である。

[図11](a)～(i)は、実施の形態3にかかるトップエミッション型の有機EL表示装置における第1電極の作製方法の一例を工程順に示す断面図である。

[図12](a)～(i)は、実施の形態4にかかるトップエミッション型の有機EL表示装置における第1電極の作製方法の一例を工程順に示す断面図である。

[図13](a)～(j)は、実施の形態5にかかるトップエミッション型の有機EL表示装置における第1電極の作製方法の一例を工程順に示す断面図である。

[図14](a)～(j)は、実施の形態6にかかるトップエミッション型の有機EL表示装置における第1電極の作製方法の一例を工程順に示す断面図である。

[図15](a)～(j)は、実施の形態7にかかるトップエミッション型の有機EL表示装置における第1電極の作製方法の一例を工程順に示す断面図である。

[図16]実施の形態8にかかる有機EL表示パネルの概略構成を示す断面図で

ある。

[図17]図 1 6 に示す有機 E L 層の作製工程の一例を工程順に示すフローチャートである。

[図18] (a) ~ (f) は、サブ画素毎に、陽極の反射電極層上の透明電極層の合計の膜厚を変更する方法の一例を、工程順に示す断面図である。

発明を実施するための形態

[0063] 以下、本発明の実施の一形態について、詳細に説明する。

[0064] [実施の形態 1]

本実施の形態について図 1 の (a) ~ (i) ないし図 9 の (a) ~ (i) に基づいて説明すれば以下の通りである。

[0065] <有機 E L 表示装置の概略構成>

まず、有機 E L 表示装置の概略構成について説明する。

[0066] 図 2 は、本実施の形態にかかる有機 E L 表示装置 1 0 0 の要部の概略構成を示す分解断面図である。

[0067] 図 2 に示すように、本実施の形態にかかる有機 E L 表示装置 1 0 0 は、画素部 1 0 1 と回路部 1 0 2 とを備えている。

[0068] 画素部 1 0 1 は、有機 E L 表示パネル 1 (表示パネル) で構成されている。また、回路部 1 0 2 は、有機 E L 表示装置 1 0 0 を駆動する駆動回路等が設けられた回路基板や I C (集積回路 : Integrated Circuits) チップ等で構成されている。

[0069] 有機 E L 表示パネル 1 は、支持基板 1 0 (被成膜基板、T F T 基板) 上に、有機 E L 素子 2 0 および封止樹脂層 4 1、充填樹脂層 4 2、封止基板 5 0 が、この順に設けられた構成を有している。

[0070] 支持基板 1 0 は、T F T 基板等の半導体基板からなり、例えば、絶縁基板 1 1 上に、能動素子 (駆動素子) として T F T (薄膜トランジスタ : Thin Film Transistor) 1 2 (図 5 参照) 等が設けられた構成を有している。

[0071] 有機 E L 素子 2 0 は、T F T 1 2 に接続されている。有機 E L 素子 2 0 上には、乾燥剤を含有した接着性を有する充填樹脂層 4 2 が形成されている。

充填樹脂層 4 2 を構成する充填樹脂は、支持基板 1 0、封止基板 5 0、および封止樹脂層 4 1 で囲まれた空間に充填されている。

[0072] なお、有機 E L 表示装置 1 0 0 は、支持基板 1 0 側から光を射出するボトムエミッション型であってもよく、封止基板 5 0 側から光を射出するトップエミッション型であってもよい。

[0073] 支持基板 1 0 および封止基板 5 0 に用いられるベース基板としては、例えばガラスやプラスチック等を用いることができる。一例として、例えば、無アルカリガラス基板等のガラス基板を用いることができる。

[0074] 但し、これに限定されるものではなく、光を射出しない側の基板としては、金属板等の不透明材料を用いることもできる。

[0075] トップエミッション型の場合、封止基板 5 0 としては、C F（カラーフィルタ：Color Filter）層が形成された基板を用いてもよい。また、ボトムエミッション型の場合、支持基板 1 0 側に C F 層を形成していてもよい。

[0076] このように C F 層を併用する場合、有機 E L 素子 2 0 から出射した光のスペクトルを C F 層によって調整することができる。

[0077] 以下、本実施の形態では、有機 E L 表示装置 1 0 0 がトップエミッション型である場合を例に挙げて説明する。しかしながら、本実施の形態はこれに限定されるものではなく、上記したように例えばボトムエミッション型であってもよい。

[0078] 本実施の形態にかかる封止基板 5 0 は、図 2 に示すように、例えば、絶縁基板 5 1 上に、C F 層 5 2 および B M（ブラックマトリクス：Black Matrix）5 3（図 5 参照）等が設けられた構成を有している。

[0079] 有機 E L 素子 2 0 は、該有機 E L 素子 2 0 が水分や酸素によって損傷しないように、該有機 E L 素子 2 0 が積層された支持基板 1 0 を、枠状の封止領域 L に設けられた封止樹脂層 4 1 および充填樹脂層 4 2 を介して封止基板 5 0 と貼り合わせることで、これら一対の基板（支持基板 1 0、封止基板 5 0）間に封入されている。

[0080] 有機 E L 表示パネル 1 は、このように有機 E L 素子 2 0 が支持基板 1 0 と

封止基板 50 との間に封入されていることで、有機 EL 素子 20 への酸素や水分の外部からの浸入が防止されている。

[0081] また、支持基板 10 における枠状の封止領域 L の外側には、電気配線端子 2（電気接続部、接続端子）等が形成された端子部領域 R3 が設けられている。

[0082] 電気配線端子 2 は、回路部 102 の接続端子 103 が接続される接続端子であり、金属等の配線材料により形成されている。

[0083] 回路部 102 には、例えば、フレキシブルフィルムケーブル等の配線や、ドライバ等の駆動回路等が設けられている。

[0084] 回路部 102 は、図 2 に示すように、端子部領域 R3 に設けられた電気配線端子 2 を介して有機 EL 表示パネル 1 と接続されている。

[0085] <支持基板 10 の構成>

ここで、端子部領域 R3 を含む、支持基板 10 における各領域について、図 3 を参照して以下に説明する。

[0086] 図 3 は、有機 EL 表示装置 100 における支持基板 10 の概略構成を示す平面図である。

[0087] 図 3 に示すように、支持基板 10 の能動面（能動素子形成面）である一方の主面には、表示領域 R1、第 2 電極接続領域 R2、端子部領域 R3、および、枠状の封止領域 L が設けられている。

[0088] <表示領域 R1>

表示領域 R1（表示部）は、支持基板 10 の中央部に設けられており、例えば矩形状に形成されている。表示領域 R1 には、複数のサブ画素 71（図 4 および図 5 参照）からなる画素アレイが形成されている。なお、表示領域 R1 の構成については後で詳述する。

[0089] <第 2 電極接続領域 R2>

第 2 電極接続領域 R2 は、有機 EL 素子 20 における第 2 電極 31（図 5 参照）が接続される領域である。第 2 電極接続領域 R2 は、例えば、表示領域 R1 の 2 組の対となる辺のうち、一方の組の対となる辺の外側に、それぞ

れ対向する辺に沿って形成されている。

[0090] これら第2電極接続領域R2には、それぞれ接続部60（接続電極）が形成されている。接続部60は、第2電極31が接続される部分であり、金属材料により形成されている。

[0091] ＜封止領域L＞

封止領域Lには、上記したように、支持基板10と封止基板50とを貼り合わせるための封止樹脂層41が形成されている。

[0092] 封止領域Lは、図3に示すように、表示領域R1および第2電極接続領域R2を囲むように枠状に形成されている。

[0093] ＜端子部領域R3＞

端子部領域R3は、上記したように、画素部101と回路部102との接続に用いられる領域である。端子部領域R3は、枠状の封止領域Lの外側に、この枠状の封止領域Lに沿って設けられている。

[0094] 具体的には、図3に示すように、端子部領域R3は、各第2電極接続領域R2の外側に、各第2電極接続領域R2に沿って形成されている。また、端子部領域R3は、表示領域R1における、上記第2電極接続領域R2が設けられていない、他方の組の対となる辺の外側に、それぞれ対向する辺に沿って形成されている。

[0095] なお、端子部領域R3は、全ての辺に存在している必要はなく、例えば、何れか一辺のみに集中して形成されていてもよい。

[0096] ＜表示領域R1の構成＞

次に、表示領域R1の構成について説明する。

[0097] 図4は、支持基板10における表示領域R1の要部の構成を示す平面図であり、図5は、有機EL表示パネル1を図4に示すA-A線で切断したときの有機EL表示パネル1の概略構成を示す断面図である。

[0098] 図4および図5に示すように、表示領域R1は、有機EL素子20が形成された複数の画素70で構成されている。

[0099] 各画素70は、それぞれ、複数のサブ画素71で構成されている。有機E

L表示装置100は、フルカラーのアクティブマトリクス型の有機EL表示装置であり、例えば、図5に示すように、赤（R）色に発光するサブ画素71（以下、「サブ画素71R」と記す）、緑（G）色に発光するサブ画素71（以下、「サブ画素71G」と記す）、青（B）色に発光するサブ画素71（以下、「サブ画素71B」と記す）の、3つのサブ画素71R・71G・71Bで1つの画素70が構成されている。

[0100] 表示領域R1には、これらR、G、Bの各色の発光色を有する有機EL素子20からなる各色のサブ画素71が、マトリクス状に配列されている。本実施の形態では、各サブ画素71R・71G・71Bは、支持基板10の能動面におけるX軸方向（横方向）およびY軸方向（縦方向）のうちの一方の方向（例えばX軸方向）に、同じ発光色のサブ画素71が隣り合い、他方の方向（例えばY軸方向）に、異なる発光色のサブ画素71が隣り合うように配列されている。

[0101] 図4および図5に示すように、表示領域R1には、X軸方向およびY軸方向に、複数の信号線14（配線）が配されている。

[0102] 信号線14は、例えば、画素を選択する複数の線（ゲート線）、データを書き込む複数の線（ソース線）、有機EL素子20に電力を供給する複数の線（電源線）等から構成されている。

[0103] なお、ゲート線は、例えばX軸方向に沿って敷設されており、ソース線は、ゲート線と交差するように、例えばY軸方向に沿って敷設されている。

[0104] また、ゲート線には、ゲート線を駆動する図示しないゲート線駆動回路が接続され、ソース線には、ソース線を駆動する図示しないデータ線駆動回路が接続されている。

[0105] 各サブ画素71は、これら信号線14で囲まれた領域に配列されている。すなわち、これら信号線14で囲まれた領域が1つのサブ画素71であり、サブ画素71毎に、各色の発光領域72が画成されている。

[0106] これら信号線14は、表示領域R1の外で、回路部102の外部回路と接続されている。回路部102から信号線14に対して電気信号を入力するこ

とで、信号線 14 の交差部に配された有機 EL 素子 20 を駆動（発光）させることができる。

[0107] 各サブ画素 71 R・71 G・71 B には、有機 EL 素子 20 における第 1 電極 21 に接続された TFT 12 がそれぞれ設けられている。

[0108] 信号線 14 は、これら各サブ画素 71 に設けられた TFT 12 に接続されている。アクティブマトリクス型の場合、各サブ画素 71 には、少なくとも 1 つの TFT 12 が配されている。

[0109] なお、各サブ画素 71 には、書き込まれた電圧を保持するキャパシタや、TFT 12 の特性バラつきを補償するための補償回路がさらに形成されていてもよい。

[0110] 各サブ画素 71 の発光強度は、信号線 14 および TFT 12 による走査および選択により決定される。有機 EL 表示装置 100 は、TFT 12 を用いて、有機 EL 素子 20 を選択的に所望の輝度で発光させることにより画像表示を実現している。

[0111] <支持基板 10 の断面構成>

図 4 および図 5 に示すように、支持基板 10 は、ベース基板として絶縁基板 11 を備えている。

[0112] 図 5 に示すように、表示領域 R1 において、支持基板 10 は、ガラス基板等の透明な絶縁基板 11 上に、TFT 12（スイッチング素子）および信号線 14、層間絶縁膜 13（平坦化膜）、エッジカバー 15 等が形成された構成を有している。

[0113] 絶縁基板 11 上には、信号線 14 が設けられているとともに、各サブ画素 71 R・71 G・71 B に対応して、それぞれ TFT 12 が設けられている。なお、TFT の構成は従来よく知られている。また、TFT 12 は既知の方法にて作製される。したがって、TFT 12 における各層の図示並びに説明は省略する。

[0114] 層間絶縁膜 13 は、各サブ画素 71 R・71 G・71 B および信号線 14 を覆うように、絶縁基板 11 上に、絶縁基板 11 の全領域に渡って積層され

ている。

[0115] 層間絶縁膜 13 上には、有機 EL 素子 20 における第 1 電極 21 が形成されている。

[0116] また、層間絶縁膜 13 には、有機 EL 素子 20 における第 1 電極 21 を TFT 12 に電氣的に接続するためのコンタクトホール 13a が設けられている。これにより、TFT 12 は、コンタクトホール 13a を介して、有機 EL 素子 20 に電氣的に接続されている。

[0117] エッジカバー 15 は、第 1 電極 21 の端部（パターン端部）で、後述する有機 EL 層 43 が薄くなったり電界集中が起こったりすることで、有機 EL 素子 20 における第 1 電極 21 と第 2 電極 31 とが短絡することを防止するための絶縁層（障壁）である。

[0118] エッジカバー 15 は、層間絶縁膜 13 上に、第 1 電極 21 の端部（パターン端部）を被覆するように形成されている。

[0119] エッジカバー 15 には、サブ画素 71R・71G・71B 毎に開口部 15R・15G・15B が設けられている。これにより、第 1 電極 21 は、図 5 に示すように、エッジカバー 15 のない部分（開口部 15R・15G・15B）で露出している。この露出部分が各サブ画素 71R・71G・71B の発光領域 72 となる。

[0120] <有機 EL 素子 20 の構成>

本実施の形態では、発光色が白（W）色の発光層を使用し、各サブ画素 71 にマイクロキャビティ構造を導入することで上記したようにフルカラーの画像表示を実現している。

[0121] このとき、前記したように CF 層 52 を併用することで、有機 EL 素子 20 から出射した光のスペクトルを CF 層 52 によって調整することができる。

[0122] 有機 EL 素子 20 は、低電圧直流駆動による高輝度発光が可能な発光素子であり、第 1 電極 21、有機 EL 層 43、第 2 電極 31 が、この順に積層されている。

- [0123] 第1電極21は、上記有機EL層43に正孔を注入（供給）する機能を有する層である。第1電極21は、コンタクトホール13aを介してTFE12と接続されている。
- [0124] また、第2電極31は、上記有機EL層43に電子を注入（供給）する機能を有する層である。
- [0125] このようにW発光の発光層とCF層52とを組み合わせる場合、キャリア発生層を介してキャリア輸送層（正孔輸送層、電子輸送層）および発光層が積層される。
- [0126] 具体的には、第1電極21と第2電極31との間には、図5に示すように、有機EL層43として、第1電極21側から、正孔注入層22、正孔輸送層23、第1発光層24、電子輸送層25、キャリア発生層26、正孔輸送層27、第2発光層28、電子輸送層29、および電子注入層30が、この順に形成されている。なお、第1発光層24および第2発光層28の発光色は異なっており、それらの発光色の重ね合わせにより、W発光が得られる。
- [0127] 上記発光色の組み合わせとしては、例えば、青色光と橙色光との組み合わせ、青色光と黄色光との組み合わせ等が挙げられる。また、後述するように第1発光層24および第2発光層28に加えて第3発光層を積層することで3色の発光色の重ね合わせによりW発光を得る場合、上記発光色の組み合わせとしては、赤色光、青色光、緑色光の組み合わせが挙げられる。
- [0128] なお、本実施の形態では、第1発光層24として青色の発光色の発光層を形成し、第2発光層28として橙色の発光色の発光層を形成した。
- [0129] このように発光層として第1発光層24および第2発光層28を積層する場合、第1発光層24および第2発光層28から出射された光の混合に対してマイクロキャビティ効果が加味された光が有機EL素子20により得られる。また、その光を、封止基板50に設けられたCF層52によって調整することで、所望のスペクトルを有する光を外部に取り出すことができる。このようにW発光の発光層とマイクロキャビティ効果とCF層52とを組み合わせることで、色純度を高めることができる。

- [0130] 正孔注入層 22 は、第 1 電極 21 から有機 EL 層 43 への正孔注入効率を高める機能を有する層である。一方、電子注入層 30 は、第 2 電極 31 から有機 EL 層 43 への電子注入効率を高める機能を有する層である。
- [0131] また、正孔輸送層 23 は、第 1 発光層 24 への正孔輸送効率を高める機能を有する層であり、正孔輸送層 27 は、第 2 発光層 28 への正孔輸送効率を高める機能を有する層である。
- [0132] 一方、電子輸送層 25 は、第 1 発光層 24 への電子輸送効率を高める機能を有する層であり、電子輸送層 29 は、第 2 発光層 28 への電子輸送効率を高める機能を有する層である。
- [0133] 第 1 発光層 24 および第 2 発光層 28 は、それぞれ、第 1 電極 21 側から注入された正孔と第 2 電極 31 側から注入された電子とを再結合させて光を出射する機能を有する層である。第 1 発光層 24 および第 2 発光層 28 は、それぞれ、低分子蛍光色素、金属錯体等の、発光効率が高い材料で形成されている。
- [0134] また、キャリア発生層 26 は、第 1 発光層 24 側に電子を、第 2 発光層 28 側に正孔を供給するための層である。
- [0135] すなわち、正孔輸送層、発光層および電子輸送層を 1 ユニットと考えれば、第 1 発光層 24 側のユニットと、第 2 発光層 28 側のユニットとが、キャリア発生層 26 を介して接続されていることになる。
- [0136] このように W 発光の発光層（例えば第 1 発光層 24 および第 2 発光層 28）と CF 層 52 とを組み合わせた有機 EL 表示装置 100 では、マイクロキャビティ効果あるいは CF 層 52 あるいはその他の方法で各サブ画素 71 の発光色を変更するため、発光層をサブ画素 71 毎に塗り分ける必要はない。
- [0137] このため、本実施の形態では、図 5 に示すように、正孔注入層 22、正孔輸送層 23、第 1 発光層 24、電子輸送層 25、キャリア発生層 26、正孔輸送層 27、第 2 発光層 28、電子輸送層 29、電子注入層 30、および第 2 電極 31 は、第 1 電極 21 およびエッジカバー 15 を覆うように、支持基板 10 における表示領域 R1 の全面に渡って一様に形成されている。

[0138] なお、図5では、正孔輸送層、発光層および電子輸送層を1ユニットとしたときに、第1発光層24側のユニットと、第2発光層28側のユニットとが、キャリア発生層26を介して接続されている場合を例に挙げて説明したが、本実施の形態はこれに限定されるものではない。

[0139] 例えば、第3発光層を有するユニットを同様に積層してもよいし、4つ以上のユニットを積層することもできる。

[0140] また、第2発光層28と第3発光層とが直接積層された積層構造を有していてもよい。

[0141] さらに、図示していないが、必要に応じて、正孔、電子といったキャリアの流れをせき止めるキャリアブロッキング層が挿入されていてもよい。例えば、発光層と電子輸送層との間にキャリアブロッキング層として正孔ブロッキング層を追加することで、正孔が電子輸送層に抜けるのを阻止し、発光効率を向上することができる。同様に、発光層と正孔輸送層との間にキャリアブロッキング層として電子ブロッキング層を追加することで、電子が正孔輸送層に抜けるのを阻止することができる。

[0142] また、電子輸送層とキャリア発生層との間に電子注入層を挿入することもできる。

[0143] 有機EL素子20の構成の一例としては、例えば、下記(1)～(8)に示すような層構成およびこれらの層の組み合わせを採用することができる。

(1) 第1電極／正孔注入層／正孔輸送層／発光層(第1発光層)／電子輸送層／キャリア発生層／正孔輸送層／発光層(第2発光層)／電子輸送層／電子注入層／第2電極

(2) 第1電極／正孔注入層／正孔輸送層／発光層(第1発光層)／電子輸送層／電子注入層／キャリア発生層／正孔輸送層／発光層(第2発光層)／電子輸送層／電子注入層／第2電極

(3) 第1電極／正孔注入層／正孔輸送層／発光層(第1発光層)／正孔ブロッキング層／電子輸送層／キャリア発生層／正孔輸送層／発光層(第2発光層)／正孔ブロッキング層／電子輸送層／電子注入層／第2電極

(4) 第1電極／正孔注入層／正孔輸送層／電子ブロッキング層／発光層（第1発光層）／正孔ブロッキング層／電子輸送層／電子注入層／キャリア発生層／正孔輸送層／電子ブロッキング層／発光層（第2発光層）／正孔ブロッキング層／電子輸送層／電子注入層／第2電極

(5) 第1電極／正孔注入層／正孔輸送層／発光層（第1発光層）／電子輸送層／キャリア発生層／正孔輸送層／発光層（第2発光層）／電子輸送層／キャリア発生層／正孔輸送層／発光層（第3発光層）／電子輸送層／電子注入層／第2電極

(6) 第1電極／正孔注入層／正孔輸送層／電子ブロッキング層／発光層（第1発光層）／正孔ブロッキング層／電子輸送層／電子注入層／キャリア発生層／正孔輸送層／電子ブロッキング層／発光層（第2発光層）／正孔ブロッキング層／電子輸送層／電子注入層／キャリア発生層／正孔輸送層／電子ブロッキング層／発光層（第3発光層）／正孔ブロッキング層／電子輸送層／電子注入層／第2電極

(7) 第1電極／正孔注入層／正孔輸送層／発光層（第1発光層）／電子輸送層／キャリア発生層／正孔輸送層／発光層（第2発光層）／発光層（第3発光層）／電子輸送層／電子注入層／第2電極

(8) 第1電極／正孔注入層／正孔輸送層／電子ブロッキング層／発光層（第1発光層）／正孔ブロッキング層／電子輸送層／電子注入層／キャリア発生層／正孔輸送層／電子ブロッキング層／発光層（第2発光層）／発光層（第3発光層）／正孔ブロッキング層／電子輸送層／電子注入層／第2電極

また、本実施の形態では、キャリア発生層を介してキャリア輸送層（正孔輸送層、電子輸送層）およびW発光の発光層（第1発光層24、第2発光層28）を設けるものとし、W発光の発光層として、第1発光層24および第2発光層28の少なくとも2つの発光層を設けた場合を例に挙げて説明した。

[0144] しかしながら、発光層以外の有機層は有機EL層43として必須の層ではなく、また、発光層は、少なくとも1つ設けられていればよい。有機EL層

43の構成は、要求される有機EL素子20の特性に応じて適宜形成すればよい。

[0145] したがって、上記有機EL素子20は、一例として、例えば、(9)に示す層構成を有していてもよい。

(9) 第1電極／正孔注入層／正孔輸送層／発光層（第1発光層）／電子輸送層／電子注入層／第2電極

また、一つの層が複数の機能を有していてもよく、例えば、正孔注入層と正孔輸送層とは、上記したように互いに独立した層として形成されていてもよく、互いに一体化して設けられていてもよい。すなわち、正孔注入層および正孔輸送層として、正孔注入層と正孔輸送層とが一体化された正孔注入層兼正孔輸送層を設けてもよい。

[0146] 同様に、電子輸送層と電子注入層とは、上記したように互いに独立した層として形成されていてもよく、電子輸送層兼電子注入層として、互いに一体化して設けられていてもよい。

[0147] なお、上記積層順は、第1電極21を陽極とし、第2電極31を陰極としたものである。第1電極21を陰極とし、第2電極31を陽極とする場合には、有機EL層43の積層順は反転する。

[0148] なお、第1電極21を半透明電極とし、第2電極31を反射電極とすることで、ボトムエミッション型の有機EL素子20が形成される。

[0149] 一方、第1電極21を反射電極とし、第2電極31を半透明電極とすることで、トップエミッション型の有機EL素子20が形成される。

[0150] なお、有機EL素子20の構成は上記例示の層構成に限定されるものではなく、要求される有機EL素子20の特性に応じて所望の層構成を採用することができる。

[0151] <画像表示方法>

図6は、本実施の形態にかかる有機EL表示装置100の画像表示方法について説明する模式図である。なお、図6では、有機EL素子20の光路にかかる要部の構成を簡略化して示している。

- [0152] 本実施の形態にかかる有機EL素子20は、マイクロキャビティ構造を有している。
- [0153] マイクロキャビティとは、発光した光が陽極と陰極との間で多重反射し、共振することで発光スペクトルが急峻になり、また、ピーク波長の発光強度が増幅される現象である。
- [0154] マイクロキャビティ効果は、例えば、陽極や陰極の反射率および膜厚、有機層の膜厚等を最適に設計することで得ることができる。
- [0155] 本実施の形態にかかる有機EL素子20は、トップエミッション型の有機EL素子であり、図6に示すように、陰極であり発光を取り出す側の第2電極31が半透明電極（半透過反射電極）として機能し、陽極であり発光を取り出さない側の第1電極21が、反射電極層111を有することで反射電極として機能する。
- [0156] このため、第1電極21と第2電極31との間に設けられた有機EL層43における発光層（図5に示す例では第1発光層24および第2発光層28）から発光された光は、第1電極21における反射電極層111と第2電極31との間で反射を繰り返す。
- [0157] このとき、図6に示すように、発光色毎に、各サブ画素71R・71G・71Bにおける有機EL素子20の光路長73R・73G・73Bを変えることで、上記発光層から発光した光が第1電極21の反射層と第2電極31との間で往復し、特定波長の光の強度が増幅される。
- [0158] 本実施の形態では、反射電極層111上に透明電極層121を設け、この透明電極層121の膜厚をサブ画素71R・71G・71B毎に変更することで、各サブ画素71R・71G・71Bにおける有機EL素子20の光路長73R・73G・73Bを変更している。
- [0159] 具体的には、本実施の形態では、図5および図6に示すように、第1電極21を、サブ画素71Bでは反射電極層111のみで形成し、サブ画素71R・71Gを、反射電極層111と透明電極層121との積層構造とし、サブ画素71R・71Gにおける反射電極層111上の透明電極層121を1

層または2層で構成することで、各サブ画素71R・71G・71Bにおける透明電極層121の膜厚を変更している。

[0160] なお、図5および図6に示す例では、サブ画素71Bにおける透明電極層121の膜厚を0（ゼロ）としているが、後述する実施の形態に示すように、サブ画素71Bにも透明電極層121が設けられていてもよい。また、サブ画素71R・71Gにおける反射電極層111上の透明電極層121は、1層または2層に限定されない。

[0161] このように、各サブ画素71R・71G・71Bにおける透明電極層121の膜厚を変更することで、マイクロキャビティ効果を変化させ、発光色を調整することができる。

[0162] 各サブ画素71R・71G・71Bにおける有機EL素子20の光路長73R・73G・73B、すなわち、各サブ画素71R・71G・71Bにおけるマイクロキャビティ構造内での光路の光学距離は、共振させるべき光の波長と一定関係を有するように設定される。

[0163] つまり、上記したように各サブ画素71R・71G・71Bにおける第1電極21の反射電極層111と第2電極31との間の距離を調整することで、光路長が一致した波長の光の強度が共振によって強まり、第2電極31側から、波長の一致した光のみが出射される。一方、それ以外の光路長のずれた波長の光は強度が弱まる。

[0164] したがって、これら光路長73R・73G・73Bは、第2電極31からの放出光の色に応じた光学長に設定される。

[0165] 本実施の形態に示すように、例えば、サブ画素71における表示色が、R、G、Bである場合、各光路長73R・73G・73Bは、これらR、G、Bの各色の発光スペクトルピーク波長に一致するように、各光路長73R・73G・73Bが、光路長73R>光路長73G>光路長73Bの順に短くなるように、各サブ画素71R・71G・71Bにおける透明電極層121の膜厚が設定される。

[0166] 但し、各光の共振に適した光路長は複数存在するため、必ずしも光路長7

3 R > 光路長 7 3 G > 光路長 7 3 B の順に短くならなくてもよく、それ以外の関係をもたせることも可能である。

[0167] すなわち、R 光の有機 E L 層 4 3 に重なる透明電極層 1 2 1 は、R 光の共振に適した厚さに設定され、G 光の有機 E L 層 4 3 に重なる透明電極層 1 2 1 は G 光の共振に適した厚さに設定され、B 光の有機 E L 層 4 3 に重なる透明電極層 1 2 1 は B 光の共振に適した厚さ（本実施の形態では厚さゼロ）に設定される。これにより、色純度が高い光を放出することができ、有機 E L 表示装置 1 0 0 の色再現性を向上させることができる。

[0168] <有機 E L 表示装置 1 0 0 の製造方法>

次に、本実施の形態にかかる有機 E L 表示装置 1 0 0 の製造方法について説明する。

[0169] まず、有機 E L 素子 2 0 における各層の材料および積層方法の概略について説明する。

[0170] <有機 E L 素子 2 0 における各層の材料および積層方法の概略>

第 1 電極 2 1 は、電極材料をスパッタ法等で形成した後、フォトリソグラフィ技術およびエッチング等により、個々のサブ画素 7 1 R ・ 7 1 G ・ 7 1 B に対応してパターン形成される。

[0171] 第 1 電極 2 1 としては、様々な導電性材料を用いることができるが、上記したように、絶縁基板 1 1 側に光を放射するボトムエミッション型の有機 E L 素子 2 0 の場合、半透明である必要がある。

[0172] 一方、絶縁基板 1 1 とは反対側から光を放射するトップエミッション型の有機 E L 素子 2 0 の場合には、第 2 電極 3 1 が半透明である必要がある。

[0173] 有機 E L 素子 2 0 がトップエミッション型である場合、第 1 電極 2 1 における反射電極層 1 1 1 には、不透明な電極を用いることが望ましい。反射電極層 1 1 1 に用いられる反射電極材料としては、例えば、A g（銀）、A g 合金、A l（アルミニウム）、A l 合金、およびこれら電極材料からなる層を含む積層体（積層膜）を用いることができる。

[0174] また、透明電極層 1 2 1 に用いられる透明電極材料としては、I T O（Ind

ium Tin Oxide：インジウム錫酸化物）、I Z O（Indium Zinc Oxide：インジウム亜鉛酸化物）、ガリウム添加酸化亜鉛（G Z O）等を用いることができる。

[0175] 一方、第2電極31には、半透明電極を用いることが望ましい。半透明電極としては、例えば、金属の半透明電極単体、金属の半透明電極層と透明電極層との積層体を用いることができるが、反射率・透過率の観点から、銀が好ましい。

[0176] また、第1電極21および第2電極31の積層方法としては、スパッタ法、真空蒸着法、C V D（chemical vapor deposition、化学蒸着）法、プラズマC V D法、印刷法等を用いることができる。

[0177] 本実施の形態では、光路長の差によって出射される発光色を制御するために、第1電極21または第2電極31（図5および図6に示す例では第1電極21）における透明電極層121の厚みをサブ画素71R・71G・71B毎に変更することで、サブ画素71R・71G・71Bにマイクロキャビティ構造を導入している。

[0178] なお、このように透明電極層121の厚みを変更することでサブ画素71R・71G・71Bにマイクロキャビティ構造を導入する方法については、後で詳述する。

[0179] 有機E L層43の材料としては、既知の材料を用いることができる。

[0180] 正孔注入層、正孔輸送層、あるいは正孔注入層兼正孔輸送層の材料としては、例えば、アントラセン、アザトリフェニレン、フルオレノン、ヒドラゾン、スチルベン、トリフェニレン、ベンジン、スチリルアミン、トリフェニルアミン、ポルフィリン、トリアゾール、イミダゾール、オキサジアゾール、オキサゾール、ポリアリーールアルカン、フェニレンジアミン、アリーールアミン、およびこれらの誘導体、チオフェン系化合物、ポリシラン系化合物、ビニルカルバゾール系化合物、アニリン系化合物等の鎖状式あるいは複素環式共役系のモノマー、オリゴマー、またはポリマー等が挙げられる。

[0181] 電子輸送層、電子注入層、あるいは電子輸送層兼電子注入層の材料として

は、例えば、トリス（８－キノリノラト）アルミニウム錯体、オキサジアゾール誘導体、トリアゾール誘導体、フェニルキノキサリン誘導体、シロール誘導体等が挙げられる。

[0182] 発光層の材料としては、低分子蛍光色素、金属錯体等の発光効率が高い材料が用いられる。例えば、アントラセン、ナフタレン、インデン、フェナントレン、ピレン、ナフタセン、トリフェニレン、ペリレン、ピセン、フルオランテン、アセフェナントリレン、ペンタフェン、ペンタセン、コロネン、ブタジエン、クマリン、アクリジン、スチルベン、およびこれらの誘導体、トリス（８－キノリノラト）アルミニウム錯体、ビス（ベンゾキノリノラト）ベリリウム錯体、トリ（ジベンゾイルメチル）フェナントロリンユーロピウム錯体、ジトルイルビニルビフェニル、ヒドロキシフェニルオキサゾール、ヒドロキシフェニルチアゾール等が挙げられる。

[0183] なお、発光層には、それぞれ、単一の材料を用いてもよく、ある材料をホスト材料とし、他の材料をゲスト材料またはドーパントとして混ぜ込んだ混合材料を用いてもよい。

[0184] キャリア発生層の材料としては、酸化モリブデンや五酸化バナジウム等の金属酸化物、あるいはそれらと芳香族炭化水素やカルバゾール誘導体等とを共蒸着したもの、AuやAgの金属薄膜、IZOやITO等の透明導電層（透明電極層）、等が挙げられる。

[0185] <有機EL表示装置100の製造方法>

次に、有機EL表示装置100の製造方法について説明する。

[0186] 但し、本実施の形態に記載されている各構成要素の寸法、材質、形状等はあくまで一実施の形態に過ぎず、これによって本発明の範囲が限定解釈されるべきではない。

[0187] まず、図7を参照して、有機EL表示装置100の製造工程の流れの概要について説明する。

[0188] 図7は、有機EL表示装置100の製造工程の一例を工程順に示すフローチャートである。

- [0189] また、前記したように、本実施の形態に記載の積層順は、第1電極21を陽極とし、第2電極31を陰極としたものであり、第1電極21を陰極とし、第2電極31を陽極とする場合には、第1電極21と第2電極31とで、その材料並びに厚みが反転する。
- [0190] まず、ステップS1において、既知の方法で、絶縁基板11の表示領域R1上に、図5に示すように、TFT12、信号線14、層間絶縁膜13、およびコンタクトホール13aを形成する。
- [0191] 本実施の形態のようにトップエミッション型の有機EL表示装置100を製造する場合、絶縁基板11としては、例えば、板厚0.7～1.1mmの無アルカリガラス基板等のガラス基板あるいはプラスチック基板が用いられる。
- [0192] なお、絶縁基板11のX軸方向およびY軸方向の大きさは、用途等に応じて適宜設定すればよく、特に限定されるものではない。なお、本実施の形態では、板厚0.7mmの無アルカリガラス基板を使用した。
- [0193] 層間絶縁膜13およびコンタクトホール13aは、公知の技術でTFT12並びに信号線14等が形成された絶縁基板11上に感光性樹脂を塗布し、フォトリソグラフィ技術によりパターンニングを行うことで形成される。
- [0194] なお、層間絶縁膜13としては、既知の感光性樹脂を用いることができる。上記感光性樹脂としては、例えば、アクリル樹脂やポリイミド樹脂等が挙げられる。層間絶縁膜13の膜厚としては、TFT12による段差を補償することができればよく、特に限定されるものではない。本実施の形態では、例えば、アクリル樹脂を、約2μmの膜厚で成膜した。
- [0195] なお、この工程で、TFT12を駆動するためのゲートラインおよびソースライン等の信号線14が端子部領域R3まで引き出されるようにパターン形成される。また、この工程で、例えば、図3に示すように、第2電極接続領域R2に、接続部60をパターン形成する。
- [0196] 次に、ステップS2において、サブ画素71R・71G・71B毎に厚みの異なる第1電極21を作製する。なお、上記したように有機EL表示装置

100がトップエミッション型である場合の第1電極21の作製方法については、後で詳述する。

[0197] その後、ステップS3で、層間絶縁膜13上に、第1電極21の端部（パターン端部）を被覆するとともに、図4に示すようにサブ画素71R・71G・71B毎に開口部15R・15G・15Bが形成されるようにエッジカバー15を作製する。

[0198] 層間絶縁膜13同様、エッジカバー15には、既知の感光性樹脂を用いることができる。上記感光性樹脂としては、例えば、アクリル樹脂やポリイミド樹脂等が挙げられる。

[0199] エッジカバー15は、隣り合うサブ画素71における第1電極21の層厚の違いによる段差を補償するとともに、上記第1電極21の端部で、第1電極21と第2電極31とが短絡することを防止するために、第1電極21の膜厚が最も厚いサブ画素71Rにおける第1電極21の表面からの高さが、例えば約1 μ mとなるように設定される。

[0200] 本実施の形態では、サブ画素71Rにおける第1電極21の表面からの高さが約1 μ mとなるように、層間絶縁膜13の表面からの高さが約1.2 μ mのアクリル樹脂からなるエッジカバー15をパターンニング形成した。

[0201] 以上の工程により、第1電極21およびエッジカバー15が形成された支持基板10が作製される。

[0202] 次に、ステップS4で、上記のような工程を経た支持基板10に対し、脱水のための減圧ベークおよび第1電極21の表面洗浄として酸素プラズマ処理を施した後、図5に示すように第1電極21およびエッジカバー15を被覆するように、支持基板10の表示領域R1の全面に有機EL層43を作製する。なお、有機EL層43の作製方法については後で具体的に説明する。

[0203] その後、ステップS5で、既知の方法で、第2電極31を形成する。具体的には、第2電極31を、表示領域R1の全面に形成するとともに、第2電極接続領域R2の接続部60と電氣的に接続するため、それらの領域が露出するように、例えば蒸着用のマスクを用いた蒸着法によりパターン形成する

。なお、第2電極31の作製には、有機EL層43と同様の方法を用いることができる。

[0204] 第2電極31の膜厚は、10～30nmであることが好ましい。第2電極31の膜厚が10nm未満の場合には光の反射が十分行えず、マイクロキャビティ効果を十分得ることができないおそれがある。一方、第2電極31の膜厚が30nmを超える場合には、光の透過率が下がって輝度が低下するおそれがある。本実施の形態では、第2電極31としてAgを20nmの膜厚で形成した。

[0205] これにより、支持基板10上に、第1電極21、有機EL層43、および第2電極31からなる有機EL素子20を形成した。

[0206] 次に、ステップS6で、図2に示すように、有機EL素子20が形成された支持基板10と封止基板50とを、封止樹脂層41にて貼り合わせ、有機EL素子20の封入を行う。

[0207] また、有機EL素子20の封入は、例えば、以下のようにして行うことができる。

[0208] まず、図3に示す支持基板10における表示領域R1および第2電極接続領域R2を囲む枠状の封止領域Lに、図2に示すように封止樹脂層41を形成する。

[0209] 次に、支持基板10と封止樹脂層41とで囲まれた空間に、第2電極31を覆うように、酸素や水分が外部から有機EL素子20内に浸入することを阻止する保護膜として、乾燥剤を含有した接着性を有する充填樹脂層42を充填する。

[0210] 充填樹脂層42には、例えば、エポキシ樹脂等が用いられる。充填樹脂層42の膜厚は、例えば1～20μmである。

[0211] その後、この封止樹脂層41を介して、支持基板10と封止基板50とを貼り合わせる。

[0212] これにより、支持基板10と封止基板50と封止樹脂層41および充填樹脂層42とにより、有機EL素子20が密封される。

[0213] 封止基板50としては、例えば、0.4～1.1mmの板厚を有するガラス基板あるいはプラスチック基板等の絶縁基板が用いられる。なお、本実施の形態では、板厚0.7mmの無アルカリガラス基板を用いた。

[0214] その後、ステップS7において、図2に示すように、支持基板10の端子部領域R3の電気配線端子2に、例えば図示しないACF（Anisotropic Conductive Film：異方性導電膜）を介して、回路部102の接続端子103を接続する。このようにして、有機EL表示装置100が製造される。

[0215] なお、封止基板50のX軸方向およびY軸方向の大きさは、目的とする有機EL表示装置100のサイズにより適宜調整してもよく、支持基板10における絶縁基板11と略同一のサイズの絶縁基板を使用し、有機EL素子20を封止した後で、目的とする有機EL表示装置100のサイズに従って分断してもよい。

[0216] <有機EL層43の作製工程の流れ>

次に、図5に示す構成を有する有機EL表示装置100を例に挙げて、ステップS4における有機EL層43の作製工程の流れの概要について説明する。

[0217] 図8は、有機EL層43の作製工程の一例を工程順に示すフローチャートである。

[0218] 但し、図8に示す積層順は、第1電極21を陽極とし、第2電極31を陰極としたものであり、第1電極21を陰極とし、第2電極31を陽極とする場合には、有機EL層43の積層順は反転する。

[0219] 図7に示すステップS4では、脱水のための減圧ベークおよび第1電極21の表面洗浄として酸素プラズマ処理が施された支持基板10に対し、図8に示すように、まず、正孔注入層22を、第1電極21およびエッジカバー15を被覆するように、支持基板10の表示領域R1の全面に、蒸着によりパターン形成する（ステップS11）。

[0220] 上記パターン形成には、例えば真空蒸着法が用いられる。真空蒸着法では、表示領域R1の全面が開口したマスク（オープンマスク）が密着固定され

た支持基板 10 の被蒸着面を蒸着源に対向させて、蒸着源からの蒸着粒子（成膜材料）を、マスクの開口を通して被蒸着面に蒸着させる。これにより、蒸着源より飛散した蒸着粒子を、オープンマスクの開口部を通じて表示領域 R 1 の全面に均一に蒸着させる。

[0221] なお、上記蒸着は、例えば、表示領域 R 1 の全面が開口したオープンマスクを、支持基板 10 に対しアライメント調整を行った後に密着して貼り合わせ、支持基板 10 とオープンマスクとを共に回転させながら、蒸着源より飛散した蒸着粒子を、オープンマスクの開口部を通じて表示領域 R 1 に蒸着させてもよく、上記オープンマスクを使用し、支持基板 10 とオープンマスクとが密着固定された状態で蒸着源を走査して蒸着するようなスキャン蒸着を行ってもよい。

[0222] なお、ここで表示領域 R 1 の全面に蒸着とは、隣接した色の異なるサブ画素間に渡って途切れなく蒸着することを意味する。

[0223] 上記蒸着には、従来と同様の真空蒸着装置を用いることができる。したがって、ここでは、真空蒸着装置並びに蒸着方法の詳細については、その説明並びに図示を省略する。

[0224] なお、上記したように真空蒸着装置を用いて蒸着膜を成膜する場合、該真空蒸着装置は、真空ポンプによって、 1.0×10^{-4} Pa 以上の真空到達率に設定されていることが望ましい。言い換えれば、真空チャンバ内の圧力は、 1.0×10^{-4} Pa 以下に設定されていることが望ましい。

[0225] 蒸着粒子の平均自由行程は、 1.0×10^{-3} Pa よりも高い真空度となることで、必要十分な値が得られる。一方、真空度が 1.0×10^{-3} Pa よりも低いと、同平均自由行程が短くなるため、蒸着粒子が散乱されて、被成膜基板である支持基板 10 への到達効率が低下したり、不要な領域へ蒸着粒子が付着したりする。このため、真空チャンバは、上記真空到達率に設定されていることが望ましい。

[0226] 次いで、ステップ S 12 において、オープンマスクを使用し、正孔輸送層 23 を、正孔注入層 22 を被覆するように、正孔注入層 22 と同じパターン

で、正孔注入層 22 と同様にして、表示領域 R 1 の全面にパターン形成（蒸着）する。

[0227] その後、オープンマスクを使用し、上記正孔輸送層 23 を被覆するように、正孔注入層 22 および正孔輸送層 23 と同じパターンで、正孔注入層 22 および正孔輸送層 23 と同様にして、表示領域 R 1 の全面に、各ステップで、第 1 発光層 24（ステップ S 13）、電子輸送層 25（ステップ S 14）、キャリア発生層 26（ステップ S 15）、正孔輸送層 27（ステップ S 16）、第 2 発光層 28（ステップ S 17）、電子輸送層 29（ステップ S 18）、電子注入層 30（ステップ S 19）を、この順に、一様にパターン形成（蒸着）する。

[0228] これら有機 EL 層 43 の膜厚は、例えば従来と同様に設定される。

[0229] なお、正孔注入層 22 と正孔輸送層 23 とは、上記したように独立した層として形成されていてもよく、前記したように一体化されていてもよい。各々の膜厚としては、例えば、1～100 nm である。また、正孔注入層 22 と正孔輸送層 23 との合計の膜厚は、例えば 2～200 nm である。

[0230] また、電子輸送層 29 と電子注入層 30 とは、上記したように独立した層として形成されていてもよく、前記したように一体化されていてもよい。

[0231] 電子輸送層 25、電子輸送層 29、電子注入層 30 の各々の膜厚としては、例えば、1～100 nm である。また、電子輸送層 29 と電子注入層 30 との合計の膜厚は、例えば 20～200 nm である。

[0232] 第 1 発光層 24 および第 2 発光層 28 の各々の膜厚は、例えば、10～100 nm である。

[0233] また、キャリア発生層 26 の膜厚は、例えば、1～30 nm である。

[0234] 本実施の形態では、正孔注入層 22 として膜厚 2 nm の銅フタロシアニンを成膜した。また、正孔輸送層 23 として、膜厚 30 nm のNPB（4,4'-ビス[N-（1-ナフチル）-N-フェニルアミノ]ビフェニル）を成膜した。

[0235] また、電子輸送層 25 および電子輸送層 29 として、それぞれ膜厚 40 nm

mのオキサジアゾール誘導体を成膜した。また、電子注入層30として、膜厚1nmのフッ化リチウムを成膜した。

[0236] また、第1発光層24および第2発光層28として、それぞれイリジウム錯体をゲスト材料とし、ホスト材料としてCBP(4,4'-N,N'-ジカルバゾールービフェニル)を共蒸着したものを膜厚30nmで成膜した。また、キャリア発生層26として、酸化モリブデンとNPBとを共蒸着したものを、膜厚10nmで成膜した。

[0237] なお、第3発光層を有するユニットを積層する場合、例えば、ステップS18とステップS19との間に、二点鎖線で示すように、キャリア発生層(ステップS21)、正孔輸送層(ステップS22)、第3発光層(ステップS23)、電子輸送層(ステップS24)を、この順に、一様にパターン形成(蒸着)する。

[0238] この場合のキャリア発生層、正孔輸送層、第3発光層、電子輸送層の材料および膜厚としては、例えば、第2発光層28を有するユニットと同様に設定すればよい。

[0239] このような有機EL表示装置100において、信号線14からの信号入力によりTF12をON(オン)させると、第1電極21から有機EL層43へホール(正孔)が注入される。一方で、第2電極31から有機EL層43に電子が注入され、正孔と電子とが各発光層内で再結合し、再結合した正孔および電子がエネルギーを失活する際に、光として出射される。

[0240] 本実施の形態では、第1発光層24および第2発光層28は、異なる発光色の発光層であり、第1発光層24および第2発光層28から出射された光の混合がマイクロキャビティ効果を受けた結果の光が有機EL素子20により得られる。

[0241] <第1電極21の作製方法>

次に、トップエミッション型の有機EL表示装置100における第1電極21の作製方法(すなわち、サブ画素71毎に光路長が異なる電極の作製方法)について説明する。

[0242] 図1の(a)～(i)は、ステップS2に示す、トップエミッション型の有機EL表示装置100における第1電極21の作製方法の一例を工程順に示す断面図である。

[0243] まず、図5に示す層間絶縁膜13およびコンタクトホール13aが形成された支持基板10上に、図1の(a)に示すように、金属材料等の反射電極材料からなる反射電極層111を、スパッタリング法等により成膜する。

[0244] 次に、上記反射電極層111上に、サブ画素71R・71G・71B毎に、フォトリソグラフィによりレジストパターン201R・201G・201B（第2のレジストパターン）を形成する。その後、各レジストパターン201R・201G・201Bをマスクとして反射電極層111をエッチングした後、これらレジストパターン201R・201G・201Bをレジスト剥離液により剥離洗浄する。

[0245] これにより、図1の(b)に示すように、反射電極層111を、各色のサブ画素71R・71G・71B毎に分離するようにパターニングする。すなわち、各色のサブ画素71R・71G・71B毎にパターン化された反射電極層111を形成する。

[0246] 上記反射電極層111に用いられる反射電極材料としては、非晶質（アモルファス）のITOと電食反応しない反射電極材料が好ましく、例えば、Ag、Ag合金、およびAl合金からなる群より選ばれる何れか1種を用いることができる。そのなかでも、AgまたはAg合金が好適である。

[0247] また、反射電極層111の厚みは、例えば、50～150nmに設定される。本実施の形態では、反射電極層111として、電極厚100nmのAg電極を作製した。

[0248] なお、上記エッチングには、エッチング液として、例えば、リン酸・硝酸・酢酸の混合液や塩化第二鉄等のエッチング液を用いたウェットエッチングが用いられる。また、レジスト剥離液には、例えば、モノイソプロパノールアミン等が用いられる。

[0249] 次に、図1の(c)に示すように、上記支持基板10上に、反射電極層1

11を覆うように、透明電極層121である、非晶質（アモルファス）のITO（以下、「a-ITO」と記す）層112（第1の透明電極層）およびIZO層113（第2の透明電極層）を、例えばスパッタリングにより、この順に積層する。

[0250] このとき、a-ITO層112およびIZO層113は、a-ITO層112およびIZO層113の合計の膜厚が、光路長が最も長いサブ画素71Rの光路長73Rが得られるような膜厚に設定される。

[0251] a-ITO層112の膜厚は、例えば、40～50nmに設定される。また、IZO層113の膜厚は、例えば、45～55nmに設定される。本実施の形態では、a-ITO層112の膜厚を45nm、IZO層113の膜厚を50nmとした。

[0252] 続いて、図1の（d）に示すように、サブ画素71Rおよびサブ画素71Gに、フォトリソグラフィにより、平面視で、パターン化された反射電極層111と重畳するように、平面視で、パターン化された反射電極層111と同じパターンを有し、かつ、サブ画素71Rとサブ画素71Gとで厚みの異なるレジストパターン202R・202G（第2のレジストパターン）を形成する。

[0253] 本実施の形態では、二重露光を行うことによって、サブ画素71Rのレジストパターン202Rの方がサブ画素71Gのレジストパターン202Gよりも厚くなるように、サブ画素71Rとサブ画素71Gとでレジストパターン202R・202Gの膜厚を変更している。

[0254] 二重露光では、まず、例えば、サブ画素71R・71Gにそれぞれレジストパターン202R・202Gが形成されるように、フォトレジストの第1露光（フル露光）を行う。その後、サブ画素71Gのレジストパターン202Gを構成するフォトレジストが完全に露光されないような露光量で、サブ画素71Gのフォトレジストを第2露光（ハーフ露光）する。これにより、現像後に、サブ画素71Gのレジストパターン202Gの膜厚が減少し、サブ画素71Rのレジストパターン202Rの膜厚よりも小さくなる。

[0255] 本実施の形態では、第1露光および第2露光にステップ露光機を使用し、第1露光の露光量を $50\text{ mJ}/\text{cm}^2$ 、第2露光の露光量を $30\text{ mJ}/\text{cm}^2$ とすることで、サブ画素71Rに膜厚 $1.6\text{ }\mu\text{m}$ のレジストパターン202Rを形成し、サブ画素71Gに膜厚 $0.8\text{ }\mu\text{m}$ のレジストパターン202Gを形成した。

[0256] なお、本実施の形態では、二重露光によりサブ画素71Rとサブ画素71Gとでフォトリソの露光量を変更したが、ハーフトーンマスクを用いて、サブ画素71Rとサブ画素71Gとで露光量を変更してもよい。

[0257] その後、レジストパターン202R・202Gをマスクとして、エッチング液を用いて、レジストパターン202R・202Gでマスクされていないa-ITO層112およびIZO層113（すなわち、サブ画素71R・71G以外のa-ITO層112およびIZO層113）を一括してウェットエッチングする。

[0258] 上記エッチング液としては、シュウ酸等を用いることができる。

[0259] これにより、図1の（e）に示すように、上記a-ITO層112およびIZO層113からなる透明電極層121を、サブ画素71R・71G毎にパターン化する。

[0260] なお、このとき、反射電極層111であるAgはエッチングされないか、または、エッチング速度が著しく遅い。このため、図1の（e）に示すように、サブ画素71Gには、反射電極層111のみが残る。

[0261] 続いて、ドライエッチング装置を用いてアッシング処理してレジストパターン202R・202Gの表面を分解・除去して退行させることにより、図1の（f）に示すように、サブ画素71Rにおけるレジストパターン202Rを薄膜化する一方、サブ画素71Gにおけるレジストパターン202Gを完全に除去する。これにより、サブ画素71GにおけるIZO層113の表面を露出させる。

[0262] 上記アッシング処理には、例えば O_2 アッシング処理を用いることができる。本実施の形態では、ドライエッチング装置として東京エレクトロン社製の

「HTシリーズ」を使用し、サブ画素71Gにおけるレジストパターン202Gが完全に除去されるまでアッシング処理を行った。

[0263] その後、上記支持基板10を熱処理（アニール）することにより、図1の（g）に示すように、a-ITO層112を結晶化させる。

[0264] なお、上記熱処理における処理温度並びに処理時間は、a-ITO層112を結晶化させることができるように適宜設定すればよく、特に限定されるものではない。

[0265] 本実施の形態では、200℃で1時間、熱処理を行った。これにより、a-ITOが結晶性のITO（以下、「p-ITO」と記す）に転化した。この結果、サブ画素71R・71Gでは、IZO層113の下層のa-ITO層112が、図1の（g）に示すように、p-ITO層114に転化した。

[0266] なお、a-ITOからp-ITOへの転化においては、膜厚の減少等はなく、a-ITOの成膜時の膜厚が維持される。

[0267] その後、サブ画素71Rに残ったレジストパターン202Rをマスクとして、エッチング液を用いて、レジストパターン202RでマスクされていないIZO層113をウェットエッチングする。

[0268] このときのエッチング液としては、シュウ酸等、図1の（e）に示す工程で、a-ITO層112およびIZO層113のエッチングに使用したエッチング液と同様のエッチング液を使用することができる。

[0269] このとき、p-ITO層114（多結晶の第1の透明電極層）であるp-ITOは、上記エッチング液（シュウ酸）でエッチングされないか、または、エッチング速度が著しく遅い。

[0270] また、前記したように、反射電極層111であるAgはエッチングされないか、または、エッチング速度が著しく遅い。このため、サブ画素71Bの反射電極層111はエッチングにより除去されずに残る。

[0271] したがって、図1の（g）に示すウェットエッチング工程では、サブ画素71GにおけるIZO層113として用いられるIZOのみがエッチングされる。

[0272] この結果、図1の(h)に示すように、サブ画素71Gでは、透明電極層121としてp-I-T-O層114のみが残り、p-I-T-O層114からなる透明電極層121とその下の反射電極層111との積層構造を有する第1電極21が得られる。

[0273] また、サブ画素71Bでは、反射電極層111からなる第1電極21が得られる。

[0274] その後、図1の(i)に示すように、サブ画素71Rに残っているレジストパターン202Rが完全に除去されるまでアッシング処理を行い、サブ画素71RにおけるI-Z-O層113の表面を露出させる。これにより、サブ画素71Rでは、上層側からI-Z-O層113およびp-I-T-O層114がこの順に積層された透明電極層121とその下の反射電極層111との積層構造を有する第1電極21が得られる。

[0275] 上記アッシング処理には、図1の(f)に示す工程同様、例えばO₂アッシング処理を用いることができる。また、上記アッシング処理には、図1の(f)に示す工程で用いたドライエッチング装置と同じドライエッチング装置を用いることができる。

[0276] なお、このとき、レジスト剥離液によるウェット処理を併用してもよい。あるいは、レジスト剥離液によるウェット処理のみでサブ画素71Rに残っているレジストパターン202Rを除去してもよい。

[0277] 以上の処理を経ることによって、図1の(i)に示すように、異なる色のサブ画素71R・71G・71B毎に、透明電極層121の膜厚を変えることができる。

[0278] 本実施の形態では、このようにして第1電極21を形成した後、ステップS3に示すように、エッジカバー15を作製する。

[0279] <効果>

本実施の形態によれば、フォトリソグラフィ1回のみで、透明電極層の積層数、言い換えれば第1電極21の厚みを、サブ画素71毎に任意に変更することができる。また、本実施の形態によれば、反射電極層111のパター

ニングも含めても2回のフォトリソグラフィで、サブ画素71毎に厚みが異なる第1電極21を形成することができる。したがって、従来よりも少ない回数のフォトリソグラフィで、第1電極21の膜厚、言い換えれば、有機EL素子20の光路長を、サブ画素71毎に変更することができる。

[0280] したがって、従来よりもコストダウンおよびフットプリントの低減を図ることができる。

[0281] また、前記したように従来の方法では、フォトレジストの剥離およびベーク工程が多くなるため、反射電極層の表面が荒れたり酸化したりして反射効率が低下したり、反射電極層の表面荒れによる電極間リークが発生し、画素欠陥になるおそれがあった。

[0282] しかしながら、本実施の形態によれば、露光、現像、レジスト剥離処理等の回数を低減させることができるので、そのようなおそれがなく、有機EL用基板である支持基板10の品質を向上させることができる。また、処理タクトを短くすることができる。

[0283] 次に、本実施の形態にかかる各種変形例について説明する。

[0284] <第1電極21の作製方法の変形例>

本実施の形態では、図1の(f)に示すようにアッシング処理によりサブ画素71Rにおけるレジストパターン202Rの薄膜化およびサブ画素71Gにおけるレジストパターン202Gの除去を行った後、図1の(g)に示すように熱処理によりa-ITO層112を結晶化させる場合を例に挙げて説明した。

[0285] しかしながら、図1の(f)に示す工程と図1の(g)に示す工程とは、工程順を入れ替えることができる。

[0286] 図9の(a)～(i)は、ステップS2に示す、トップエミッション型の有機EL表示装置100における第1電極21の作製方法の他の例を工程順に示す断面図である。

[0287] 図9の(a)～(e)に示す工程は、図1の(a)～(e)に示す工程と同じである。本変形例では、図9の(e)に示す、図1の(e)で説明した

工程の後、アッシング処理することなく、図1の(f)に示すように、支持基板10を熱処理することにより、サブ画素71R・71Gのa-ITO層112を結晶化させる。

[0288] なお、ここでも、上記熱処理における処理温度並びに処理時間は、a-ITO層112を結晶化させることができるように適宜設定すればよく、特に限定されるものではない。

[0289] 本変形例でも、200℃で1時間、熱処理することで、IZO層113の下層のa-ITO層112であるa-ITOがp-ITOに転化してなるp-ITO層114を形成した。

[0290] 本変形例では、その後、ドライエッチング装置を用いて、図1の(f)に示す工程と同様にしてアッシング処理することで、レジストパターン202R・202Gの表面を分解・除去して退行させる。これにより、図9の(g)に示すように、サブ画素71Rにおけるレジストパターン202Rを薄膜化する一方、サブ画素71Gにおけるレジストパターン202Gを完全に除去する。これにより、サブ画素71GにおけるIZO層113の表面を露出させる。

[0291] その後、サブ画素71Rに残ったレジストパターン202Rをマスクとして、エッチング液を用いて、レジストパターン202RでマスクされていないIZO層113をウェットエッチングする。

[0292] この結果、図9の(h)に示すように、図1の(h)同様、サブ画素71Gでは、透明電極層121としてp-ITO層114のみが残り、p-ITO層114からなる透明電極層121とその下の反射電極層111との積層構造を有する第1電極21が得られる。

[0293] 後は、図9の(h)・(i)に示すように、図1の(h)・(i)と同様にしてウェットエッチングおよびレジストパターン202Rの除去を行うことで、図9の(i)に示すように、異なる色のサブ画素71R・71G・71B毎に、透明電極層121の膜厚を変えることができる。

[0294] <有機EL素子20の封止方法の変形例>

また、本実施の形態では、上記したように、乾燥剤を含有した接着性の充填樹脂層 4 2 を有機 E L 素子 2 0 上に形成することで、支持基板 1 0 と封止基板 5 0 との貼り合せ、並びに、有機 E L 素子 2 0 の封入を行う場合を例に挙げて説明した。

[0295] しかしながら、本実施の形態はこれに限定されるものではない。支持基板 1 0、封止基板 5 0、および封止樹脂層 4 1 で囲まれた空間に封止樹脂を充填する代わりに、上記空間に不活性ガスを封入した中空構造としてもよい。また、それに加えて、中空構造内に乾燥剤を塗布あるいは貼付した構造を有していてもよい。但し、封止基板 5 0 側から光を射出する場合、乾燥剤によって遮光されないようにする必要がある。

[0296] また、本実施の形態では、支持基板 1 0 上に、有機 E L 素子 2 0 および封止樹脂層 4 1、充填樹脂層 4 2、封止基板 5 0 が、この順に設けられた構成を有している場合を例に挙げて説明した。しかしながら、本実施の形態はこれに限定されるものではない。

[0297] 例えば、有機 E L 素子 2 0 の封止性能をより向上するために、有機 E L 素子 2 0 の上に、図示しない無機膜や有機・無機の混合積層膜等が積層されていてもよい。

[0298] さらに、無機膜や有機・無機の混合積層膜等だけで有機 E L 素子 2 0 の封止性能が十分であれば、封止樹脂層 4 1 や封止基板 5 0、充填樹脂層 4 2 を省くこともできる。

[0299] また、本実施の形態では、枠状に形成された封止樹脂層 4 1 を介して、支持基板 1 0 と封止基板 5 0 とを貼り合わせることによって、有機 E L 素子 2 0 の封止を行う場合を例に挙げて説明した。

[0300] しかしながら、有機 E L 素子 2 0 の封止方法はこれに限定されるものではなく、例えば封止樹脂の代わりにフリットガラス（粉末ガラス）を枠状に形成して、有機 E L 素子 2 0 の封止を行ってもよい。

[0301] <画素構成の変形例>

また、本実施の形態では、1つの画素 7 0 が、R、G、Bの3色のサブ画

素 7 1 R ・ 7 1 G ・ 7 1 B で構成されている場合を例に挙げて説明した。しかしながら、本実施の形態はこれに限定されるものではない。1つの画素 7 0 は、シアン（C）、マゼンタ（M）、イエロー（Y）等、R、G、B以外の3色のサブ画素 7 1 で構成されていてもよい。

[0302] また、本実施の形態では、上記したように、T F T 1 2 を各サブ画素 7 1 に形成したアクティブマトリクス型の有機 E L 表示装置 1 0 0 を例に挙げている。しかしながら、本実施の形態はこれに限定されるものではなく、有機 E L 素子 2 0 の駆動方式に影響されないようであれば、T F T が形成されていないパッシブマトリクス型の有機 E L 表示装置の製造についても、本発明を適用することができる。

[0303] <有機 E L 層 4 3 の作製方法の変形例>

また、本実施の形態では、有機 E L 層 4 3 を真空蒸着法により作製する場合を例に挙げて説明した。しかしながら、有機 E L 層 4 3 の作製方法はこれに限定されるものではなく、インクジェット法、レーザ転写法等、従来公知の有機膜の成膜方法を適宜選択・採用することができることは、言うまでもない。

[0304] <表示装置の変形例>

また、本実施の形態では、本実施の形態で製造される表示装置として、発光素子に有機 E L 素子を用いた表示装置を例に挙げて説明した。しかしながら、本実施の形態はこれに限定されるものではなく、例えば無機 E L 素子のような微小共振器として構成することが可能な発光素子を用いた表示装置にも広く適用が可能である。

[0305] [実施の形態 2]

本実施の形態について主に図 1 0 の（a）～（i）に基づいて説明すれば、以下の通りである。

[0306] なお、本実施の形態では、主に、実施の形態 1 との相違点について説明するものとし、実施の形態 1 で用いた構成要素と同一の機能を有する構成要素には同一の番号を付し、その説明を省略する。

[0307] 本実施の形態にかかる有機EL表示装置100の構成は、実施の形態1と同じである。本実施の形態では、ステップS2に示す、第1電極21の作製方法が、実施の形態1と異なっている。そこで、本実施の形態では、ステップS2に示す、第1電極21の他の作製方法について説明する。

[0308] <第1電極21の作製方法>

図10の(a)～(i)は、ステップS2に示す、トップエミッション型の有機EL表示装置100における第1電極21の作製方法の一例を工程順に示す断面図である。

[0309] 本実施の形態では、まず、図5に示す層間絶縁膜13およびコンタクトホール13aが形成された支持基板10上に、図10の(a)に示すように、金属材料等の反射電極材料からなる反射電極層111、透明電極層121であるa-ITO層112（第1の透明樹脂層）およびIZO層113（第2の透明樹脂層）を、例えばスパッタリングにより、この順に積層する。

[0310] 本実施の形態でも、上記反射電極材料としては、実施の形態1と同様の反射電極材料を用いることができる。また、反射電極材料の厚み（すなわち反射電極層111の厚み）も実施の形態1と同様に設定することができる。なお、本実施の形態では、反射電極層111として、実施の形態1と同じく、電極厚100nmのAg電極を作製した。

[0311] また、本実施の形態でも、実施の形態1と同様に、a-ITO層112およびIZO層113は、a-ITO層112およびIZO層113の合計の膜厚が、光路長が最も長いサブ画素71Rの光路長73Rが得られるような膜厚に設定される。本実施の形態でも、実施の形態1と同じく、a-ITO層112の膜厚を45nm、IZO層113の膜厚を50nmとした。

[0312] 次に、図10の(b)に示すように、上記IZO層113上に、サブ画素71R・71G・71B毎に、フォトリソグラフィにより、サブ画素71R・71G・71B毎に厚みの異なるレジストパターン211R・211G・211B（第1のレジストパターン）を形成する。

[0313] 本実施の形態では、三重露光を行うことによって、各サブ画素71R・7

1 G・7 1 Bのレジストパターン2 1 1 R・2 1 1 G・2 1 1 Bの膜厚が、サブ画素7 1 Rのレジストパターン2 1 1 R>サブ画素7 1 Gのレジストパターン2 1 1 G>サブ画素7 1 Bのレジストパターン2 1 1 Bとなるように、各サブ画素7 1 R・7 1 G・7 1 Bのレジストパターン2 1 1 R・2 1 1 G・2 1 1 Bの膜厚を変更している。

[0314] 三重露光では、まず、例えば、サブ画素7 1 R・7 1 G・7 1 Bにそれぞれレジストパターン2 1 1 R・2 1 1 G・2 1 1 Bが形成されるように、フォトリソの第1露光（フル露光）を行う。その後、サブ画素7 1 Gのレジストパターン2 1 1 Gを構成するフォトリソが完全に露光されないような露光量で、サブ画素7 1 Gのフォトリソを第2露光（ハーフ露光）する。また、サブ画素7 1 Bのレジストパターン2 1 1 Bを構成するフォトリソが完全に露光されないような露光量（但し、第3露光の露光量>第2露光の露光量）で、サブ画素7 1 Bのフォトリソを第3露光（ハーフ露光）する。

[0315] これにより、現像後に、サブ画素7 1 G・7 1 Bのレジストパターン2 1 1 G・2 1 1 Bの膜厚が減少し、上記したように、レジストパターン2 1 1 R・2 1 1 G・2 1 1 Bの膜厚が、レジストパターン2 1 1 R>レジストパターン2 1 1 G>レジストパターン2 1 1 Bの順に小さくなる。

[0316] 本実施の形態では、第1露光～第2露光にそれぞれステップ露光機を使用し、第1露光の露光量を70 mJ/cm²、第2露光の露光量を20 mJ/cm²、第3の露光量を40 mJ/cm²とすることで、サブ画素7 1 Rに膜厚2.4 μmのレジストパターン2 1 1 Rを形成し、サブ画素7 1 Gに膜厚1.6 μmのレジストパターン2 1 1 Gを形成し、サブ画素7 1 Bに膜厚0.8 μmのレジストパターン2 1 1 Bを形成した。

[0317] なお、本実施の形態では、三重露光によりサブ画素7 1 R・7 1 G・7 1 B毎にフォトリソの露光量を変更したが、ハーフトーンマスクを用いて、サブ画素7 1 R・7 1 G・7 1 B毎に露光量を変更してもよい。

[0318] また、第1露光（フル露光）後、サブ画素7 1 G・7 1 Bのレジストパタ

ーン 2 1 1 G・2 1 1 B を構成するフォトレジストが完全に露光されないような露光量で、サブ画素 7 1 G・7 1 B のフォトレジストを第 2 露光（ハーフ露光）した後、サブ画素 7 1 B のレジストパターン 2 1 1 B を構成するフォトレジストが完全に露光されないような露光量で、サブ画素 7 1 B のフォトレジストのみをさらに第 3 露光（ハーフ露光）してもよい。

[0319] その後、各サブ画素 7 1 R・7 1 G・7 1 B の第 1 電極 2 1 が分離するように、各レジストパターン 2 1 1 R・2 1 1 G・2 1 1 B をマスクとして、エッチング液を用いて、レジストパターン 2 1 1 R・2 1 1 G・2 1 1 B でマスクされていない反射電極層 1 1 1、a-ITO 層 1 1 2、および IZO 層 1 1 3 を一括してウェットエッチングする。

[0320] なお、上記エッチング液としては、例えば、リン酸・硝酸・酢酸の混合液や塩化第二鉄等のエッチング液を用いることができる。

[0321] これにより、図 10 の（c）に示すように、上記反射電極層 1 1 1、a-ITO 層 1 1 2 および IZO 層 1 1 3 からなる透明電極層 1 2 1 を、サブ画素 7 1 R・7 1 G・7 1 B 毎にパターン化する。

[0322] 続いて、実施の形態 1 と同様のドライエッチング装置を用いてアッシング処理してレジストパターン 2 1 1 R・2 1 1 G・2 1 1 B の表面を分解・除去して退行させることにより、図 10 の（d）に示すように、サブ画素 7 1 R・7 1 G におけるレジストパターン 2 1 1 R・2 1 1 G を薄膜化する一方、サブ画素 7 1 B におけるレジストパターン 2 1 1 B を完全に除去する。これにより、サブ画素 7 1 B における IZO 層 1 1 3 の表面を露出させる。

[0323] その後、残ったレジストパターン 2 1 1 R・2 1 1 G をマスクとして、エッチング液を用いて、レジストパターン 2 1 1 R・2 1 1 G でマスクされていない、サブ画素 7 1 B の a-ITO 層 1 1 2 および IZO 層 1 1 3 を一括してウェットエッチングする。

[0324] 上記エッチング液としては、シュウ酸等を用いることができる。

[0325] なお、このとき、反射電極層 1 1 1 である Ag はエッチングされないか、または、エッチング速度が著しく遅い。このため、図 10 の（e）に示すよ

うに、サブ画素 7 1 G には、反射電極層 1 1 1 のみが残る。

[0326] 続いて、図 10 の (d) と同様にして、ドライエッチング装置を用いて再度アッシング処理してレジストパターン 2 0 2 R・2 0 2 G の表面を分解・除去して退行させることにより、図 10 の (f) に示すように、サブ画素 7 1 R におけるレジストパターン 2 1 1 R を薄膜化する一方、サブ画素 7 1 G におけるレジストパターン 2 1 1 G を完全に除去する。これにより、サブ画素 7 1 G における I Z O 層 1 1 3 の表面を露出させる。

[0327] その後、上記支持基板 1 0 を熱処理することにより、図 1 の (g) に示すように、a - I T O 層 1 1 2 を結晶化させる。

[0328] なお、図 10 の (f) ~ (i) に示す工程は、図 1 の (f) ~ (i) に示す工程と同じである。したがって、本実施の形態では、図 10 の (f) ~ (i) に示す工程については、その説明もしくは詳細を省略する。

[0329] <変形例>

また、本実施の形態でも、図 10 の (i) に示す工程では、図 1 の (i) に示す工程と同じく、レジスト剥離液によるウェット処理を併用してもよい。あるいは、レジスト剥離液によるウェット処理のみでサブ画素 7 1 R に残っているレジストパターン 2 1 1 R を除去してもよい。

[0330] また、本実施の形態でも、図 10 の (f) および図 10 の (g) に示す工程は、図 9 の (f) および図 9 の (g) で説明したように、図 1 の (f) および図 1 の (g) に示す工程と同じく、互いに工程順を入れ替えることができる。

[0331] <効果>

以上の処理を経ることによって、本実施の形態でも、図 10 の (i) に示すように、異なる色のサブ画素 7 1 R・7 1 G・7 1 B 毎に、透明電極層 1 2 1 の膜厚を任意に変えることができる。

[0332] また、本実施の形態では、上記したように、反射電極層 1 1 1 上に、a - I T O 層 1 1 2、および I Z O 層 1 1 3 をこの順に積層した後、サブ画素毎に膜厚が異なるレジストパターン 2 1 1 R・2 1 1 G・2 1 1 B を用いて、

反射電極層 111、a-ITO 層 112、および IZO 層 113 を、一括してエッチングすることで、反射電極層 111 のパターンングを含めて 1 回のフォトリソグラフィで、サブ画素 71R・71G・71B 毎に厚みが異なる第 1 電極 21 を形成することができる。

[0333] したがって、処理タクトをさらに短くできるとともに、従来よりもコストダウンおよびフットプリントの低減を図ることができる。

[0334] [実施の形態 3]

本実施の形態について主に図 11 の (a) ~ (i) に基づいて説明すれば、以下の通りである。

[0335] なお、本実施の形態では、主に、実施の形態 1 との相違点について説明するものとし、実施の形態 1 で用いた構成要素と同一の機能を有する構成要素には同一の番号を付し、その説明を省略する。

[0336] 本実施の形態にかかる有機 EL 表示装置 100 は、第 1 電極 21 の積層構造およびステップ S2 に示す第 1 電極 21 の作製方法が実施の形態 1 と異なることを除けば、実施の形態 1 と同じである。そこで、本実施の形態では、ステップ S2 に示す、第 1 電極 21 の他の作製方法および積層構造について説明する。

[0337] <第 1 電極 21 の作製方法>

図 11 の (a) ~ (i) は、ステップ S2 に示す、トップエミッション型の有機 EL 表示装置 100 における第 1 電極 21 の作製方法の一例を工程順に示す断面図である。

[0338] 図 11 の (a) ~ (c) に示す工程は、実施の形態 1 とは異なる反射電極材料を使用する点を除けば、図 1 の (a) ~ (c) に示す工程と同じである。したがって、本実施の形態では、図 11 の (a) ~ (c) に示す工程については、その説明を省略する。

[0339] 本実施の形態では、反射電極層 111 に用いられる反射電極材料として、Ag (銀) または Ag 合金に代えて、Al (アルミニウム) または Al 合金を使用する。なお、反射電極層 111 としては、表面に Al 層を有する積層

電極を用いてもよい。表面にAl層を有する積層電極としては、例えば、AlとMo（モリブデン）との積層体、あるいは、AlとTi（チタン）との積層体等が挙げられる。

[0340] この場合、反射電極層111の厚みは、例えば、100～300nmに設定される。本実施の形態では、反射電極層111として、電極厚100nmのAl電極を作製した。

[0341] なお、本実施の形態でも、反射電極層111のエッチングには、実施の形態1同様、エッチング液として、例えば、リン酸・硝酸・酢酸の混合液や塩化第二鉄等のエッチング液を用いたウェットエッチングが用いられる。

[0342] また、本実施の形態でも、実施の形態1と同様に、a-ITO層112（第1の透明樹脂層）およびIZO層113（第2の透明樹脂層）は、a-ITO層112およびIZO層113の合計の膜厚が、光路長が最も長いサブ画素71Rの光路長73Rが得られるような膜厚に設定される。本実施の形態でも、実施の形態1と同じく、a-ITO層112の膜厚を45nm、IZO層113の膜厚を50nmとした。

[0343] 本実施の形態では、図11の（c）に示す工程の後、図11の（d）に示すように、実施の形態1と同様に二重露光を行うことによって、サブ画素71Rおよびサブ画素71Gに、フォトリソグラフィにより、サブ画素71Rとサブ画素71Gとで厚みの異なるレジストパターン202R・202G（第1のレジストパターン）を形成する。

[0344] なお、このときの二重露光の条件は、実施の形態1と同じ条件に設定した。これにより、本実施の形態では、実施の形態1同様、サブ画素71Rに膜厚1.6μmのレジストパターン202Rを形成し、サブ画素71Gに膜厚0.8μmのレジストパターン202Gを形成した。

[0345] 但し、本実施の形態では、図11の（d）に示すように、レジストパターン202R・202Gは、平面視で、反射電極層111のパターン端部を覆うように、サブ画素71R・71Gにおける各反射電極層111のパターンよりも広く形成した。

- [0346] なお、本実施の形態における、各反射電極層 1 1 1 のパターン端部からの平面視でのレジストパターン 2 0 2 R・2 0 2 Gのはみ出し量は、それぞれ 5 μ m に設定した。
- [0347] なお、本実施の形態では、二重露光によりサブ画素 7 1 R とサブ画素 7 1 G とでフォトリソの露光量を変更したが、実施の形態 1 同様、ハーフトーンマスクを用いて、サブ画素 7 1 R とサブ画素 7 1 G とで露光量を変更してもよいことは、言うまでもない。
- [0348] 続いて、図 1 1 の (e) に示すように、本実施の形態でも、レジストパターン 2 0 2 R・2 0 2 G をマスクとして、エッチング液を用いて、レジストパターン 2 0 2 R・2 0 2 G でマスクされていない a - I T O 層 1 1 2 および I Z O 層 1 1 3 (すなわち、サブ画素 7 1 R・7 1 G 以外の a - I T O 層 1 1 2 および I Z O 層 1 1 3) を一括してウェットエッチングする。
- [0349] なお、上記エッチング液としては、実施の形態 1 同様、シュウ酸等を用いることができる。
- [0350] これにより、図 1 1 の (e) に示すように、上記 a - I T O 層 1 1 2 および I Z O 層 1 1 3 からなる透明電極層 1 2 1 を、サブ画素 7 1 R・7 1 G 毎にパターン化する。
- [0351] なお、このとき、A g 同様、反射電極層 1 1 1 である A l はエッチングされないか、または、エッチング速度が著しく遅い。このため、図 1 1 の (e) に示すように、サブ画素 7 1 G には、反射電極層 1 1 1 のみが残る。
- [0352] なお、本実施の形態では、図 1 1 の (d) に示したように、レジストパターン 2 0 2 R・2 0 2 G は、平面視で、反射電極層 1 1 1 のパターン端部を覆うように、サブ画素 7 1 R・7 1 G における各反射電極層 1 1 1 のパターンよりも広く形成している。
- [0353] このため、本実施の形態では、上記エッチングにより、レジストパターン 2 0 2 R・2 0 2 G で覆われた、反射電極層 1 1 1 の周囲の透明電極層 1 2 1 (図 1 1 の (d) に示す例では、少なくとも a - I T O 層 1 1 2) が、エッチング除去されずに、反射電極層 1 1 1 を覆うように残る。

[0354] このため、本実施の形態では、反射電極層 111 と a-ITO 層 112 との接触部が露出しない。反射電極材料に Al あるいは電食耐性を施していない Al 合金を使用する場合、上記接触部が露出していると、洗浄時やエッジカバー 15 の現像時等に、Al と ITO との電食反応が生じて、Al および ITO が損傷するおそれがある。

[0355] しかしながら、本実施の形態によれば、上記したように反射電極材料に Al あるいは電食耐性を施していない Al 合金を使用した場合でも、このような問題が発生することはない。

[0356] 続いて、図 10 の (f) に示すように、図 1 の (f) と同様にアッシング処理を行い、サブ画素 71R におけるレジストパターン 202R を薄膜化する一方、サブ画素 71G におけるレジストパターン 202G を完全に除去する。

[0357] なお、図 11 の (f) ~ (i) に示す工程は、図 1 の (f) ~ (i) に示す工程と同じであり、反射電極層 111 が p-ITO 層 114 で覆われていることを除けば、第 1 電極 21 の作製過程および最終的に得られる第 1 電極 21 の積層構造は、実施の形態 1 と同じである。

[0358] したがって、本実施の形態では、図 11 の (f) ~ (i) に示す工程について、その説明を省略する。但し、本実施の形態でも、実施の形態 1 と同様の変形が可能であることは、言うまでもない。

[0359] <効果>

以上のように、本実施の形態でも、フォトリソグラフィ 1 回のみで、図 11 の (i) に示すように、異なる色のサブ画素 71R・71G・71B 毎に、透明電極層 121 の膜厚を任意に変えることができる。また、本実施の形態でも、反射電極層 111 のパターニングも含めても 2 回のフォトリソグラフィで、サブ画素 71 毎に厚みが異なる第 1 電極 21 を形成することができる。

[0360] また、本実施の形態によれば、電食反応による Al や ITO の損傷を生じることなく、反射電極層 111 に Al あるいは電食耐性を施していない Al

合金を用いた第1電極21を形成することができる。

[0361] <変形例>

なお、本実施の形態では、上記したように反射電極層111がAlまたはAl合金からなる層を含む場合を例に挙げて説明したが、反射電極層111に用いられる反射電極材料としては、実施の形態1で例示した反射電極材料と同様の反射電極材料を用いてもよいことは、言うまでもない。

[0362] [実施の形態4]

本実施の形態について主に図12の(a)～(i)に基づいて説明すれば、以下の通りである。

[0363] なお、本実施の形態では、主に、実施の形態1、3との相違点について説明するものとし、実施の形態1で用いた構成要素と同一の機能を有する構成要素には同一の番号を付し、その説明を省略する。

[0364] 本実施の形態にかかる有機EL表示装置100は、第1電極21の積層構造およびステップS2に示す第1電極21の作製方法が実施の形態1と異なることを除けば、実施の形態1と同じである。そこで、本実施の形態では、ステップS2に示す、第1電極21の他の作製方法および積層構造について説明する。

[0365] <第1電極21の作製方法>

図12の(a)～(i)は、ステップS2に示す、トップエミッション型の有機EL表示装置100における第1電極21の作製方法の一例を工程順に示す断面図である。

[0366] 図12の(a)・(b)に示す工程は、実施の形態3における図11の(a)・(b)に示す工程と同じである。したがって、図12の(a)・(b)に示す工程については、その説明を省略する。

[0367] 本実施の形態でも、実施の形態3同様、反射電極層111に用いられる反射電極材料として、Alを使用する。なお、本実施の形態では、反射電極層111として、実施の形態3と同じく、電極厚100nmのAl電極を作製した。

- [0368] また、反射電極層 1 1 1 のエッチングには、実施の形態 3 と同様のウェットエッチングを用いた。
- [0369] 次に、図 1 2 の (c) に示すように、反射電極層 1 1 1 を覆うように、透明電極層 1 2 1 である I Z O 層 1 1 3 (第 3 の透明電極層)、a - I T O 層 1 1 2 (第 1 の透明電極層)、I Z O 層 1 1 5 (第 2 の透明電極層) を、例えばスパッタリングにより、この順に積層する。
- [0370] このとき、I Z O 層 1 1 3、a - I T O 層 1 1 2、I Z O 層 1 1 5 は、これら I Z O 層 1 1 3、a - I T O 層 1 1 2、I Z O 層 1 1 5 の合計の膜厚が、光路長が最も長いサブ画素 7 1 R の光路長 7 3 R が得られるような膜厚に設定される。
- [0371] なお、この場合にも、I Z O 層 1 1 3 の膜厚は、例えば、2 0 ~ 3 0 n m に設定され、a - I T O 層 1 1 2 の膜厚は、例えば、1 5 ~ 2 5 n m に設定される。また、I Z O 層 1 1 5 の膜厚は、例えば、4 5 ~ 5 5 n m に設定される。
- [0372] 本実施の形態では、I Z O 層 1 1 3 の膜厚を 2 5 n m、a - I T O 層 1 1 2 の膜厚を 2 5 n m、I Z O 層 1 1 5 の膜厚を 5 0 n m とした。
- [0373] 続いて、図 1 2 の (d) に示すように、実施例 1 と同様に二重露光を行うことによって、サブ画素 7 1 R およびサブ画素 7 1 G に、フォトリソグラフィにより、サブ画素 7 1 R とサブ画素 7 1 G とで厚みの異なるレジストパターン 2 0 2 R ・ 2 0 2 G (第 1 のレジストパターン) を形成する。
- [0374] なお、本実施の形態でも、このときの二重露光の条件は、実施の形態 1 と同じ条件に設定した。これにより、本実施の形態でも、実施の形態 1 同様、サブ画素 7 1 R に膜厚 1 . 6 μ m のレジストパターン 2 0 2 R を形成し、サブ画素 7 1 G に膜厚 0 . 8 μ m のレジストパターン 2 0 2 G を形成した。
- [0375] 但し、本実施の形態でも、二重露光によりサブ画素 7 1 R とサブ画素 7 1 G とでフォトレジストの露光量を変更する代わりに、ハーフトーンマスクを用いて、サブ画素 7 1 R とサブ画素 7 1 G とで露光量を変更してもよいことは、言うまでもない。

[0376] 続いて、図12の(e)に示すように、レジストパターン202R・202Gをマスクとして、エッチング液を用いて、レジストパターン202R・202GでマスクされていないIZO層113、a-ITO層112、およびIZO層115（すなわち、サブ画素71R・71G以外のIZO層113、a-ITO層112、およびIZO層115）を一括してウェットエッチングする。

[0377] なお、上記エッチング液としては、実施の形態1同様、シュウ酸等を用いることができる。

[0378] これにより、図12の(e)に示すように、上記IZO層113、a-ITO層112、およびIZO層115からなる透明電極層121を、サブ画素71R・71G・71B毎にパターン化する。

[0379] なお、このとき、反射電極層111であるA1はエッチングされないか、または、エッチング速度が著しく遅い。このため、図12の(e)に示すように、サブ画素71Gには、反射電極層111のみが残る。

[0380] 続いて、図12の(f)に示すように、図1の(f)と同様にアッシング処理を行い、サブ画素71Rにおけるレジストパターン202Rを薄膜化する一方、サブ画素71Gにおけるレジストパターン202Gを完全に除去する。これにより、サブ画素71GにおけるIZO層115の表面を露出させる。

[0381] その後、図12の(g)に示すように、図1の(g)と同様に支持基板10を熱処理することにより、a-ITO層112を結晶化させる。これにより、本実施の形態でも、a-ITOがp-ITOに転化した。この結果、サブ画素71R・71Gでは、IZO層115の下層のa-ITO層112が、図12の(g)に示すように、p-ITO層114に転化した。

[0382] その後、サブ画素71Rに残ったレジストパターン202Rをマスクとして、エッチング液を用いて、レジストパターン202RでマスクされていないIZO層115をウェットエッチングする。

[0383] このときのエッチング液としては、シュウ酸等、図12の(e)に示すエ

程で、IZO層113、a-ITO層112、およびIZO層115のエッチングに使用したエッチング液と同様のエッチング液を使用することができる。

[0384] このとき、p-ITO層114であるp-ITOは、上記エッチング液（シュウ酸）でエッチングされないか、または、エッチング速度が著しく遅い。

[0385] また、前記したように、反射電極層111であるAlはエッチングされないか、または、エッチング速度が著しく遅い。

[0386] したがって、上記エッチング工程では、サブ画素71GにおけるIZO層115として用いられるIZOのみがエッチングされる。

[0387] この結果、図12の（h）に示すように、サブ画素71Gでは、透明電極層121としてp-ITO層114およびその下のIZO層113のみが残り、p-ITO層114およびIZO層113からなる透明電極層121とその下の反射電極層111との積層構造を有する第1電極21が得られる。

[0388] また、サブ画素71Bでは、反射電極層111からなる第1電極21が得られる。

[0389] その後、図12の（i）に示すように、サブ画素71Rに残っているレジストパターン202Rが完全に除去されるまでアッシング処理を行い、サブ画素71RにおけるIZO層115の表面を露出させる。これにより、サブ画素71Rでは、上層側からIZO層115、a-ITO層112、およびIZO層113がこの順に積層された透明電極層121とその下の反射電極層111との積層構造を有する第1電極21が得られる。

[0390] 上記アッシング処理には、図1の（f）および図12の（f）に示す工程と同様のアッシング処理並びにドライエッチング装置を用いることができる。

[0391] <効果>

以上の処理を経ることによって、本実施の形態でも、図12の（i）に示すように、異なる色のサブ画素71R・71G・71B毎に、透明電極層1

21の膜厚を変えることができる。

[0392] また、本実施の形態によれば、反射電極層111であるAlとITO層との間にIZO層が介在しているため、AlとITO層とが直接接触しておらず、電食反応の発生を抑制することができる。

[0393] <変形例>

なお、本実施の形態でも、図12の(i)に示す工程では、図1の(i)に示す工程と同じく、レジスト剥離液によるウェット処理を併用してもよい。あるいは、レジスト剥離液によるウェット処理のみでサブ画素71Rに残っているレジストパターン202Rを除去してもよい。

[0394] また、本実施の形態でも、図12の(f)および図12の(g)に示す工程は、図9の(f)および図9の(g)で説明したように、図1の(f)および図1の(g)に示す工程と同じく、互いに工程順を入れ替えることができる。

[0395] また、本実施の形態では、上記したように、反射電極材料の種類が異なること、並びに、透明電極層の積層数を3層としたこと以外は、実施の形態1と同様の手法により透明電極層121の膜厚を変更したが、実施の形態2の手法(手順)を用いて透明電極層121の膜厚を変更してもよい。

[0396] また、本実施の形態でも、上記レジストパターン202R・202Gは、実施の形態3同様、平面視で、上記パターン化された反射電極層111と重畳し、かつ、平面視で上記パターン化された反射電極層111よりも大きく形成されていてもよい。これにより、実施の形態3と同様の効果を得ることができる。

[0397] また、本実施の形態でも、上記したように反射電極層111がAlからなる層を含む場合を例に挙げて説明したが、反射電極層111に用いられる反射電極材料としては、実施の形態1、3で例示した反射電極材料と同様の反射電極材料を用いてもよいことは、言うまでもない。

[0398] [実施の形態5]

本実施の形態について主に図13の(a)～(j)に基づいて説明すれば

、以下の通りである。

[0399] なお、本実施の形態では、主に、実施の形態１との相違点について説明するものとし、実施の形態１で用いた構成要素と同一の機能を有する構成要素には同一の番号を付し、その説明を省略する。

[0400] 本実施の形態にかかる有機ＥＬ表示装置１００は、第１電極２１の積層構造およびステップＳ２に示す第１電極２１の作製方法が実施の形態１と異なることを除けば、実施の形態１と同じである。そこで、本実施の形態では、ステップＳ２に示す、第１電極２１の他の作製方法および積層構造について説明する。

[0401] ＜第１電極２１の作製方法＞

図１３の（ａ）～（ｊ）は、ステップＳ２に示す、トップエミッション型の有機ＥＬ表示装置１００における第１電極２１の作製方法の一例を工程順に示す断面図である。

[0402] 本実施の形態では、まず、図５に示す層間絶縁膜１３およびコンタクトホール１３ａが形成された支持基板１０上に、図１３の（ａ）に示すように、金属材料等の反射電極材料からなる反射電極層１１１、およびａ－ＩＴＯ層１１６（第４の透明電極層）を、例えばスパッタリングにより、この順に積層する。

[0403] 次いで、上記ａ－ＩＴＯ層１１６上に、サブ画素７１Ｒ・７１Ｇ・７１Ｂ毎に、フォトリソグラフィにより、レジストパターン２０１Ｒ・２０１Ｇ・２０１Ｂ（第２のレジストパターン）を形成する。その後、各レジストパターン２０１Ｒ・２０１Ｇ・２０１Ｂをマスクとして上記反射電極層１１１およびａ－ＩＴＯ層１１６をエッチングした後、これらレジストパターン２０１Ｒ・２０１Ｇ・２０１Ｂをレジスト剥離液により剥離洗浄する。

[0404] なお、上記エッチングには、図１の（ｂ）に示す工程で用いたエッチング液と同様のエッチング液を用いたウェットエッチングを用いることができる。また、レジスト剥離液としては、図１の（ｂ）に示す工程で用いたレジスト剥離液と同様のレジスト剥離液を用いることができる。

- [0405] これにより、図13の(b)に示すように、反射電極層111およびa-ITO層116を、各色のサブ画素71R・71G・71B毎に分離するようにパターニングする。すなわち、各色のサブ画素71R・71G・71B毎にパターン化された反射電極層111およびa-ITO層116を形成する。
- [0406] 本実施の形態でも、上記反射電極材料としては、実施の形態1と同様の反射電極材料を用いることができる。また、上記反射電極層111の厚みも、実施の形態1と同様に設定することができる。なお、本実施の形態では、反射電極層111として、実施の形態1と同じく、電極厚100nmのAg電極を作製した。
- [0407] また、a-ITO層116の膜厚は、例えば、15~25nmに設定される。本実施の形態では、a-ITO層116の膜厚を20nmとした。
- [0408] 次に、上記支持基板10を熱処理することにより、図13の(c)に示すように、a-ITO層116を結晶化させる。
- [0409] このときの熱処理における処理温度並びに処理時間は、a-ITO層116を結晶化させることができるように適宜設定すればよく、特に限定されるものではない。
- [0410] 本実施の形態では、200℃で1時間、熱処理を行った。これにより、各サブ画素71R・71G・71Bのa-ITO層116がp-ITO層117(第4の透明電極層)に転化した。
- [0411] 次いで、図13の(d)に示すように、パターン化された上記反射電極層111およびp-ITO層117が形成された支持基板10上に、上記反射電極層111およびp-ITO層117を覆うように、透明電極であるa-ITO層112(第1の透明電極層)、およびIZO層113(第2の透明電極層)を、例えばスパッタリングにより、この順に積層する。
- [0412] このとき、p-ITO層117、a-ITO層112、およびIZO層113は、これらp-ITO層117、a-ITO層112、およびIZO層113の合計の膜厚が、光路長が最も長いサブ画素71Rの光路長73Rが

得られるような膜厚に設定される。

[0413] 本実施の形態では、 $p-i$ TO層117の膜厚を20nm、 $a-i$ TO層112の膜厚を45nm、IZO層113の膜厚を50nmとした。但し、実施の形態1と比較して、 $p-i$ TO層117の分、第1電極21の反射電極層111と第2電極31との間の光路長 $73R \cdot 73G \cdot 73B$ が長くなってしまう。したがって、本実施の形態では、これら光路長 $73R \cdot 73G \cdot 73B$ を調整するために、正孔輸送層23の膜厚(NPBの膜厚)を10nmとした。

[0414] 図13の(d)～(j)に示す工程は、反射電極層111上に $p-i$ TO層117が積層されていることを除けば、図1の(c)～(i)に示す工程と同じである。

[0415] 実施の形態1～4に示したように、反射電極層111同様、 $p-i$ TOは、 $a-i$ TO層112およびIZO層113をエッチングするときに、エッチングされないか、または、エッチング速度が著しく遅い。

[0416] このため、図1の(c)～(i)に示す工程において、「反射電極層111」あるいは「反射電極層であるAg」は、「反射電極層111および反射電極層111上に積層された透明電極層121である $p-i$ TO層117」と読み替えることができる。

[0417] なお、本実施の形態でも、図13の(j)に示す工程では、図1の(i)に示す工程と同じく、レジスト剥離液によるウェット処理を併用してもよい。あるいは、レジスト剥離液によるウェット処理のみでサブ画素71Rに残っているレジストパターン202R(第1のレジストパターン)を除去してもよい。

[0418] <変形例>

また、本実施の形態でも、図13の(g)および図13の(h)に示す工程は、図9の(f)および図9の(g)で説明したように、図1の(f)および図1の(g)に示す工程と同じく、互いに工程順を入れ替えることができる。

[0419] <効果>

以上の処理を経ることによって、本実施の形態でも、図13の(j)に示すように、異なる色のサブ画素71R・71G・71B毎に、透明電極層121の膜厚を変えることができる。

[0420] 本実施の形態によれば、実施の形態1に対し、フォトリソグラフィの全体の回数を増加させることなく、サブ画素71R・71Gにおける透明電極層121の積層数を増加させることができる。すなわち、本実施の形態によれば、反射電極層111のパターニングを含め、2回のフォトリソグラフィで、サブ画素71毎に厚みが異なる第1電極21を形成することができる。

[0421] また、透明電極層121の膜厚は、各透明電極層の膜厚および積層数のうち少なくとも一方を変更することで、任意に調整・変更することができる。

[0422] したがって、例えば本実施の形態によれば、p-I-T-O層117、p-I-T-O層114(a-I-T-O層112)、およびI-Z-O層113の厚みをそれぞれ調整することで、各サブ画素71R・71G・71Bにおける光路長73R・73G・73Bの比率を実施の形態1と同じ比率に設定することもできるし、異なる比率に設定することもできる。

[0423] したがって、本実施の形態にかかる方法を用いれば、各サブ画素における好適な光路長の比率がRGBのサブ画素における好適な光路長の比率とは異なる発光色のサブ画素の組み合わせにおいても好適な光路長の比率を実現することができる。

[0424] なお、勿論、実施の形態1でも、p-I-T-O層114およびI-Z-O層113の厚みをそれぞれ調整・変更することで、各サブ画素における好適な光路長の比率を変更することができる。しかしながら、変更可能なパラメータが多いほど設定の自由度が高くなることから、上記したように各透明電極層の膜厚に加えて積層数も変更することで、各サブ画素における光路長の比率の変更をより一層容易に行うことができる。

[0425] [実施の形態6]

本実施の形態について主に図14の(a)～(j)に基づいて説明すれば

、以下の通りである。

[0426] なお、本実施の形態では、主に、実施の形態 1、3、5 との相違点について説明するものとし、実施の形態 1、3、5 で用いた構成要素と同一の機能を有する構成要素には同一の番号を付し、その説明を省略する。

[0427] 本実施の形態にかかる有機 EL 表示装置 100 は、第 1 電極 21 の積層構造およびステップ S2 に示す第 1 電極 21 の作製方法が実施の形態 1 と異なることを除けば、実施の形態 1 と同じである。そこで、本実施の形態では、ステップ S2 に示す、第 1 電極 21 の他の作製方法および積層構造について説明する。

[0428] <第 1 電極 21 の作製方法>

図 14 の (a) ~ (j) は、ステップ S2 に示す、トップエミッション型の有機 EL 表示装置 100 における第 1 電極 21 の作製方法の一例を工程順に示す断面図である。

[0429] 本実施の形態では、実施の形態 3 において、図 11 の (a) ~ (c) に示す工程に代えて図 14 の (a) ~ (c) に示す工程を行うことを除けば、実施の形態 3 と同じである。

[0430] 本実施の形態において、図 14 の (a) ~ (c) に示す工程は、反射電極材料に、反射電極層 111 として電極厚 100 nm の Al 電極を作製したことを除けば、実施の形態 5 における図 13 の (a) ~ (c) に示す工程と同じである。

[0431] また、図 14 の (d) ~ (j) に示す工程は、反射電極層 111 上に p-I TO 層 117 (第 4 の透明電極層) が積層されていることを除けば、図 11 の (c) ~ (i) に示す工程と同じである。

[0432] このため、図 11 の (c) ~ (i) に示す工程において、「反射電極層 111」は、「反射電極層 111 および反射電極層 111 上に積層された透明電極層 121 である p-I TO 層 117」と読み替えることができる。

[0433] 但し、本実施の形態では、実施の形態 3 と比較して、p-I TO 層 117 の分、第 1 電極 21 の反射電極層 111 と第 2 電極 31 との間の光路長 73

R・73G・73Bが長くなってしまふ。したがって、本実施の形態でも、これら光路長73R・73G・73Bを調整するために、実施の形態5同様、正孔輸送層23の膜厚(NPBの膜厚)を10nmとした。

[0434] なお、本実施の形態でも、図14の(j)に示す工程では、図1の(i)に示す工程と同じく、レジスト剥離液によるウェット処理を併用してもよい。あるいは、レジスト剥離液によるウェット処理のみでサブ画素71Rに残っているレジストパターン202Rを除去してもよい。

[0435] また、本実施の形態でも、図14の(g)および図14の(h)に示す工程は、図9の(f)および図9の(g)で説明したように、図1の(f)および図1の(g)に示す工程と同じく、互いに工程順を入れ替えることができる。

[0436] 以上の処理を経ることによって、本実施の形態でも、図14の(j)に示すように、異なる色のサブ画素71R・71G・71B毎に、透明電極層121の膜厚を変えることができる。

[0437] <変形例>

なお、本実施の形態では、反射電極層111としてA1電極を形成する場合を例に挙げて説明したが、反射電極層111に用いられる反射電極材料としては、実施の形態1、3で例示した反射電極材料と同じ反射電極材料を用いてもよいことは、言うまでもない。

[0438] 本実施の形態によれば、実施の形態3に対し、フォトリソグラフィの全体の回数を増加させることなく、サブ画素71R・71Gにおける透明電極層の積層数を増加させることができる。すなわち、本実施の形態でも、反射電極層111のパターニングを含め、2回のフォトリソグラフィで、サブ画素71毎に厚みが異なる第1電極21を形成することができる。

[0439] また、本実施の形態によれば、上記したように図14の(d)～(j)に示す工程において、実施の形態3と同様の工程を行うことで、実施の形態3同様、反射電極層111の側面を含めた反射電極層111全体を覆うように、p-i-TOからなる透明電極層を形成することができる。

[0440] 〔実施の形態 7〕

本実施の形態について主に図 15 の (a) ~ (j) に基づいて説明すれば、以下の通りである。

[0441] なお、本実施の形態では、主に、実施の形態 1、4、5 との相違点について説明するものとし、実施の形態 1、4、5 で用いた構成要素と同一の機能を有する構成要素には同一の番号を付し、その説明を省略する。

[0442] 本実施の形態にかかる有機 EL 表示装置 100 は、第 1 電極 21 の積層構造およびステップ S2 に示す第 1 電極 21 の作製方法が実施の形態 1 と異なることを除けば、実施の形態 1 と同じである。そこで、本実施の形態では、ステップ S2 に示す、第 1 電極 21 の他の作製方法および積層構造について説明する。

[0443] <第 1 電極 21 の作製方法>

図 15 の (a) ~ (j) は、ステップ S2 に示す、トップエミッション型の有機 EL 表示装置 100 における第 1 電極 21 の作製方法の一例を工程順に示す断面図である。

[0444] 本実施の形態では、実施の形態 4 において、図 12 の (a) ~ (c) に示す工程に代えて図 15 の (a) ~ (c) に示す工程を行うことを除けば、実施の形態 4 と同じである。

[0445] 本実施の形態において、図 15 の (a) ~ (c) に示す工程は、反射電極材料に、反射電極層 111 として電極厚 100 nm の Al 電極を作製したことを除けば、実施の形態 5 における図 13 の (a) ~ (c) に示す工程と同じである。

[0446] また、図 15 の (d) ~ (j) に示す工程は、反射電極層 111 上に p-I TO 層 117 (第 4 の透明電極層) が積層されていることを除けば、図 12 の (c) ~ (i) に示す工程と同じである。

[0447] このため、図 12 の (c) ~ (i) に示す工程において、「反射電極層 111」は、「反射電極層 111 および反射電極層 111 上に積層された透明電極層 121 である p-I TO 層 117」と読み替えることができる。

[0448] 但し、本実施の形態では、実施の形態4と比較して、p-I-T-O層117の分、第1電極21の反射電極層111と第2電極31との間の光路長 $73R \cdot 73G \cdot 73B$ が長くなってしまふ。したがって、本実施の形態でも、これら光路長 $73R \cdot 73G \cdot 73B$ を調整するために、実施の形態5、6同様、正孔輸送層23の膜厚（NPBの膜厚）を10nmとした。

[0449] <変形例>

なお、本実施の形態でも、図15の(j)に示す工程では、図1の(i)に示す工程と同じく、レジスト剥離液によるウェット処理を併用してもよい。あるいは、レジスト剥離液によるウェット処理のみでサブ画素71Rに残っているレジストパターン202Rを除去してもよい。

[0450] また、本実施の形態でも、図15の(g)および図15の(h)に示す工程は、図9の(f)および図9の(g)で説明したように、図1の(f)および図1の(g)に示す工程と同じく、互いに工程順を入れ替えることができる。

[0451] 以上の処理を経ることによって、本実施の形態でも、図15の(j)に示すように、異なる色のサブ画素71R・71G・71B毎に、透明電極層121の膜厚を変えることができる。

[0452] また、本実施の形態でも、反射電極層111としてA1電極を形成する場合を例に挙げて説明したが、反射電極層111に用いられる反射電極材料としては、実施の形態4同様、実施の形態1、3で例示した反射電極材料と同じ反射電極材料を用いてもよいことは、言うまでもない。

[0453] 本実施の形態によれば、実施の形態4に対し、フォトリソグラフィの全体の回数を増加させることなく、サブ画素71R・71Gにおける透明電極層の積層数を増加させることができる。すなわち、本実施の形態でも、反射電極層111のパターニングを含め、2回のフォトリソグラフィで、サブ画素71毎に厚みが異なる第1電極21を形成することができる。

[0454] また、本実施の形態でも、上記レジストパターン202R・202Gは、実施の形態3同様、平面視で、上記パターン化された反射電極層111と重

畳し、かつ、平面視で上記パターン化された反射電極層 1 1 1 よりも大きく形成されていてもよい。これにより、実施の形態 3 と同様の効果を得ることができる。

[0455] <実施の形態 5 ～ 7 の変形例 1>

なお、実施の形態 5 ～ 7 では、上記したように、反射電極層 1 1 1 上に a-ITO 層 1 1 6 を成膜した後、パターン化してから p-ITO 層 1 1 7 に転化させる場合を例に挙げて説明した。

[0456] p-ITO は、a-ITO を熱処理することによって得られるだけでなく、直接成膜装置によって p-ITO を形成することができる。しかしながら、p-ITO を直接成膜すると、成膜中の結晶粒の成長により膜の平坦性が低下したり、結晶間のピンホールが発生したりし易くなる。膜の平坦性が低くなると、第 1 電極 2 1 と第 2 電極 3 1 との短絡により有機 EL 素子 2 0 が損傷しやすくなる。またピンホールが発生していると、そこからエッチング液や現像液等が染み込み、下層の膜を損傷させるおそれがある。このため、反射電極層 1 1 1 上に a-ITO 層 1 1 6 を成膜した後、パターン化してから p-ITO 層 1 1 7 に転化させることが望ましい。

[0457] <実施の形態 5 ～ 7 の変形例 2>

また、図 1 3 の (a) ～ (c)、図 1 4 の (a) ～ (c)、および図 1 5 の (a) ～ (c) では、上記したように、反射電極層 1 1 1 上に a-ITO 層 1 1 6 を成膜した後、パターン化してから p-ITO 層 1 1 7 に転化させる場合を例に挙げて説明した。

[0458] しかしながら、p-ITO 層は、反射電極層 1 1 1 上のみならず、反射電極層 1 1 1 の下層にも設けることもできる。

[0459] この場合、図 1 3 の (a)、図 1 4 の (a)、および図 1 5 の (a) に示す工程で、反射電極層 1 1 1 を成膜する前に a-ITO 層 1 1 0 を成膜した後、図 1 3 の (b)、図 1 4 の (b)、および図 1 5 の (b) に示す工程で、a-ITO 層 1 1 0、反射電極層 1 1 1、および a-ITO 層 1 1 6 を、一括してウェットエッチングすればよい。

- [0460] 図13の(c)、図14の(c)、および図15の(c)に示す工程では、支持基板10を熱処理することにより、a-ITO層116だけでなく、反射電極層111の下層のa-ITO層も結晶化する。これにより、反射電極層111の上層だけでなく、下層にもp-ITO層を形成することができる。
- [0461] このように、図示しないa-ITO層、反射電極層111、a-ITO層112をこの順に成膜してパターン化した後、熱処理を行うことで、p-ITO層で挟持された反射電極層111、あるいは、p-ITO層で囲まれた（つまり、封止された）反射電極層111を形成することができる。
- [0462] また、このように反射電極層111の下層または上層に形成されたp-ITO層は、a-ITO層の成膜工程で、ソース線等の信号線14の端子部上にもa-ITO層を成膜することで、ソース線等の信号線14の端子部を覆う保護膜として用いることができる。
- [0463] なお、反射電極層111上に積層した他の透明電極層についても、これら透明電極層をソース線等の信号線14の端子部上に積層することで、信号線14の端子部を覆う保護膜として用いることができる。
- [0464] 反射電極層111あるいは信号線14の端子部がAgで形成されている場合、Agが剥き出しの状態（つまり、露出状態）にあると、例えばレジストのぬれ性を高めるために支持基板10に紫外線照射を行うと、剥き出しのAgが酸化して酸化銀になる。
- [0465] このため、反射電極層111あるいは信号線14の端子部がAgで形成されている場合、紫外線照射を行う場合に紫外線照射時にAgが剥き出し状態にあることは望ましくない。
- [0466] また、反射電極層111あるいは信号線14の端子部がAlで形成されている場合、Alは溶剤耐性が低く、IZO層を通じて溶剤が染み込む可能性もある。
- [0467] このため、何れの場合にも、反射電極層111および信号線14の端子部は、上記したようにp-ITO層で覆われていることが望ましい。

[0468] このとき、反射電極層 111 および信号線 14 の端子部が、製造工程における早い段階で上記したように p-i-T-O 層で覆われていることで、これら反射電極層 111 および信号線 14 の端子部が現像液に浸される回数あるいは領域を低減することができる。

[0469] [実施の形態 8]

本実施の形態について主に図 16 および図 17 に基づいて説明すれば、以下の通りである。

[0470] なお、本実施の形態では、主に、実施の形態 1～7 との相違点について説明するものとし、実施の形態 1～7 で用いた構成要素と同一の機能を有する構成要素には同一の番号を付し、その説明を省略する。

[0471] 図 16 は、本実施の形態にかかる有機 EL 表示パネル 1 の概略構成を示す断面図である。なお、本実施の形態にかかる有機 EL 表示装置 100 の要部の概略構成を示す分解断面図は図 2 と同じであり、有機 EL 表示装置 100 における支持基板 10 の概略構成を示す平面図は図 3 と同じである。また、支持基板 10 における表示領域 R1 の要部の構成を示す平面図は図 4 と同じである。図 16 は、有機 EL 表示パネル 1 を図 4 に示す A-A 線で切断したときの有機 EL 表示パネル 1 の概略構成を示す断面図に相当する。

[0472] 実施の形態 1～7 では、上記したように、複数の発光層を積層して発光色を重ね合わせることで、W 発光を得る場合を例に挙げて説明した。

[0473] しかしながら、実施の形態 1～7 に示す第 1 電極 21 の形成方法は、発光層の色毎に蒸着を行う塗り分け方式を用いることで、同一平面内に、発光色が異なる複数の発光層を形成する場合にも、同様に適用することができる。

[0474] 塗り分け方式を用いたフルカラーの有機 EL 表示装置 100 では、図 16 に示すように、例えば、RGB の各色の発光層 82R・82G・82B を備えた有機 EL 素子 20 が、サブ画素 71R・71G・71B として支持基板 10 上に配列形成される。このような有機 EL 表示装置 100 では、TFT 12 を用いて、これら有機 EL 素子 20 を選択的に所望の輝度で発光させることによりカラー画像表示を行う。

[0475] 本実施の形態では、このように、同一平面内に、発光色が異なる複数の発光層 8 2 R・8 2 G・8 2 B を形成するとともに、発光色が異なる各サブ画素 7 1 R・7 1 G・7 1 B にマイクロキャビティ構造を導入することで、上記したようにフルカラーの画像表示を行っている。

[0476] また、本実施の形態でも、図 1 6 に示すように C F 層 5 2 を併用することで、有機 E L 素子 2 0 から出射した光のスペクトルを C F 層 5 2 によって調整することができる。

[0477] 本実施の形態にかかる有機 E L 表示装置 1 0 0 は、図 1 6 に示すように、有機 E L 素子 2 0 における有機 E L 層 4 3 の積層構造が異なることを除けば、図 5 に示す有機 E L 表示装置 1 0 0 と同じ構成を有している。

[0478] 以下に、本実施の形態にかかる有機 E L 素子 2 0 の構成について説明する。

[0479] <有機 E L 素子 2 0 の構成>

図 1 6 に示す有機 E L 表示装置 1 0 0 において、第 1 電極 2 1 と第 2 電極 3 1 との間には、有機 E L 層 4 3 として、第 1 電極 2 1 側から、例えば、正孔注入層兼正孔輸送層 8 1、発光層 8 2 R・8 2 G・8 2 B、電子輸送層兼電子注入層 8 3 が、この順に形成された構成を有している。

[0480] なお、正孔注入層兼正孔輸送層および電子輸送層兼電子注入層については、実施の形態 1 で説明した通りであり、ここでは、正孔注入層兼正孔輸送層 8 1 および電子輸送層兼電子注入層 8 3 の説明は省略する。

[0481] 図 1 6 に示すように、正孔注入層兼正孔輸送層 8 1 は、第 1 電極 2 1 およびエッジカバー 1 5 を覆うように、支持基板 1 0 における表示領域 R 1 の全面に渡って一様に形成されている。

[0482] 正孔注入層兼正孔輸送層 8 1 上には、発光層 8 2 R・8 2 G・8 2 B が、それぞれ、サブ画素 7 1 R・7 1 G・7 1 B に対応して形成されている。

[0483] 発光層 8 2 R・8 2 G・8 2 B は、第 1 電極 2 1 側から注入された正孔と第 2 電極 3 1 側から注入された電子とを再結合させて光を出射する。本実施の形態でも、発光層 8 2 R・8 2 G・8 2 B は、それぞれ、低分子蛍光色素

、金属錯体等の、発光効率が高い材料で形成されている。

[0484] 電子輸送層兼電子注入層 8 3 は、発光層 8 2 R・8 2 G・8 2 B および正孔注入層兼正孔輸送層 8 1 を覆うように、これら発光層 8 2 R・8 2 G・8 2 B および正孔注入層兼正孔輸送層 8 1 上に、支持基板 1 0 における表示領域 R 1 の全面に渡って一様に形成されている。

[0485] なお、本実施の形態では、上記したように、正孔注入層および正孔輸送層として、正孔注入層兼正孔輸送層 8 1 を設けた場合を例に挙げて図示するとともに、電子輸送層および電子注入層として、電子輸送層兼電子注入層 8 3 を設けた場合を例に挙げて図示している。しかしながら、本実施の形態はこれに限定されるものではなく、正孔注入層と正孔輸送層とは互いに独立した層として形成されていてもよい。同様に、電子輸送層と電子注入層とは互いに独立した層として形成されていてもよい。

[0486] なお、発光層 8 2 R・8 2 G・8 2 B 以外の有機層は有機 E L 層 4 3 として必須の層ではなく、要求される有機 E L 素子 2 0 の特性に応じて適宜形成すればよい。

[0487] また、正孔注入層兼正孔輸送層 8 1 および電子輸送層兼電子注入層 8 3 のように、一つの層は、複数の機能を有していてもよい。

[0488] また、有機 E L 層 4 3 には、必要に応じ、キャリアブロッキング層を追加することもできる。例えば、発光層 8 2 R・8 2 G・8 2 B と電子輸送層兼電子注入層 8 3 との間にキャリアブロッキング層として正孔ブロッキング層を追加することで、正孔が電子輸送層兼電子注入層 8 3 に抜けるのを阻止し、発光効率を向上することができる。

[0489] 本実施の形態でも、第 1 電極 2 1 (陽極)、第 2 電極 3 1 (陰極)、および発光層 8 2 R・8 2 G・8 2 B 以外の層は、適宜挿入すればよい。

[0490] 上記有機 E L 素子 2 0 の構成としては、例えば、下記 (1) ~ (8) に示すような層構成を採用することができる。

(1) 第 1 電極／発光層／第 2 電極

(2) 第 1 電極／正孔輸送層／発光層／電子輸送層／第 2 電極

(3) 第1電極／正孔輸送層／発光層／正孔ブロッキング層／電子輸送層／
第2電極

(4) 第1電極／正孔輸送層／発光層／正孔ブロッキング層／電子輸送層／
電子注入層／第2電極

(5) 第1電極／正孔注入層／正孔輸送層／発光層／電子輸送層／電子注入
層／第2電極

(6) 第1電極／正孔注入層／正孔輸送層／発光層／正孔ブロッキング層／
電子輸送層／第2電極

(7) 第1電極／正孔注入層／正孔輸送層／発光層／正孔ブロッキング層／
電子輸送層／電子注入層／第2電極

(8) 第1電極／正孔注入層／正孔輸送層／電子ブロッキング層／発光層／
正孔ブロッキング層／電子輸送層／電子注入層／第2電極

なお、本実施の形態でも、上記積層順は、第1電極21を陽極とし、第2電極31を陰極としたものである。本実施の形態でも、第1電極21を陰極とし、第2電極31を陽極とする場合には、有機EL層43の積層順が反転する。

[0491] <有機EL表示装置100の製造方法>

次に、本実施の形態にかかる有機EL表示装置100の製造方法について説明する。

[0492] 本実施の形態でも、有機EL表示装置100の製造工程の流れの概要は、図7を用いて説明した通りである。なお、本実施の形態でも、第1電極21を陰極とし、第2電極31を陽極とする場合には、第1電極21と第2電極31とで、その材料並びに厚みが反転する。

[0493] 以下では、図16に示す構成を有する有機EL表示装置100を例に挙げて、ステップS4における図7に示す有機EL層43の作製工程の流れの概要について説明する。

[0494] <有機EL層43の作製工程の流れ>

図17は、図16に示す有機EL層43の作製工程の一例を工程順に示す

フローチャートである。

[0495] 本実施の形態では、まず、図 7 に示すステップ S 4 で、脱水のための減圧ベークおよび第 1 電極 2 1 の表面洗浄として酸素プラズマ処理が施された支持基板 1 0 に対し、図 1 7 に示すように、まず、正孔注入層兼正孔輸送層 8 1（正孔注入層・正孔輸送層）を、第 1 電極 2 1 およびエッジカバー 1 5 を被覆するように、支持基板 1 0 の表示領域 R 1 の全面に、真空蒸着法によりパターン形成する（ステップ S 3 1）。

[0496] なお、前記したように、正孔注入層兼正孔輸送層 8 1 は、支持基板 1 0 における表示領域 R 1 の全面に渡って一様に形成される。このため、実施の形態 1 における正孔注入層 2 2 および正孔輸送層 2 3 同様、表示領域 R 1 の全面が開口したオープンマスクを蒸着用のマスクとして用いて成膜を行う。

[0497] 一方、本実施の形態のように塗り分け方式を用いたフルカラーの有機 E L 表示装置 1 0 0 では、上記したように、T F T 1 2 を用いて有機 E L 素子 2 0 を選択的に所望の輝度で発光させることによりカラー画像表示を行う。

[0498] このため、上記有機 E L 表示装置 1 0 0 を製造するためには、各色に発光する有機発光材料からなる発光層 8 2 R・8 2 G・8 2 B を、有機 E L 素子 2 0 毎に所定のパターンで成膜する必要がある。

[0499] そこで、発光層 8 2 R・8 2 G・8 2 B の成膜には、所望の表示色の発光材料を蒸着させる領域のみが開口したファインマスクを蒸着用のマスクとして用いて、真空蒸着法により塗り分け蒸着する（ステップ S 3 2）。これにより、各サブ画素 7 1 R・7 1 G・7 1 B に応じたパターン膜を形成する。

[0500] その後、発光層 8 2 R・8 2 G・8 2 B が形成された支持基板 1 0 上に、表示領域 R 1 の全面が開口したオープンマスクを蒸着用のマスクとして用いて、真空蒸着法により、電子輸送層兼電子注入層 8 3（電子輸送層・電子注入層）（ステップ S 3 3）、第 2 電極 3 1（ステップ S 5）を、順に、画素領域全面に形成する。

[0501] なお、本実施の形態でも、上記蒸着には、従来と同様の真空蒸着装置を用いることができる。なお、好適な真空到達率等の条件については、実施の形

態 1 で説明した通りである。したがって、真空蒸着装置並びに蒸着方法の詳細については、その説明並びに図示を省略する。

[0502] また、本実施の形態でも、正孔注入層兼正孔輸送層 8 1 および電子輸送層兼電子注入層 8 3 として用いられる正孔注入層兼正孔輸送層および電子輸送層兼電子注入層の材料並びに膜厚としては、実施の形態 1 で説明した通りである。

[0503] また、発光層 8 2 R ・ 8 2 G ・ 8 2 B として用いられる発光層の材料については、実施の形態 1 で説明した通りである。なお、発光層 8 2 R ・ 8 2 G ・ 8 2 B には、それぞれ、発光色が異なる単一の材料を用いてもよく、ある材料をホスト材料とし、他の材料をゲスト材料またはドーパントとして混ぜ込んだ混合材料を用いてもよい。

[0504] なお、この場合の発光層 8 2 R ・ 8 2 G ・ 8 2 B の膜厚としては、例えば、10～100nm である。

[0505] 本実施の形態では、図 16 に示すように、実施の形態 1 同様、第 1 電極 2 1 を、反射電極層 1 1 1 と透明電極層 1 2 1 との積層構造とすることで、有機 EL 素子 2 0 にマイクロキャビティ構造を導入している。

[0506] このため、本実施の形態では、各発光層 8 2 R ・ 8 2 G ・ 8 2 B の膜厚を同一の膜厚に設定している。このため、実施の形態 1 ～ 7 と同様にして光路長 7 3 R ・ 7 3 G ・ 7 3 B が設定される。

[0507] したがって、正孔注入層兼正孔輸送層 8 1、電子輸送層兼電子注入層 8 3、発光層 8 2 R ・ 8 2 G ・ 8 2 B の材料および膜厚は、従来と同様に設定することができる。このため、本実施の形態では、これら正孔注入層兼正孔輸送層 8 1、電子輸送層兼電子注入層 8 3、発光層 8 2 R ・ 8 2 G ・ 8 2 B の具体的な材料並びに膜厚についての説明は省略する。

[0508] <効果>

上記したように、本実施の形態では、実施の形態 1 同様、第 1 電極 2 1 を、反射電極層 1 1 1 と透明電極層 1 2 1 との積層構造とすることで、有機 EL 素子 2 0 にマイクロキャビティ構造を導入している。

[0509] このため、本実施の形態では、有機EL素子20にマイクロキャビティ構造を導入するために、各発光層82R・82G・82Bの膜厚を、発光色毎に変更する必要はない。

[0510] このため、本実施の形態でも、実施の形態1～7のようにW発光の発光層を用いる場合と同様に、各発光層82R・82G・82Bの膜厚を等しく薄く成膜することができるので、処理タクトを短くすることができる。

[0511] また、本実施の形態でも、各発光層82R・82G・82Bから出射された光の混合に対してマイクロキャビティ効果が加味された光が有機EL素子20により得られる。またその光を、封止基板50に設けられたCF層52によって調整することで、所望のスペクトルを有する光を外部に取り出すことができる。したがって、本実施の形態でも、このように塗り分け方式を用いた発光層82R・82G・82Bとマイクロキャビティ効果とCF層52とを組み合わせることで、色純度を高めることができる。

[0512] また、本実施の形態でも、実施の形態1～7と同様にして第1電極21における透明電極層121の膜厚をサブ画素71R・71G・71B毎に変更することで、実施の形態1～7と同様の効果が得られることは、言うまでもない。

[0513] <実施の形態1～8の概要および変形例>

以上のように、実施の形態1～8では、非晶質の透明電極材料からなる第1の透明電極層上に、上記非晶質の透明電極材料からなる第1の透明電極層とは組成が異なる透明電極材料からなる第2の透明電極層を成膜し、少なくとも2つのサブ画素に、膜厚が異なるレジストパターンを形成し、アッシングによるレジストパターンの薄膜化と第1の透明電極層の結晶化を利用したエッチング耐性の変化とを利用して上記透明電極層をエッチングすることで、上記反射電極層上の透明電極層の積層数をサブ画素間で（例えばサブ画素毎に）変更している。

[0514] なお、実施の形態1～8では、（1）必要に応じて透明電極層が積層された状態で反射電極層をパターンニングした後、この必要に応じて透明電極層が

積層されたパターン化された反射電極層上に、上記非晶質の透明電極材料からなる第1の透明電極層と上記第2の透明電極層とを含む少なくとも2層の透明電極層を積層するか、もしくは、(2) 反射電極層のパターニング前に、該反射電極層上に、上記非晶質の透明電極材料からなる第1の透明電極層と上記第2の透明電極層とを含む少なくとも2層の透明電極層を積層し、この予め積層した透明電極層のうち少なくとも1層ないし全層を、発光色が異なるサブ画素のうち一部のサブ画素において選択的にエッチング除去することで、透明電極層の積層数をサブ画素間で変更する場合について説明した。しかしながら、本発明の実施の形態の一例は、これに限定されるものではない。

[0515] また、実施の形態1～8では、発光色が異なる3つのサブ画素において上記したように透明電極層をエッチングする場合を例に挙げて説明したが、本発明の実施の形態の一例は、これに限定されるものではない。

[0516] 例えば、上記(1)または(2)の方法を単独で、もしくは、上記(1)または(2)の方法の単独もしくはその組み合わせの繰り返しにより、あるいは、これらの方法とフォトリソグラフィを用いた透明電極の単層の積み上げ等の公知の手法との組み合わせにより、透明電極層の積層数や、透明電極層の積層数が異なるサブ画素の数を、任意かつ容易に設定・変更することが可能である。

[0517] 何れの場合にも、同じ数の透明電極層を積層する場合と比較すれば、従来よりも少ない回数のフォトリソグラフィで、表示色が異なるサブ画素間で、反射電極層上の透明電極層の積層数や合計の膜厚を変更することができる。

[0518] 以上のように、本発明の実施の形態の一例では、表示色が異なる複数のサブ画素のうち少なくとも2つのサブ画素における第2の透明電極層上に、それぞれ膜厚が異なる第1のレジストパターンを形成する第1のレジストパターン形成工程と、

上記第1のレジストパターンをマスクとして、少なくとも上記第2の透明電極層および非晶質の透明電極材料からなる第1の透明電極層をエッチング

してパターンニングする透明電極層パターンニング工程と、

アッシングにより、上記複数のサブ画素のうち、上記第1のレジストパターンの膜厚が最も薄いサブ画素における第1のレジストパターンを除去して第2の透明電極層を露出させる一方、残るサブ画素の第1のレジストパターンを薄膜化した後、上記薄膜化した第1のレジストパターンをマスクとして、露出した第2の透明電極層、もしくは、上記第2の透明電極層の下層に非晶質の透明電極材料からなる透明電極層が存在する場合には上記第2の透明電極層およびその下層の非晶質の透明電極材料からなる透明電極層をエッチングして除去する、少なくとも1回の透明電極層エッチング工程と、

上記透明電極層エッチング工程の後、上記第1のレジストパターン形成工程で形成した第1のレジストパターンの膜厚が最も厚いサブ画素における第1のレジストパターンを除去する第1のレジストパターン除去工程とを備え、

上記透明電極層エッチング工程は、上記第1のレジストパターン形成工程で形成した第1のレジストパターンのうち第1のレジストパターンの膜厚が2番目に厚いサブ画素における第2の透明電極層をエッチングして除去するまで繰り返し行われるとともに、

上記透明電極層エッチング工程は、少なくとも、

アッシングにより、上記第1のレジストパターン形成工程で形成した第1のレジストパターンの膜厚が2番目に厚いサブ画素における第1のレジストパターンを除去して第2の透明電極層を露出させる一方、上記第1のレジストパターン形成工程で形成した第1のレジストパターンの膜厚が最も厚いサブ画素における第1のレジストパターンを薄膜化するアッシング工程と、

上記アッシング工程で薄膜化した、上記第1のレジストパターン形成工程で形成した第1のレジストパターンの膜厚が最も厚いサブ画素における第1のレジストパターンをマスクとして、露出した第2の透明電極層をエッチングして除去する第2の透明電極層エッチング工程と、

上記非晶質の透明電極材料からなる第1の透明電極層を結晶化させて多結

晶の第1の透明電極層に転化させる第1の透明電極層結晶化工程とを備え、
上記第1の透明電極層結晶化工程は、上記アッシング工程の直前の工程、
または、上記アッシング工程と上記第2の透明電極層エッチング工程との間
で行われる。

[0519] これにより、従来よりも少ない回数のフォトリソグラフィで、例えば、表
示色が異なるサブ画素間で（例えばサブ画素毎に）、上記反射電極層上の透
明電極層の合計の膜厚を任意に変更することができる。

[0520] <要点概要>

以上のように、本発明の一態様にかかる表示装置の製造方法は、非晶質の
透明電極材料からなる第1の透明電極層上に第2の透明電極層を成膜し、少
なくとも2つのサブ画素に、膜厚が異なるレジストパターンを形成し、アッ
シングによるレジストパターンの薄膜化と第1の透明電極層の結晶化を利用
したエッチング耐性の変化とを利用して上記透明電極層をエッチングする方
法である。

[0521] このため、以上のように、本発明の一態様にかかる表示装置の製造方法は
、少なくとも1つのサブ画素における、電界を形成する対の電極のうち、一
方の電極が、反射電極層と、該反射電極層上に形成された複数の透明電極層
とを備え、表示色が異なるサブ画素間で上記透明電極層の合計の膜厚が異な
る表示装置の製造方法であって、

非晶質の透明電極材料からなる第1の透明電極層を成膜する第1の透明電
極層成膜工程と、

上記非晶質の透明電極材料からなる第1の透明電極層上に、上記非晶質の
透明電極材料からなる第1の透明電極層とは組成が異なる透明電極材料から
なる第2の透明電極層を成膜する第2の透明電極層成膜工程と、

表示色が異なる複数のサブ画素のうち少なくとも2つのサブ画素における
第2の透明電極層上に、それぞれ膜厚が異なる第1のレジストパターンを形
成する第1のレジストパターン形成工程と、

上記第1のレジストパターンをマスクとして、少なくとも上記第2の透明

電極層および非晶質の透明電極材料からなる第 1 の透明電極層をエッチングしてパターンニングする透明電極層パターンニング工程と、

アッシングにより、上記複数のサブ画素のうち、上記第 1 のレジストパターンの膜厚が最も薄いサブ画素における第 1 のレジストパターンを除去して第 2 の透明電極層を露出させる一方、残るサブ画素の第 1 のレジストパターンを薄膜化した後、上記薄膜化した第 1 のレジストパターンをマスクとして、露出した第 2 の透明電極層、もしくは、上記第 2 の透明電極層の下層に非晶質の透明電極材料からなる透明電極層が存在する場合には上記第 2 の透明電極層およびその下層の非晶質の透明電極材料からなる透明電極層をエッチングして除去する、少なくとも 1 回の透明電極層エッチング工程と、

上記透明電極層エッチング工程の後、上記第 1 のレジストパターン形成工程で形成した第 1 のレジストパターンの膜厚が最も厚いサブ画素における第 1 のレジストパターンを除去する第 1 のレジストパターン除去工程とを備え、

上記透明電極層エッチング工程は、上記第 1 のレジストパターン形成工程で形成した第 1 のレジストパターンのうち第 1 のレジストパターンの膜厚が 2 番目に厚いサブ画素における第 2 の透明電極層をエッチングして除去するまで繰り返し行われるとともに、

上記透明電極層エッチング工程は、少なくとも、

アッシングにより、上記第 1 のレジストパターン形成工程で形成した第 1 のレジストパターンの膜厚が 2 番目に厚いサブ画素における第 1 のレジストパターンを除去して第 2 の透明電極層を露出させる一方、上記第 1 のレジストパターン形成工程で形成した第 1 のレジストパターンの膜厚が最も厚いサブ画素における第 1 のレジストパターンを薄膜化するアッシング工程と、

上記アッシング工程で薄膜化した、上記第 1 のレジストパターン形成工程で形成した第 1 のレジストパターンの膜厚が最も厚いサブ画素における第 1 のレジストパターンをマスクとして、露出した第 2 の透明電極層をエッチングして除去する第 2 の透明電極層エッチング工程と、

上記非晶質の透明電極材料からなる第１の透明電極層を結晶化させて多結晶の第１の透明電極層に転化させる第１の透明電極層結晶化工程とを備え、

上記第１の透明電極層結晶化工程は、上記アッシング工程の直前の工程、または、上記アッシング工程と上記第２の透明電極層エッチング工程との間で行われる。

[0522] このようにエッチング耐性の違いによるエッチング選択性を利用して、透明電極層を複数層積層することで、従来よりも少ない回数のフォトリソグラフィで、例えば、表示色が異なるサブ画素毎に、上記反射電極層上の透明電極層の合計の膜厚を任意に変更することができる。また、従来よりも、コストダウンおよびフットプリントの低減を図ることができる。さらに、露光、現像、レジスト剥離処理等の回数を低減させることができるので、画素欠陥の発生を防止することができるとともに、処理タクトを短くすることができる。

[0523] 上記表示装置の製造方法において、上記第１の透明電極層はインジウム錫酸化物からなり、上記第２の透明電極層はインジウム亜鉛酸化物からなることが好ましい。

[0524] 非晶質のインジウム錫酸化物は、熱処理により容易に多結晶のインジウム錫酸化物に転化させることができる。多結晶のインジウム錫酸化物は、インジウム亜鉛酸化物よりもエッチング耐性が高く、第２の透明電極層エッチング工程でインジウム亜鉛酸化物をエッチングして除去するときに、エッチングされないか、あるいは、エッチング速度が著しく遅い。このため、第２の透明電極層エッチング工程では、インジウム亜鉛酸化物からなる第２の透明電極層のみが除去され、第１の透明電極層は除去されない。

[0525] また、上記表示装置の製造方法は、上記第１の透明電極層成膜工程の前に、表示色が異なるサブ画素毎にパターン化された反射電極層を形成する反射電極層パターンニング工程を備え、上記第１の透明電極層成膜工程および第２の透明電極層成膜工程では、上記パターン化された反射電極層上に、上記非晶質の透明電極材料からなる第１の透明電極層、第２の透明電極層が、この

順に成膜されることが好ましい。

[0526] 上記の構成によれば、反射電極層のパターニングも含めても2回のフォトリソグラフィで、反射電極層上に透明電極層が積層されてなる、サブ画素毎に厚みが異なる電極を形成することができる。

[0527] したがって、上記の方法によれば、従来よりも少ない回数のフォトリソグラフィで、表示色が異なるサブ画素毎に上記反射電極層上の透明電極層の合計の膜厚が異なる電極を形成することができる。

[0528] また、上記表示装置の製造方法は、上記第1の透明電極層成膜工程の前に、反射電極層を成膜する反射電極層成膜工程を備え、

上記第1の透明電極層成膜工程および第2の透明電極層成膜工程では、上記反射電極層上に、上記非晶質の透明電極材料からなる第1の透明電極層、第2の透明電極層が、この順に成膜され、

上記第1のレジストパターン形成工程では、各サブ画素における第2の透明電極層上に、それぞれ膜厚が異なる第1のレジストパターンを形成し、

上記透明電極層パターニング工程では、上記第1のレジストパターンをマスクとして、上記第2の透明電極層、非晶質の透明電極材料からなる第1の透明電極層、および反射電極層をエッチングしてパターニングすることが好ましい。

[0529] 上記の構成によれば、上記反射電極層上に、上記非晶質の透明電極材料からなる第1の透明電極層、第2の透明電極層を、この順に成膜した後、サブ画素毎に膜厚が異なる第1のレジストパターンを用いて、上記非晶質の透明電極材料からなる第1の透明電極層、第2の透明電極層を、一括してエッチングすることができる。

[0530] したがって、上記の方法によれば、反射電極層のパターニングを含めて1回のフォトリソグラフィで、反射電極層上に透明電極層が積層されてなる、サブ画素毎に厚みが異なる電極を形成することができる。

[0531] したがって、上記の方法によれば、従来よりもさらに少ない回数のフォトリソグラフィで、表示色が異なるサブ画素毎に上記反射電極層上の透明電極

層の合計の膜厚が異なる電極を形成することができる。

[0532] また、上記表示装置の製造方法は、上記第 1 の透明電極層成膜工程の前に、

表示色が異なるサブ画素毎にパターン化された反射電極層を形成する反射電極層パターンニング工程と、

上記パターン化された反射電極層上に、上記非晶質の透明電極材料からなる第 1 の透明電極層とは組成が異なる透明電極材料からなる第 3 の透明電極層を成膜する第 3 の透明電極層成膜工程とを備え、

上記第 1 の透明電極層成膜工程および第 2 の透明電極層成膜工程では、上記第 3 の透明電極層上に、上記非晶質の透明電極材料からなる第 1 の透明電極層、第 2 の透明電極層が、この順に成膜され、

上記透明電極層パターンニング工程では、上記第 1 のレジストパターンをマスクとして、上記第 2 の透明電極層、非晶質の透明電極材料からなる第 1 の透明電極層、および第 3 の透明電極層をエッチングしてパターンニングすることが好ましい。

[0533] 上記の方法によれば、上記反射電極層上に、上記第 3 の透明電極層を介して、上記非晶質の透明電極材料からなる第 1 の透明電極層が形成される。

[0534] このため、上記の方法によれば、上記反射電極層と非晶質の透明電極層との接触部が露出しない。

[0535] 上記反射電極層上に非晶質の透明電極層を直接積層する場合、上記反射電極層と非晶質の透明電極層との組み合わせによっては、洗浄時や現像時等に電食反応が生じて、上記反射電極層および透明電極層が損傷するおそれがある。

[0536] しかしながら、上記の方法によれば、上記反射電極層と非晶質の透明電極層との接触部が露出しないので、このような問題が発生することがない。

[0537] また、上記表示装置の製造方法は、上記第 1 の透明電極層成膜工程の前に、表示色が異なるサブ画素毎にパターン化された反射電極層と、上記反射電極層上に設けられ、上記サブ画素毎にパターン化された多結晶の第 4 の透明

電極層とを形成する反射電極層・第４の透明電極層形成工程を備え、

上記第１の透明電極層成膜工程および第２の透明電極層成膜工程では、上記パターン化された多結晶の第４の透明電極層上に、上記非晶質の透明電極材料からなる第１の透明電極層、第２の透明電極層が、この順に成膜されることが好ましい。

[0538] 反射電極材料の種類によっては、上記反射電極層が剥き出しの状態（つまり、露出状態）にあると、例えばレジストのぬれ性を高めるために紫外線照射を行うと酸化して反射特定が低下したり、溶剤耐性が低く、溶剤が染み込んだりする可能性がある。このため、このような反射電極層が、このような反射電極材料からなる場合、反射電極層が剥き出しの状態となることは望ましくない。

[0539] 上記の方法によれば、製造工程における早い段階で、上記したように反射電極層上に上記第４の透明電極層が形成されることで、上記反射電極層を、該反射電極層の品質を損なうおそれがある上記要因から保護することができる。

[0540] また、上記表示装置の製造方法は、上記第１の透明電極層成膜工程の前に、

表示色が異なるサブ画素毎にパターン化された反射電極層と、上記反射電極層上に設けられ、上記サブ画素毎にパターン化された多結晶の第４の透明電極層とを形成する反射電極層・第４の透明電極層形成工程と、

上記サブ画素毎にパターン化された多結晶の第４の透明電極層上に、上記非晶質の透明電極材料からなる第１の透明電極層とは組成が異なる透明電極材料からなる第３の透明電極層を成膜する第３の透明電極層成膜工程とを備え、

上記第１の透明電極層成膜工程および第２の透明電極層成膜工程では、上記第３の透明電極層上に、上記非晶質の透明電極材料からなる第１の透明電極層、第２の透明電極層が、この順に成膜され、

上記透明電極層パターンニング工程では、上記第１のレジストパターンをマ

スクとして、上記第2の透明電極層、非晶質の透明電極材料からなる第1の透明電極層、および第3の透明電極層をエッチングしてパターニングすることが好ましい。

[0541] この場合にも、製造工程における早い段階で、上記したように反射電極層上に上記第4の透明電極層が形成されることで、上記反射電極層を、該反射電極層の品質を損なうおそれがある上記要因から保護することができる。

[0542] また、上記の方法によれば、反射電極層上の透明電極層の積層数を増加させることができる。各透明電極層の膜厚に加えてこのように積層数を変更することで、各サブ画素における光路長の比率の変更をより一層容易に行うことができる。

[0543] また、上記表示装置の製造方法において、上記反射電極層・第4の透明電極層形成工程は、

反射電極層を成膜する工程と、

上記反射電極層上に、非晶質の透明電極材料からなる第4の透明電極層を成膜する第4の透明電極層成膜工程と、

上記非晶質の透明電極材料からなる第4の透明電極層上に、表示色が異なるサブ画素毎に第2のレジストパターンを形成する第2のレジストパターン形成工程と、

上記第2のレジストパターンをマスクとして、上記反射電極層および非晶質の透明電極材料からなる第4の透明電極層をエッチングしてパターニングする反射電極層・第4の透明電極層パターニング工程と、

上記非晶質の透明電極材料からなる第4の透明電極層を結晶化させて多結晶の第4の透明電極層に転化させる第4の透明電極層結晶化工程とを備えていることが好ましい。

[0544] 上記の構成によれば、反射電極層のパターニングと同時に上記非晶質の透明電極材料からなる第4の透明電極層のパターニングを行うため、フォトリソグラフィ工程を増加させることなく、上記パターン化された反射電極層上に、上記反射電極層と同じパターンを有する多結晶の透明電極材料からなる

第4の透明電極層を形成することができる。

[0545] また、反射電極材料の種類によっては、上記反射電極層が紫外線照射により酸化して反射特性が低下したり、溶剤耐性が低く、溶剤が染み込んだりする可能性がある。このため、このような反射電極層が、このような反射電極材料からなる場合、反射電極層が剥き出しの状態となることは望ましくない。

[0546] 上記の方法によれば、製造工程における早い段階で、上記したように反射電極層上に上記第4の透明電極層が形成されることで、上記反射電極層を、該反射電極層の品質を損なうおそれがある上記要因から保護することができる。

[0547] また、上記の方法によれば、フォトリソグラフィの全体の回数を増加させることなく、反射電極層上の透明電極層の積層数を増加させることができる。上記の方法によれば、例えば、反射電極層のパターニングを含め、2回のフォトリソグラフィで、表示色が異なるサブ画素毎に上記反射電極層上の透明電極層の合計の膜厚が異なる電極を形成することができる。

[0548] また、上記表示装置の製造方法において、上記第4の透明電極層はインジウム錫酸化物からなることが好ましい。

[0549] 前記したように、非晶質のインジウム錫酸化物は、熱処理により、エッチング耐性が高い多結晶のインジウム錫酸化物に容易に転化させることができる。

[0550] 多結晶のインジウム錫酸化物は、非晶質のインジウム錫酸化物を熱処理することによって得られるだけでなく、直接成膜装置によって多結晶のインジウム錫酸化物を形成することができる。しかしながら、直接成膜された多結晶のインジウム錫酸化物は成膜中の結晶粒の成長により膜平坦性が悪化したり、結晶間のピンホールが発生しやすくなったりする。このため、上記したように反射電極層上に多結晶のインジウム錫酸化物を形成する場合、反射電極層上に、非晶質の第4の透明電極層として、非晶質のインジウム錫酸化物を成膜した後、上記したようにパターン化してから多結晶のインジウム錫酸

化物に転化させることが望ましい。

[0551] また、上記表示装置の製造方法において、上記第3の透明電極層はインジウム亜鉛酸化物からなることが好ましい。

[0552] インジウム亜鉛酸化物は、上記反射電極層との間に電食反応を生じさせることがない。また、多結晶の透明電極層と比較してエッチング耐性が低いことから、上記第3の透明電極層を多結晶の透明電極層上に積層した場合、インジウム亜鉛酸化物からなる第3の透明電極層のみを選択的にエッチング除去することができる。

[0553] また、上記第1のレジストパターン形成工程において、上記第1のレジストパターンは、平面視で上記パターン化された反射電極層と重畳し、かつ、平面視で上記パターン化された反射電極層よりも大きく形成されていることが好ましい。

[0554] 上記反射電極層上に非晶質の透明電極層を直接積層する場合、上記反射電極層と非晶質の透明電極層との組み合わせによっては、洗浄時や現像時等に電食反応が生じて、上記反射電極層および透明電極層が損傷するおそれがある。

[0555] しかしながら、上記の方法によれば、上記反射電極層を、上記第2の透明電極層で覆うことができる。

[0556] したがって、上記の方法によれば、上記反射電極層と非晶質の透明電極層との接触部が露出しないので、このような問題が発生することがない。

[0557] また、上記表示装置の製造方法において、上記反射電極層は、銀、銀合金、およびアルミニウム合金からなる群より選ばれる何れか1種からなることが好ましい。

[0558] これらの材料は、非晶質の透明電極層との間で電食反応が生じない。このため、上記反射電極層における反射電極材料に適している。

[0559] また、上記したように第1のレジストパターンが、平面視で、上記パターン化された反射電極層と重畳し、かつ、平面視で上記パターン化された反射電極層よりも大きく形成されている場合、あるいは、上記反射電極層上に、

上記第3の透明電極層を介して、上記非晶質の透明電極材料からなる第1の透明電極層が形成されている場合、上記反射電極層は、アルミニウム層を含んでいてもよい。

[0560] アルミニウム層は、反射電極層が銀である場合のように紫外線照射によって酸化して反射特性が低下するという問題が発生し難い。

[0561] しかしながら、非晶質の透明電極材料がインジウム錫酸化物である場合等、非晶質の透明電極材料の種類によっては、上記反射電極層と非晶質の透明電極層との接触部が露出していると、洗浄時や現像時等に電食反応が生じて、上記反射電極層および透明電極層が損傷するおそれがある。

[0562] しかしながら、上記したように第1のレジストパターンが、平面視で、上記パターン化された反射電極層と重畳し、かつ、平面視で上記パターン化された反射電極層よりも大きく形成されている場合、あるいは、上記反射電極層上に、上記第3の透明電極層を介して、上記非晶質の透明電極材料からなる第1の透明電極層が形成されている場合には、上記反射電極層と非晶質の透明電極層との接触部が露出しない。このため、この場合には、上記反射電極材料にアルミニウムを使用しても、このような問題が発生することはない。このため、上記反射電極層として、上記効果を有するアルミニウム層を含む反射電極層を用いることができる。

[0563] また、上記表示装置の製造方法では、上記対の電極が陽極および陰極であり、上記一方の電極が陽極であるとともに、上記陽極と陰極とで有機エレクトロルミネッセンス層を挟むように上記陽極、陰極、および有機エレクトロルミネッセンス層を形成することが好ましい。

[0564] 上記の方法によれば、上記陽極と陰極とで有機エレクトロルミネッセンス層が挟持されてなる有機エレクトロルミネッセンス素子の光路長を、発光色が異なるサブ画素毎に容易に変更することができる。

[0565] したがって、上記の方法によれば、マイクロキャビティ構造を有する有機エレクトロルミネッセンス素子を得ることができる。このため、マイクロキャビティ効果により、上記有機エレクトロルミネッセンス素子を用いた表示

装置における色純度、発光の色度、発光効率等を向上させることができる。

[0566] 本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

産業上の利用可能性

[0567] 本発明は、有機EL素子や無機EL素子のような微小共振器として構成することが可能な発光素子を用いた表示装置の製造方法に好適に利用することができる。

符号の説明

[0568]	1	有機EL表示パネル
	2	電気配線端子
	10	支持基板
	11	絶縁基板
	12	TFT
	13	層間絶縁膜
	13a	コンタクトホール
	14	信号線
	15	エッジカバー
	15R・15G・15B	開口部
	20	有機EL素子
	21	第1電極
	22	正孔注入層
	23	正孔輸送層
	24	第1発光層
	25	電子輸送層
	26	キャリア発生層
	27	正孔輸送層

2 8	第 2 発光層
2 9	電子輸送層
3 0	電子注入層
3 1	第 2 電極
4 1	封止樹脂層
4 2	充填樹脂層
4 3	有機 E L 層
5 0	封止基板
5 1	絶縁基板
5 2	C F 層
5 3	B M
6 0	接続部
7 0	画素
7 1	サブ画素
7 1 R ・ 7 1 G ・ 7 1 B	サブ画素
7 2	発光領域
7 3 R ・ 7 3 G ・ 7 3 B	光路長
8 1	正孔注入層兼正孔輸送層
8 2 R ・ 8 2 G ・ 8 2 B	発光層
8 3	電子輸送層兼電子注入層
1 0 0	有機 E L 表示装置
1 0 1	画素部
1 0 2	回路部
1 0 3	接続端子
1 1 0	a - I T O 層
1 1 1	反射電極層
1 1 2	a - I T O 層
1 1 3	I Z O 層

1 1 4	p - I T O 層	
1 1 5	I Z O 層	
1 1 6	a - I T O 層	
1 1 7	p - I T O 層	
1 2 1	透明電極層	
2 0 1 R ・ 2 0 1 G ・ 2 0 1 B	レジストパターン	
2 1 1 R ・ 2 1 1 G ・ 2 1 1 B	レジストパターン	
L	封止領域	
R 1	表示領域	
R 2	第 2 電極接続領域	
R 3	端子部領域	

請求の範囲

[請求項1]

少なくとも1つのサブ画素における、電界を形成する対の電極のうち、一方の電極が、反射電極層と、該反射電極層上に形成された複数の透明電極層とを備え、表示色が異なるサブ画素間で上記透明電極層の合計の膜厚が異なる表示装置の製造方法であって、

非晶質の透明電極材料からなる第1の透明電極層を成膜する第1の透明電極層成膜工程と、

上記非晶質の透明電極材料からなる第1の透明電極層上に、上記非晶質の透明電極材料からなる第1の透明電極層とは組成が異なる透明電極材料からなる第2の透明電極層を成膜する第2の透明電極層成膜工程と、

表示色が異なる複数のサブ画素のうち少なくとも2つのサブ画素における第2の透明電極層上に、それぞれ膜厚が異なる第1のレジストパターンを形成する第1のレジストパターン形成工程と、

上記第1のレジストパターンをマスクとして、少なくとも上記第2の透明電極層および非晶質の透明電極材料からなる第1の透明電極層をエッチングしてパターンニングする透明電極層パターンニング工程と、

アッシングにより、上記複数のサブ画素のうち、上記第1のレジストパターンの膜厚が最も薄いサブ画素における第1のレジストパターンを除去して第2の透明電極層を露出させる一方、残るサブ画素の第1のレジストパターンを薄膜化した後、上記薄膜化した第1のレジストパターンをマスクとして、露出した第2の透明電極層、もしくは、上記第2の透明電極層の下層に非晶質の透明電極材料からなる透明電極層が存在する場合には上記第2の透明電極層およびその下層の非晶質の透明電極材料からなる透明電極層をエッチングして除去する、少なくとも1回の透明電極層エッチング工程と、

上記透明電極層エッチング工程の後、上記第1のレジストパターン形成工程で形成した第1のレジストパターンの膜厚が最も厚いサブ画

素における第1のレジストパターンを除去する第1のレジストパターン除去工程とを備え、

上記透明電極層エッチング工程は、上記第1のレジストパターン形成工程で形成した第1のレジストパターンのうち第1のレジストパターンの膜厚が2番目に厚いサブ画素における第2の透明電極層をエッチングして除去するまで繰り返し行われるとともに、

上記透明電極層エッチング工程は、少なくとも、

アッシングにより、上記第1のレジストパターン形成工程で形成した第1のレジストパターンの膜厚が2番目に厚いサブ画素における第1のレジストパターンを除去して第2の透明電極層を露出させる一方、上記第1のレジストパターン形成工程で形成した第1のレジストパターンの膜厚が最も厚いサブ画素における第1のレジストパターンを薄膜化するアッシング工程と、

上記アッシング工程で薄膜化した、上記第1のレジストパターン形成工程で形成した第1のレジストパターンの膜厚が最も厚いサブ画素における第1のレジストパターンをマスクとして、露出した第2の透明電極層をエッチングして除去する第2の透明電極層エッチング工程と、

上記非晶質の透明電極材料からなる第1の透明電極層を結晶化させて多結晶の第1の透明電極層に転化させる第1の透明電極層結晶化工程とを備え、

上記第1の透明電極層結晶化工程は、上記アッシング工程の直前の工程、または、上記アッシング工程と上記第2の透明電極層エッチング工程との間で行われることを特徴とする表示装置の製造方法。

[請求項2] 上記第1の透明電極層がインジウム錫酸化物からなり、上記第2の透明電極層がインジウム亜鉛酸化物からなることを特徴とする請求項1に記載の表示装置の製造方法。

[請求項3] 上記第1の透明電極層成膜工程の前に、表示色が異なるサブ画素毎

にパターン化された反射電極層を形成する反射電極層パターンニング工程を備え、

上記第1の透明電極層成膜工程および第2の透明電極層成膜工程では、上記パターン化された反射電極層上に、上記非晶質の透明電極材料からなる第1の透明電極層、第2の透明電極層が、この順に成膜されることを特徴とする請求項1または2に記載の表示装置の製造方法。

[請求項4]

上記第1の透明電極層成膜工程の前に、反射電極層を成膜する反射電極層成膜工程を備え、

上記第1の透明電極層成膜工程および第2の透明電極層成膜工程では、上記反射電極層上に、上記非晶質の透明電極材料からなる第1の透明電極層、第2の透明電極層が、この順に成膜され、

上記第1のレジストパターン形成工程では、各サブ画素における第2の透明電極層上に、それぞれ膜厚が異なる第1のレジストパターンを形成し、

上記透明電極層パターンニング工程では、上記第1のレジストパターンをマスクとして、上記第2の透明電極層、非晶質の透明電極材料からなる第1の透明電極層、および反射電極層をエッチングしてパターンニングすることを特徴とする請求項1または2に記載の表示装置の製造方法。

[請求項5]

上記第1の透明電極層成膜工程の前に、

表示色が異なるサブ画素毎にパターン化された反射電極層を形成する反射電極層パターンニング工程と、

上記パターン化された反射電極層上に、上記非晶質の透明電極材料からなる第1の透明電極層とは組成が異なる透明電極材料からなる第3の透明電極層を成膜する第3の透明電極層成膜工程とを備え、

上記第1の透明電極層成膜工程および第2の透明電極層成膜工程では、上記第3の透明電極層上に、上記非晶質の透明電極材料からなる

第1の透明電極層、第2の透明電極層が、この順に成膜され、

上記透明電極層パターンニング工程では、上記第1のレジストパターンをマスクとして、上記第2の透明電極層、非晶質の透明電極材料からなる第1の透明電極層、および第3の透明電極層をエッチングしてパターンニングすることを特徴とする請求項1または2に記載の表示装置の製造方法。

[請求項6]

上記第1の透明電極層成膜工程の前に、表示色が異なるサブ画素毎にパターン化された反射電極層と、上記反射電極層上に設けられ、上記サブ画素毎にパターン化された多結晶の第4の透明電極層とを形成する反射電極層・第4の透明電極層形成工程を備え、

上記第1の透明電極層成膜工程および第2の透明電極層成膜工程では、上記パターン化された多結晶の第4の透明電極層上に、上記非晶質の透明電極材料からなる第1の透明電極層、第2の透明電極層が、この順に成膜されることを特徴とする請求項1または2に記載の表示装置の製造方法。

[請求項7]

上記第1の透明電極層成膜工程の前に、

表示色が異なるサブ画素毎にパターン化された反射電極層と、上記反射電極層上に設けられ、上記サブ画素毎にパターン化された多結晶の第4の透明電極層とを形成する反射電極層・第4の透明電極層形成工程と、

上記サブ画素毎にパターン化された多結晶の第4の透明電極層上に、上記非晶質の透明電極材料からなる第1の透明電極層とは組成が異なる透明電極材料からなる第3の透明電極層を成膜する第3の透明電極層成膜工程とを備え、

上記第1の透明電極層成膜工程および第2の透明電極層成膜工程では、上記第3の透明電極層上に、上記非晶質の透明電極材料からなる第1の透明電極層、第2の透明電極層が、この順に成膜され、

上記透明電極層パターンニング工程では、上記第1のレジストパター

ンをマスクとして、上記第2の透明電極層、非晶質の透明電極材料からなる第1の透明電極層、および第3の透明電極層をエッチングしてパターンニングすることを特徴とする請求項1または2に記載の表示装置の製造方法。

[請求項8]

上記反射電極層・第4の透明電極層形成工程は、
反射電極層を成膜する工程と、

上記反射電極層上に、非晶質の透明電極材料からなる第4の透明電極層を成膜する第4の透明電極層成膜工程と、

上記非晶質の透明電極材料からなる第4の透明電極層上に、表示色が異なるサブ画素毎に第2のレジストパターンを形成する第2のレジストパターン形成工程と、

上記第2のレジストパターンをマスクとして、上記反射電極層および非晶質の透明電極材料からなる第4の透明電極層をエッチングしてパターンニングする反射電極層・第4の透明電極層パターンニング工程と、

上記非晶質の透明電極材料からなる第4の透明電極層を結晶化させて多結晶の第4の透明電極層に転化させる第4の透明電極層結晶化工程とを備えていることを特徴とする請求項6または7に記載の表示装置の製造方法。

[請求項9]

上記第4の透明電極層がインジウム錫酸化物からなることを特徴とする請求項6～8の何れか1項に記載の表示装置の製造方法。

[請求項10]

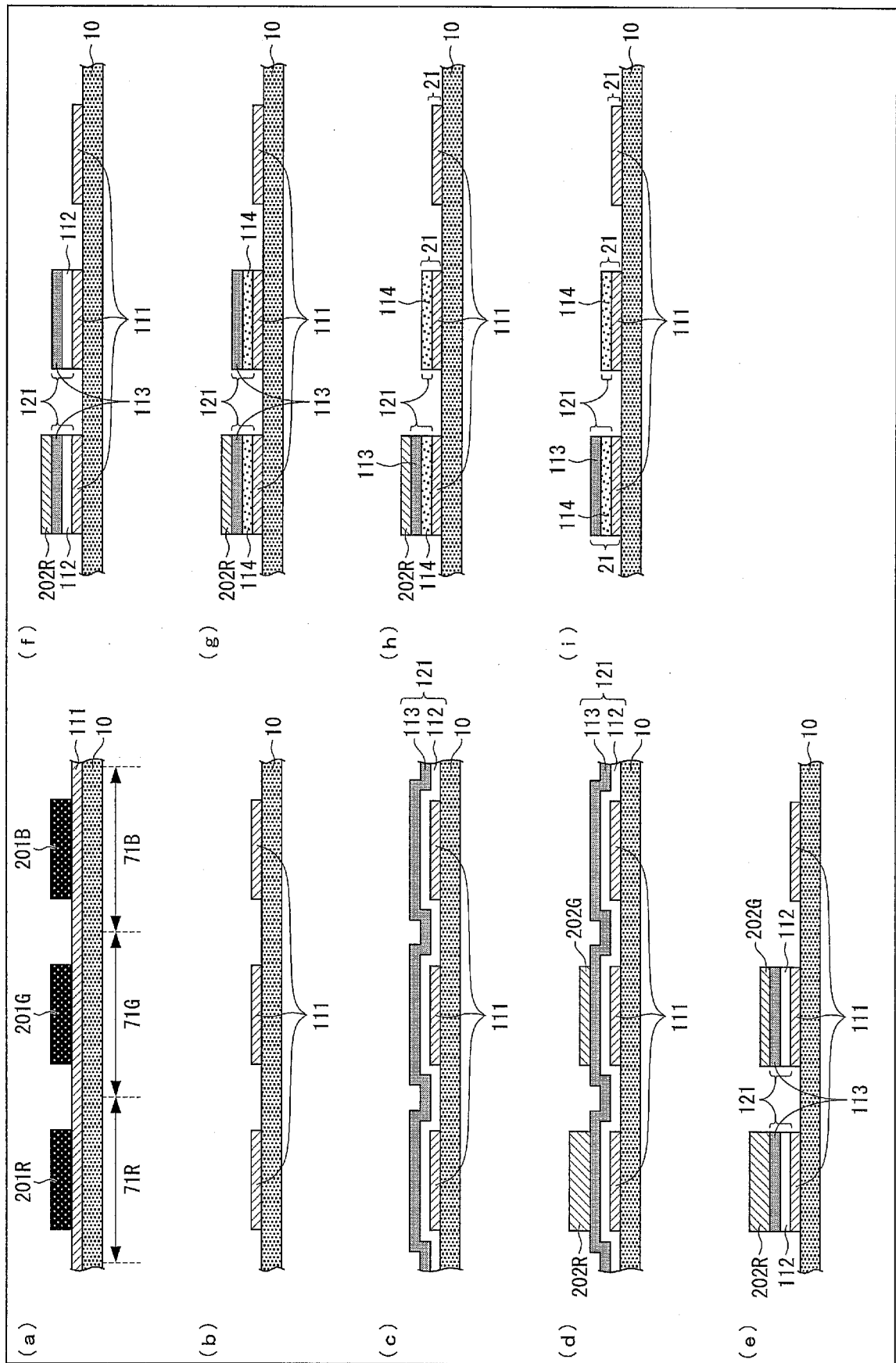
上記第3の透明電極層がインジウム亜鉛酸化物からなることを特徴とする請求項5または7に記載の表示装置の製造方法。

[請求項11]

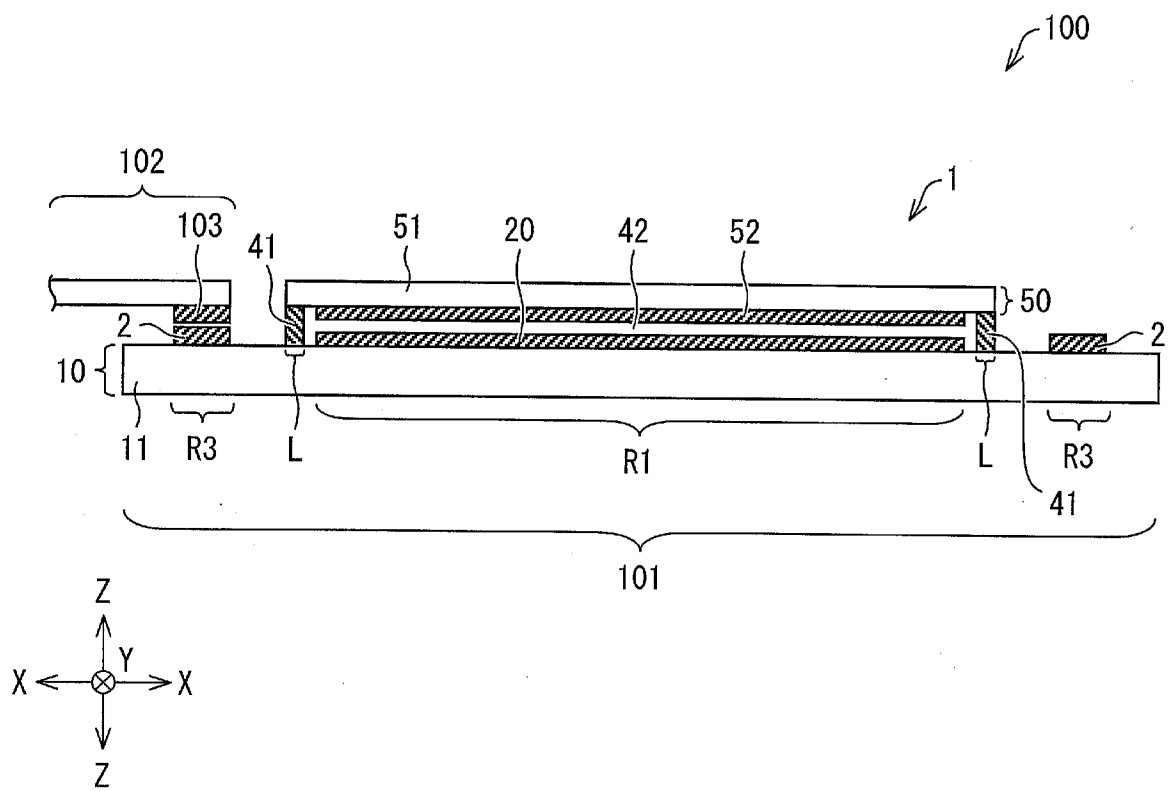
上記第1のレジストパターン形成工程において、上記第1のレジストパターンは、平面視で上記パターン化された反射電極層と重畳し、かつ、平面視で上記パターン化された反射電極層よりも大きく形成されていることを特徴とする請求項4～7の何れか1項に記載の表示装置の製造方法。

- [請求項12] 上記反射電極層が、銀、銀合金、およびアルミニウム合金からなる群より選ばれる何れか1種からなることを特徴とする請求項1～11の何れか1項に記載の表示装置の製造方法。
- [請求項13] 上記反射電極層が、アルミニウム層を含むことを特徴とする請求項5または11に記載の表示装置の製造方法。
- [請求項14] 上記対の電極が陽極および陰極であり、上記一方の電極が陽極であるとともに、
- 上記陽極と陰極とで有機エレクトロルミネッセンス層を挟むように上記陽極、陰極、および有機エレクトロルミネッセンス層を形成することを特徴とする請求項1～13の何れか1項に記載の表示装置の製造方法。

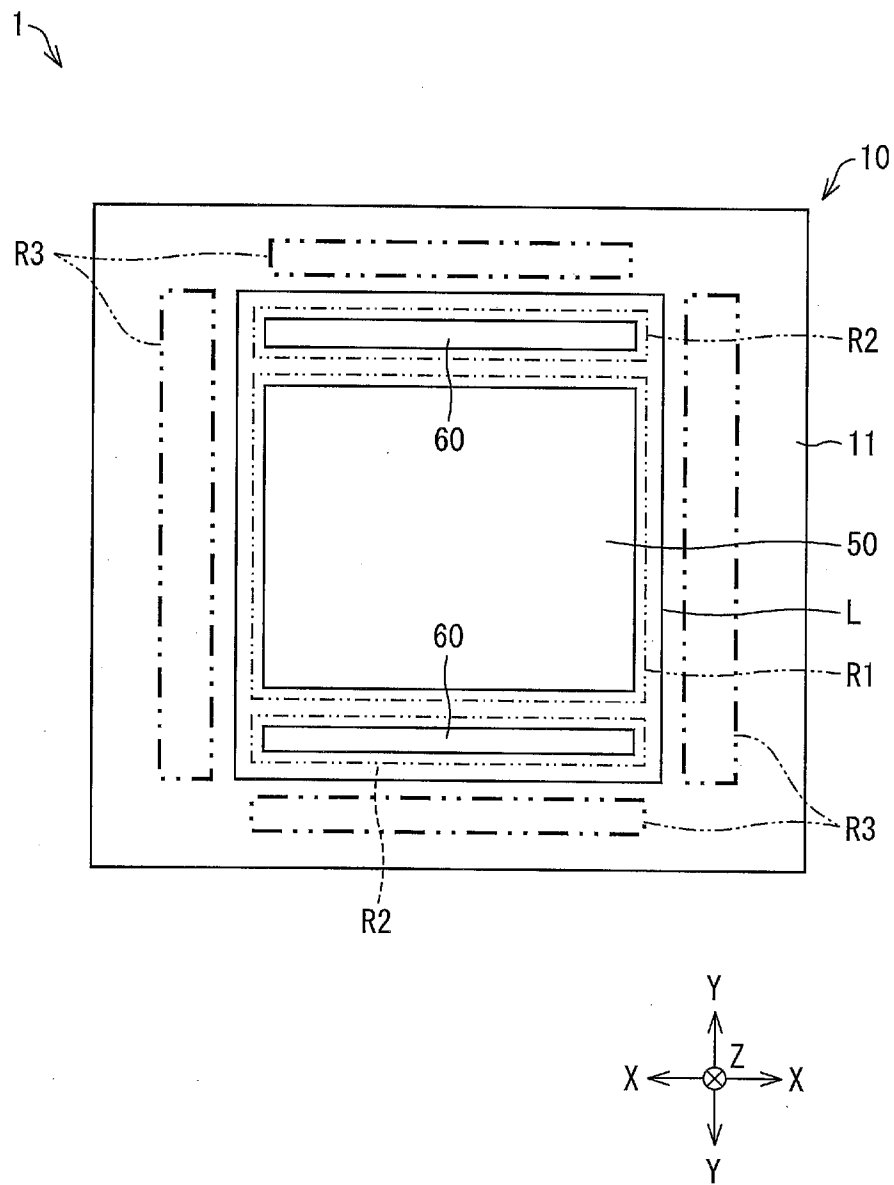
[図1]



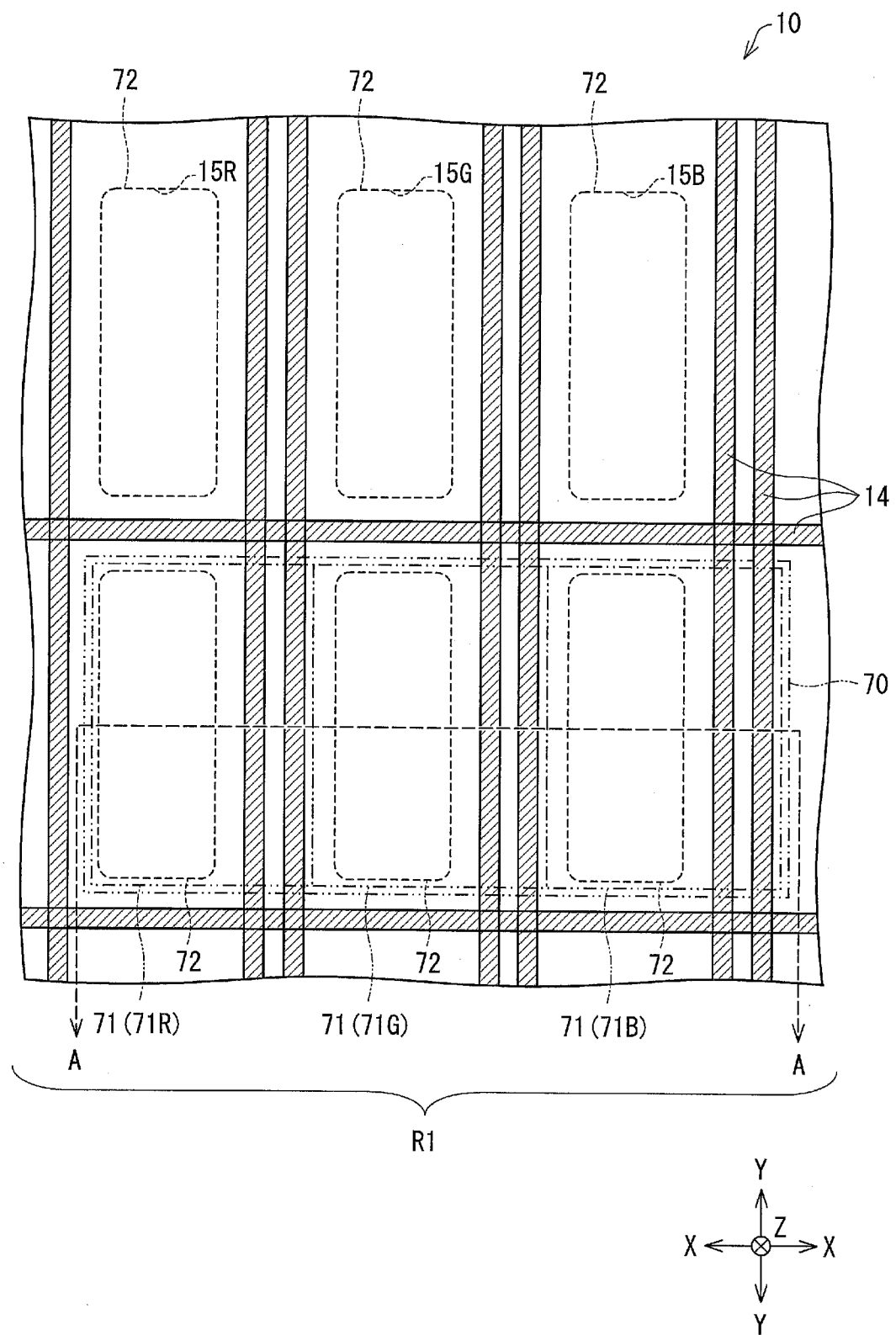
[図2]



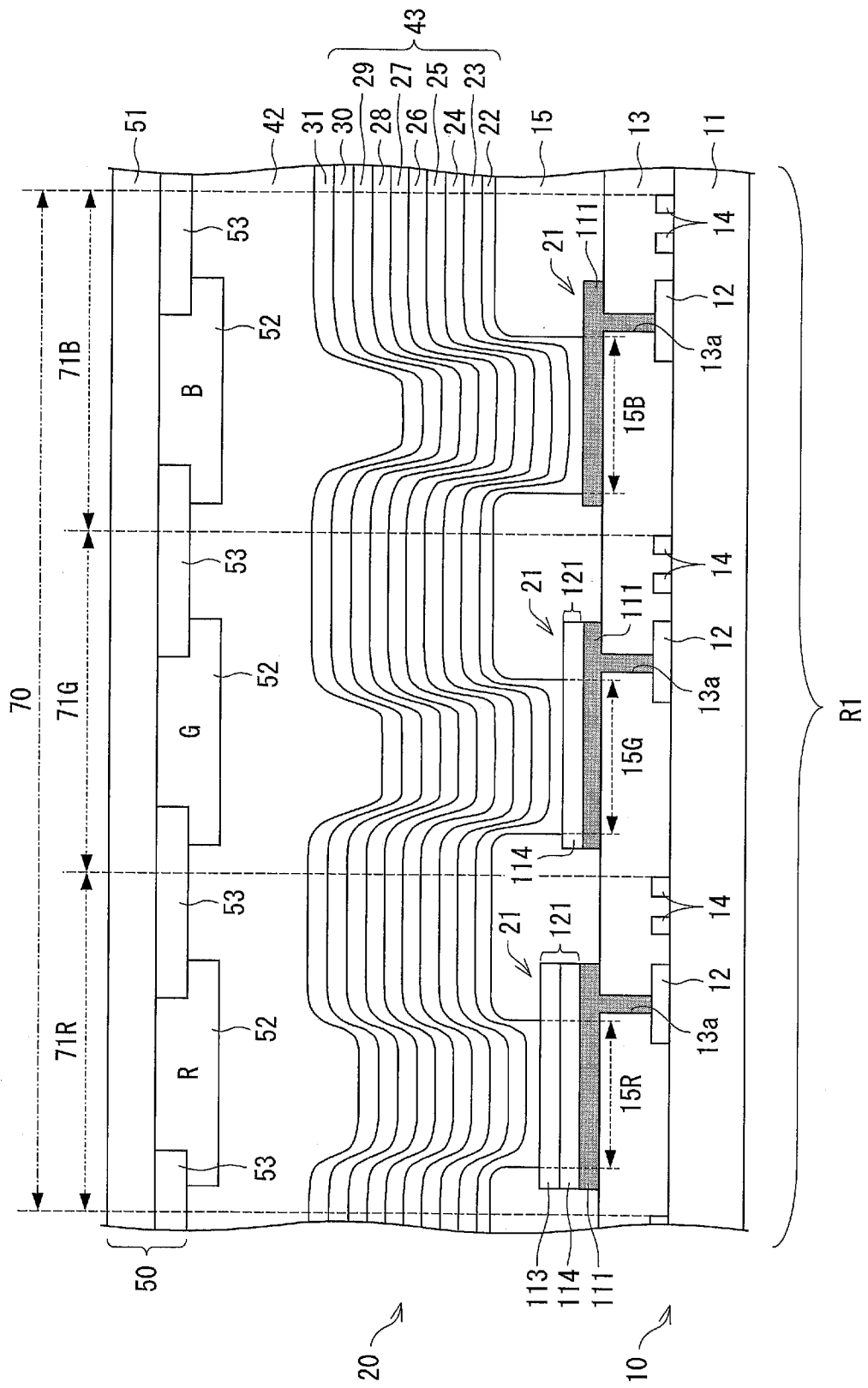
[図3]



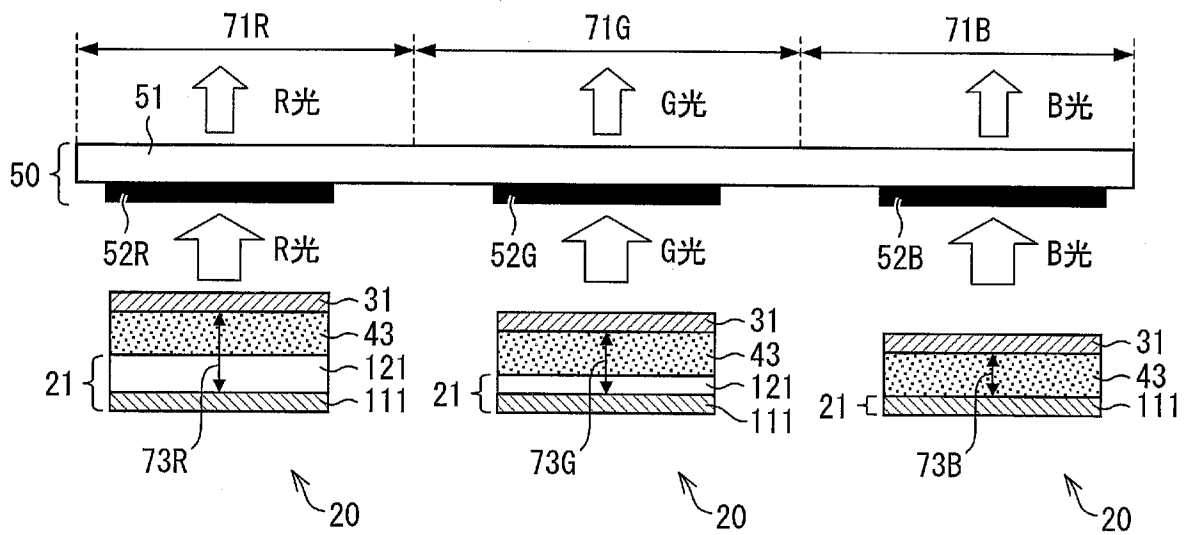
[図4]



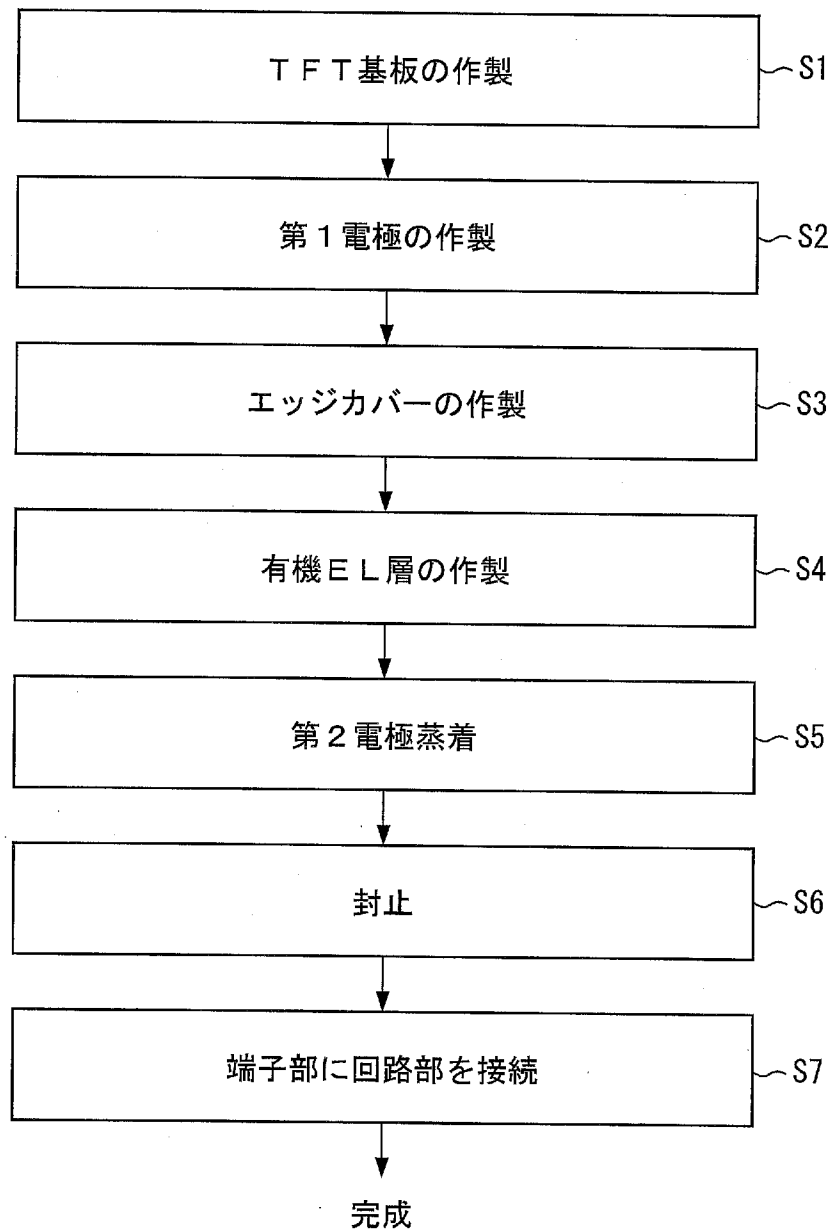
[図5]



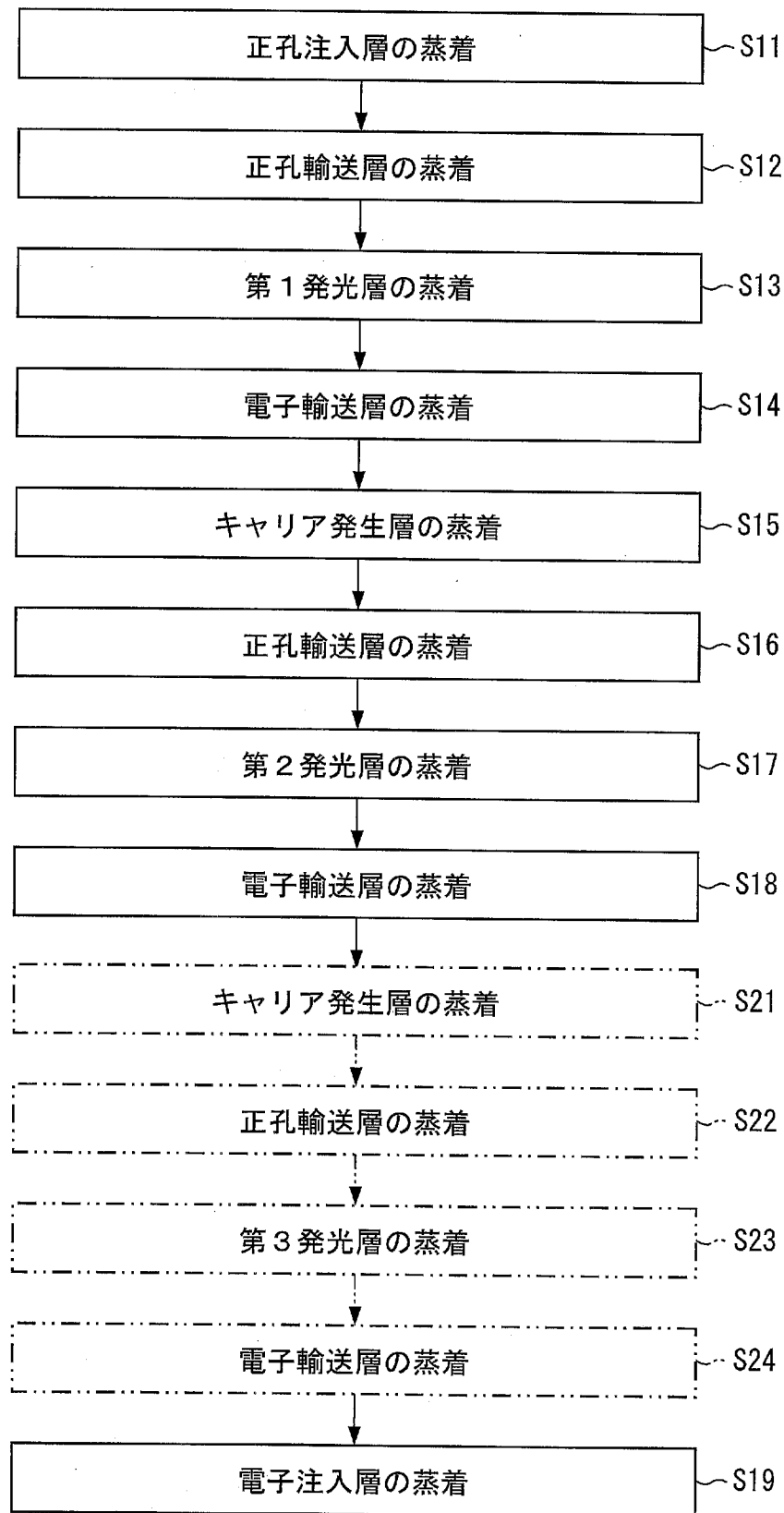
[図6]



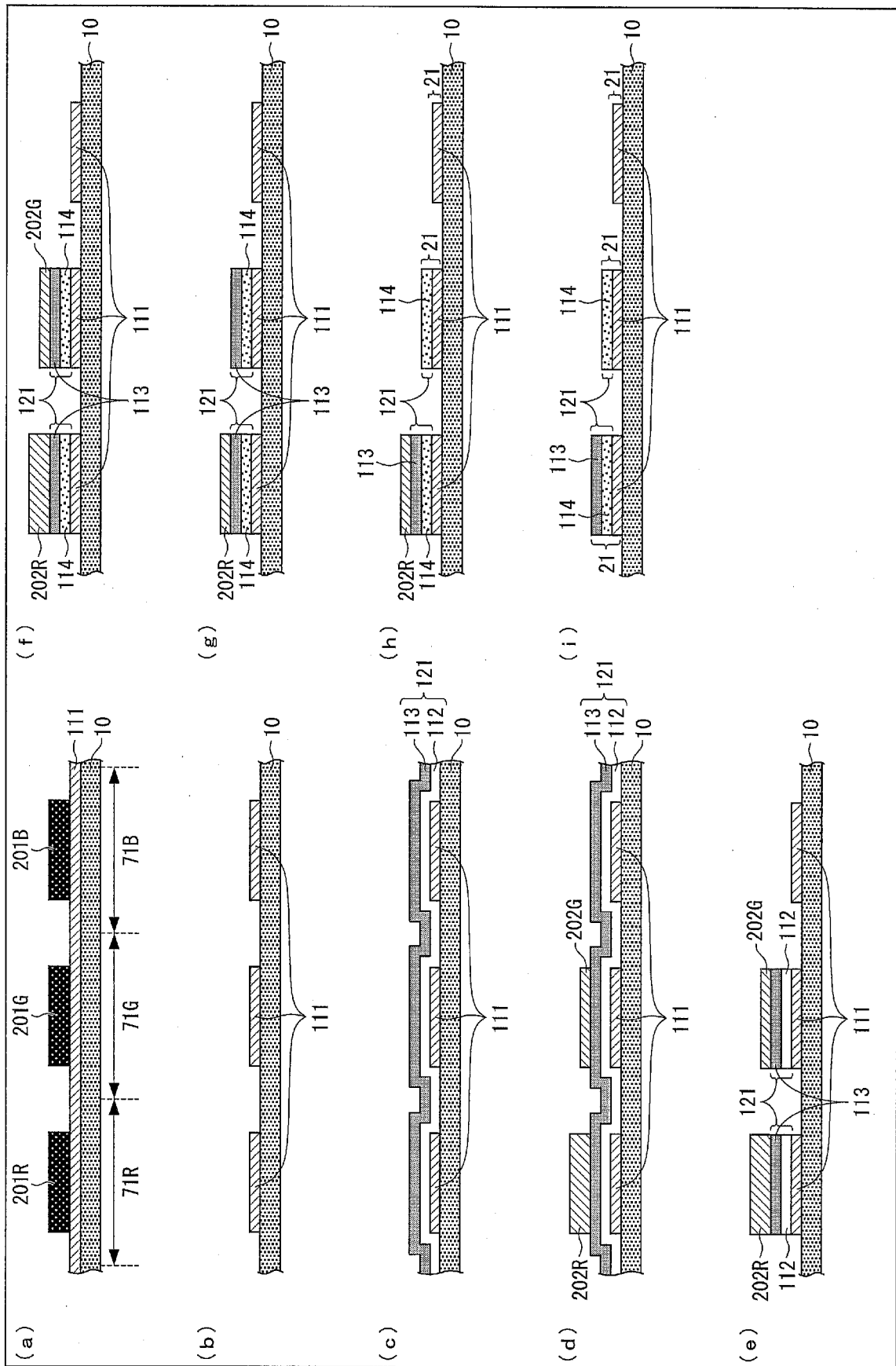
[図7]



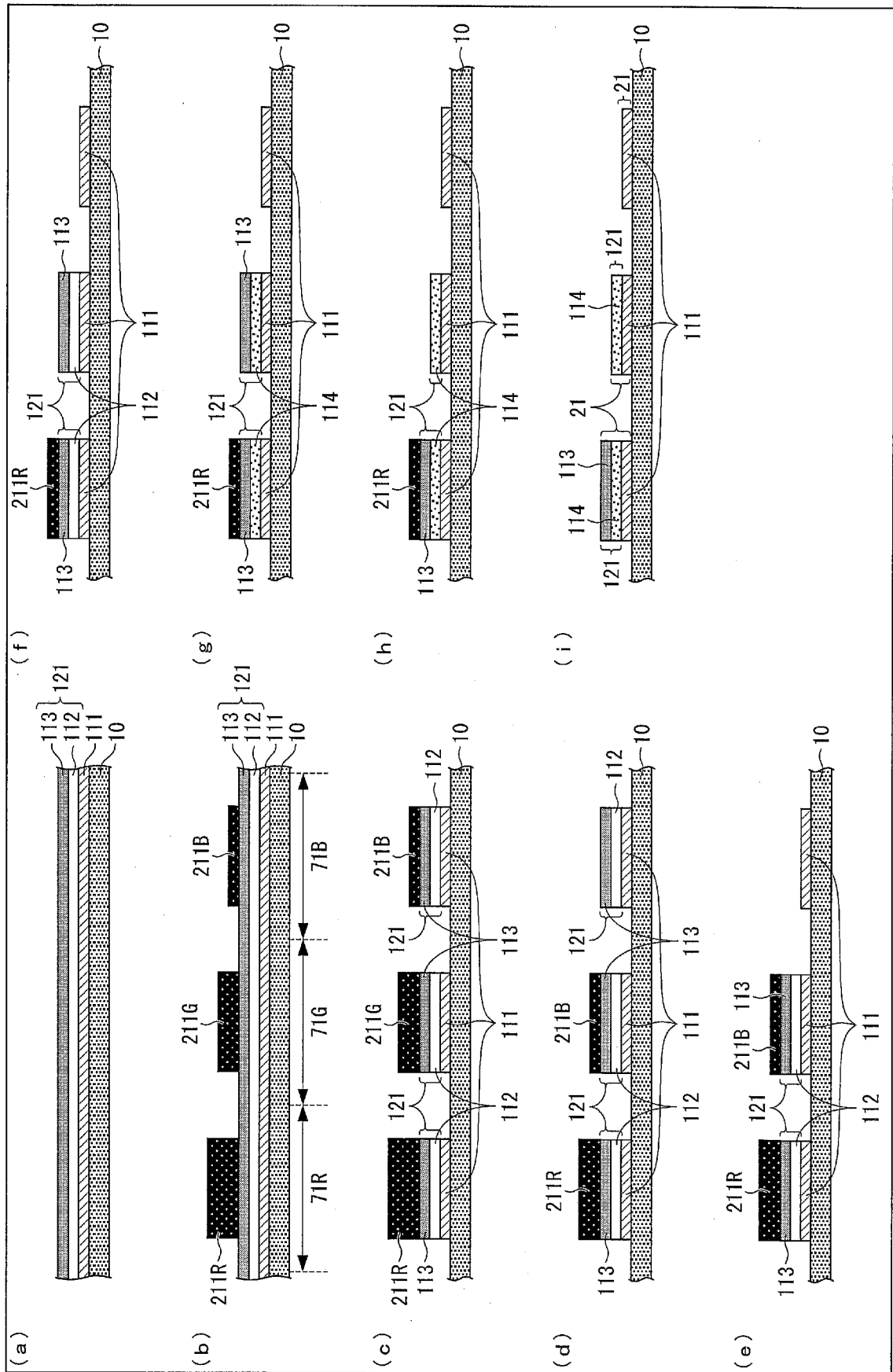
[図8]



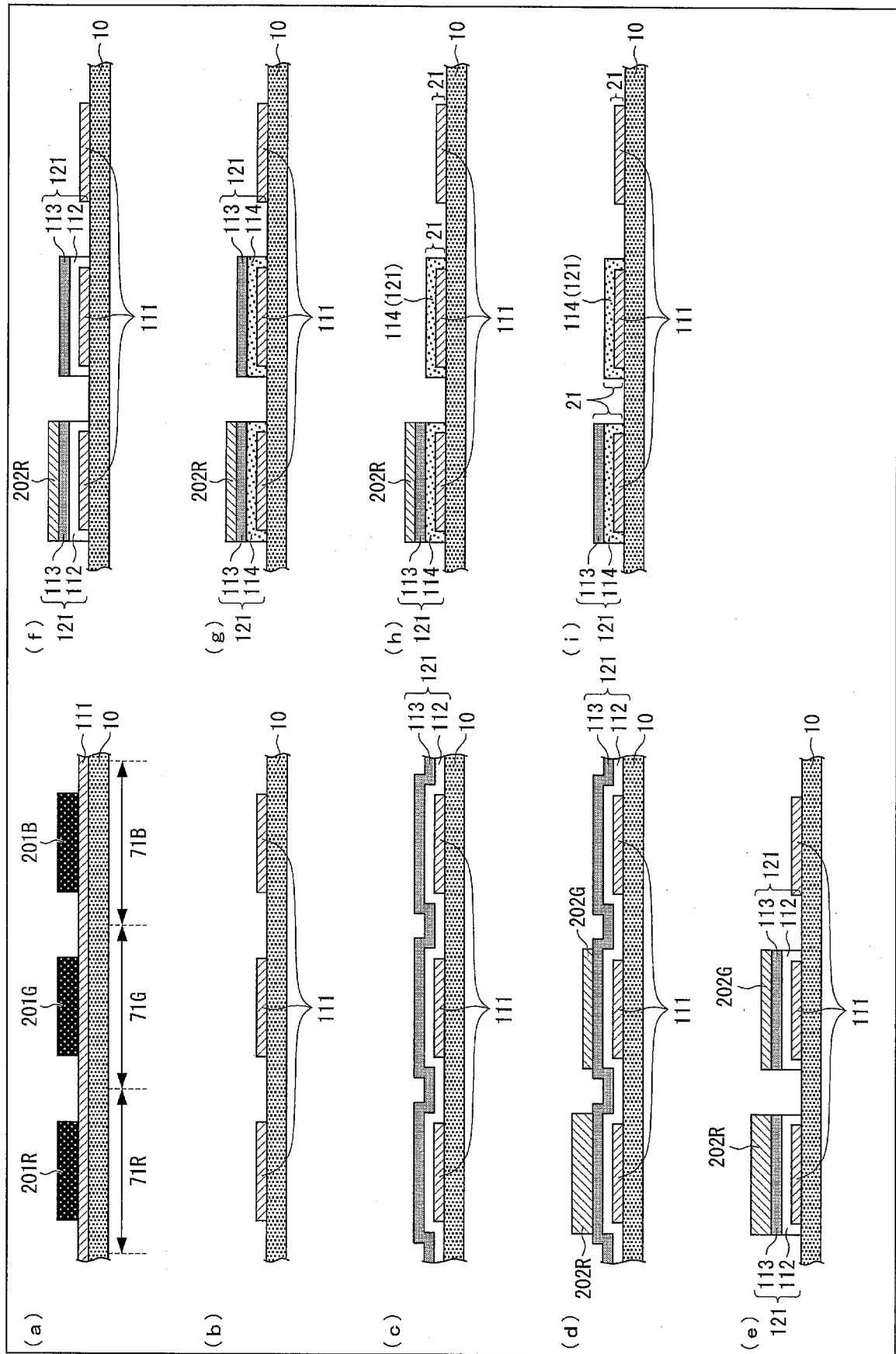
[図9]



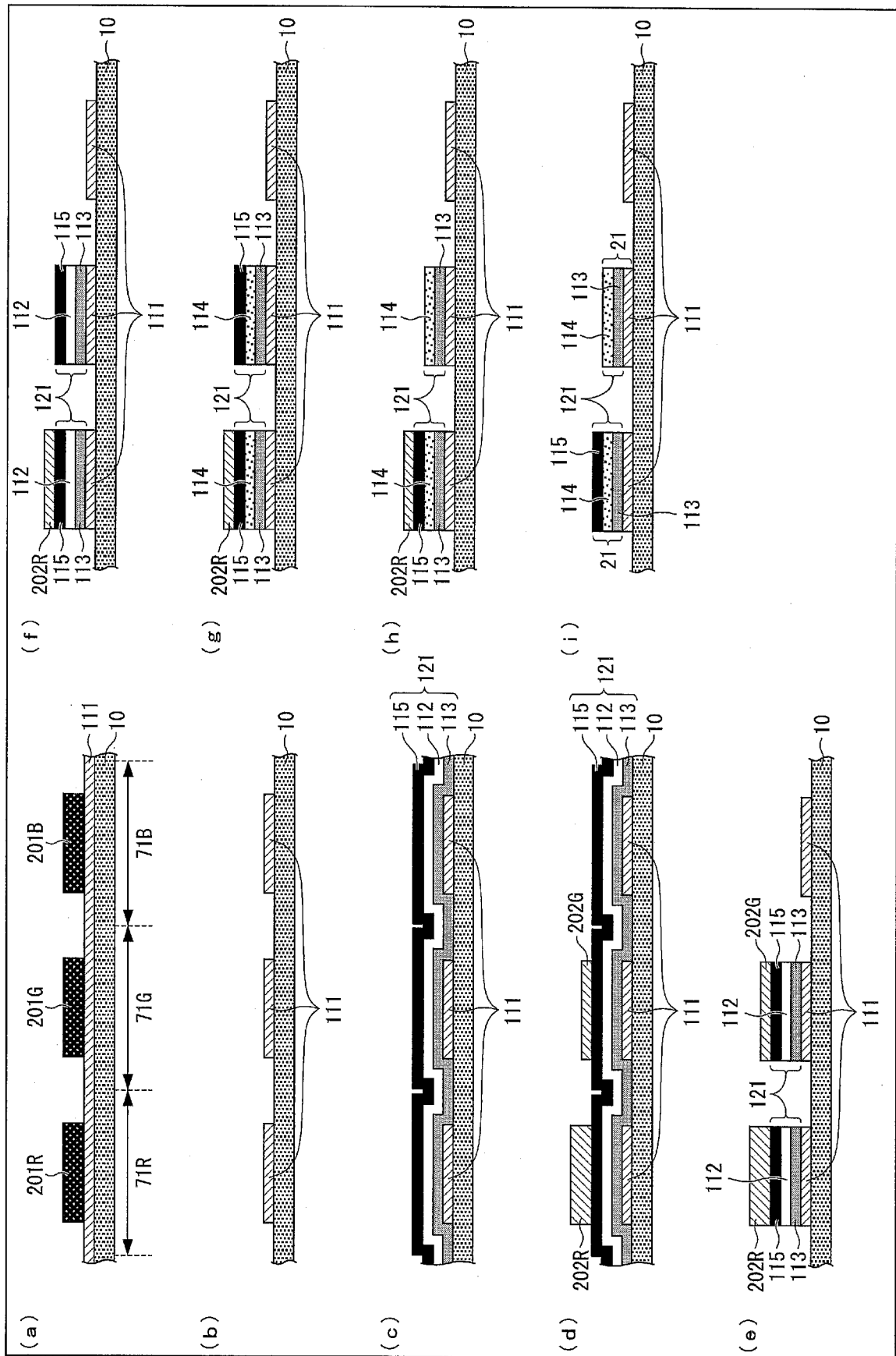
[図10]



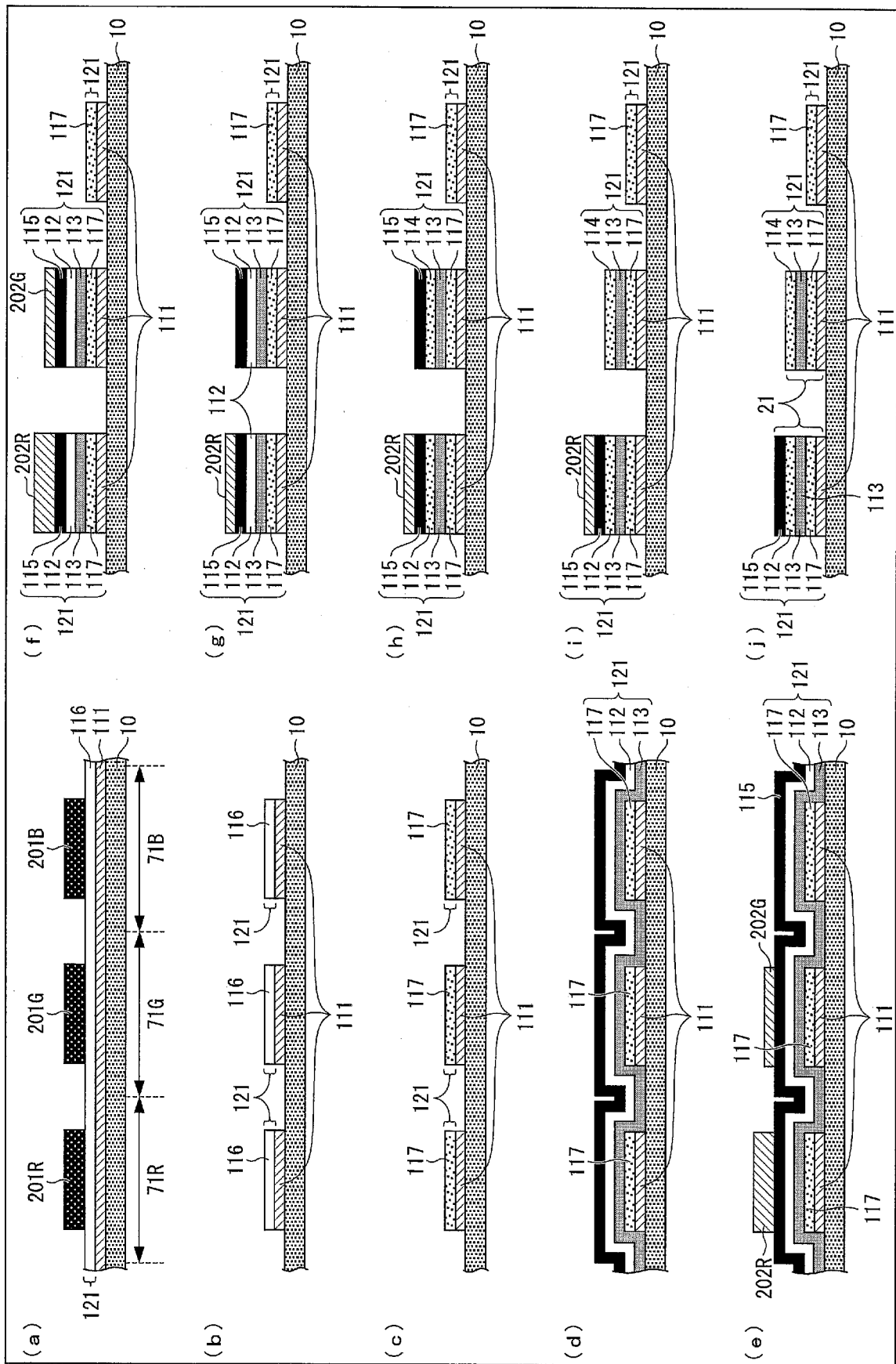
[図11]



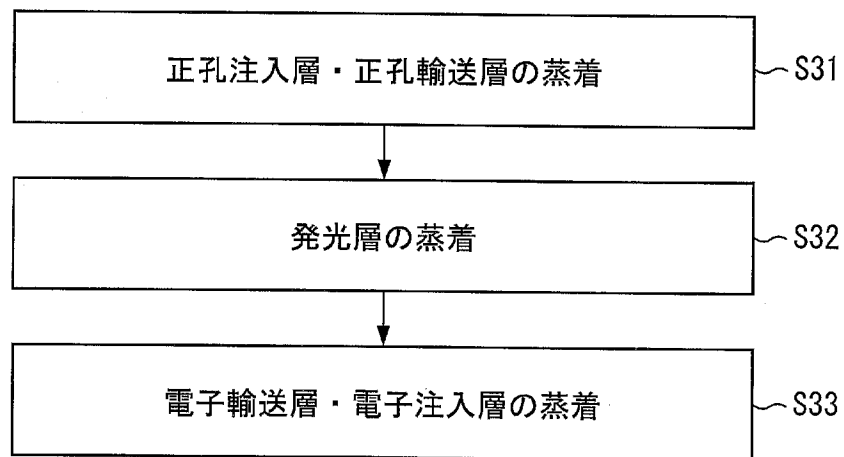
[図12]



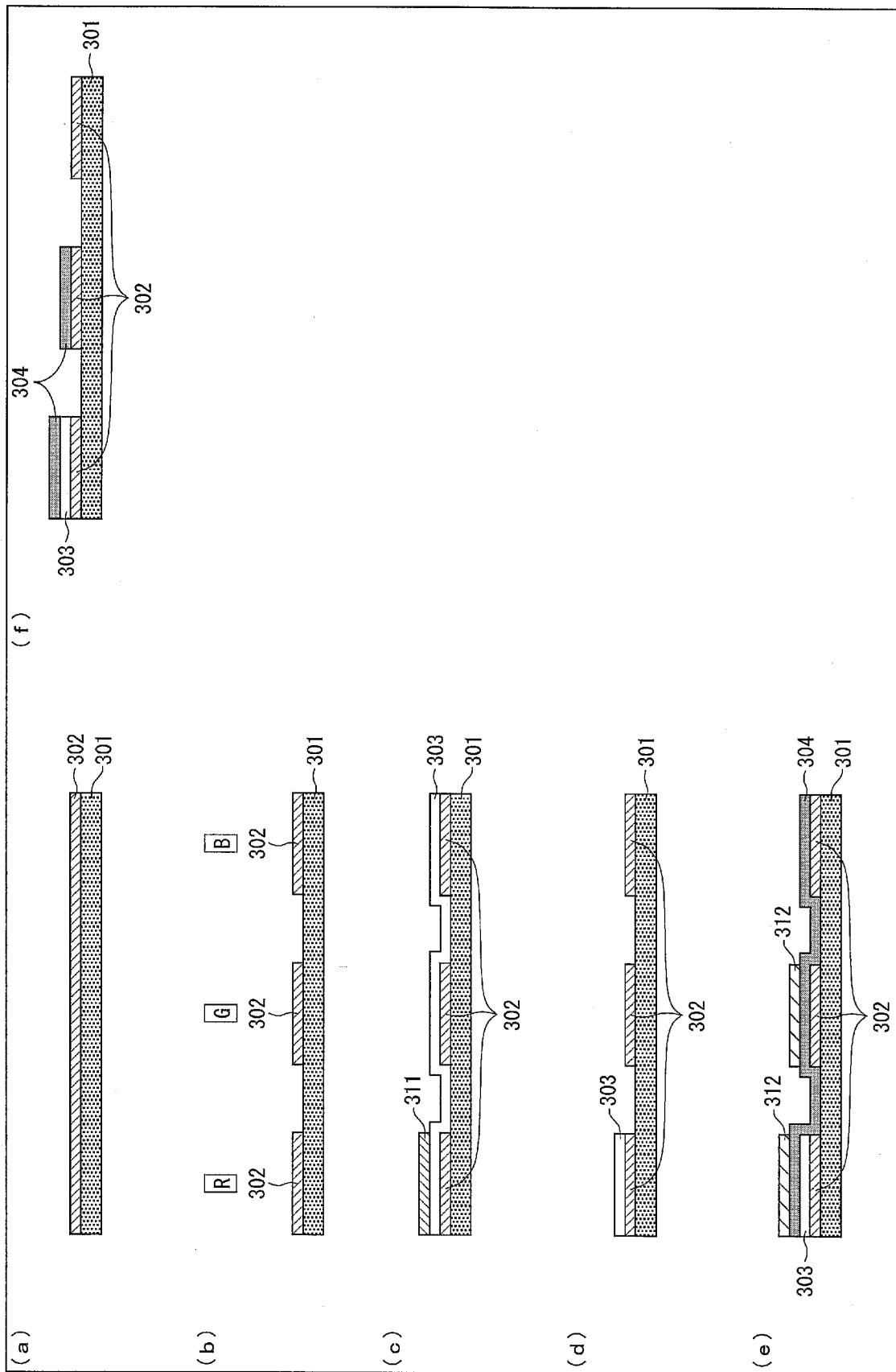
[図15]



[図17]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/074114

A. CLASSIFICATION OF SUBJECT MATTER

H05B33/10(2006.01)i, G09F9/30(2006.01)i, H01L27/32(2006.01)i, H01L51/50(2006.01)i, H05B33/14(2006.01)i, H05B33/24(2006.01)i, H05B33/26(2006.01)i, H05B33/28(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H05B33/10, G09F9/30, H01L27/32, H01L51/50, H05B33/14, H05B33/24, H05B33/26, H05B33/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-197010 A (Sanyo Electric Co., Ltd.), 21 July 2005 (21.07.2005), claims 1 to 12; paragraphs [0055] to [0074] & US 2005/0142976 A1 & KR 10-2005-0067055 A & CN 1638547 A	1-14
A	JP 2005-197011 A (Sanyo Electric Co., Ltd.), 21 July 2005 (21.07.2005), claims 1 to 14; paragraphs [0057] to [0076] & US 2005/0140277 A1 & KR 10-2005-0067067 A & CN 1638580 A & TWB 00I300670	1-14



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
18 December, 2012 (18.12.12)

Date of mailing of the international search report
08 January, 2013 (08.01.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/074114

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-289740 A (Samsung Mobile Display Co., Ltd.), 10 December 2009 (10.12.2009), claims 1 to 9; paragraphs [0017] to [0033] & US 2009/0295282 A1 & EP 2128911 A2 & KR 10-2009-0123536 A & CN 101593766 A	1-14
A	WO 2005/086539 A1 (Idemitsu Kosan Co., Ltd.), 15 September 2005 (15.09.2005), paragraphs [0031] to [0046], [0114] to [0120] & JP 4739185 B & US 2007/0200123 A1 & EP 1722604 A1 & KR 10-2006-0135795 A & CN 1914958 A & KR 10-1106920 B	1-14
A	JP 2005-93401 A (Sony Corp.), 07 April 2005 (07.04.2005), claims 1 to 40; paragraphs [0024] to [0100] (Family: none)	1-14
A	JP 2007-26852 A (Seiko Epson Corp.), 01 February 2007 (01.02.2007), claims 1 to 11; paragraphs [0044] to [0048] & US 2007/0015429 A1 & KR 10-0778818 B1	1-14

A. 発明の属する分野の分類（国際特許分類（I P C））			
Int.Cl. H05B33/10(2006.01)i, G09F9/30(2006.01)i, H01L27/32(2006.01)i, H01L51/50(2006.01)i, H05B33/14(2006.01)i, H05B33/24(2006.01)i, H05B33/26(2006.01)i, H05B33/28(2006.01)i			
B. 調査を行った分野			
調査を行った最小限資料（国際特許分類（I P C））			
Int.Cl. H05B33/10, G09F9/30, H01L27/32, H01L51/50, H05B33/14, H05B33/24, H05B33/26, H05B33/28			
最小限資料以外の資料で調査を行った分野に含まれるもの			
日本国実用新案公報 1 9 2 2 - 1 9 9 6 年 日本国公開実用新案公報 1 9 7 1 - 2 0 1 2 年 日本国実用新案登録公報 1 9 9 6 - 2 0 1 2 年 日本国登録実用新案公報 1 9 9 4 - 2 0 1 2 年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
A	JP 2005-197010 A（三洋電機株式会社）2005.07.21, 【請求項1】 - 【請求項12】 , 段落【0055】 - 【0074】 & US 2005/0142976 A1 & KR 10-2005-0067055 A & CN 1638547 A	1-14	
A	JP 2005-197011 A（三洋電機株式会社）2005.07.21, 【請求項1】 - 【請求項14】 , 段落【0057】 - 【0076】 & US 2005/0140277 A1 & KR 10-2005-0067067 A & CN 1638580 A & TWB 00I300670	1-14	
☒ C 欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願			
の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 1 8 . 1 2 . 2 0 1 2		国際調査報告の発送日 0 8 . 0 1 . 2 0 1 3	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 濱野 隆 電話番号 03-3581-1101 内線 3271	

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-289740 A (三星モバイルディスプレイ株式会社) 2009. 12. 10, 【請求項 1】 - 【請求項 9】 , 段落 【0017】 - 【0033】 & US 2009/0295282 A1 & EP 2128911 A2 & KR 10-2009-0123536 A & CN 101593766 A	1-14
A	WO 2005/086539 A1 (出光興産株式会社) 2005. 09. 15, 段落 [0031] - [0046], [0114] - [0120] & JP 4739185 B & US 2007/0200123 A1 & EP 1722604 A1 & KR 10-2006-0135795 A & CN 1914958 A & KR 10-1106920 B	1-14
A	JP 2005-93401 A (ソニー株式会社) 2005. 04. 07, 【請求項 1】 - 【請求項 40】 , 段落 【0024】 - 【0100】 (ファミリーなし)	1-14
A	JP 2007-26852 A (セイコーエプソン株式会社) 2007. 02. 01, 【請求項 1】 - 【請求項 11】 , 段落 【0044】 - 【0048】 & US 2007/0015429 A1 & KR 10-0778818 B1	1-14