

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 12 月 3 日(03.12.2015)

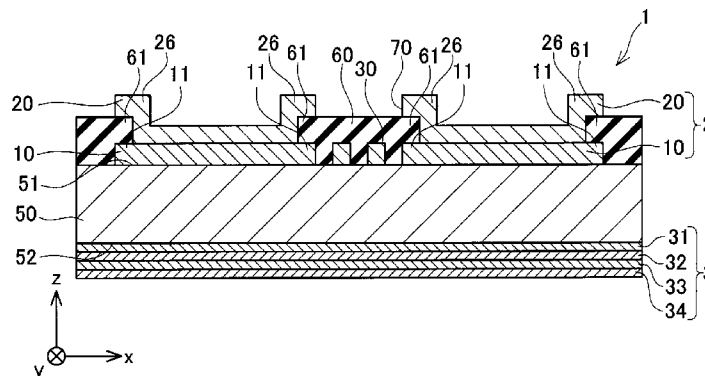


(10) 国際公開番号
WO 2015/182234 A1

- (51) 国際特許分類:
H01L 21/3205 (2006.01) H01L 21/768 (2006.01)
H01L 21/60 (2006.01) H01L 23/522 (2006.01)
- (21) 国際出願番号: PCT/JP2015/059725
- (22) 国際出願日: 2015 年 3 月 27 日(27.03.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-108068 2014 年 5 月 26 日(26.05.2014) JP
- (71) 出願人: トヨタ自動車株式会社 (TOYOTA JIDOSHA KABUSHIKI KAISHA) [JP/JP]; 〒4718571 愛知県豊田市トヨタ町 1 番地 Aichi (JP).
- (72) 発明者: 成田 勝俊 (NARITA Katsutoshi); 〒4718571 愛知県豊田市トヨタ町 1 番地 トヨタ自動車株式会社内 Aichi (JP).
- (74) 代理人: 特許業務法人 快友国際特許事務所 (KAI-U PATENT LAW FIRM); 〒4516009 愛知県名古屋市中区牛島町 6 番 1 号 名古屋ルーセントタワー 9 階 Aichi (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体装置およびその製造方法



(57) Abstract: A semiconductor device (1) is provided with: a semiconductor substrate (50); a plurality of first electrode layers (10) that are formed on the semiconductor substrate (50) by being separated from each other; wiring (30) that is formed between a first electrode layer (10) and a first electrode layer (10), which are adjacent to each other; an insulating protection film (60) with which the wiring (30) and the semiconductor substrate (50) between the first electrode layer (10) and the first electrode layer (10), which are adjacent to each other, are covered; and a plurality of second electrode layers (20) which are formed on the first electrode layers (10), respectively. End sections (61) of the protection film (60) are covered with the second electrode layers (20), and the protection film (60) is exposed between the second electrode layer (20) and the second electrode layer (20), which are adjacent to each other.

(57) 要約: 半導体装置 1 は、半導体基板 50 と、半導体基板 50 の上に間隔をあけて形成された複数の第 1 電極層 10 と、隣り合う第 1 電極層 10 と第 1 電極層 10 の間に形成された配線 30 と、隣り合う第 1 電極層 10 と第 1 電極層 10 の間の半導体基板 50 および配線 30 を覆う絶縁性の保護膜 60 と、複数の第 1 電極層 10 の上にそれぞれ形成された複数の第 2 電極層 20 とを備えている。第 2 電極層 20 が保護膜 60 の端部 61 を覆い、隣り合う第 2 電極層 20 と第 2 電極層 20 の間から保護膜 60 が露出している。

WO 2015/182234 A1

明 細 書

発明の名称：半導体装置およびその製造方法

技術分野

[0001] 本明細書に開示の技術は、半導体装置およびその製造方法に関する。

背景技術

[0002] 特許文献 1（日本国特開 2 0 1 0－2 7 2 7 1 1 号公報）には半導体装置が開示されている。特許文献 1 の半導体装置は、半導体基板と、半導体基板の上に形成された主電極と、主電極の上に形成された付加電極とを備えている。半導体基板および主電極は、パッシベーション膜によって覆われている。付加電極は、リードフレームにはんだ付けされる。

発明の概要

発明が解決しようとする課題

[0003] 半導体装置では、加熱によりパッシベーション膜からガスが発生することがある。例えば、はんだ付けを行うときにパッシベーション膜からガスが発生することがある。発生したガスが電極の下に入り込むと、電極が変形し、半導体装置に不具合が生じることがある。

課題を解決するための手段

[0004] 本明細書に開示する半導体装置は、半導体基板と、前記半導体基板の上に間隔をあけて形成された複数の第 1 電極層と、隣り合う前記第 1 電極層と前記第 1 電極層の間に形成された配線とを備えている。また、半導体装置は、隣り合う前記第 1 電極層と前記第 1 電極層の間の前記半導体基板および前記配線を覆う絶縁性の保護膜と、複数の前記第 1 電極層の上にそれぞれ形成された複数の第 2 電極層とを備えている。前記第 2 電極層が前記保護膜の端部を覆い、隣り合う前記第 2 電極層と前記第 2 電極層の間から前記保護膜が露出している。

[0005] このような構成によれば、保護膜が第 1 電極層と第 1 電極層の間に形成された配線を覆うので配線を保護することができる。また、この半導体装置で

は、加熱により、保護膜からガスが発生することがある。例えば、第2電極層に対してはんだ付けをするときに、保護膜からガスが発生することがある。しかしながら、第2電極層と第2電極層の間から保護膜が露出しているので、その露出している部分から発生したガスが外部に放出される。これにより、保護膜と第2電極層の間にガスが入り込むことがなく、ガスによって第2電極層が膨れて変形することを抑制できる。

[0006] 本明細書に開示する半導体装置の製造方法は、半導体基板の上に間隔をあけて複数の第1電極層を形成する工程と、隣り合う前記第1電極層と前記第1電極層の間に配線を形成する工程とを備えている。また、半導体装置の製造方法は、隣り合う前記第1電極層と前記第1電極層の間の前記半導体基板および前記配線を覆う絶縁性の保護膜を形成する工程と、前記第1電極層のそれぞれの上に第2電極層を形成する工程であって、前記第2電極層が前記保護膜の端部を覆い、隣り合う前記第2電極層と前記第2電極層の間から前記保護膜が露出するように前記第2電極層を形成する工程とを備えている。

図面の簡単な説明

[0007] [図1]半導体装置の平面図である。

[図2]図1のII-II断面図である。

[図3]第2電極層の断面図である。

[図4]半導体装置の製造方法のフローチャートである。

[図5]半導体装置の製造方法を説明するための断面図である(1)。

[図6]半導体装置の製造方法を説明するための断面図である(2)。

[図7]半導体装置の製造方法を説明するための断面図である(3)。

[図8]半導体装置の製造方法を説明するための断面図である(4)。

[図9]半導体装置の製造方法を説明するための断面図である(5)。

[図10]半導体装置の製造方法を説明するための断面図である(6)。

[図11]半導体装置の製造方法を説明するための断面図である(7)。

[図12]半導体装置の製造方法を説明するための断面図である(8)。

[図13]半導体装置の製造方法を説明するための断面図である(9)。

[図14]従来の半導体装置の断面図である（１）。

[図15]従来の半導体装置の断面図である（２）。

[図16]他の実施形態の半導体装置の平面図である。

発明を実施するための形態

[0008] 以下に説明する実施形態の主要な特徴を列記する。なお、以下に記載する技術要素は、それぞれ独立した技術要素であって、単独であるいは各種の組合せによって技術的有用性を発揮するものである。

[0009] （特徴１）半導体装置において、保護膜は、樹脂から形成されていてもよい。

[0010] （特徴２）保護膜は、ポリイミドから形成されていてもよい。

[0011] （特徴３）保護膜は、第１電極層の端部を覆っていてもよい。

[0012] （特徴４）半導体装置の製造方法において、第２電極層を形成した後に、隣り合う第２電極層と第２電極層の間から保護膜が露出した状態で保護膜を加熱する工程を備えていてもよい。

[0013] （特徴５）保護膜を加熱する工程は、はんだ付けをするときに行われてもよい。

[0014] 図１および図２に示すように、実施形態に係る半導体装置１は、半導体基板５０と、半導体基板５０の上に形成された複数の第１電極層１０（主電極）と、第１電極層１０の上にそれぞれ形成された第２電極層２０（付加電極）とを備えている。また、半導体装置１は、半導体基板５０の上に形成された配線３０と、半導体基板５０および配線３０を覆う保護膜６０とを備えている。半導体装置１としては、特に限定されるものではないが、例えば同一の半導体基板５０にＩＧＢＴ（Insulated Gate Bipolar Transistor）とＦＷＤ（Free Wheeling Diode）が形成されているＲＣ－ＩＧＢＴ（Reverse Conducting Insulated Gate Bipolar Transistor）を用いることができる。

[0015] 半導体基板５０は、平面視すると略矩形状となるように形成されている。半導体基板５０は、シリコン（Ｓｉ）によって形成されている。他の例では、半導体基板５０は、炭化ケイ素（ＳｉＣ）や窒化ガリウム（ＧａＮ）等か

ら形成されていてもよい。半導体基板50の内部には半導体素子（図示省略）が形成されている。例えばIGBTの場合は、半導体基板50の内部にゲート電極、エミッタ領域、コレクタ領域などが形成されている（図示省略）。また、FWDの場合は、半導体基板50の内部にアノード領域、カソード領域などが形成されている（図示省略）。

[0016] 半導体基板50は、表面51および裏面52を有している。半導体基板50の表面51に複数の第1電極層10が形成されている。複数の第1電極層10の上にそれぞれ第2電極層20が形成されている。第1電極層10および第2電極層20により表面電極2が形成されている。また、半導体基板50の表面51に複数の信号電極80が形成されている。半導体基板50の裏面52には裏面電極3が形成されている。

[0017] 第1電極層10は、金属から形成されており、導電性を有している。第1電極層10の材料としては、例えばアルミニウム（Al）を主成分とする合金を用いることができる。本実施形態では第1電極層10の材料としてアルミシリコン（AlSi）を用いている。複数の第1電極層10は、間隔をあけて並んで形成されている。本実施形態では2つの第1電極層10が形成されている。複数の第1電極層10は、隣り合って形成されている。

[0018] 配線30は、金属から形成されており、導電性を有している。配線30の材料としては、例えばアルミニウム（Al）を主成分とする合金を用いることができる。本実施形態では配線30の材料としてアルミシリコン（AlSi）を用いている。配線30は、図2に示すように、隣り合う第1電極層10と第1電極層10の間に形成されている。配線30は、第1電極層10から間隔をあけて形成されている。複数の配線30が半導体基板50の上に並んで形成されている。配線30は、両側の第1電極層10と通電するために隣り合う第1電極層10と第1電極層10の間に配置されている。

[0019] 保護膜60は、樹脂から形成されており、絶縁性を有している。保護膜60の材料としては、例えば有機ポリマーを用いることができる。本実施形態では、保護膜60の材料として熱硬化性のポリイミドを用いている。保護膜

60は、隣り合う第1電極層10と第1電極層10の間の半導体基板50および配線30を覆っている。保護膜60は、配線30の全体を覆っている。保護膜60の端部61は、各第1電極層10の端部11を覆っている。また、保護膜60の端部61は、第2電極層20の端部26により覆われている。すなわち、保護膜60の端部61は、第1電極層10の端部11と第2電極層20の端部26の間に介在している。保護膜60の中央部（X方向における中央部）の上には第2電極層20が形成されていない。すなわち、保護膜60の中央部は、開放部70において露出している。

[0020] 第2電極層20は、金属から形成されており、導電性を有している。第2電極層20は、第1電極層10よりもはんだと合金を形成しやすい金属により構成されている。複数の第2電極層20は、間隔をあけて並んで形成されている。本実施形態では2つの第2電極層20が形成されている。各第2電極層20は、それぞれ第1電極層10の上に形成されている。複数の第2電極層20は、隣り合って形成されている。隣り合う第2電極層20と第2電極層20の間には開放部70が形成されている。開放部70は、y方向に延びるように形成されている。第2電極層20の端部26は、保護膜60の端部61を覆っている。

[0021] 第2電極層20は、図3に示すように、3層構造になっている。第2電極層20は、第1電極層10の上に形成された第1層21と、第1層21の上に形成された第2層22と、第2層22の上に形成された第3層23とを備えている。第1層21の材料としては、例えばチタン（Ti）を用いることができる。第2層22の材料としては、例えばニッケル（Ni）を用いることができる。第3層23の材料としては、例えば金（Au）を用いることができる。

[0022] 裏面電極3は、4層構造になっている。裏面電極3は、半導体基板50の下に形成された第1層31と、第1層31の下に形成された第2層32と、第2層32の下に形成された第3層33と、第3層33の下に形成された第4層34とを備えている。第1層31の材料としては、例えばアルミシリコ

ン（AlSi）を用いることができる。第2層32の材料としては、例えばチタン（Ti）を用いることができる。第3層33の材料としては、例えばニッケル（Ni）を用いることができる。第4層34の材料としては、例えば金（Au）を用いることができる。

[0023] 次に、半導体装置の製造方法について説明する。図4に示すように、半導体装置1の製造方法では、まず、半導体装置1の上に間隔をあけて複数の第1電極層10を形成する（第1電極層形成工程S1）。また、隣り合う第1電極層10と第1電極層10の間において半導体基板50の上に配線30を形成する（配線形成工程S2）。本実施形態では、第1電極層形成工程S1および配線形成工程S2が、同時並行的に行われる。具体的には、第1電極層形成工程S1および配線形成工程S2では、まず、図5に示すように、半導体基板50の表面51に第1電極層10および配線30の材料を成膜する。すなわち、半導体基板50の表面51に金属の薄膜90を形成する。金属の薄膜90を形成する方法は特に限定されないが、例えばスパッタ法により形成することができる。次に、図6に示すように、金属の薄膜90の上にマスク91を形成する。マスク91は、第1電極層10および配線30を形成するために選択的に形成される。次に、図7に示すように、金属の薄膜90をエッチングにより選択的に除去する。金属の薄膜90において、マスク91が形成されていない部分が除去され、マスク91が形成されている部分が残存する。次に、図8に示すように、金属の薄膜90の表面からマスク91を除去する。これにより、第1電極層10および配線30が選択的に形成される。

[0024] 続いて、隣り合う第1電極層10と第1電極層10の間の半導体基板50および配線30を覆う保護膜60を形成する（保護膜形成工程S3）。保護膜形成工程S3では、まず、図9に示すように、第1電極層10、配線30および半導体基板50の上に保護膜60の材料を塗布する。すなわち、第1電極層10、配線30および半導体基板50の上に樹脂の薄膜94を形成する。本実施形態では、保護膜60の材料としてポリイミドを用いている。よ

って、液状のポリイミドを塗布する。液状の材料を塗布する方法は特に限定されないが、例えばスピンコート法により塗布することができる。樹脂の薄膜 94（保護膜 60 の材料）は、第 1 電極層 10、配線 30、および、第 1 電極層 10 と配線 30 から露出する範囲の半導体基板 50 を覆う。

[0025] 次に、樹脂の薄膜 94 に対して露光処理を行うことにより、薄膜 94 を部分的に変質させる。また、樹脂の薄膜 94 に対して現像処理を行う。露光処理および現像処理により、樹脂の薄膜 94 が部分的に除去され、部分的に残存する。詳細には、図 10 に示すように、第 1 電極層 10 の表面に形成されている薄膜 94 が除去される。一方、配線 30 および半導体基板 50 の上に形成されている薄膜 94 が残存する。また、第 1 電極層 10 の端部 11 の上に形成されている薄膜 94 も残存する。その後、ベーク処理により薄膜 94（保護膜 60 の材料：ポリイミド）を乾燥させて、硬化させる。これにより、保護膜 60 が選択的に形成される。保護膜 60 は、隣り合う第 1 電極層 10 と第 1 電極層 10 の間の半導体基板 50 および配線 30 を覆う。保護膜 60 は、第 1 電極層 10 から露出した範囲の半導体基板 50 の上に形成される。また、保護膜 60 は、第 1 電極層 10 の端部 11 を覆う。保護膜 60 は、外部に露出している。また、第 1 電極層 10 の表面が露出する。

[0026] 続いて、図 11 に示すように、半導体基板 50 の裏面 52 に裏面電極 3 を形成する（裏面電極形成工程 S4）。具体的には、半導体基板 50 の下に第 1 層 31、第 2 層 32、第 3 層 33、および第 4 層 34 を順に形成する。

[0027] 続いて、複数の第 1 電極層 10 の上にそれぞれ第 2 電極層 20 を形成する（第 2 電極層形成工程 S5）。第 2 電極層形成工程 S5 では、まず、図 12 に示すように、保護膜 60 の上にマスク 93 を形成する。マスク 93 は、保護膜 60 の上に選択的に形成される。保護膜 60 の端部 61 が露出するようにマスク 93 を形成する。次に、図 13 に示すように、保護膜 60 の上にマスク 93 が形成された状態で、第 2 電極層 20 を形成する。第 2 電極層 20 を形成する方法は特に限定されないが、例えばスパッタ法により形成することができる。第 2 電極層 20 を形成するときは、第 1 電極層 10 および保護

膜 6 0 の端部 6 1 の上に第 1 層 2 1、第 2 層 2 2、および第 3 層 2 3 を順に形成する（図 3 参照）。マスク 9 3 が形成されていない部分に第 2 電極層 2 0 が形成される。次に、保護膜 6 0 の表面からマスク 9 3 を除去する（図 2 参照）。これにより、第 2 電極層 2 0 が選択的に形成される。図 2 に示すように、第 2 電極層 2 0 は、保護膜 6 0 の端部 6 1 を覆っている。マスク 9 3 が除去された部分に開放部 7 0 が形成される。すなわち、隣り合う第 2 電極層 2 0 と第 2 電極層 2 0 の間に開放部 7 0 が形成される。また、開放部 7 0 から保護膜 6 0 が露出する。すなわち、隣り合う第 2 電極層 2 0 と第 2 電極層 2 0 の間において保護膜 6 0 が露出する。このように、第 2 電極層形成工程 S 5 では、第 2 電極層 2 0 が保護膜 6 0 の端部 6 1 を覆い、隣り合う第 2 電極層 2 0 と第 2 電極層 2 0 の間から保護膜 6 0 が露出するように第 2 電極層 2 0 を形成する。このようにして、図 2 に示すような半導体装置 1 を製造することができる。

[0028] 続いて、第 2 電極層形成工程 S 5 の後に、保護膜 6 0 が隣り合う第 2 電極層 2 0 と第 2 電極層 2 0 の間から露出した状態で、保護膜 6 0 を加熱する（加熱工程 S 6）。加熱工程 S 6 において保護膜 6 0 を加熱する方法は、特に限定されるものではなく、例えばアニール炉を用いたアニール処理により加熱することができる。具体的には、半導体装置 1 をアニール炉に入れて加熱する。なお、保護膜 6 0 が水分を含んでいる場合がある。また、保護膜 6 0 の表面には、異物が付着していることがある。このため、加熱工程 S 6 で保護膜 6 0 が加熱されると、保護膜 6 0 が吸湿していた水分が気化してガスが発生する。また、保護膜 6 0 に付着していた異物が離脱してガスが発生する。保護膜 6 0 が開放部 7 0 内で露出しているので、発生したガスは、開放部 7 0 を通じて外部に放出される。これによって、保護膜 6 0 から生じたガスが第 2 電極層 2 0 の下側に入り込むことが防止され、第 2 電極層 2 0 の変形が防止される。なお、保護膜 6 0 を加熱する方法は、アニール処理に限定されるものではなく、例えばリフロー方式によってはんだ付けを行うときに保護膜 6 0 を加熱してもよい。具体的には、第 2 電極層 2 0 に対して例えばリ

ードフレームなどをはんだ付けするときに保護膜60を加熱してもよい。リフロー方式は、対象物にはんだペーストを塗布し、加熱することによりはんだを熔融して接合する方法である。この場合にも保護膜60が加熱されるが、保護膜60から生じたガスが第2電極層20の下側に入り込むことが防止される。

[0029] なお、図14は、比較例として、保護膜60の表面全体が第2電極層20により覆われている半導体装置を示している。比較例の半導体装置では保護膜60上に開放部70が形成されていないため、比較例の半導体装置を加熱すると、保護膜60から発生するガスが外部に抜けることができない。その結果、図15に示すように、ガスの圧力によって第2電極層20が上側に凸となるように膨らんで、第2電極層20と保護膜60の間に空間62（ガスの層）が形成される。

[0030] これに対し、上述の説明から明らかなように、本実施形態の構成を備える半導体装置1によれば、第2電極層20と第2電極層20の間から保護膜60が露出しているので、発生したガスが外部に放出される。これにより、保護膜60と第2電極層20の間にガスが入り込むことがなく、第2電極層20が膨れることを抑制できる。また、第2電極層20の下にガスが入り込まないので、保護膜60と第2電極層20の間にガスの層が生じず、半導体基板50で発生する熱を第2電極層20に効率的に伝達することができる。これにより放熱性を向上させることができる。また、第2電極層20が膨れることを抑制できるので、第2電極層20の変形を抑制できる。これにより、半導体装置1の信頼性を向上させることができる。また、保護膜60が第1電極層10と第1電極層10の間に形成された配線30を覆うので配線30を保護することができる。

[0031] また、ポリイミドは水分を吸湿しやすいので、保護膜60がポリイミドから形成されていると、加熱によりガスが発生しやすくなる。したがって、この場合はガスを外部に放出するために上記の構成が特に効果的である。また、保護膜60が第1電極層10と第2電極層20の端部26の間に介在して

いと、保護膜60と第2電極層20の間にガスが入り込みやすくなる。したがって、この場合もガスを外部に放出するために、第2電極層20と第2電極層20の間から保護膜60が露出している上記の構成が特に効果的である。

[0032] 以上、一実施形態について説明したが、具体的な態様は上記実施形態に限定されるものではない。例えば、第2電極層20と第2電極層20の間に形成されている開放部70の構成は、上記の実施形態に限定されるものではない。他の実施形態では、図16に示すように、複数の開放部70が形成されていてもよい。複数の開放部70は、間隔をあけて並んで形成されている。第2電極層20は接続部25を有している。隣り合う第2電極層20と第2電極層20は、接続部25により部分的に接続されている。隣り合う第2電極層20と第2電極層20の間に接続部25が形成されている。隣り合う第2電極層20と第2電極層20は同電位になる。第2電極層20と接続部25によって囲まれた部分に開放部70が形成されている。このような構成によれば、接続部25を形成することにより金属の部分が増えるので、熱伝導性が向上する。これにより、放熱性を向上させることができる。なお、図16において、図1と同様の構成については同一の符号を付して説明を省略する。

[0033] また、信号電極80の構成は特に限定されるものではなく、例えば、多層構造になっていてもよい。この場合、信号電極80は、例えば、アルミシリコン（AlSi）から形成された第1層と、チタン（Ti）から形成された第2層と、ニッケル（Ni）から形成された第3層と、金（Au）から形成された第4層とを備えていてもよい。また、図16に示すように、複数の多層構造の信号電極81と複数の単層構造の信号電極80が並んで形成されていてもよい。また、多層構造の信号電極81のみが形成されていてもよい。あるいは、単層構造の信号電極80のみが形成されていてもよい。

[0034] また、上記実施形態では配線30が半導体基板50上に形成され、配線30が半導体基板50に接触していたが、この構成に限定されるものではない

。他の実施形態では、配線 3 0 と半導体基板 5 0 の間に絶縁層が介在していてもよい（図示省略）。すなわち、配線 3 0 が、半導体基板 5 0 から絶縁されていてもよい。例えば、配線 3 0 がゲート配線等である場合には、このように配線 3 0 を半導体基板 5 から絶縁することができる。

[0035] 以上、本発明の具体例を詳細に説明したが、これらは例示に過ぎず、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例を様々に変形、変更したものが含まれる。本明細書または図面に説明した技術要素は、単独であるいは各種の組合せによって技術的有用性を発揮するものであり、出願時請求項記載の組合せに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達成し得るものであり、そのうちの一つの目的を達成すること自体で技術的有用性を持つものである。

符号の説明

[0036] 1 ; 半導体装置
2 ; 表面電極
3 ; 裏面電極
1 0 ; 第 1 電極層
1 1 ; 端部
2 0 ; 第 2 電極層
2 1 ; 第 1 層
2 2 ; 第 2 層
2 3 ; 第 3 層
2 5 ; 接続部
2 6 ; 端部
3 0 ; 配線
3 1 ; 第 1 層
3 2 ; 第 2 層
3 3 ; 第 3 層

3 4 ; 第 4 層

5 0 ; 半導体基板

5 1 ; 表面

5 2 ; 裏面

6 0 ; 保護膜

6 1 ; 端部

7 0 ; 開放部

8 0 ; 信号電極

8 1 ; 信号電極

9 0 ; 薄膜

9 1 ; マスク

9 3 ; マスク

9 4 ; 薄膜

請求の範囲

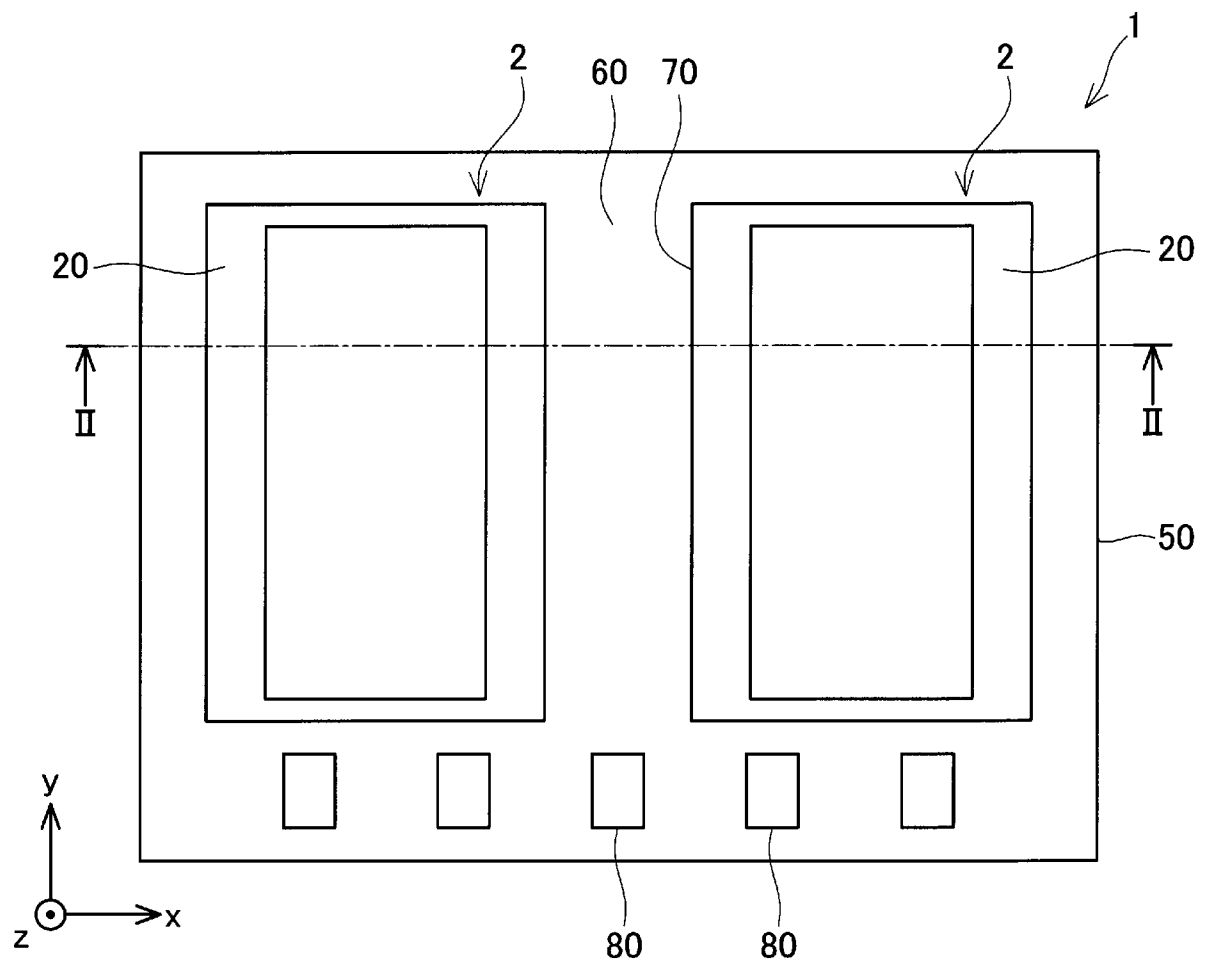
- [請求項1] 半導体基板と、
 前記半導体基板の上に間隔をあけて形成された複数の第1電極層と、
 、
 隣り合う前記第1電極層と前記第1電極層の間に形成された配線と、
 、
 隣り合う前記第1電極層と前記第1電極層の間の前記半導体基板および前記配線を覆う絶縁性の保護膜と、
 複数の前記第1電極層の上にそれぞれ形成された複数の第2電極層と、を備え、
 前記第2電極層が前記保護膜の端部を覆い、隣り合う前記第2電極層と前記第2電極層の間から前記保護膜が露出している、半導体装置。
- [請求項2] 前記保護膜は、樹脂から形成されている請求項1に記載の半導体装置。
- [請求項3] 前記保護膜は、ポリイミドから形成されている請求項2に記載の半導体装置。
- [請求項4] 前記保護膜は、前記第1電極層の端部を覆っている請求項1から3のいずれか一項に記載の半導体装置。
- [請求項5] 半導体基板の上に間隔をあけて複数の第1電極層を形成する工程と、
 、
 隣り合う前記第1電極層と前記第1電極層の間に配線を形成する工程と、
 隣り合う前記第1電極層と前記第1電極層の間の前記半導体基板および前記配線を覆う絶縁性の保護膜を形成する工程と、
 前記第1電極層のそれぞれの上に第2電極層を形成する工程であって、前記第2電極層が前記保護膜の端部を覆い、隣り合う前記第2電極層と前記第2電極層の間から前記保護膜が露出するように前記第2

電極層を形成する工程と、を備える半導体装置の製造方法。

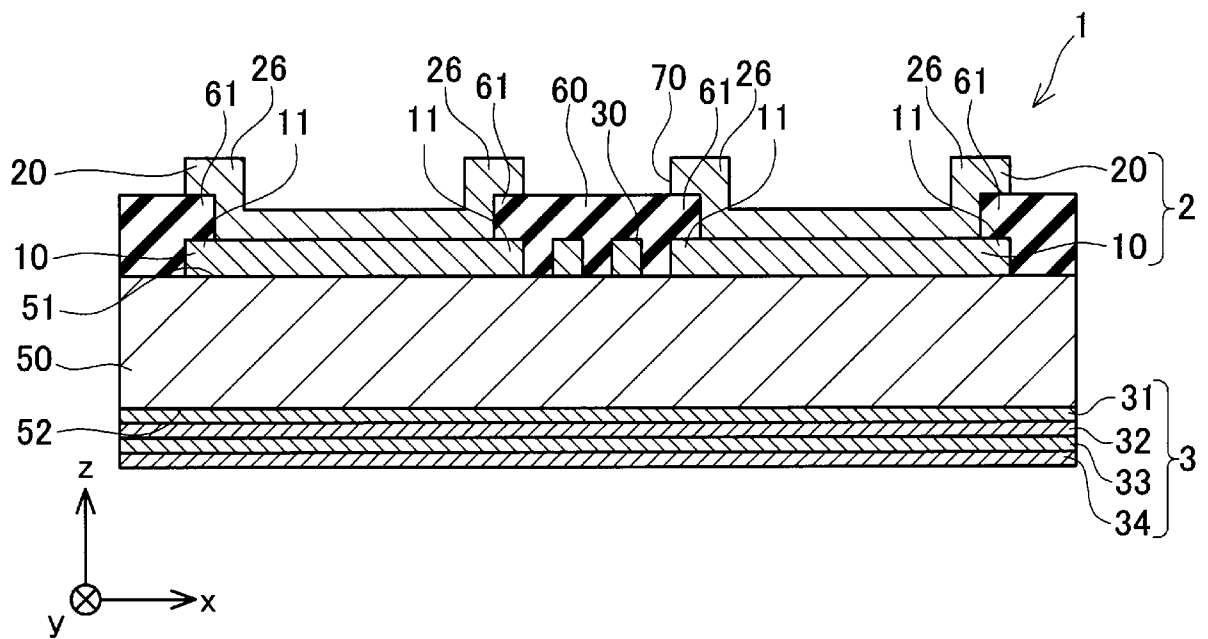
[請求項6] 前記第2電極層を形成した後に、隣り合う前記第2電極層と前記第2電極層の間から前記保護膜が露出した状態で前記保護膜を加熱する工程を更に備える請求項5に記載の半導体装置の製造方法。

[請求項7] 前記保護膜を加熱する前記工程は、はんだ付けをするときに行われる請求項6に記載の半導体装置の製造方法。

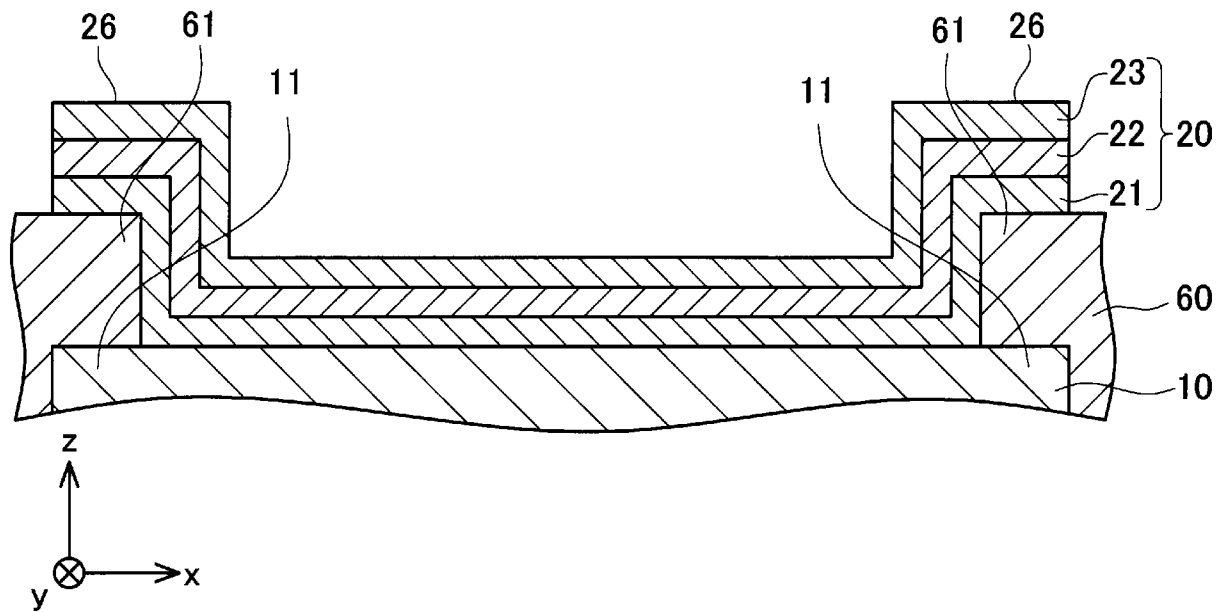
[図1]



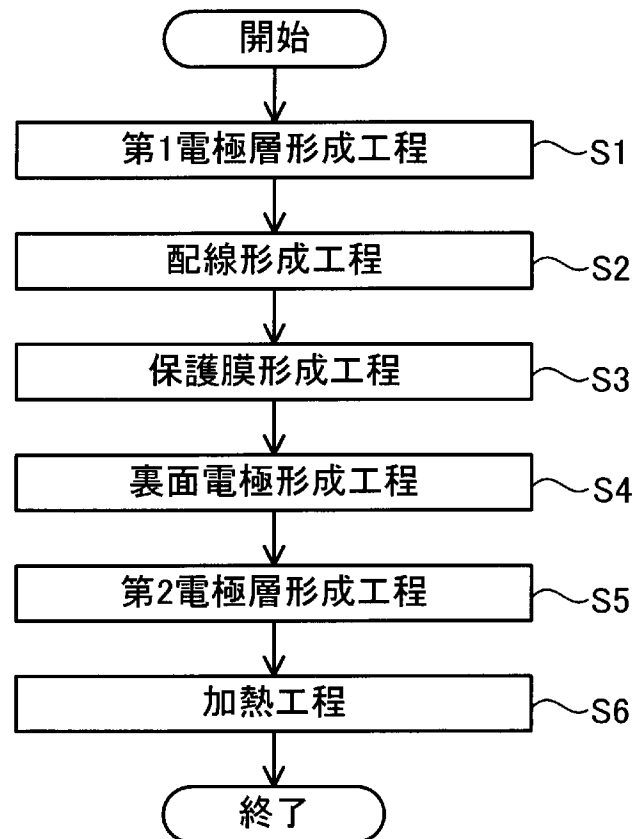
[図2]



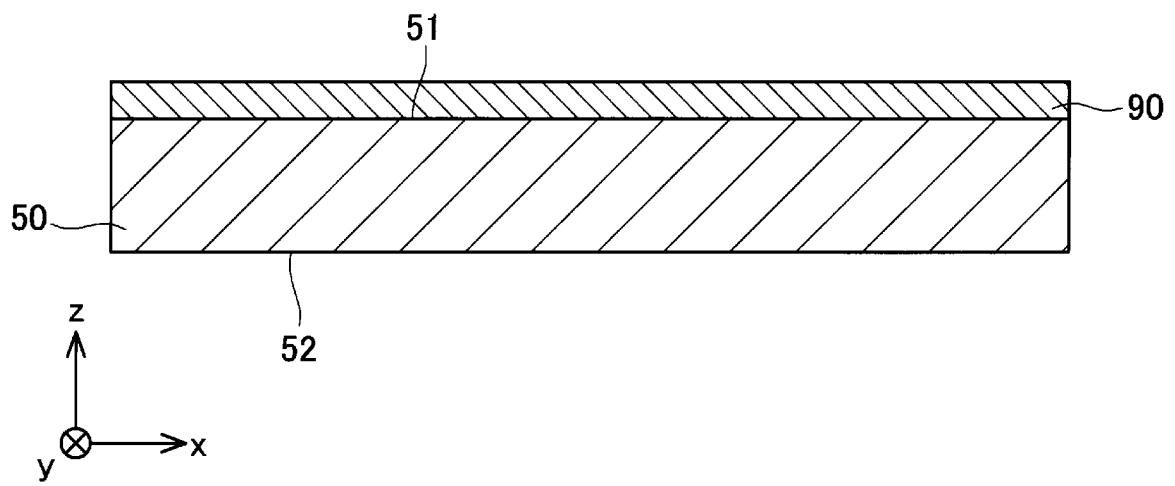
[図3]



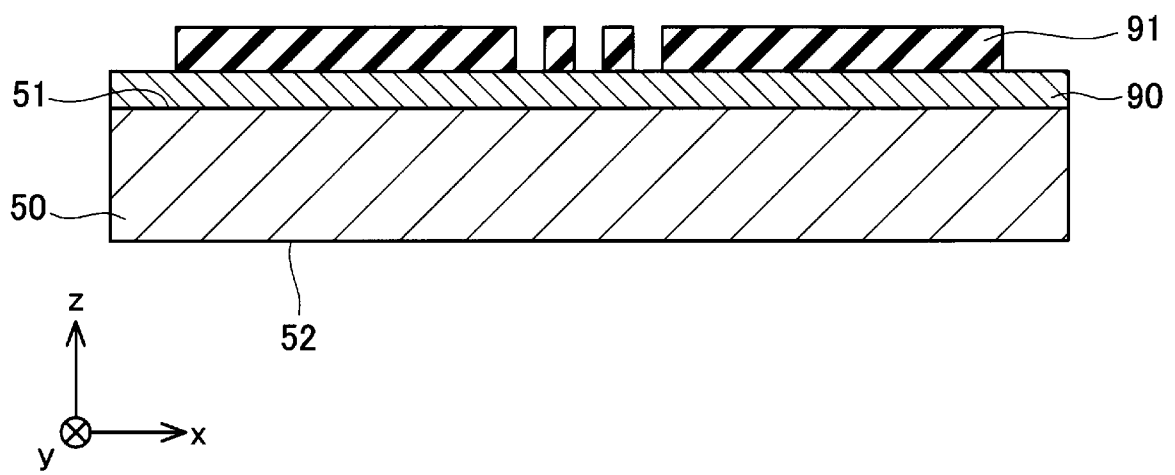
[図4]



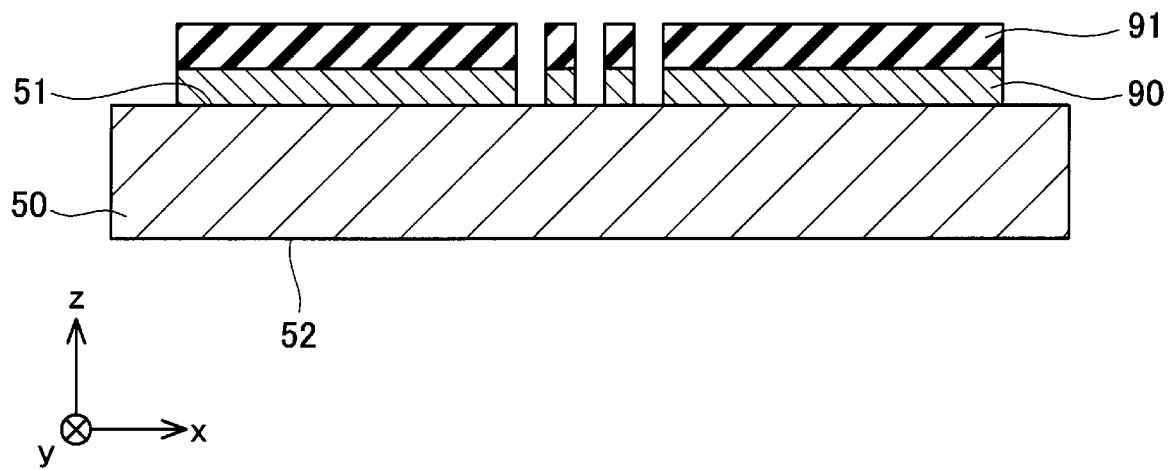
[図5]



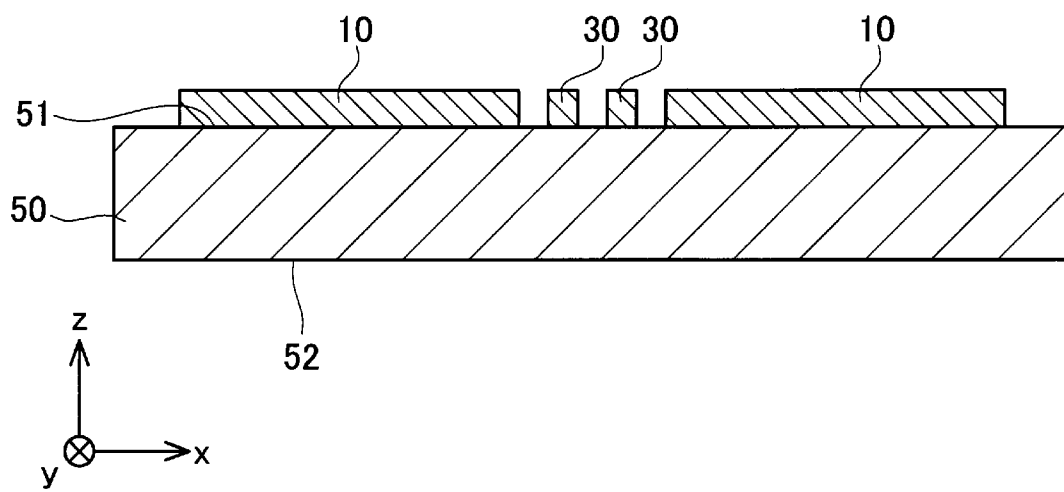
[図6]



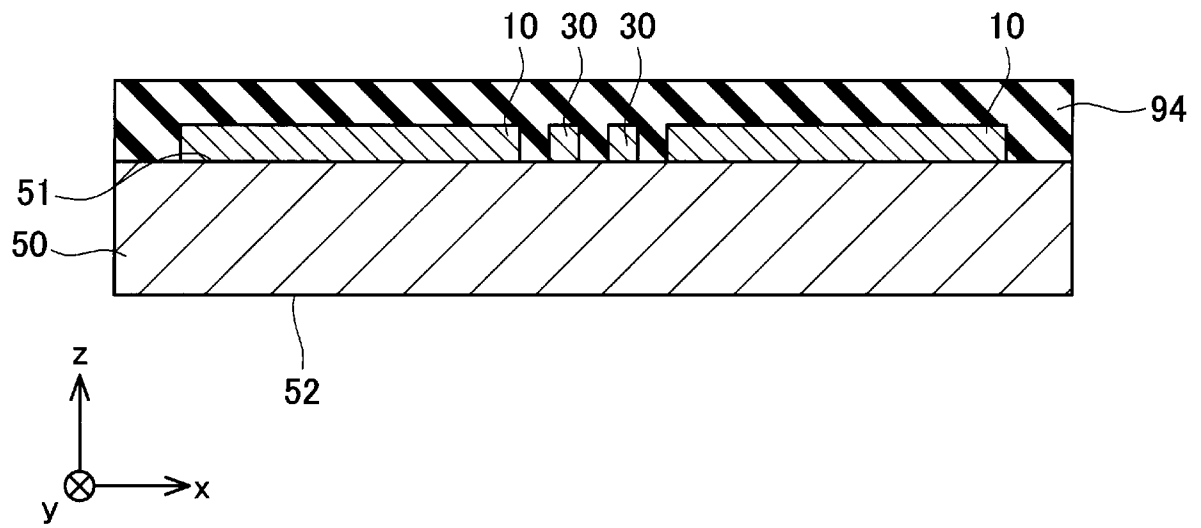
[図7]



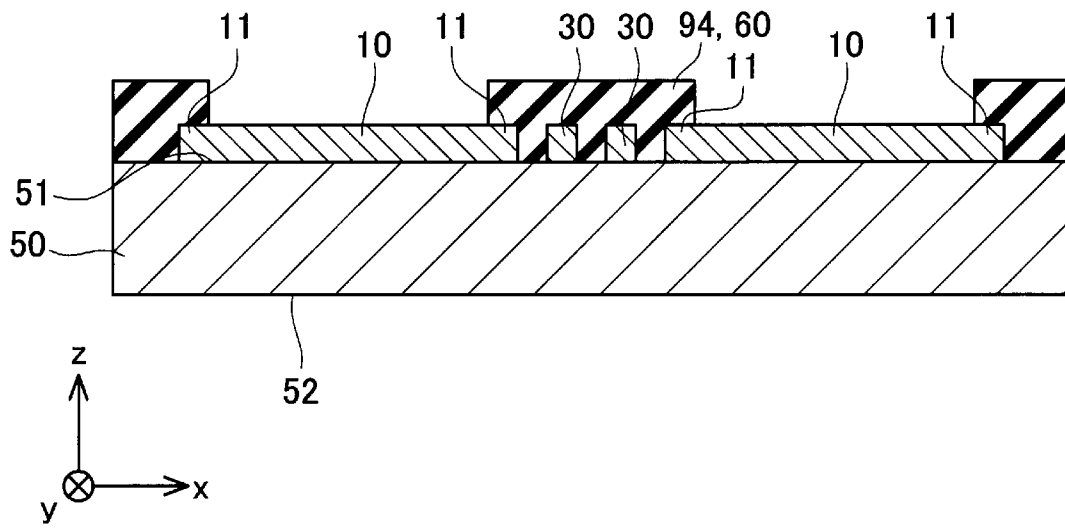
[図8]



[図9]



[図10]

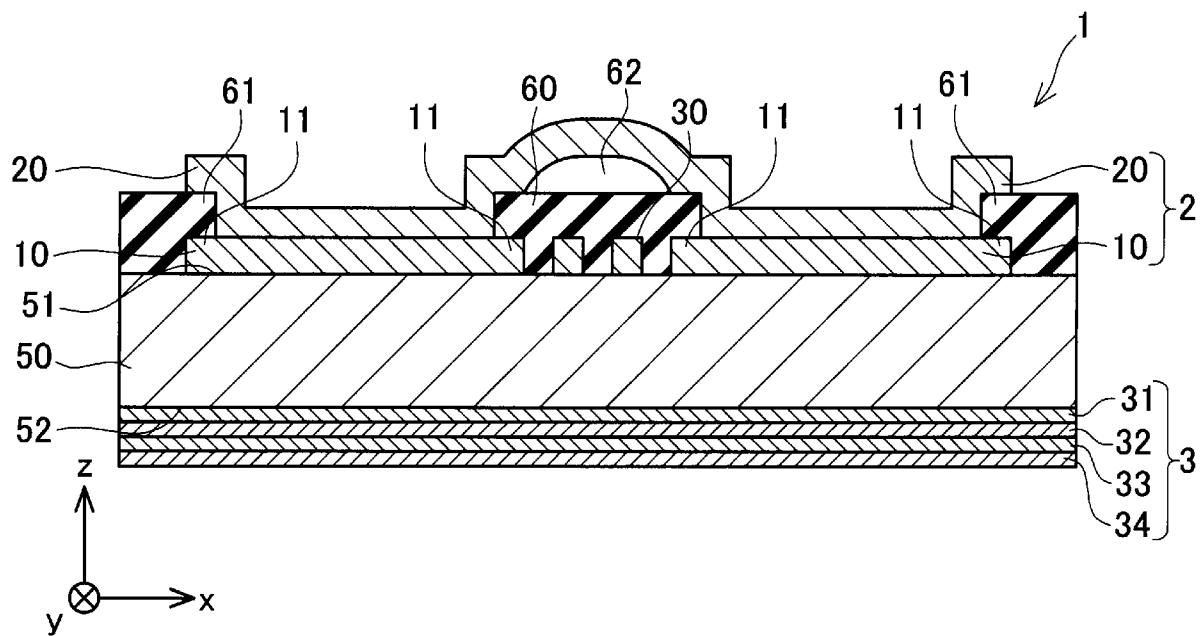


[illegible][illegible]

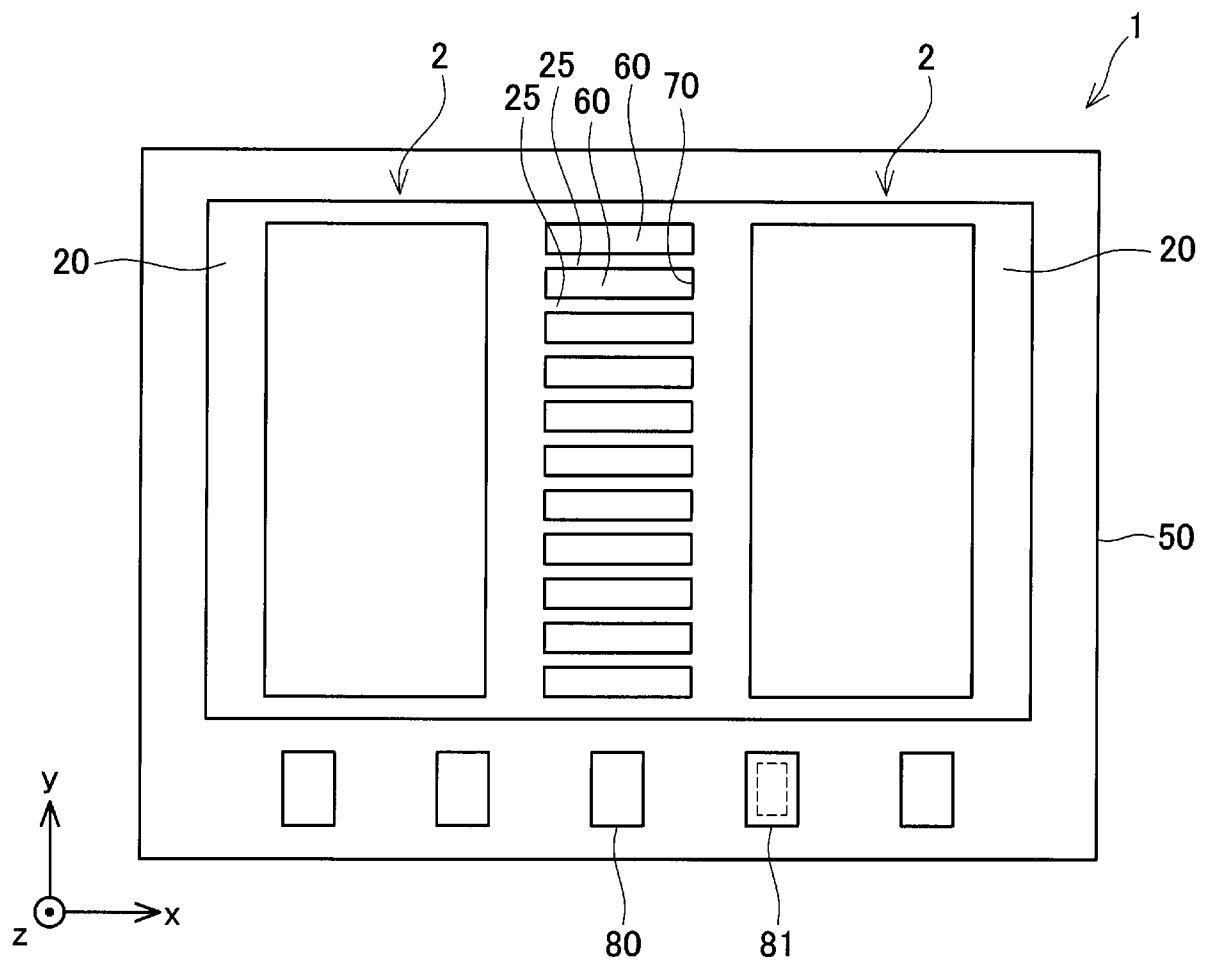
[illegible]

Figure 1 is a cross-sectional view of a semiconductor device 1. The device includes a substrate 3 with layers 31, 32, 33, and 34. A main body 2 is formed on the substrate, containing layers 10 and 20. A gate stack 11 is formed on the main body, with a gate electrode 60 and gate spacers 61. A source/drain region 30 is formed in the main body. A coordinate system (x, y, z) is shown at the bottom left.

[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/059725

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/3205(2006.01)i, H01L21/60(2006.01)i, H01L21/768(2006.01)i,
H01L23/522(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/3205, H01L21/60, H01L21/768, H01L23/522

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2012-19121 A (Rohm Co., Ltd.), 26 January 2012 (26.01.2012), paragraphs [0027] to [0060]; fig. 1 to 16 & US 2013/0113096 A1 & WO 2012/005352 A1	1-7
Y	JP 2012-119444 A (Toshiba Corp.), 21 June 2012 (21.06.2012), paragraphs [0035] to [0046]; fig. 5 to 6 (Family: none)	1-7
A	JP 2005-39017 A (Hitachi, Ltd.), 10 February 2005 (10.02.2005), entire text (Family: none)	1-7

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
11 May 2015 (11.05.15)

Date of mailing of the international search report
26 May 2015 (26.05.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/059725

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-253944 A (Toshiba Corp.), 15 December 2011 (15.12.2011), entire text (Family: none)	1-7

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/3205(2006.01)i, H01L21/60(2006.01)i, H01L21/768(2006.01)i, H01L23/522(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/3205, H01L21/60, H01L21/768, H01L23/522

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2012-19121 A（ローム株式会社）2012.01.26, [0027]-[0060], [図1]-[図16] & US 2013/0113096 A1 & WO 2012/005352 A1	1-7
Y	JP 2012-119444 A（株式会社東芝）2012.06.21, [0035]-[0046], [図5]-[図6]（ファミリーなし）	1-7
A	JP 2005-39017 A（株式会社日立製作所）2005.02.10, 全文（ファミリーなし）	1-7

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 1 . 0 5 . 2 0 1 5

国際調査報告の発送日

2 6 . 0 5 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

河合 俊英

5 F

3 2 3 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-253944 A (株式会社東芝) 2011.12.15, 全文 (ファミリーなし)	1-7