

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-190885

(P2012-190885A)

(43) 公開日 平成24年10月4日(2012.10.4)

(51) Int.Cl.

H01L 23/12 (2006.01)

F I

H01L 23/12 501P

テーマコード (参考)

審査請求 未請求 請求項の数 11 O L (全 18 頁)

(21) 出願番号 特願2011-51224 (P2011-51224)  
 (22) 出願日 平成23年3月9日(2011.3.9)

(71) 出願人 311014314  
 株式会社テラミクロス  
 東京都青梅市今井3丁目10番地の6  
 (74) 代理人 110001254  
 特許業務法人光陽国際特許事務所  
 (72) 発明者 石渡 伸哉  
 東京都青梅市今井3丁目10番地の6 カ  
 シオ計算機株式会社青梅事業所第一工場内

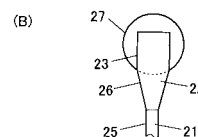
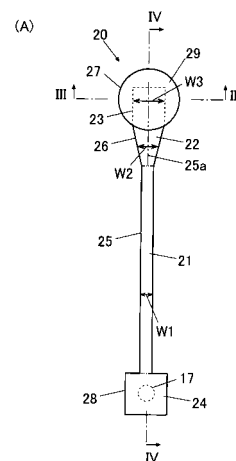
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 配線の断線を防止する。

【解決手段】 半導体装置 1 が、半導体基板 1 1 と、半導体基板 1 1 の上に形成された配線 2 1 と、半導体基板 1 1 の上に形成され、配線 2 1 に接続された接続導体 2 2 と、半導体基板 1 1 の上に形成され、接続導体 2 2 に接続されたランド 2 3 と、ランド 2 3 の上に形成され、ランド 2 3 の外縁からはみ出るように形成された端子 2 9 と、を備る。接続導体 2 2 が端子 2 9 の外周からはみ出て、接続導体 2 2 の幅 W 2 が配線 2 1 の幅 W 1 よりも広い。

【選択図】 図 2



**【特許請求の範囲】****【請求項 1】**

半導体基板と、  
前記半導体基板の上方に設けられた配線と、  
一端部が、前記配線の一端部に接続された接続導体と、  
前記接続導体の他端部に接続され、平面視して前記配線の幅より広い幅のランドと、  
前記ランド上及び前記ランドの周側面の少なくとも一部を覆うように設けられた端子と  
、  
を備えていることを特徴とする半導体装置。

**【請求項 2】**

10

前記接続導体と前記ランドとは、前記半導体基板の上方に設けられており、  
平面視して前記接続導体の前記ランド側の端部の幅は、前記接続導体の前記配線側の端部の幅より広いことを特徴とする請求項 1 に記載の半導体装置。

**【請求項 3】**

前記半導体基板の上方であって前記配線の下に形成された配線下地と、  
前記半導体基板の上方であって前記接続導体の下に形成され、前記配線下地に接続された接続導体下地と、  
前記半導体基板の上方であって前記ランドの下に形成され、前記接続導体下地に接続されたランド下地と、を更に備え、

20

前記ランド下地が前記ランドよりも広く形成され、  
前記端子のうち前記ランドの外縁からはみ出た部分が前記ランド下地上に設けられ、  
前記端子の外周が前記ランド下地の外縁に重なり、  
前記接続導体下地が前記端子の外周からはみ出て、  
前記配線の幅と前記配線下地の幅が等しく、  
前記接続導体下地の幅が前記配線及び前記配線下地の幅よりも広いことを特徴とする請求項 1 又は 2 に記載の半導体装置。

**【請求項 4】**

前記接続導体の幅が前記ランド側から前記配線側に向かって漸減し、  
前記接続導体下地の幅が前記ランド下地側から前記配線下地側に向かって漸減することを特徴とする請求項 3 に記載の半導体装置。

30

**【請求項 5】**

前記端子の周囲において前記半導体基板の上に形成されているとともに前記配線及び前記接続導体を覆う封止層を更に備えることを特徴とする請求項 1 から 4 の何れか一項に記載の半導体装置。

**【請求項 6】**

前記端子が前記ランド上に設けられた柱状電極であることを特徴とする請求項 1 から 5 の何れか一項に記載の半導体装置。

**【請求項 7】**

配線と、前記配線の一端部に、一端部が接続された接続導体と、前記接続導体の他端部に接続され、平面視して前記配線の幅より広い幅のランドと、を半導体ウエハの上方に形成し、

40

前記ランド上及び前記ランドの周側面を覆うように端子を形成することを特徴とする半導体装置の製造方法。

**【請求項 8】**

平面視して前記接続導体の前記ランド側の端部の幅は、前記接続導体の前記配線側の端部の幅より広く、

前記接続導体の形成に際しては、前記接続導体の幅を前記ランド側から前記配線側に向かって漸減させることを特徴とする請求項 7 に記載の半導体装置の製造方法。

**【請求項 9】**

前記配線、前記接続導体及び前記ランドの形成の前に前記半導体ウエハの上にシード層

50

を成膜した後、前記配線、前記接続導体及び前記ランドを前記シード層上に形成し、

前記配線、前記接続導体及び前記ランドの形成の後に前記配線、前記接続導体、前記ランド及び前記シード層をネガ型のレジストで被覆し、前記ランド及びその周辺の上を遮光してその遮光領域から前記接続導体をはみ出させるように前記レジストを露光し、前記レジストを現像することによって前記遮光領域に開口を形成し、

前記端子の形成に際しては、前記ランド及び前記シード層を電極として電解メッキを行って、前記開口内に端子を成長させ、

前記端子の形成後に前記レジストを除去し、

前記シード層のうち前記配線、前記接続導体及び前記端子の重なっていない部分を除去することを特徴とする請求項 8 に記載の半導体装置の製造方法。

10

#### 【請求項 10】

前記シード層の成膜後に前記シード層の上にレジストをパターンニングして、前記シード層を電極として電解メッキを行うことによって前記配線、前記接続導体及び前記ランドを前記シード層上に成長させることを特徴とする請求項 9 に記載の半導体装置の製造方法。

#### 【請求項 11】

前記シード層の部分的な除去後に前記半導体基板の上に封止層を形成して、前記配線、前記接続導体及び前記端子を前記封止層によって覆い、

前記封止層の表面を研削して前記端子を露出させ、

前記封止層及び前記半導体ウエハをチップサイズに分断することを特徴とする請求項 8、9 又は 10 に記載の半導体装置の製造方法。

20

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本発明は、半導体装置及びその製造方法に関する。

#### 【背景技術】

#### 【0002】

半導体チップのパッケージ方法として、いわゆる W L P (Wafer Level Package) 法がある。W L P 法は、個片化する前の半導体ウエハに配線形成と樹脂封止を行った後に、チップサイズに切り出す方法である (例えば、特許文献 1 の図 1 ~ 図 2 参照)。具体的には、以下のような工程を経て、半導体チップをパッケージする。即ち、まず、シード層 (9) を半導体ウエハの表面に成長させる。その後、そのシード層 (9) をレジスト (16) によってマスクした状態で、そのシード層 (9) の上に配線 (10) を電解メッキ法により形成する。そのレジスト (16) の除去後、ドライフィルム (19) を貼り付けて、そのドライフィルム (19) に開口 (12) を形成する。次に、ドライフィルム (19) の開口 (12) 内に柱状電極 (11) を電解メッキ法によって成長させる。そのドライフィルム (19) の除去後、エポキシ樹脂を塗布して、エポキシ樹脂で配線 (10) 及び柱状電極 (11) を覆い、そのエポキシ樹脂を硬化させる。エポキシ樹脂が硬化することで封止層 (14) になる。その後、封止層 (14) の表面を研削し、柱状電極 (11) を露出させる。次に、その柱状電極 (11) の表面にパンプ (15) を形成し、最後に半導体ウエハを封止層 (14) と一緒に個片化する。

30

40

#### 【先行技術文献】

#### 【特許文献】

#### 【0003】

【特許文献 1】特開 2008 - 218731 号公報

#### 【発明の概要】

#### 【発明が解決しようとする課題】

#### 【0004】

ところで、特許文献 1 には、配線 (10) の平面的な形状について何ら記載されていない。配線 (10) の幅が柱状電極 (11) の直径よりも狭いと、配線 (10) のうち柱状電極 (11) の外周を横切る箇所に電力集中が生じる。そのため、配線 (10) は、柱状

50

電極(11)の外周を横切る箇所を断線してしまうことがある。

また、電気めっきにより柱状電極(11)を形成する際、ドライフィルム(19)を用いている。そして、シード層(9)の上には配線(10)が形成されているので、配線(10)およびシード層(9)の上にはドライフィルム(19)をラミネートすることになる。ところで、最近では、狭ピッチ化の進行に伴い、配線(10)のランドと配線(10)の引き回し線部との間隔が狭くなってきている。配線(10)のランドの直径は柱状電極(11)の直径よりも例えば数 $\mu\text{m}$ ~10 $\mu\text{m}$ 大きくなっている。また、配線(10)の厚さは例えば6 $\mu\text{m}$ 程度と比較的厚くなっている。

この結果、ラミネートローラを用いた熱圧着方法では、ローラ圧力が配線(10)のランドと配線(10)の引き回し線部との間に十分に伝わらず、配線(10)のランドの周辺部上面へのドライフィルムの密着性が低下し、メッキ液が配線(10)のランドと配線(10)の引き回し線部との間に染み出し、シード層(9)のエッチング工程においてシード層(9)のエッチング不良が発生し、配線(10)間でショートが発生してしまうことがある。

そこで、本発明が解決しようとする課題は、ドライフィルム(19)の密着性の低下によるメッキ液の染み出しが起こりにくいようにすると共に、配線の断線を防止することである。

【課題を解決するための手段】

【0005】

以上の課題を解決するための本発明に係る半導体装置が、半導体基板と、前記半導体基板の上方に設けられた配線と、一端部が、前記配線の一端部に接続された接続導体と、前記接続導体の他端部に接続され、平面視して前記配線の幅より広い幅のランドと、前記ランド上及び前記ランドの周側面の少なくとも一部を覆うように設けられた端子と、を備えている。

【0006】

本発明に係る半導体装置の製造方法は、配線と、前記配線の一端部に、一端部が接続された接続導体と、前記接続導体の他端部に接続され、平面視して前記配線の幅より広い幅のランドと、を半導体ウエハの上方に形成し、前記ランド上及び前記ランドの周側面を覆うように端子を形成する方法である。

【発明の効果】

【0007】

本発明によれば、配線の断線を防止することができる。

【図面の簡単な説明】

【0008】

【図1】本発明の実施形態に係る半導体装置の斜視図。

【図2】同実施形態に係る導体構造の平面図。

【図3】図2に示されたIII-IIIに沿った面の断面図。

【図4】図2に示されたIV-IVに沿った面の断面図。

【図5】同実施形態に係る半導体装置の製造に用いるウエハの斜視図。

【図6】同実施形態に係る半導体装置を製造する方法の一工程における平面図及び断面図

【図7】図6に続く工程における平面図及び断面図。

【図8】図7に続く工程における平面図及び断面図。

【図9】図8に続く工程における平面図及び断面図。

【図10】図9に続く工程における平面図及び断面図。

【図11】図10に続く工程における平面図及び断面図。

【図12】図11に続く工程における平面図及び断面図。

【図13】図12に続く工程における平面図及び断面図。

【図14】図13に続く工程における平面図及び断面図。

【図15】図14に続く工程における平面図及び断面図。

10

20

30

40

50

【図 16】図 15 に続く工程における平面図及び断面図。

【発明を実施するための形態】

【0009】

以下に、本発明を実施するための形態について、図面を用いて説明する。但し、以下に述べる実施形態には、本発明を実施するために技術的に好ましい種々の限定が付されているが、本発明の範囲を以下の実施形態及び図示例に限定するものではない。

【0010】

図 1 は、半導体装置 1 の一部を破断した状態で示した斜視図である。図 2 (A) は、この半導体装置 1 に設けられた導体構造 20 の平面図である。図 2 (B) は、図 2 (A) の導体構造 20 のうち、アウター端子 29 を形成する前の配線 21、接続導体 22、ランド 23 の平面図である。図 3 は、III - III 断面図である。図 4 は、IV - IV 断面図である。

10

【0011】

図 1 に示すように、半導体装置 1 は、チップサイズにパッケージしたものであって、いわゆる CSP (Chip Size Package) である。特に、この半導体装置 1 は、個片化する前の半導体ウエハの表面を樹脂によって封止した後に、それをチップサイズに個片化したものである。つまり、半導体装置 1 は、CSP の中でも特に WLP (Wafer Level Package) である。

【0012】

半導体装置 1 は、半導体基板 11、パッシベーション膜 15、絶縁膜 16、導体構造 20、封止層 40 及び半田バンプ 50 を有する。

20

【0013】

半導体基板 11 は、半導体ウエハを個片化したものである。半導体基板 11 は、一方の面 12 と、その面 12 の反対側となる他方の面 13 と、これら面 12、13 の間の厚みと、を有する。半導体基板 11 は、シリコンといった半導体材料等からなる。半導体基板 11 の表側の表層には、集積回路が形成されている。

【0014】

半導体基板 11 の一方の面 12 がパッシベーション膜 15 によって被覆されている。半導体基板 11 の表層に形成された集積回路がパッシベーション膜 15 によって保護されている。パッシベーション膜 15 は、酸化シリコン又は窒化シリコンを含有する。パッシベーション膜 15 が、絶縁膜 16 によって被覆されている。絶縁膜 16 は、エポキシ系樹脂、ポリイミド系樹脂その他の樹脂を含有する。例えば、絶縁膜 16 には、ポリイミド (PI)、ポリベンゾオキサゾール (PBO)、エポキシ系、フェノール系、シリコン系等のプラスチック材料又はこれらの複合材料等を用いることができる。なお、絶縁膜 16 が形成されていなくてもよい。

30

【0015】

半導体基板 11 の一方の面 12 には、複数のインナー端子 14 が形成されている。インナー端子 14 は、半導体基板 11 の表層に形成された集積回路の配線の一部であったり、その集積回路の各種電気素子 (例えば、ダイオード、トランジスタ、抵抗、コンデンサ等) の電極であったりする。パッシベーション膜 15 及び絶縁膜 16 のうちインナー端子 14 に重なる位置には、コンタクトホール 17 (図 2、図 4 等に図示) が形成されており、インナー端子 14 の全体又は一部はパッシベーション膜 15 及び絶縁膜 16 によって覆われていない。

40

【0016】

本実施の形態では、半導体基板 11、パッシベーション膜 15 及び絶縁膜 16 の積層体が基材である。

【0017】

絶縁膜 16 上 (絶縁膜 16 が無い場合には、パッシベーション膜 15 上) には、複数の導体構造 20 が設けられている。導体構造 20 は、半田バンプ 50 とインナー端子 14 を電氣的に導通させる。1 体の導体構造 20 に接続されるインナー端子 14 の数は 1 又は複数である。1 体の導体構造 20 に接続される半田バンプ 50 の数は 1 又は複数である。

50

## 【 0 0 1 8 】

図 2 ~ 図 4 に示すように、導体構造 2 0 は、配線 2 1、接続導体 2 2、ランド 2 3、インナーランド 2 4、配線下地 2 5、接続導体下地 2 6、ランド下地 2 7、インナーランド下地 2 8 及びアウター端子 2 9 を有する。

## 【 0 0 1 9 】

配線下地 2 5、接続導体下地 2 6、ランド下地 2 7 及びインナーランド下地 2 8 は、絶縁膜 1 6 の開口内以外は絶縁膜 1 6 上（絶縁膜 1 6 が無い場合には、パッシベーション膜 1 5 上）に敷設されている。配線下地 2 5 は線状に設けられ、平面視した配線下地 2 5 の幅  $W 1$ （配線下地 2 5 の長さ方向に対して直行する方向の長さ）がほぼ一様である。配線下地 2 5 は、直線状又は曲線状である。

10

## 【 0 0 2 0 】

接続導体下地 2 6 が配線下地 2 5 の端部に接続され、インナーランド下地 2 8 が配線下地 2 5 の別の端部に接続されている。ランド下地 2 7 が、接続導体下地 2 6 と配線下地 2 5 との接続部の反対側で、接続導体下地 2 6 に接続されている。配線下地 2 5、接続導体下地 2 6、ランド下地 2 7 及びインナーランド下地 2 8 は、一体形成されている。配線下地 2 5、接続導体下地 2 6、ランド下地 2 7 及びインナーランド下地 2 8 は導体である。配線下地 2 5、接続導体下地 2 6、ランド下地 2 7 及びインナーランド下地 2 8 は、銅（Cu）の薄膜、チタン（Ti）の薄膜、チタンに銅を積層した薄膜その他の金属薄膜である。

20

## 【 0 0 2 1 】

インナーランド下地 2 8 の一部がコンタクトホール 1 7 に埋まり、インナーランド下地 2 8 の一部がインナー端子 1 4 上に形成され、インナーランド下地 2 8 とインナー端子 1 4 が電氣的に導通している。インナーランド下地 2 8 の面積がコンタクトホール 1 7 の開口面積よりも大きく、インナーランド下地 2 8 の縁寄り部分がコンタクトホール 1 7 の周囲で絶縁膜 1 6 上（絶縁膜 1 6 が無い場合には、パッシベーション膜 1 5 上）に形成されている。インナーランド下地 2 8 の直径（インナーランド下地 2 8 が円形でない場合には、インナーランド下地 2 8 の外接円の直径）は、配線下地 2 5 の幅  $W 1$  よりも長い。

## 【 0 0 2 2 】

接続導体下地 2 6 が三角形に形作られ、三角形の何れかの頂部が配線下地 2 5 の端部に接続されている。接続導体下地 2 6 は、配線下地 2 5 の延長線 2 5 a から両側に膨出するように設けられ、平面視した接続導体下地 2 6 の幅  $W 2$  は配線下地 2 5 の幅  $W 1$  よりも広い。接続導体下地 2 6 の幅  $W 2$  は、一様ではない。具体的には、接続導体下地 2 6 の幅  $W 2$  は、ランド下地 2 7 側から配線下地 2 5 側にかけて漸減する。接続導体下地 2 6 の幅  $W 2$  とは、配線下地 2 5 の延長線 2 5 a に直交する方向の長さをいう。

30

## 【 0 0 2 3 】

ランド下地 2 7 は、島状に形成されており、より具体的には円形状に形成されている。ランド下地 2 7 の周縁部の一部が、接続導体下地 2 6 の三角形の頂部（配線下地 2 5 との接続部分）に対する底部に接続されている。ランド下地 2 7 と接続導体下地 2 6 を組み合わせた形状は、いわゆるティアドロップ型（しずく型）である。なお、ランド下地 2 7 が三角形、四角形その他の凸多角形状に形成されていてもよい。また、ランド下地 2 7 が楕円形状に形成されていてもよい。

40

## 【 0 0 2 4 】

ランド下地 2 7 の直径（インナーランド下地 2 8 が円形でない場合には、インナーランド下地 2 8 の外接円の直径）は、配線下地 2 5 の幅  $W 1$  よりも長く、更に、接続導体下地 2 6 の幅  $W 2$ （最も広い部分）以上である。

## 【 0 0 2 5 】

配線 2 1 が配線下地 2 5 上に形成されている。接続導体 2 2 が接続導体下地 2 6 上に形成されている。ランド 2 3 がランド下地 2 7 上に形成されている。インナーランド 2 4 がインナーランド下地 2 8 上に形成されている。

## 【 0 0 2 6 】

50

配線 2 1 は線状に設けられ、配線 2 1 の幅 W 1 がほぼ一様である。配線 2 1 の平面形状と配線下地 2 5 の平面形状が同じであり、平面視して配線 2 1 と配線下地 2 5 が合致している。配線 2 1 の幅 W 1 と配線下地 2 5 の幅 W 1 が等しい。

【 0 0 2 7 】

接続導体 2 2 が配線 2 1 の端部に接続され、インナーランド 2 4 が配線 2 1 の別の端部に接続されている。ランド 2 3 が、接続導体 2 2 と配線 2 1 との接続部の反対側で接続導体 2 2 に接続されている。配線 2 1、接続導体 2 2、ランド 2 3 及びインナーランド 2 4 は、一体形成されている。配線 2 1、接続導体 2 2、ランド 2 3 及びインナーランド 2 4 は、導体である。配線 2 1、接続導体 2 2、ランド 2 3 及びインナーランド 2 4 は、銅メッキその他の金属メッキからなる。配線 2 1、接続導体 2 2、ランド 2 3 及びインナーランド 2 4 は、配線下地 2 5、接続導体下地 2 6、ランド下地 2 7 及びインナーランド下地 2 8 よりも厚い。

10

【 0 0 2 8 】

インナーランド 2 4 がインナーランド下地 2 8 を介してインナー端子 1 4 に電氣的導通している。インナーランド 2 4 の面積がコンタクトホール 1 7 の開口面積よりも大きく、インナーランド 2 4 の縁寄り部分がインナーランド下地 2 8 を介して絶縁膜 1 6 上（絶縁膜 1 6 が無い場合には、パッシベーション膜 1 5 上）に形成されている。インナーランド 2 4 の直径（インナーランド 2 4 が円形でない場合には、インナーランド 2 4 の外接円の直径）は、配線 2 1 及び配線下地 2 5 の幅 W 1 よりも長い。インナーランド 2 4 の平面形状がインナーランド下地 2 8 の平面形状と同じであり、インナーランド 2 4 の周縁とインナーランド下地 2 8 の周縁が重なっている。

20

【 0 0 2 9 】

接続導体 2 2 が三角形に形作られ、三角形の何れかの頂部が配線 2 1 の端部に接続されている。接続導体 2 2 は、配線 2 1 の延長線 2 5 a から両側に膨出するように設けられ、接続導体 2 2 の幅 W 2 は配線 2 1 の幅 W 1 よりも広い。接続導体 2 2 の幅 W 2 は、一様ではない。具体的には、接続導体 2 2 の幅 W 2 は、ランド 2 3 側から配線 2 1 側に向かって漸減する。接続導体 2 2 の幅 W 2 とは、配線 2 1 の延長線 2 5 a に直交する方向の長さをいう。

【 0 0 3 0 】

接続導体 2 2 の平面形状が接続導体下地 2 6 の平面形状と同じであり、接続導体 2 2 の周縁と接続導体下地 2 6 の周縁が重なっている。

30

【 0 0 3 1 】

ランド 2 3 は、島状に形成されており、より具体的には矩形状に形成されている。ランド 2 3 の周縁部の一部が、接続導体 2 2 の三角形の頂部（配線 2 1 との接続部分）に対する底部に接続されている。なお、ランド 2 3 が三角形、四角形その他の凸多角形状に形成されていてもよい。また、ランド 2 3 が円形又は楕円形に形成されていてもよい。

【 0 0 3 2 】

ランド 2 3 の面積がランド下地 2 7 の面積よりも狭い。平面視して、ランド 2 3 全体がランド下地 2 7 の外縁の内側に配置され、ランド下地 2 7 の外縁寄り部分がランド 2 3 の外縁からはみ出ている。ランド 2 3 の外縁のうち接続導体 2 2 との接続部分以外は、ランド下地 2 7 の外縁から内側に離れている。ランド 2 3 の幅 W 3（ランド 2 3 の延長線 2 5 a に直交する方向の長さをいう。）は、配線 2 1 の幅 W 1 よりも広い。また、ランド 2 3 が円形の場合は、ランド 2 3 の内接円の直径を W 3 とする。ランド 2 3 の幅 W 3 は、配線 2 1 側からランド 2 3 側にかけて漸増していく際の最も広い部分の接続導体 2 2 の幅 W 2 と同じである。

40

【 0 0 3 3 】

アウター端子 2 9 は、柱状電極である。アウター端子 2 9 は、ランド 2 3 及びランド下地 2 7 の上に立設されている。つまり、アウター端子 2 9 の中央部分がランド 2 3 の上に形成され、アウター端子 2 9 の外周寄り部分がランド 2 3 の外縁から外にはみ出てランド下地 2 7 の外縁寄り部分の上に形成されている。アウター端子 2 9 の平面形状とランド下

50

地 27 の平面形状が同じであり、アウター端子 29 の外周がランド下地 27 の外縁に重なっている。アウター端子 29 の高さ（厚さ）は、配線 21、接続導体 22、ランド 23 及びインナーランド 24 の厚さよりも高い。アウター端子 29 は、銅その他の金属からなる。平面視した際、ランド 23 全体がアウター端子 29 と重なっており、ランド 23 はアウター端子 29 下に位置する。

【0034】

また、平面視して、接続導体 22 及び接続導体下地 26 が、アウター端子 29 の外周から外にはみ出ている。平面視して、接続導体 22 及び接続導体下地 26 が、アウター端子 29 と重なる領域は存在しない。

【0035】

絶縁膜 16 上には、封止層 40 が積層されている。封止層 40 が、配線 21、接続導体 22 及びインナーランド 24 を覆っている。配線 21、接続導体 22、配線下地 25、接続導体下地 26、ランド下地 27 及びインナーランド下地 28 が、絶縁膜 16 と封止層 40 の間に介在する。封止層 40 は、配線 21、接続導体 22 及びインナーランド 24 をそれらの上から保護する。アウター端子 29 が封止層 40 を貫通するように封止層 40 に埋設されている。アウター端子 29 の頭頂面は封止層 40 によって覆われていないが、アウター端子 29 の周側面は封止層 40 によって覆われ、封止層 40 がアウター端子 29 の周面を保護する。封止層 40 の表面は、アウター端子 29 の頭頂面と面一に設けられ、又は、アウター端子 29 の頭頂面よりも僅かに高い位置にある。封止層 40 は、エポキシ系樹脂、ポリイミド系樹脂その他の絶縁性樹脂を含有し、好ましくは、絶縁性樹脂（例えば、エポキシ系樹脂又はポリイミド系樹脂）にフィラー（例えば、ガラスフィラー又はシリカフィラー）又は繊維（例えば、ガラス繊維又は炭素繊維）を配合した強化樹脂からなる。また、封止層 40 は遮光性を有する。

【0036】

半田バンプ 50 がアウター端子 29 の頭頂面に形成されている。半田バンプ 50 がアウター端子 29 の頭頂面に結合することによって、半田バンプ 50 とアウター端子 29 が相互に電氣的に接続している。なお、半田バンプ 50 が無くてもよい。

【0037】

1 体の導体構造 20 に接続されるインナー端子 14 の数が複数である場合、1 体の導体構造 20 が有するインナーランド 24 及びインナーランド下地 28 の数が複数である。その場合、配線 21 及び配線下地 25 が分岐しており、分かれたそれぞれの端部ごとにインナーランド 24 及びインナーランド下地 28 が接続される。

また、1 体の導体構造 20 に接続される半田バンプ 50 の数が複数である場合、1 体の導体構造 20 が有する接続導体 22、ランド 23、接続導体下地 26 及びランド下地 27 の数が複数である。その場合、配線 21 及び配線下地 25 が分岐しており、分かれたそれぞれの端部ごとに接続導体 22 及び接続導体下地 26 が接続される。

【0038】

半導体装置 1 及び導体構造 20 の製造方法について図 5 ~ 図 16 を参照して説明する。図 5 ~ 図 16 は半導体装置 1 の製造工程を示すものであり、図 5 は、半導体装置 1 の製造に用いる半導体ウエハ 70 の斜視図であり、図 6 ~ 図 16 の (A) は半導体ウエハ 70 の要部の平面図であり、(B) はその半導体ウエハ 70 の要部の断面図である。

【0039】

半導体装置 1 を製造するに際しては、個片化する前の半導体ウエハ 70（図 5 に図示）を用いる。図 5 に示すように、半導体ウエハ 70 は、分割予定線としての格子状の境界線（ダイシングストリート）72 によって複数のチップ領域 71 に区分けされている。これらチップ領域 71 がマトリクス状に配列されている。半導体ウエハ 70 の表層には、チップ領域 71 ごとに集積回路が形成されている。パッシベーション膜 15 が半導体ウエハ 70 の表側の面上に成膜され、集積回路がパッシベーション膜 15 によって覆われている。パッシベーション膜 15 はパターンニングされており、複数のコンタクトホール 17 が各チップ領域 71 内の外周付近のパッシベーション膜 15 に形成されている。

10

20

30

40

50

## 【 0 0 4 0 】

まず、パッシベーション膜 1 5 の上に絶縁膜 1 6 をパターンングすることで、チップ領域 7 1 ごとに絶縁膜 1 6 を分断するとともに、絶縁膜 1 6 に複数のコンタクトホール 1 7 を形成する。なお、絶縁膜 1 6 のパターンングを省略してもよい。

次に、図 6 に示すように、無電解メッキ法若しくは気相成長法（例えば、スパッタ法）又はこれらの組合せによって、絶縁膜 1 6（絶縁膜 1 6 が無い場合には、パッシベーション膜 1 5）の上及びコンタクトホール 1 7 の中にシード層 7 3 を成長させる。シード層 7 3 は、銅（Cu）の薄膜、チタン（Ti）の薄膜、チタンに銅を積層した薄膜その他の金属薄膜である。

## 【 0 0 4 1 】

次に、図 7 に示すように、シード層 7 3 の上にレジスト 7 4 の塗布又は貼着をして、そのレジスト 7 4 の露光・現像をすることで、そのレジスト 7 4 をパターンングする。レジスト 7 4 をパターンングすることによって、レジスト 7 4 に複数の溝 7 5 を形成する。溝 7 5 の平面形状は、配線 2 1、接続導体 2 2、ランド 2 3 及びインナーランド 2 4 を組み合わせた平面形状と同じである。つまり、溝 7 5 は、線状部分 7 5 a と、線状部分 7 5 a の端部に繋がる幅広部 7 5 b と、幅広部 7 5 b に繋がる大開口部 7 5 c と、線状部分 7 5 a の別の端部に繋がる小開口部 7 5 d とからなる。線状部分 7 5 a が配線 2 1 に対応し、幅広部 7 5 b が接続導体 2 2 に対応し、大開口部 7 5 c がランド 2 3 に対応し、小開口部 7 5 d がインナーランド 2 4 に対応する。溝 7 5 の形成に際しては、小開口部 7 5 d 内にはコンタクトホール 1 7 を位置させる。

## 【 0 0 4 2 】

次に、図 8 に示すように、残留したレジスト 7 4 をマスクとしてそのレジスト 7 4 によってシード層 7 3 の一部を被覆した状態で、シード層 7 3 を電極として電解メッキを行う。これにより、シード層 7 3 の上であってレジスト 7 4 の溝 7 5 内に配線 2 1、接続導体 2 2、ランド 2 3 及びインナーランド 2 4 を成長させる。この際、配線 2 1、接続導体 2 2、ランド 2 3 及びインナーランド 2 4 をシード層 7 3 よりも厚く成長させる。配線 2 1 は線状部分 7 5 a 内で成長し、接続導体 2 2 は幅広部 7 5 b 内で成長し、ランド 2 3 は大開口部 7 5 c 内で成長し、インナーランド 2 4 が小開口部 7 5 d 内で成長する。

配線 2 1、接続導体 2 2、ランド 2 3 及びインナーランド 2 4 の形成後、レジスト 7 4 を除去する。

## 【 0 0 4 3 】

次に、図 9 に示すように、配線 2 1、接続導体 2 2、ランド 2 3 及びインナーランド 2 4 よりも厚いネガ型のドライフィルムレジスト 7 6 をシード層 7 3、配線 2 1、接続導体 2 2、ランド 2 3 及びインナーランド 2 4 の上の一面に貼り付ける。なお、ドライフィルムレジスト 7 6 を用いる代わりに、液状のネガ型レジストを厚くコーティングしてもよい。また、ドライフィルムレジスト 7 6 及び液状レジストがポジ型であってもよい。

## 【 0 0 4 4 】

次に、図 10 に示すように、レクチル 7 7 及び露光装置を用いて、ドライフィルムレジスト 7 6 を露光する。ドライフィルムレジスト 7 6 がネガ型である場合、レクチル 7 7 によって遮光する領域 7 8 はランド 2 3 及びその周辺の上である。ここで、平面視して、遮光領域 7 8 の面積をランド 2 3 の面積よりも大きくし、ランド 2 3 全体を遮光領域 7 8 の内側に配置し、ランド 2 3 の外縁（但し、ランド 2 3 と接続導体 2 2 の境界を除く。）を遮光領域 7 8 の縁から離す。また、遮光領域 7 8 を接続導体 2 2 の外側に位置させ、接続導体 2 2 を遮光領域 7 8 からはみ出させる。遮光領域 7 8 の縁がランド 2 3 の外縁（但し、ランド 2 3 と接続導体 2 2 の境界を除く。）から離れているので、ドライフィルムレジスト 7 6 に投射された光がランド 2 3 の外縁（但し、ランド 2 3 と接続導体 2 2 の境界を除く。）に入射しない。そのため、光がランド 2 3 の表面で乱反射することがない。従って、レクチル 7 7 のパターンが、解像不良とならずに、ドライフィルムレジスト 7 6 に投影される。シード層 7 3 は無電解メッキ又は気相成長法により形成されたものであるから、シード層 7 3 の表面に光が入射しても乱反射しにくい。なお、ポジ型のレジストを用い

10

20

30

40

50

た場合、遮光領域 78 と露光領域 79 を反転させる。また、図 10 では、露光装置の光源や投影光学系の図示を省略する。

【0045】

次に、図 11 に示すように、ドライフィルムレジスト 76 を現像して、ドライフィルムレジスト 76 に開口 80 を形成する。開口 80 は遮光領域 78 に形成される。平面視して、開口 80 の面積がランド 23 の面積よりも大きく、ランド 23 全体が開口 80 の内側に配置され、ランド 23 の外縁（但し、ランド 23 と接続導体 22 の境界を除く。）が開口 80 の縁から離れる。そのため、開口 80 のうちランド 23 の周辺部ではシード層 73 の一部が露出する。形成された開口 80 の縁がランド 23 の上でなく、シード層 73 の上にあり、ランド 23 が開口 80 内に配置されている。そのため、ランド 23 からその近傍の別の配線までの間の領域では、シード層 73 とドライフィルムレジスト 76 との間に隙間が発生しにくく、その領域ではドライフィルムレジスト 76 とシード層 73 が密着している。また、形成された開口 80 の縁の一部がランド 23 と接続導体 22 の境界に重なる。

10

【0046】

次に、図 12 に示すように、残留したドライフィルムレジスト 76 をマスクとしてそのドライフィルムレジスト 76 でシード層 73、配線 21、接続導体 22 及びインナーランド 24 を被覆した状態で、シード層 73 及びランド 23 等を電極として電解メッキを行う。これにより、ドライフィルムレジスト 76 の開口 80 内において、アウター端子 29 をランド 23 及びシード層 73 の上に成長させる。ここで、アウター端子 29 を配線 21、接続導体 22、ランド 23 及びインナーランド 24 よりも厚く成長させる。

20

【0047】

電解メッキの際、ランド 23 とその近傍の別の配線との間の領域では、ドライフィルムレジスト 76 の追従性が向上して、ドライフィルムレジスト 76 とシード層 73 が密着しているから、メッキ液がドライフィルムレジスト 76 とシード層 73 との間に浸透しない。そのため、アウター端子 29 がその近傍の別の配線に短絡することを防止することができる。

アウター端子 29 の形成後、ドライフィルムレジスト 76 を除去する。

【0048】

次に、図 13 に示すように、シード層 73 のうち配線 21、接続導体 22、ランド 23、インナーランド 24 及びアウター端子 29 に重なっていない部分をエッチングにより除去する。そうすることで、シード層 73 をパターンニングして、シード層 73 から配線下地 25、接続導体下地 26、ランド下地 27、インナーランド下地 28 及びアウター端子 29 を形成する。このとき、配線 21、接続導体 22、インナーランド 24 及びアウター端子 29 の表面が一部エッチングされるが、配線 21、接続導体 22、インナーランド 24 及びアウター端子 29 がシード層 73 と比較して十分に厚いため、配線 21、接続導体 22、インナーランド 24 及びアウター端子 29 は残留する。

30

【0049】

次に、図 14 に示すように、印刷法、液滴吐出法（インクジェット法）、スピンコート法、滴下法その他の塗布法によって封止樹脂を絶縁膜 16（絶縁膜 16 が無い場合には、パッシベーション膜 15）上に塗布し、その封止樹脂によって配線 21、接続導体 22、インナーランド 24 及びアウター端子 29 を覆って、その封止樹脂を硬化させる。これにより、絶縁膜 16（絶縁膜 16 が無い場合には、パッシベーション膜 15）上に封止層 40 を形成する。封止層 40 の形成に際しては、封止層 40 の厚さをアウター端子 29 の厚さ（高さ）よりも厚くして、アウター端子 29 全体を封止層 40 に埋め込む。封止層 40 は、なお、プリpreg を絶縁膜 16（絶縁膜 16 が無い場合には、パッシベーション膜 15）に貼り付けて、そのプリpreg を硬化させて、そのプリpreg から封止層 40 を形成してもよい。

40

【0050】

次に、図 15 に示すように、封止層 40 の表面を研削することにより、封止層 40 の表面がアウター端子 29 の頭頂面と略面一となるようにアウター端子 29 の頭頂面を露出さ

50

せる。この時、アウター端子 29 の頭頂面も研削され、アウター端子 29 の頭頂面が平坦になる。

次に、半導体ウエハ 70 の裏面を研削し、半導体ウエハ 70 を薄くする。なお、半導体ウエハ 70 の裏面の研削は、後述の個片化処理時に行ってもよい。

#### 【0051】

次に、アウター端子 29 の頭頂面を軽くエッチングする。この処理は省略してもよい。

次に、図 16 に示すように、半田バンプ 50 をアウター端子 29 の頭頂面に形成する。半田バンプ 50 の形成は後述の個片化処理の後に行ってもよいし、半田バンプ 50 を形成しなくてもよい。

次に、封止層 40、パッシベーション膜 15 及び半導体ウエハ 70 を境界線 72 (図 5 参照) に沿って分断することによって、半導体ウエハ 70 から封止層 40 までの積層体をチップサイズに細分割する。具体的には、1 種類又は複数種類のダイシングブレードによって封止層 40、パッシベーション膜 15 及び半導体ウエハ 70 を境界線 72 に沿って切断する。これにより、複数の半導体装置 1 を得られる。

#### 【0052】

先に半導体ウエハ 70 の裏面を研削しなかった場合には、半導体ウエハ 70 の裏面まで切り込むのではなく、ダイシングブレードによって半導体ウエハ 70 の表側の面と裏面の間の途中まで半導体ウエハ 70 を切り込む(いわゆる、ハーフダイシング処理)。その後、半導体ウエハ 70 の裏面を切り込みまで研削すると、半導体ウエハ 70 を複数の半導体基板 11 に分断することができる。

#### 【0053】

この実施の形態によれば、以下のような効果が得られる。

(1) 平面視して、細い配線 21 及び配線下地 25 がアウター端子 29 の外周を横切っていない。つまり、配線 21 及び配線下地 25 よりも幅広の接続導体 22 及び接続導体下地 26 がアウター端子 29 の外周から外側へはみ出ている。そのため、配線 21 及び配線下地 25 の端部からアウター端子 29 の外周までの部分で電力集中が起こりにくく、断線が生じない。

(2) 図 10 に示すように、ドライフィルムレジスト 76 の露光時における遮光領域 78 がランド 23 よりも広いから、形成される開口 80 が解像不良となることがない。つまり、開口 80 のうち底の部分が遮光領域 78 よりも狭くならず、ドライフィルムレジスト 76 がランド 23 の上に残留しない。一方、従来技術(特許文献 1: 特開 2008-218731 号公報の図 2 参照)では、ドライフィルム(19)に開口(12)を形成する際には、ドライフィルム(19)を露光・現像し、ドライフィルム(19)の露光に際しては、開口(12)の縁が、露光領域と遮光領域の明暗境界線となる。ところが、配線(10)やその保護金属膜(18)が電解メッキによって形成されているから、配線(10)や保護金属膜(18)の表面が粗いので、露光時の光が配線(10)や保護金属膜(18)の表面で乱反射してしまう。そのため、露光領域と遮光領域の明暗境界線がはっきりせず、ドライフィルム(19)を現像しても、ドライフィルム(19)の一部が開口(12)内に残留してしまう。従って、本発明の実施の形態によれば、従来技術では得ることができない効果を得られる。

(3) 図 11 に示すように、ランド 23 の外縁がドライフィルムレジスト 76 の開口 80 の縁から内側に離れていることで、アウター端子 29 をその近傍の他の配線に短絡させずに、アウター端子 29 を成長させることができる。そのため、アウター端子 29 を周の他の配線に近づけて形成することができ、単位面積当たりに形成することができるアウター端子 29 の数を増やすことができる。

(4) 平面視して、ランド 23 の面積をアウター端子 29 の面積よりも小さくし、単位面積当たりに形成することができるアウター端子 29 の数を増やすことができるから、アウター端子 29 を形成することができる範囲を拡げることができる。

(5) ランド 23 がアウター端子 29 の外周からはみ出していないから、アウター端子 29 とその近くの配線との距離を長くすることができる。そのため、アウター端子 29 とその

10

20

30

40

50

近くの配線との間でイオンマイグレーションが発生することを抑えることができるとともに、アウター端子29とその近くの配線との短絡を防止することができる。

【0054】

以下に、この出願の願書に最初に添付した特許請求の範囲に記載した発明を付記する。付記に記載した請求項の項番は、この出願の願書に最初に添付した特許請求の範囲の通りである。

【0055】

〔付記〕

< 請求項 1 >

半導体基板と、

前記半導体基板の上方に設けられた配線と、

一端部が、前記配線の一端部に接続された接続導体と、

前記接続導体の他端部に接続され、平面視して前記配線の幅より広い幅のランドと、

前記ランド上及び前記ランドの周側面の少なくとも一部を覆うように設けられた端子と

10

、  
を備えていることを特徴とする半導体装置。

< 請求項 2 >

前記接続導体と前記ランドとは、前記半導体基板の上方に設けられており、

平面視して前記接続導体の前記ランド側の端部の幅は、前記接続導体の前記配線側の端部の幅より広いことを特徴とする請求項 1 に記載の半導体装置。

20

< 請求項 3 >

前記半導体基板の上方であって前記配線の下に形成された配線下地と、

前記半導体基板の上方であって前記接続導体の下に形成され、前記配線下地に接続された接続導体下地と、

前記半導体基板の上方であって前記ランドの下に形成され、前記接続導体下地に接続されたランド下地と、を更に備え、

前記ランド下地が前記ランドよりも広く形成され、

前記端子のうち前記ランドの外縁からはみ出た部分が前記ランド下地上に設けられ、

前記端子の外周が前記ランド下地の外縁に重なり、

前記接続導体下地が前記端子の外周からはみ出て、

前記配線の幅と前記配線下地の幅が等しく、

30

前記接続導体下地の幅が前記配線及び前記配線下地の幅よりも広いことを特徴とする請求項 1 又は 2 に記載の半導体装置。

< 請求項 4 >

前記接続導体の幅が前記ランド側から前記配線側に向かって漸減し、

前記接続導体下地の幅が前記ランド下地側から前記配線下地側に向かって漸減することを特徴とする請求項 3 に記載の半導体装置。

< 請求項 5 >

前記端子の周囲において前記半導体基板の上に形成されているとともに前記配線及び前記接続導体を覆う封止層を更に備えることを特徴とする請求項 1 から 4 の何れか一項に記載の半導体装置。

40

< 請求項 6 >

前記端子が前記ランド上に設けられた柱状電極であることを特徴とする請求項 1 から 5 の何れか一項に記載の半導体装置。

< 請求項 7 >

配線と、前記配線の一端部に、一端部が接続された接続導体と、前記接続導体の他端部に接続され、平面視して前記配線の幅より広い幅のランドと、を半導体ウエハの上方に形成し、

前記ランド上及び前記ランドの周側面を覆うように端子を形成することを特徴とする半導体装置の製造方法。

50

## &lt; 請求項 8 &gt;

平面視して前記接続導体の前記ランド側の端部の幅は、前記接続導体の前記配線側の端部の幅より広く、

前記接続導体の形成に際しては、前記接続導体の幅を前記ランド側から前記配線側に向かって漸減させることを特徴とする請求項 7 に記載の半導体装置の製造方法。

## &lt; 請求項 9 &gt;

前記配線、前記接続導体及び前記ランドの形成の前に前記半導体ウエハの上にシード層を成膜した後、前記配線、前記接続導体及び前記ランドを前記シード層上に形成し、

前記配線、前記接続導体及び前記ランドの形成の後に前記配線、前記接続導体、前記ランド及び前記シード層をネガ型のレジストで被覆し、前記ランド及びその周辺の上を遮光してその遮光領域から前記接続導体をはみ出させるように前記レジストを露光し、前記レジストを現像することによって前記遮光領域に開口を形成し、

前記端子の形成に際しては、前記ランド及び前記シード層を電極として電解メッキを行って、前記開口内に端子を成長させ、

前記端子の形成後に前記レジストを除去し、

前記シード層のうち前記配線、前記接続導体及び前記端子の重なっていない部分を除去することを特徴とする請求項 8 に記載の半導体装置の製造方法。

## &lt; 請求項 10 &gt;

前記シード層の成膜後に前記シード層の上にレジストをパターンニングして、前記シード層を電極として電解メッキを行うことによって前記配線、前記接続導体及び前記ランドを前記シード層上に成長させることを特徴とする請求項 9 に記載の半導体装置の製造方法。

## &lt; 請求項 11 &gt;

前記シード層の部分的な除去後に前記半導体基板の上に封止層を形成して、前記配線、前記接続導体及び前記端子を前記封止層によって覆い、

前記封止層の表面を研削して前記端子を露出させ、

前記封止層及び前記半導体ウエハをチップサイズに分断することを特徴とする請求項 8、9 又は 10 に記載の半導体装置の製造方法。

## 【符号の説明】

## 【 0 0 5 6 】

1 半導体装置

1 1 半導体基板

2 0 導体構造

2 1 配線

2 2 接続導体

2 3 ランド

2 4 インナーランド

2 5 配線下地

2 6 接続導体下地

2 7 ランド下地

2 8 インナーランド下地

2 9 アウター端子

4 0 封止層

7 0 半導体ウエハ

7 3 シード層

7 4 レジスト

7 5 溝

7 5 a 線状部分

7 5 b 幅広部

7 5 c 大開口部

7 5 d 小開口部

10

20

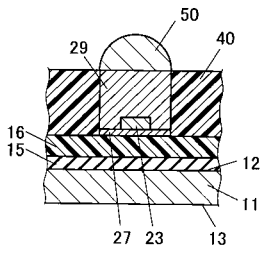
30

40

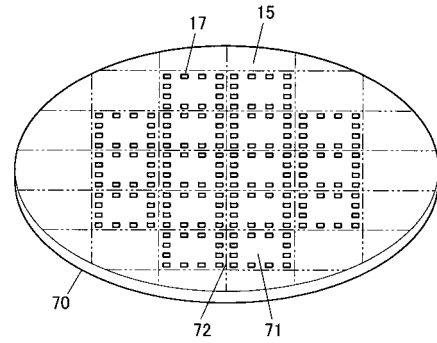
50



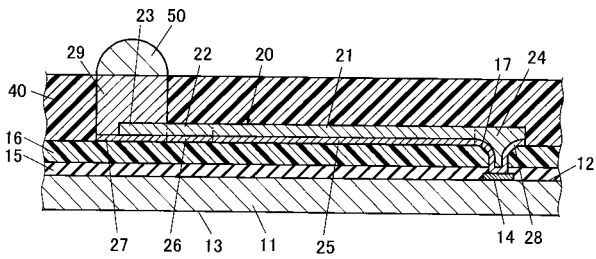
【 図 3 】



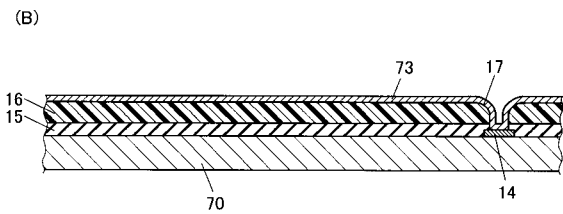
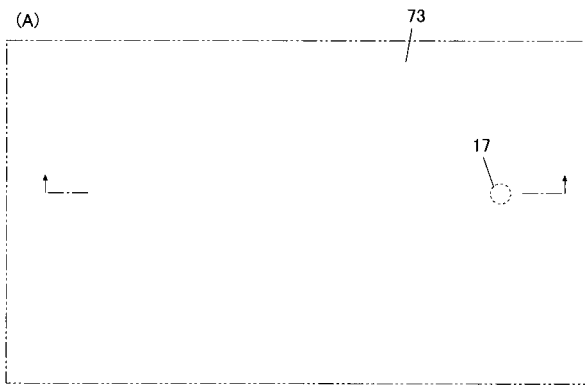
【 図 5 】



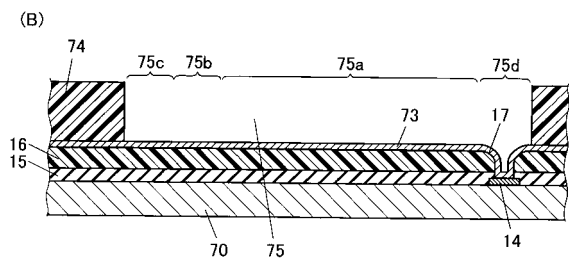
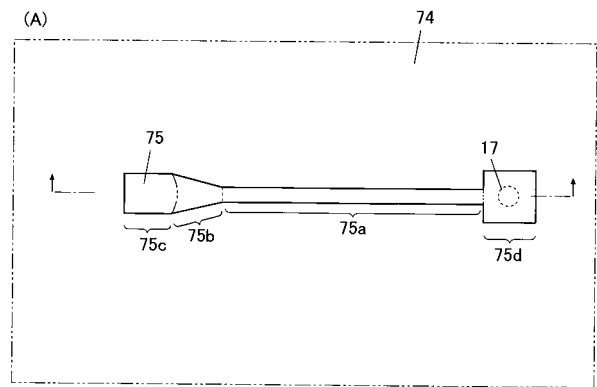
【 図 4 】



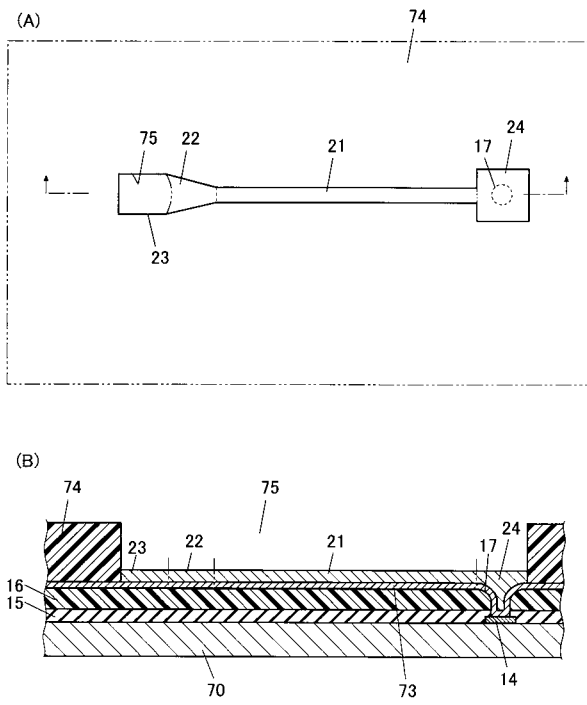
【 図 6 】



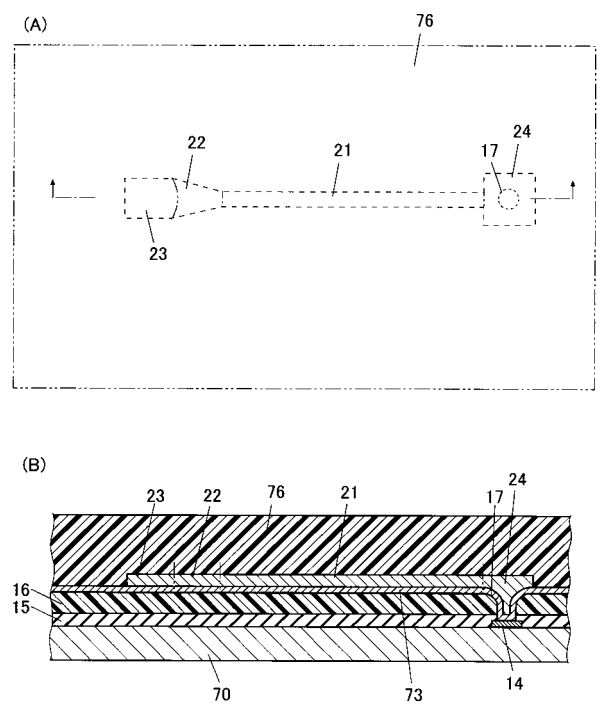
【 図 7 】



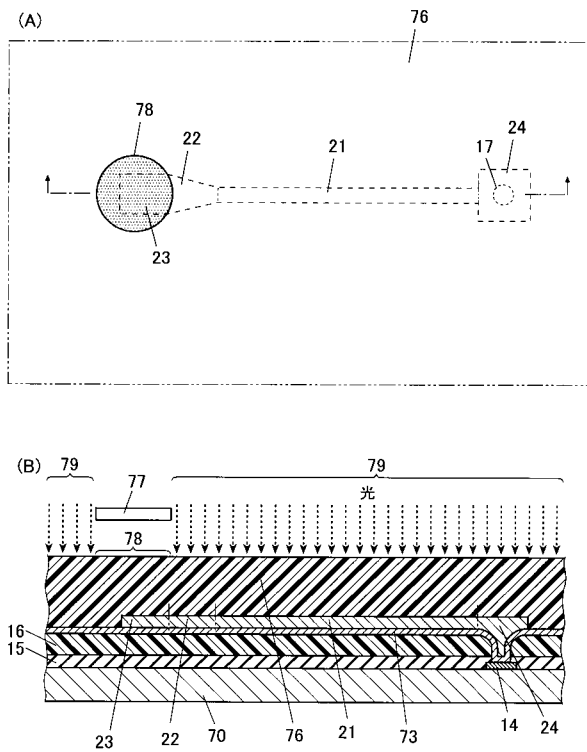
【 図 8 】



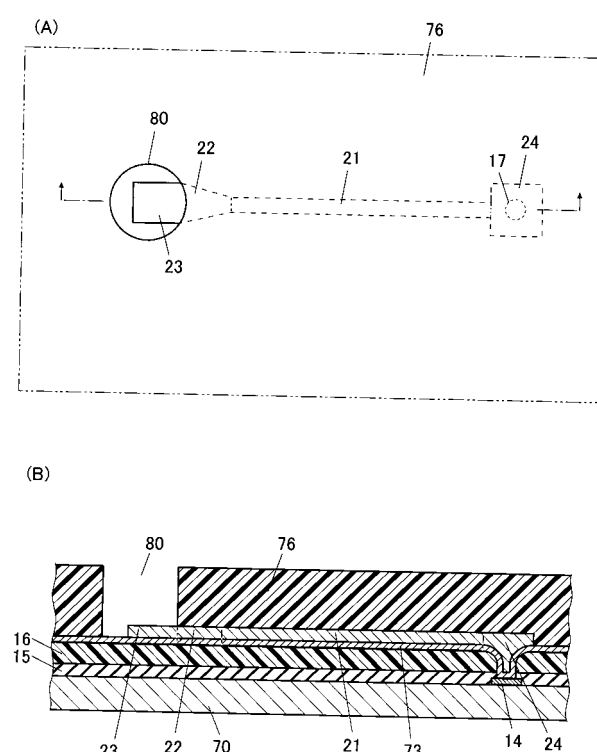
【 図 9 】



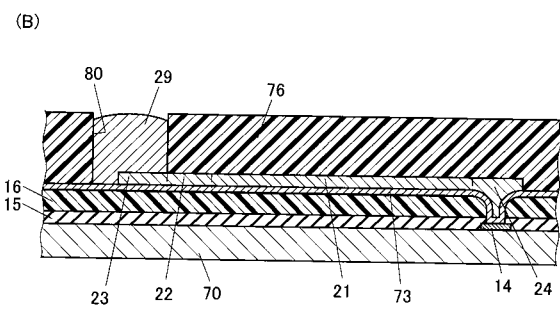
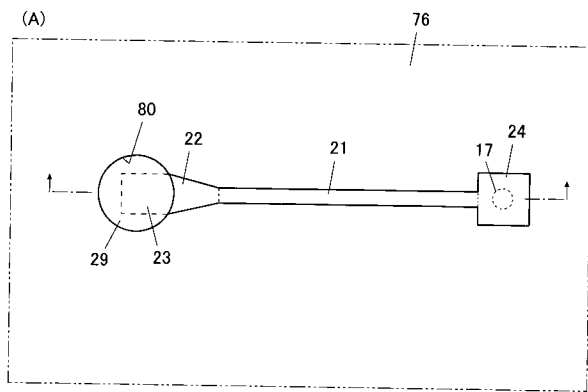
【 図 10 】



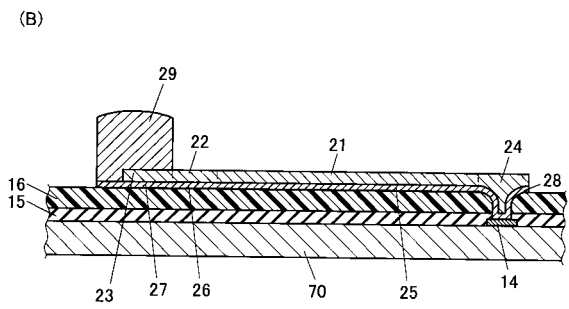
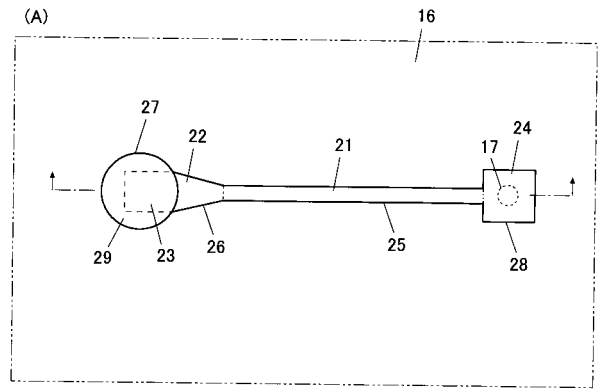
【 図 11 】



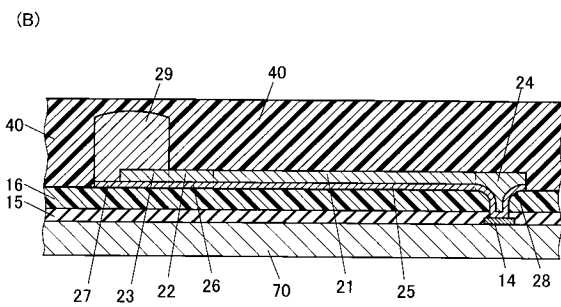
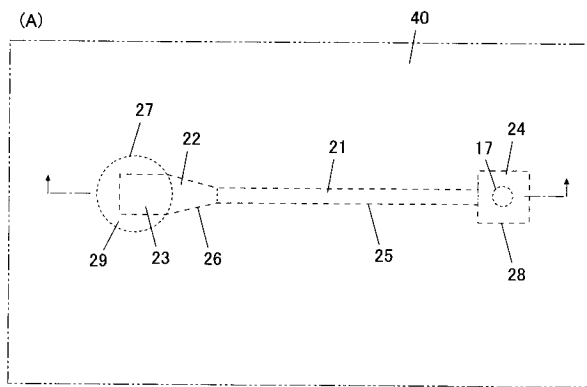
【 図 1 2 】



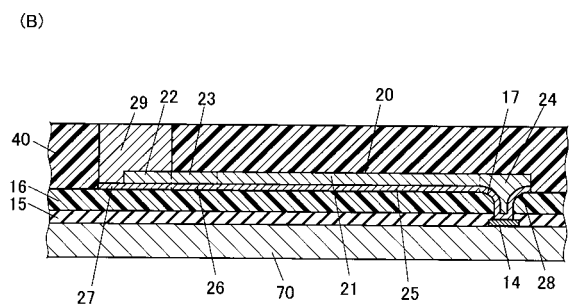
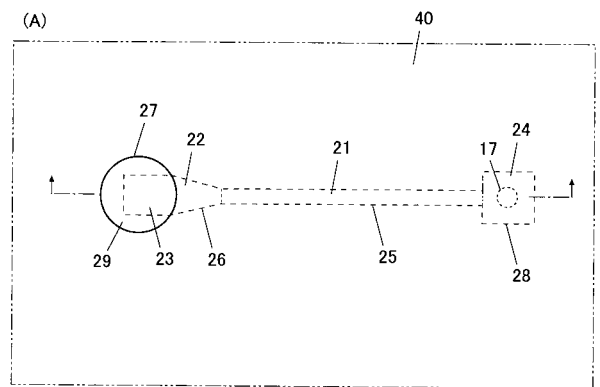
【 図 1 3 】



【 図 1 4 】



【 図 1 5 】



【 図 16 】

