

(19) 대한민국특허청(KR)  
(12) 특허공보(B1)

(51) Int. Cl.<sup>6</sup>  
H03K 19/00

(45) 공고일자 1996년 10월 10일  
(11) 공고번호 특 1996-0013852  
(24) 등록일자 1996년 10월 10일

(21) 출원번호	특 1993-0000620	(65) 공개번호	특 1993-0017307
(22) 출원일자	1993년 01월 19일	(43) 공개일자	1993년 08월 30일
(30) 우선권 주장	823,787 1992년 01월 22일 미국(US)		
(73) 특허권자	삼성 세미콘덕터 인코오폰레이티드 이승환		
(72) 발명자	미합중국 캘리포니아 95134-1708 산 조세 노스 퍼스트 스트리트 3655 콩 카이우		
(74) 대리인	미합중국 캘리포니아 95133 산 조세 준송 웨이 996 나영환, 도두형		

**심사관 : 이해평 (책자공보 제4677호)**

**(54) 고속 집적 회로용 기준 회로 및 출력 전류 제어 방법**

**요약**

내용 없음.

**대표도**

**도 1**

**명세서**

[발명의 명칭]

고속 집적 회로용 기준 회로 및 출력 전류 제어 방법

[도면의 간단한 설명]

제1도는 종래 기술의 대역 간극(band gap) 기준 회로를 나타내는 회로도.

제2도는 출력 전류 미러(output current mirror)를 갖는 기준 회로의 회로도.

제3도는 본 발명에 따른 기준 회로의 제1실시예의 회로도.

제4도는 본 발명에 따른 기준 회로의 전원 전압이 변화할 때 출력 전류의 변화를 나타내는 그래프도.

제5도는 본 발명에 따른 기준 회로의 온도가 변화할 때 출력 전류의 변화를 나타내는 그래프도.

제6도는 바이-씨모스(Bi-CMOS)입력 버퍼 회로에 전류를 공급하기 위해 사용되는 본 발명에 따른 기준 회로.

제7도는 감지증폭기에 전류를 공급하기 위해 사용되는 본 발명에 따른 기준 회로.

\* 도면의 주요부분에 대한 부호의 설명

Q0, Q1, Q2, Q3, Q4, Q8, Q11, Q12, Q13: 바이폴라 트랜지스터

Q5, Q6, Q77: P채널 전계 효과 트랜지스터

Q7, Q9, Q10, Q14, Q15, Q71, Q72, Q75, Q76: N채널 전계 효과 트랜지스터

Q73, Q74: NPN 바이폴라 트랜지스터

70: 감지증폭기

Q17: 다이오드 접속 트랜지스터

R1: 박막 저항

DI: 데이터 입력 단자

DO: 데이터 출력 단자

[발명의 상세한 설명]

본 발명은 기준 회로에 관한 것으로서, 특히 온도 및 전원 전압의 범위에 걸쳐서 액세스 시간 및 노이즈 레벨에 대해 보다 큰 마진을 제공하는 고속 메모리용 기준 회로에 관한 것이다.

낮은 액세스 시간 메모리의 생산량을 증가시키기 위해 처리 파라메타를 변화시키므로써 메모리 장치의 속도는 증가될 수 있다. 따라서, 생산량 분포내에서 저속 메모리의 속도는 증가되고, 낮은 액세스 시간을 갖는 메모리장치의 생산량은 더욱 증가되고 있다. 그러나, 장치의 속도가 증가되는 경우 생산량의 분포내에서 고속의 메모리가 또한 증가하게 된다. 그 결과 고속의 메모리는 너무 고속으로 되어서 이상적인 속

도의 동작 조건하에서 접지 바운스(bounce) 문제에 접하게 될 수 있다. 그에 따라 특성의 동작 전압 및 온도범위에 걸쳐 기능을 하는 메모리 장치의 전체 생산량은 소망하는 만큼 증가되지 않을 수 있다.

씨모스(CMOS) 및 바이-씨모스(Bi-CMOS) 메모리 장치의 속도는 높은 전원 전압 및 낮은 동작 온도에서 가장 고속으로 동작한다. 따라서, 고속의 CMOS 및 Bi-CMOS 메모리 장치의 생산량을 증가시키기 위해 메모리 장치의 속도를 증가시키는 경우, 장치의 동작 전원 전압이 높고 장치의 동작 온도가 낮을 때 상기 고속의 CMOS 및 Bi-CMOS 메모리 장치는 접지 바운스 문제에 접하게 된다.

본 발명에 따른 동작, 즉 대역 간극 기준 회로의 공지된 형태의 동작을 설명하기 위한 대역 간극 기준 회로는 제1도에 도시하고 있다. 이러한 간극 기준 회로의 목적은 전압의 크기가 온도변화에 따라 변화하지 않는 출력 기준 전압( $V_{REF}$ )을 생성시키는데 있다. 이것의 양의 온도 계수를 갖는 전압( $KV_T$ )을 생성하고, 그 전압( $KV_T$ )을 음의 온도 계수를 갖는 트랜지스터의 베이스-에미터 전압( $V_{be(on)}$ )에 부가함으로써 달성된다. 양의 온도 계수 전압( $KV_T$ )의 크기가 알맞게 선택되면, 상기 2개의 전압  $V_{be(on)}$ 과  $KV_T$ 의 합의 전압  $V_{REF}$ 는 이하의 식1에 나타난 바와 같이 전체 제로 온도 계수를 갖게 된다.

$$V_{REF} = V_{be(on)} + KV_T \dots\dots\dots (식 1)$$

여기서, 전압  $V_{be(on)}$ 은 약  $-2mV/^\circ C$ 의 음의 온도 계수를 가지며, 전압  $V_T$ 는 약  $0.085mV/^\circ C$ 의 양의 온도 계수를 갖는다.

제1도에 도시한 종래 기술의 대역 간극 기준 회로는 2개의 트랜지스터 Q0 및 Q1을 통해 각각 흐르는 2개의 컬렉터 전류  $I_{C00}$  및  $I_{C01}$ 으로 전류 미러를 형성하는 2개의 바이폴라 트랜지스터 Q0 및 Q1을 구비한다. 트랜지스터 Q0의 베이스, 트랜지스터 Q1의 베이스 및 트랜지스터 Q1의 컬렉터는 노드 N1에서 함께 접속된다. 트랜지스터 Q1의 에미터는 접지(ground)에 직접 결합되고, 트랜지스터 Q0의 에미터는 저항 R1을 통해 접지에 결합된다. 노드 N5에서의 트랜지스터 Q0의 에미터와 접지 사이에 저항 R1을 삽입함으로써, 트랜지스터 Q0를 통과하는 전류의 비율은 트랜지스터 Q1을 통과하는 전류의 임의의 부분이 되도록 선택될 수 있다. 트랜지스터 Q0의 베이스 에미터 접합부 양단의 전압은 트랜지스터 Q1의 베이스 에미터 접합부 양단의 전압과 관련이 있으며, 항상 트랜지스터 Q1의 베이스 에미터 접합부 양단 전압보다 약간 작다.

트랜지스터 Q1 및 Q0의 상대적인 크기는 트랜지스터 Q1이 임의의 베이스-에미터 전압에서 전도하는 전류보다 트랜지스터 Q0가 동일한 베이스-에미터 전압에서 더 많은 전류를 전도하도록 변화될 수 있다. 그러므로 전류  $I_{C00}$ 는 전류  $I_{C01}$ 의 변화가 전류  $I_{C00}$ 의 대응하는 변화에 영향을 주는 동안 전류  $I_{C01}$ 보다 크거나 같거나 또는 작게 되도록 선택될 수 있다.

우선 온도의 영향을 받지 않는 일정한 전압이 노드 N0에서 존재한다고 가정한다. 다이오드 접속 트랜지스터 Q1의 베이스-에미터 접합부 양단의 전압  $V_{be}$ 가 온도에 따라 감소하기 때문에 저항 R2 양단에서 강하되는 전압은 온도에 따라 증가한다. 온도에 따라 저항 R2 양단에서 강하되는 전압이 증가함으로써 저항 R2 양단에 흐르는 전류  $I_{R2}$ 는 온도에 따라 증가한다. 트랜지스터 Q2 와 Q3의 베이스-에미터 접합부를 순방향 바이어스시켜 회로를 안정된 동작상태로 만들도록 노드 N4를 초기에 바이어스시키기 위해  $V_{cc}$  와 노드 N4사이에는 저항 R4가 제공된다. 상기 대역 간극 기준 전압 전원 회로의 기타 세부 내용은 Paul Gray 및 Robert Meyer씨 등에 의해 Analysis and Design of Analog Integrated Circuits의 1984년도 제2판 페이지 289-296에 개시되어 있다. 트랜지스터 Q0의 컬렉터로 흐르는 전류  $I_{C00}$ 는 전류  $I_{R2}$ 의 미러(mirror)가 될 수 있고, 그에 따라 양의 온도 계수를 가져야 한다. 무시할만한 크기의 전류가 트랜지스터 Q4의 베이스로 흐르는 것을 가정하면, 전류  $I_{C00}$ 는 저항 R3을 통해 진행함으로써 양의 온도 계수를 갖는 전압으로 변환된다. 저항 R3의 일단부는 노드 N2에서 트랜지스터 Q0의 컬렉터에 접속된다. 저항 R3의 다른 단부는 노드 N3에 접속된다. 그러므로 저항 R3의 저항값은 전압  $KV_T$ 의 상수 K에 영향을 주는 것으로 생각된다. 이 전압은 저항 R3 양단에서 양의 온도 계수를 갖는다.

저항 R3 양단의 양의 온도 계수 전압에 음의 온도 계수 전압을 부가하기 위해, 바이폴라 트랜지스터 Q4의 베이스는 노드 N2에 접속되고, 바이폴라 트랜지스터의 Q4의 에미터는 접지에 접속된다. 따라서, 트랜지스터 Q4의 베이스-에미터 전압  $V_{be(on)}$ 은 접지와 노드 N2사이에 있게 된다. 그러므로 노드 N3에서의 전압은 접지에서 노드 N2까지의 음의 온도 계수 전압  $V_{be(on)}$ 과, 저항 R3 양단의 양의 온도 계수 전압  $KV_T$ 의 합이다. 저항 R3의 크기를 적절히 선택함으로써, 저항 R3양단에서 강하되는 양의 온도 계수 전압의 크기는 트랜지스터 Q4의 전압의  $V_{be(on)}$ 음의 온도 계수를 정확히 상쇄하도록 선택될 수 있다. 따라서, 제1도의 회로에 대역 간극 기준 전압 출력  $V_{REF}$ 는 노드 N3과 접지 사이에 존재한다.

그러나, 이러한 결정은 노드 N0상의 전압이 일정한 온도 독립성의 전압일 것이 전제가 된다. 트랜지스터 Q2의 에미터가 노드 N0에 접속되고, 트랜지스터 Q2의 베이스가 트랜지스터 Q3의 베이스에 접속되며, 트랜지스터 Q3의 에미터가 온도 보상 노드 N3에 접속되고, 트랜지스터 Q2 및 Q3의 컬렉터가  $V_{cc}$ 에 접속되므로서, 노드 N4는 노드 N3의 전압보다 큰 하나의 베이스-에미터 전압 강하분으로 바이어스되고, 노드 N0의 전압은 노드 N4의 전압보다 작은 하나의 베이스-에미터 전압 강하분으로 바이어스 된다. 그 결과 노드 N0에 앞서 가정한 바와같이 노드 N3상에서의 온도 독립성의 전압이 공급된다.

제1도의 대역 간극 기준 회로가 전류를 CMOS 또는 Bi-CMOS 메모리에 공급하기 위해 사용되는 경우, 상기 기준 회로는 온도가 감소될 때 일정한 전류를 출력시킨다. 그러므로 CMOS 또는 Bi-CMOS 메모리 회로는 더욱 고속으로 동작하게 되고, 생산량 분포내에서 고속의 메모리 접지 바운스 문제에 접하게 될 수 있다.

본 발명의 목적은 메모리 회로의 성질이 고전원 전압 및/또는 저온에 상태하에서 가속되는 것을 저지하는 기준 회로를 제공하는데 있다. 고속 메모리에 전류를 공급하기 위해 통상적으로 사용되는 기준 회로, 즉

대역 간극 기준 회로는 전원 전압 및/또는 온도의 변화에 관계없이 실질적으로 일정한 전류를 공급한다.

한편, 본 발명은 종래의 대역 간극 기준 회로를 고전압 상태 및/또는 저온 상태하에서 메모리 공급되는 전류의 양을 실질적으로 감소시키는 회로로 대체시키는데 있다. 따라서, 고전압 및/또는 저온 상태하에서 소정의 시간에 고속 메모리가 흡수(sink)하거나 공급(source)하는 전류의 크기의 증가는 감소된다. 그 결과 노드상의 전압의 논리레벨을 변화시키도록 고속의 CMOS 또는 Bi-CMOS 장치가 그 노드상에 제공되어진 커패시턴스를 방전시키는데 필요한 시간은 상기 CMOS 또는 Bi-CMOS 장치가 고전압 및/또는 저온상태에 있을 경우에는 감소되지 않는다. 따라서, 생산량 분포 곡선의 고속 단부상에 있는 CMOS 및 Bi-CMOS 메모리의 접지 바운스 문제는 생산량 분포 곡선내에서 모든 장치의 속도가 증가되는 이상적인 동작 상태에서 악화되지 않게 된다.

제2도는 제1도의 기준 회로에서 추가의 출력 전류 미러를 갖는 회로도를 나타내고 있다. 노드 N3에서의 전압이 온도 범위에 걸쳐서 안정되기 때문에 전류  $I_{Q3}$ 는 상기 온도에 걸쳐서 매우 안정될 수 있다. 전류 미러는 P채널 전계 효과 트랜지스터 Q5를 구비하고, P채널 전계 효과 트랜지스터 Q6은 출력 전류  $I_{Q6}$ 에 대해 전류  $I_{Q3}$ 의 미러로서 사용된다. 이 전류 미러에서, 트랜지스터 Q5 및 Q6의 소오스는  $V_{cc}$ 에 결합된다. 트랜지스터 Q5 및 Q6의 게이트는 트랜지스터 Q3의 컬렉터에 함께 결합되어 있다. 트랜지스터 Q5의 드레인은 트랜지스터 Q3의 컬렉터에 결합되어 있다. 이때 트랜지스터 Q6의 드레인은 기준 회로로부터의 출력 전류  $I_{Q6}$ 을 공급한다. 트랜지스터 Q5 및 Q6은 동일한 타입의 트랜지스터, 즉 P채널 전계 효과 트랜지스터로서, 그들 모두는 동일한 방법으로 온도 변화에 영향을 받을 수 있다.

제3도는 본 발명에 따른 기준 회로의 회로도를 나타낸다. 바이폴라 트랜지스터 Q0와 Q1은 전류 미러를 형성한다. 트랜지스터 Q0 및 Q1의 베이스 노드 N1에서 함께 결합된다. 트랜지스터 Q1의 에미터는 접지에 직접 결합되고, 트랜지스터 Q0의 에미터는 저항 R1을 통해 접지에 결합된다. 트랜지스터 Q1의 베이스는 트랜지스터 Q1의 컬렉터에 결합된다. 저항 R3은 트랜지스터 Q0의 컬렉터에서의 노드 N2와 바이폴라 트랜지스터 Q3의 에미터에서의 노드 N3 사이에 결합되어 있다. 트랜지스터 Q3의 컬렉터는 노드 N5에 연결된다. 트랜지스터 Q3의 베이스는 노드 N4에 연결된다. 또한, 노드 N4는 바이폴라 트랜지스터 Q2의 베이스에 연결되어 있다. 트랜지스터 Q2의 에미터는 저항 R2를 통해 노드 N1에서 트랜지스터 Q1의 컬렉터에 접속된다. 트랜지스터 Q2의 컬렉터는  $V_{cc}$ 에 직접 연결되어 있다. 바이폴라 트랜지스터 Q4의 베이스는 노드 N2에 연결되고, 트랜지스터 Q4의 에미터는 접지에 직접 연결되며, 트랜지스터 Q4의 컬렉터는 노드 N4에 연결된다. 저항 R4는  $V_{cc}$ 와 노드 N4 사이에 결합되어 있다. N채널 전계 효과 트랜지스터 Q7은 노드 N4와 N2사이에 커패시터로서 결합되고, 트랜지스터 Q7의 소오스 및 드레인은 노드 N2에 결합되고, 트랜지스터 Q7의 게이트는 노드 N4에 결합되어 있다.

P채널 전계 효과 트랜지스터 Q5의 드레인 및 게이트는 노드 N5에서 트랜지스터 Q3의 컬렉터에 공통으로 접속된다. 트랜지스터 Q5의 소오스는  $V_{cc}$ 에 연결되어 있다. 전류 미러인 P채널 전계 효과 트랜지스터 Q6의 게이트 또한 노드 N5에 접속되어 있다. 트랜지스터 Q6의 소오스는  $V_{cc}$ 에 접속되고, 트랜지스터 Q6의 드레인은 기준 회로의 출력 전류  $I_{Q6}$ 을 출력시킨다.

바이폴라 트랜지스터 Q8의 게이트 노드 N5에 접속되어 있다. 트랜지스터 Q8의 컬렉터는  $V_{cc}$ 에 접속되고, 트랜지스터 Q8의 에미터는 노드 N6에 연결된다. 저항 R5는 노드 N6과 접지 사이에 접속되어 있다. N채널 트랜지스터 Q9의 게이트는 노드 N6에 접속된다. 트랜지스터 Q9의 드레인은 접지에 결합되고, 트랜지스터 Q9의 소오스는 노드 N7에 결합된다. 노드 N7은 N채널 MOS 트랜지스터 Q10의 게이트에 결합되고, 그 드레인은 접지에 결합되며, 그 소오스는 노드 N2에 결합되어 있다. 저항 R6은 노드 N2와 접지 사이에 결합되어 있다.

저항 R7의 일단부는 노드 N7에 결합되어 있다. 저항 R7의 다른 단부는 바이폴라 트랜지스터 Q11의 에미터에 결합되어 있다. 트랜지스터 Q11의 베이스는 노드 N8에 연결되고, 트랜지스터 Q11의 컬렉터는  $V_{cc}$ 에 연결된다. 다른 바이폴라 트랜지스터, 즉 Q12의 베이스 및 컬렉터는 노드 N8에 공통 접속되어 있다. 저항 R8은 노드 N8과  $V_{cc}$ 사이에 결합되어 있다. 트랜지스터 Q12의 에미터는 노드 N4에 결합되어 있다.

제4도는 회로의 전원 전압  $V_{cc}$ 가 4.0볼트에서 7.2볼트로 증가할 때 제3도의 기준 회로에서 출력 전류  $I_{Q6}$ 의 출력의 감소를 나타내는 그래프이다. 제3도의 기준 회로에서 전원 전압  $V_{cc}$ 가 증가함으로써, 노드 N5의 전압은  $V_{cc}$ 를 연속적으로 추적하여 증가하는 것을 볼 수 있는데, 그에 따라 노드 N5와  $V_{cc}$ 사이의 전압은 일정하게 유지된다. 노드 N5상이 이와 같은 전압 특성은 전류  $I_{R3}$ 의 크기를 감소시키고, 그것에 의해 전류  $I_{Q5}$  및  $I_{Q6}$ 을 감소시키기 위해 사용된다.  $V_{cc}$ 가 증가하여 노드 N5상의 전압이 증가함으로써 트랜지스터 Q8은 더 많은 전류가 통과하고, 노드 N6상의 전압이 증가하며, 트랜지스터 Q9는 더 많은 전류가 흐르고, 노드 N7상의 전압이 감소하며, 트랜지스터 Q10은 적은 전류가 흐르게 된다. 전류  $I_{Q10}$ 이 전류  $I_{R3}$ 의 성분이기 때문에, 감소 전류  $I_{Q10}$ 은 전류  $I_{R3}$ 을 감소시키도록 동작한다. 이러한 귀환 회로의 이득을

제어함으로써, 전원 전압  $V_{cc}$ 의 증가에 따른 전류  $I_{R3}$ 의 감소하는 크기가 제어된다. 그 결과 제4도에 도시된 바와 같이 전원전압  $V_{cc}$ 의 증가에 따른 출력 기준 전류  $I_{Q6}$ 의 소량의 감소가 얻어진다. 제3도의 귀환 회로에서, 저항 R7 및 저항 R8과 트랜지스터 Q11 및 Q12는 N채널 트랜지스터 Q9를 포함하는 증폭기 귀환단에 대한 전류 소오스 부하로서 구성된다.

제5도는 회로의 동작 온도가 0°C에서 150°C로 증가할 때 제3도의 기준 회로에 의해 출력하는 출력 기준 전류  $I_{Q6}$ 가 증가하는 것을 나타내는 그래프이다. 제1도의 설명에서  $V_{REF}=V_{be(on)}+KV_T$ 의 가정은 저항 R1이 온도에 따라 실질적으로 변화하지 않는다는 것을 전제로 한다. 소정의 온도에서 저항 R1이 변화되면 트랜지스터 Q0 양단의 베이스-에미터 전압  $V_{be}$ 는 영향을 받게 되고, 전류  $I_{R3}$ 은 변화될 수 있다. 예컨대 저항 R1이 감소되면, 노드 N1의 전압이 트랜지스터 Q0의  $V_{be}$ 와 저항 R1 양단에서 강해지는 전압의 합이기 때문에, 보다 큰 베이스-에미터 전압이 트랜지스터 Q0 양단에서 초기에 나타날 수 있다. 이러한 베이스-에미터 전압은 트랜지스터 Q0에 더 많은 전류를 흐르게하여 전류  $I_{R3}$ 을 증가시킨다. 유사하게 저항 R1이 증가하면

트랜지스터 Q0의 베이스-에미터 전압은 초기에 감소되고, 트랜지스터 Q0에 의해 전도되는 전류는 감소되며, 전류  $I_{R3}$ 은 감소된다.

통상적으로 표준 확산 저항들이 CMOS 및 Bi-CMOS 집적 회로 처리중에 설비된다. 이들 저항은 온도 증가에 따라 그 저항값이 증가한다. 따라서, 이들 저항이 제3도의 회로에 사용되는 경우, 증가되는 회로 온도는 저항 R1의 저항값을 더 크게 하고 전류  $I_{R3}$ 을 더 작게 한다. 그러므로 본 발명은 저항 R1에 대하여 박막 저항과 같은 음의 온도 계수를 갖는 저항을 사용한다. 이 저항은 예컨대, 하이 시이트(high sheet) p 폴 리실리콘 박막 저항이 될 수 있다. 이 저항은 온도의 증가에 따라 감소하는 저항값을 갖는다. 따라서, 본 발명은 회로의 온도가 증가할 때 출력 기준 전류  $I_{Q6}$ 의 소망의 증가를 달성할 수 있다.

본 발명이 낮은 회로 온도에서 기준 전류 출력을 감소시키기 위해 비제로 온도 계수를 갖는 저항을 사용한다는 것을 이해하여야 한다. 몇 개의 실시예에서, 본 발명은 회로 온도의 감소에 따라 출력 기준 전류를 실제로 감소시키는 기준 회로의 임의의 위치에서 양의 온도 계수 저항을 사용할 수 있다. 그러므로 본 발명의 출력 기준 전류를 조절하기 위해 음의 온도 계수 저항을 사용하는 것으로 한정하는 것은 아니다.

제6도는 본 발명에 따른 기준 회로의 제1실시예의 응용을 도시하고 있다. 제3도의 회로는 Bi-CMOS 비반전 입력 버퍼 회로에 전류를 공급하기 위해 제6도에서 사용되고 있다. 제6도의 트랜지스터 Q6은 제3도의 기준 회로인 트랜지스터 Q6이다. 트랜지스터 Q6의 소오스는  $V_{cc}$ 에 결합되고, 트랜지스터 Q6의 드레인은 제6도의 회로의 노드 N9에 결합된다. 바이폴라 트랜지스터 Q13의 베이스는 노드 N9에 결합되고, 트랜지스터 Q13의 에미터는 데이터 출력 단자 D0에 결합된다. N채널 전계 효과 트랜지스터 Q14의 게이트는 데이터 입력 단자 D1에 결합된다. 트랜지스터 Q14의 소오스는 노드 N9에 결합되고, 트랜지스터 Q14의 드레인은 접지에 결합된다. 제2의 N채널 전계 효과 트랜지스터 Q15의 게이트는 데이터 입력 단자 D1에 결합되고, 트랜지스터 Q15의 소오스는 데이터 출력 단자 D0에 결합되며, 트랜지스터 Q15의 드레인은 접지에 결합된다. 제2의 다이오드 접속 바이폴라 트랜지스터 Q17의 컬렉터 및 베이스는 데이터 출력 단자 D0에 결합되고, 트랜지스터 Q17의 에미터는 노드 N9에 결합된다.

데이터 입력 단자 D1이 로우에서 하이로 전이되면, 트랜지스터 Q14는 Q15로 턴온된다. 그 결과 노드 N9상의 전압은 접지로 풀다운되고, 바이폴라 트랜지스터 Q13은 턴오프된다. 트랜지스터 Q13이 오프되고 트랜지스터 Q15가 온되기 때문에 출력 데이터 단자 D0상의 전압은 로우가 된다.

데이터 입력 단자 D1이 하이에서 로우로 전이되면, 트랜지스터 Q14 및 Q15는 턴오프된다. 그러므로 노드 N9상의 전압은 트랜지스터 Q6을 통해  $V_{cc}$ 를 향해 풀업되고, 트랜지스터 Q13은 턴온된다. 트랜지스터 Q17이 역방향으로 바이어스되고, 그에 따라 트랜지스터 Q13의 베이스상에서의 전압의 증가에 영향을 주지 않게 된다. 트랜지스터 Q13이 턴온되고, 트랜지스터 Q15가 턴오프되기 때문에 데이터 출력 단자 D0상의 전압은 증가된다. 다이오드 접속 트랜지스터 Q17은 데이터 출력 단자 D0상의 전압이 노드 N9상의 전압보다 더 큰 하나의 다이오드 강하분보다 더 많이 상승하지 못하게 한다.

표1은 종래의 대역 간극 기준 회로로부터 전류가 공급되는 제6도의 입력 버퍼의 성능과 본 발명의 제3도의 기준 회로로부터 전류가 공급되는 제6도의 입력 버퍼의 성능을 비교하여 나타내고 있다.

[표 1]

	종래의 대역 간극기준 회로로 구성된 입력 버퍼	제 3 도의 기준회로로 구성된 입력 버퍼	코멘트
$I_{dc(max)}$	569 $\mu$ A	481 $\mu$ A	제 6 도의 입력 버퍼의 최대 DC 전류
$\Delta$ 트립점	0.45V	0.25V	제 6 도의 버퍼의 입력 트립 점의 변화
4.2V 및 140°C에서의 지연	2.88ns	2.5ns	제 6 도의 입력 버퍼, 하나의 래치, 하나의 CMOS 인버터 및 하나의 Bi-CMOS 게이 트의 지연

트립점에 대한 시험 조건은 4.2V 및 140°C에서 6.0V 및 0°C로 변화시켰다. 상기 표에서  $\Delta$ 트립점은 준안정 상태 영역을 포함한다. 통상적으로 하나의 입력 버퍼는 약 0.569mA를 소비하고, 2.88ns의 지연의 갖는다. 새로운 기준 회로로 구성된 입력 버퍼는 380ps 더 빠르고, 트립점은 45% 더 잘 제어되며, 전력 소비는 0.481mA로 감소된다.

제7도는 본 발명의 기준 회로의 제1실시예의 제2응용을 도시한다. 제3도의 회로는 집적 회로 메모리의 감지증폭기(70)에 전류를 공급하기 위해 제7도에 사용된다. 제6도의 트랜지스터 Q6은 제7도의 기준 회로의 트랜지스터 Q6이다. 제7도에서, 트랜지스터 Q6은 드레인은 노드 N10에서 N채널 트랜지스터 Q71의 소오스 및 게이트 모두에 결합된다. 트랜지스터 Q71의 드레인은 저항성 N채널 트랜지스터 Q72의 소오스에 결합된다. 트랜지스터 Q72의 게이트는  $V_{cc}$ 에 연결되고, 트랜지스터 Q72의 드레인은 접지에 연결된다. 트랜지스터 Q71 및 Q72의 길이 대 폭비는 전류  $I_{Q6}$ 을 기선택된 소망하는 값으로 설정하도록 선택될 수 있다.

감지증폭기(70)는 NPN 바이폴라 트랜지스터 Q73과 Q74로 형성된 에미터 접속쌍을 구비한다. 트랜지스터 Q73 및 Q74의 에미터는 노드 N11에서 함께 연결된다. N채널 트랜지스터 Q75의 소오스는 노드 N11에 결합되고, 트랜지스터 Q75의 게이트 노드 N10에 결합된다. 트랜지스터 Q75의 드레인은 또 다른 N채널 트랜지스터 Q76의 소오스에 결합된다. 트랜지스터 Q76의 드레인은 접지에 결합된다. 감지 증폭기 인에이블신호

SAEN은 P채널 트랜지스터 Q77의 게이트와 트랜지스터 Q76의 게이트에 공급된다. 트랜지스터 Q77의 소오스는 Vcc에 연결되고, 그 드레인은 노드 N11에 결합된다.

트랜지스터 Q75와 Q76의 길이 대 폭비 및 직렬 저항은 트랜지스터 Q71과 Q72의 길이 대 폭비 및 직렬 저항과 정합된다. 따라서, 입력신호 SAEN이 CMOS 하이 레벨이 하이 상태가 되어 감지 증폭기(70)가 턴온되면, 감지 증폭기 전류  $I_{SA}$ 는 기준 회로로부터 출력된 전류  $I_{Q6}$ 과 실질적으로 동일하다. 이들 전류는 정합된 트랜지스터 Q71 및 Q75가 노드 N10상의 동일한 게이트 전압에 의해 모두 제어되고, 정합된 트랜지스터 Q72 및 Q76이 각각 실질적으로 동일한  $V_c$ 의 고전압과 SAEN 입력에 의해 턴온되기 때문에 실질적으로 동일하다. 트랜지스터 Q77은 트랜지스터 Q76이 턴오프될 때 감지증폭기의 노드 N11이 플로팅 상태로 되는 것을 방지하기 위해 제공한다. SAEN이 로우로 되어 감지증폭기(70) 및 트랜지스터 Q76이 턴오프되는 조건에서는 P채널 트랜지스터 Q77의 게이트 또한 로우 상태가 된다. 그러므로 트랜지스터 Q77은 턴온되어 노드 N11이 Vcc의 하이 상태로 유지되게 한다. 몇가지 실시예에서, 감지증폭기(70)와 같은 다중 감지증폭기가 통합될 수 있다. 이들 실시예에서, 노드 N10은 도시된 감지증폭기(70)의 트랜지스터 Q75에 대응하는 다른 감지증폭기의 트랜지스터에 공급될 수 있다.

본 발명에 따른 특정 실시예가 상술한 바와같이 기술되어 있을지라도 당업자에게는 다른 반도체 기법에 대한 복합적인 적용 및 다른 회로에 전류를 공급하는 응용을 명백히 이해할 수 있을 것이다. 따라서, 본 발명의 기술은 단지 예시의 목적과 본 발명을 실행하는 한가지 방법을 기술하는 목적으로서 해석되어야 한다. 그러므로 상술한 실시예는 첨부된 특허청구의 범위에 기재된 본 발명의 기술적 범위를 한정하기 위해 기재된 것은 아니다.

## (57) 청구의 범위

### 청구항 1

제1전류가 흐르는 제1전류 경로 및 출력전류가 흐르는 제2전류 경로를 갖는 제1전류 미러를 구비하며, 전류의 크기가 상기 제1전류의 크기와 관련되게 상기 출력 전류를 공급하는 수단(Q5, Q6)과 : 제2전류 미러를 포함하며, 온도가 증가할 때 상기 제1전류의 크기를 증가시키는 수단(Q0, Q1, Q4, R1, R3)과 ; 전원 전압이 증가할 때 상기 제1전류의 크기를 감소시키는 수단(Q9, Q10)을 구비하는 것을 특징으로 하는 기준 회로.

### 청구항 2

제1항에 있어서, 상기 제1전류 미러는 2개의 전계 효과 트랜지스터를 포함하고, 상기 제2전류 미러는 2개의 바이폴라 트랜지스터를 포함하는 것을 특징으로 하는 기준 회로.

### 청구항 3

제2항에 있어서, 상기 제1전류의 크기를 증가시키는 수단은 대역 간극 기준 회로를 구비하는 것을 특징으로 하는 기준 회로.

### 청구항 4

제1항에 있어서, 상기 제1전류의 크기를 증가시키는 수단은 제1트랜지스터, 제2트랜지스터, 제3트랜지스터, 제1임피던스 소자 및 제2임피던스 소자를 구비하며, 상기 제1트랜지스터의 베이스는 상기 제2트랜지스터의 베이스에 접속되고, 상기 제2트랜지스터의 베이스는 상기 제2트랜지스터의 컬렉터에 접속되며, 상기 제1임피던스 소자는 상기 제1트랜지스터의 에미터와 상기 제2트랜지스터의 에미터 사이에 접속되고, 상기 제3트랜지스터의 베이스는 상기 제1트랜지스터의 컬렉터에 접속되며, 상기 제1임피던스 소자는 상기 제3트랜지스터의 에미터와 상기 제1트랜지스터의 에미터 사이에 접속되고, 상기 제2임피던스 소자는 상기 제3트랜지스터의 베이스에 접속되는 것을 특징으로 하는 기준 회로.

### 청구항 5

제1항에 있어서, 상기 제1전류의 크기를 증가시키는 수단은 음의 온도 계수를 갖는 임피던스 소자를 구비하는 것을 특징으로 하는 기준 회로.

### 청구항 6

제1항에 있어서, 상기 제1전류 미러는 2개의 트랜지스터를 포함하고, 상기 제1전류 미러의 상기 2개의 트랜지스터의 각각은 제어 전극을 가지며, 상기 제1전류 미러의 상기 제어전극은 함께 접속되고, 상기 제1전류의 크기를 감소시키는 수단은 상기 제1전류 미러의 상기 2개의 트랜지스터의 제어전극상의 전압의 크기에 따라 분로 전류를 제어하는 회로를 구비하는 것을 특징으로 하는 기준 회로.

### 청구항 7

제6항에 있어서, 상기 제1전류의 크기를 증가시키는 수단은 기준 전류 경로를 구비하고, 상기 기준 전류 경로에는 기준 전류가 흐르고, 상기 제1전류, 상기 기준 전류 및 상기 분로 전류는 서로 다른 크기를 각각 가지며, 상기 제1전류의 크기는 상기 기준 전류 및 상기 분로 전류의 크기의 합보다 최소한 큰 것을 특징으로 하는 기준 회로.

### 청구항 8

제4항에 있어서, 상기 제1임피던스 소자는 음의 온도 계수를 갖는 박막 저항인 것을 특징으로 하는 기준 회로.

### 청구항 9

제1전류가 흐르는 제1전류 경로 및 출력 전류가 흐르는 제2전류 경로와, 제1트랜지스터 및 제2트랜지스터를 구비하며, 상기 제1전류의 크기는 상기 출력 전류의 크기와 관련되고, 상기 제1트랜지스터의 제어 전극은 상기 제2트랜지스터의 제어 전극에 접속되는 상기 출력 전류 공급 수단과 ; 제1트랜지스터, 제2트랜지스터, 제3트랜지스터, 제1온도 감지 임피던스 소자 및 제2임피던스 소자를 구비하며, 상기 제1트랜지스터의 베이스는 상기 제2트랜지스터의 베이스에 접속되고, 상기 제2트랜지스터의 베이스는 상기 제2트랜지스터의 컬렉터에 접속되며, 상기 제1온도 감지 임피던스 소자는 상기 제1트랜지스터의 에미터와 상기 제2트랜지스터의 에미터 사이에 접속되고, 상기 제3트랜지스터의 베이스는 상기 제1트랜지스터의 컬렉터에 접속되며, 상기 제1온도 감지 임피던스 소자는 상기 제3트랜지스터의 에미터와 상기 제1트랜지스터의 에미터 사이에 접속되고, 상기 제2임피던스 소자는 상기 제3트랜지스터의 베이스에 접속되어, 온도가 증가할 때 상기 제1전류의 크기를 증가시키는 수단과 ; 전류를 전도하는 수단을 구비하며, 상기 전도 수단의 제1단자는 상기 제1전류의 크기를 증가시키는 수단의 상기 제3트랜지스터의 에미터에 결합되며, 상기 전도 수단의 제3제어 단자는 상기 출력 전류 공급수단의 상기 제2트랜지스터의 상기 제어 전극에 결합되어, 전원 전압이 증가할 때 상기 제1전류의 크기를 감소시키는 수단을 구비하는 것을 특징으로 하는 기준 회로.

#### 청구항 10

출력 전류를 제어하는 방법에 있어서, 온도가 증가하고, 전원 전압이 일정할 때 출력 전류의 크기를 증가시키기 위해 온도 감지 임피던스 소자를 사용하는 단계와 ; 전원 전압이 증가하고, 온도가 일정할 때 상기 출력 전류의 크기를 감소시키기 위해 귀환 회로를 사용하는 단계를 포함하는데, 상기 귀환회로는 전류 미러를 형성하는 2개의 트랜지스터의 제어 전극에 생성되는 전압을 검출하는 것을 특징으로 하는 출력 전류 제어 방법.

#### 청구항 11

제10항에 있어서, 상기 온도 감지 임피던스 소자는 박막 저항인 것을 특징으로 하는 출력 전류 제어방법.

#### 청구항 12

제10항에 있어서, 상기 귀환 회로의 상기 2개의 트랜지스터는 전계 효과 트랜지스터인 것을 특징으로 하는 출력 전류 제어방법.

#### 청구항 13

기준 전류 입력, 데이터 입력 및 데이터 출력을 갖는 Bi-CMOS 버퍼단과 ; 상기 Bi-CMOS 버퍼의 상기 기준 전류 입력에 결합되는 출력을 가지며, 온도가 증가하고 전원 전압이 일정하면 크기가 증가하고 전원 전압이 증가하고 온도가 일정하면 크기가 감소하는 기준 전류를 발생시키는 수단을 구비하는 것을 특징으로 하는 회로.

#### 청구항 14

제13항에 있어서, 상기 Bi-CMOS 버퍼단은 제1트랜지스터, 제2트랜지스터 및 제3트랜지스터를 구비하고, 상기 제1트랜지스터의 제어 전극은 상기 Bi-CMOS 버퍼의 상기 기준 및 상기 제2트랜지스터의 제1전극에 접속되며, 상기 제2트랜지스터의 제어 전극은 상기 제3트랜지스터의 제어 전극 및 상기 Bi-CMOS 버퍼단의 데이터 입력에 접속되고, 상기 제3트랜지스터의 제1전극은 상기 제1트랜지스터의 제3전극 및 상기 Bi-CMOS 버퍼단의 데이터 출력에 접속되는 것을 특징으로 하는 회로.

#### 청구항 15

제14항에 있어서, 제4트랜지스터를 추가로 구비하고, 상기 제4트랜지스터의 제어 전극 및 상기 제4트랜지스터의 제1전극은 상기 Bi-CMOS 버퍼단의 출력에 접속되고, 상기 제4트랜지스터의 제2전극은 상기 제1트랜지스터의 상기 제어 전극에 접속되는 것을 특징으로 하는 회로.

#### 청구항 16

제14항에 있어서, 상기 제1트랜지스터는 NPN 바이폴라 트랜지스터이고, 상기 제2 및 제3트랜지스터는 N형 채널 전계 효과 트랜지스터인 것을 특징으로 하는 회로.

#### 청구항 17

제1전류가 흐르는 제1전류 경로 및 전류가 흐르는 제2전류 경로를 갖는 제1전류 미러를 구비하며, 전류의 크기가 상기 제1전류의 크기와 관련되게 상기 출력 전류를 공급하는 수단(Q5, Q6)과, 제2전류 미러를 포함하며, 온도가 증가할 때 상기 제1전류의 크기를 증가시키는 수단(Q0, Q1, Q4, R1, R3)과, 전원 전압이 증가할 때 상기 제1전류의 크기를 감소시키는 수단(Q9, Q10)을 포함하는 기준 회로와 ; 입력 버퍼, 출력 버퍼, NAND 게이트, AND 게이트, NOR 게이트, OR 게이트 및 인버터로 이루어진 그룹으로 구성된 논리 소자를 구비하는데, 상기 논리 소자는 기준 전류 입력을 가지며, 상기 기준 회로의 출력 전류는 상기 논리 소자의 기준 전류 입력에 공급되는 것을 특징으로 하는 회로.

#### 청구항 18

제17항에 있어서, 상기 논리 소자는 CMOS 논리 소자인 것을 특징으로 하는 회로.

#### 청구항 19

제17항에 있어서, 상기 논리 소자는 Bi-CMOS 논리 소자인 것을 특징으로 하는 회로.

#### 청구항 20

제1전류가 흐르는 제1전류 경로 및 기준 전류가 흐르는 제2전류 경로를 구비하며, 전류의 크기가 상기 제1전류의 크기와 관련되게 기준 전류 출력 단자로부터 상기 기준 전류를 공급하는 수단, 온도가 증가할 때 상기 제1전류의 크기를 증가시키는 수단과, 전원 전압이 증가할 때 상기 제1전류의 크기를 감소시키는 수단을 포함하는 기준 회로와 ; 제1단자, 제2단자 및 게이트를 갖는 전계 효과 트랜지스터를 포함하며, 상기 제1단자는 상기 기준회로의 상기 기준 전류 출력 단자에 접속되는 부하와 ; 에미터 접속쌍과, 제1단자, 제2단자 및 게이트를 갖는 전계 효과 트랜지스터를 포함하며, 상기 전계 효과 트랜지스터의 게이트는 상기 부하의 전계 효과 트랜지스터의 게이트에 접속되고, 상기 전계 효과 트랜지스터의 제1단자는 상기 에미터 접속쌍에 접속되는 감지증폭기를 구비하는 것을 특징으로 하는 회로.

#### 청구항 21

제20항에 있어서, 상기 부하는 전류 흐름을 방해하는 제1저항수단을 추가로 구비하고, 상기 제1저항수단은 상기 부하의 전계 효과 트랜지스터의 제2단자와 접지 사이에 결합되고, 상기 감지 증폭기는 전류흐름을 방해하는 제2저항 수단을 추가로 구비하고, 상기 제2저항 수단은 상기 감지증폭기 전계 효과 트랜지스터의 제2단자와 접지 사이에 결합되는 것을 특징으로 하는 회로.

#### 청구항 22

제21항에 있어서, 상기 제1저항 수단은 전계 효과 트랜지스터를 구비하고, 상기 제1저항 수단의 전계 효과 트랜지스터는 전원 전압에 접속된 게이트를 갖는 것을 특징으로 하는 회로.

#### 청구항 23

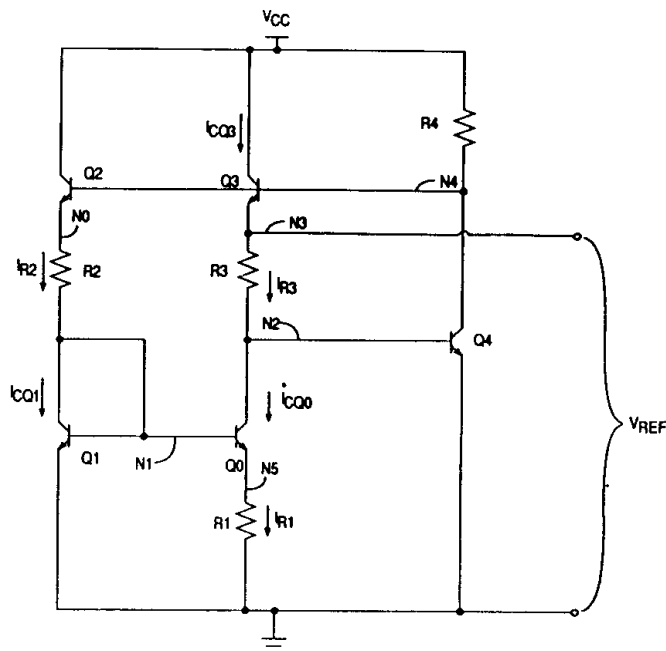
제22항에 있어서, 상기 제2저항 수단은 전계 효과 트랜지스터를 구비하고, 상기 제2저항 수단의 전계 효과 트랜지스터는 감지 증폭기 인에이블 신호를 수신하는 게이트를 갖는 것을 특징으로 하는 회로.

#### 청구항 24

제20항에 있어서, 상기 부하의 전계 효과 트랜지스터는 상기 감지증폭기의 전계 효과 트랜지스터의 길이 대 폭비로 연속적으로 정합되는 길이 대 폭비를 갖는 것을 특징으로 하는 회로.

### 도면

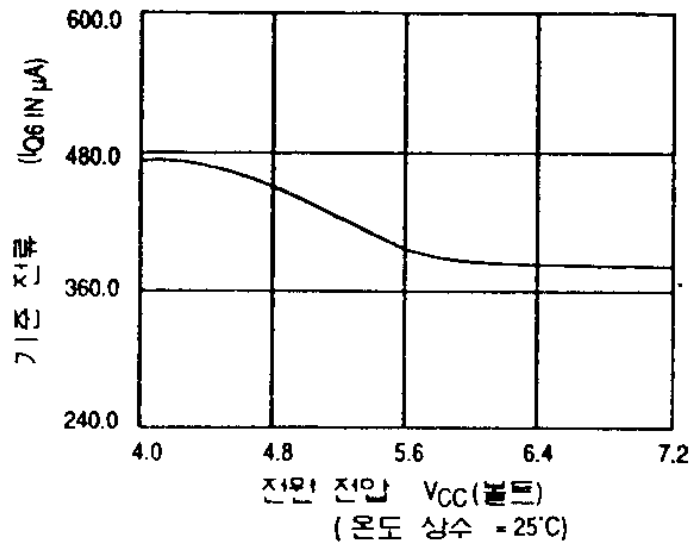
#### 도면1



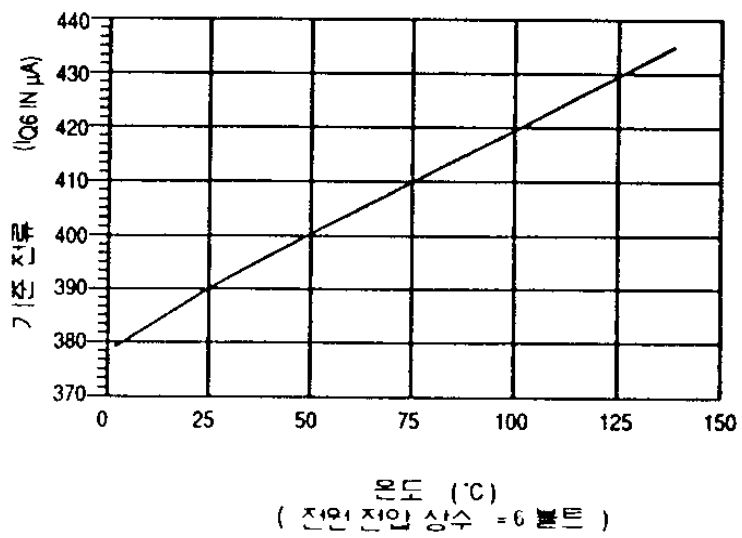




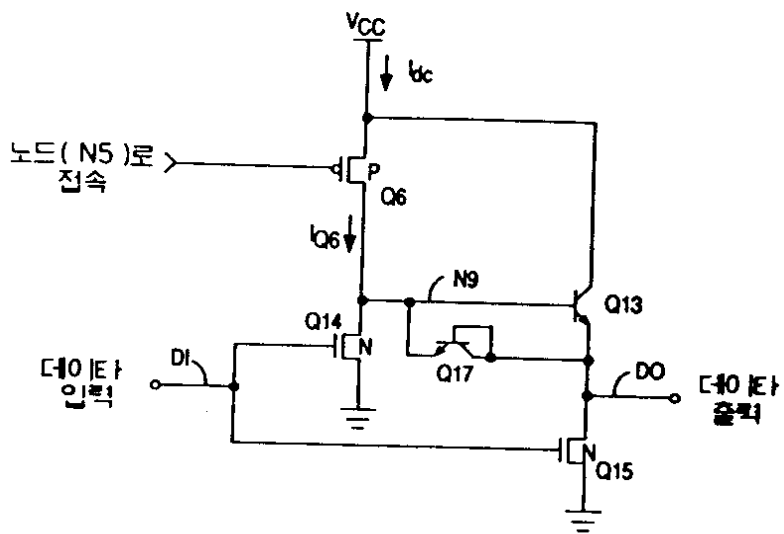
도면4



도면5



도면6



도면7

