



(12)发明专利

(10)授权公告号 CN 104821811 B

(45)授权公告日 2019.05.03

(21)申请号 201510058395.5

(51)Int.Cl.

(22)申请日 2015.02.04

H03K 17/687(2006.01)

(65)同一申请的已公布的文献号

审查员 许莎莎

申请公布号 CN 104821811 A

(43)申请公布日 2015.08.05

(30)优先权数据

14/172,727 2014.02.04 US

(73)专利权人 Qorvo美国公司

地址 美国北卡罗来纳州

(72)发明人 乔治·努赫拉

(74)专利代理机构 北京集佳知识产权代理有限公司

公司 11227

代理人 王萍 李春晖

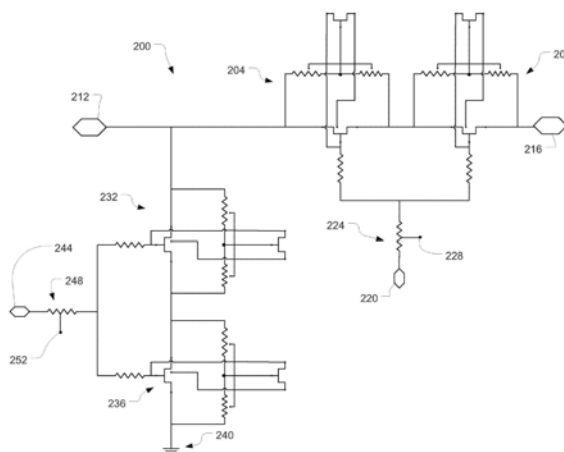
权利要求书2页 说明书7页 附图4页

(54)发明名称

场效应晶体管开关电路

(57)摘要

本公开涉及一种开关电路。实施方式包括涉及开关电路的设备、系统和方法。在一些实施方式中,开关电路可以包括第一开关,该第一开关包括信号路径中的n-沟道场效应晶体管(FET)。开关电路还可以包括对第一开关分路的第二开关。第二开关可以包括放电晶体管以给开关晶体管的体提供放电路径。可以描述和要求保护其他实施方式。



1. 一种开关电路,包括:

第一晶体管,所述第一晶体管具有第一栅极接点、第一漏极接点、第一源极接点和体接点;

第二晶体管,所述第二晶体管具有第二栅极接点、与所述第一栅极接点耦合的第二漏极接点和与所述体接点耦合的第二源极接点;以及

第一电阻器和第二电阻器,所述第一电阻器和第二电阻器串联耦合在所述第一漏极接点和所述第一源极接点之间,以及其中,所述第二栅极接点在所述第一电阻器和第二电阻器之间的节点处耦合至所述第一电阻器和第二电阻器。

2. 根据权利要求1所述的开关电路,其中,所述第一电阻器和第二电阻器通过控制线来耦合。

3. 根据权利要求1所述的开关电路,其中,所述第一晶体管是n-沟道场效应晶体管并且所述第二晶体管是n-沟道场效应晶体管。

4. 根据权利要求1所述的开关电路,其中,所述第一晶体管是p-沟道场效应晶体管并且所述第二晶体管是p-沟道场效应晶体管。

5. 根据权利要求1所述的开关电路,其中,所述第一晶体管适于对1800MHz的RF信号进行切换。

6. 根据权利要求5所述的开关电路,其中,所述RF信号具有在32dBm与34dBm之间的范围内的功率。

7. 一种开关电路,包括:

第一开关,其包括:

第一晶体管,所述第一晶体管具有第一栅极接点、第一漏极接点、第一源极接点和第一体接点;

第二晶体管,所述第二晶体管具有第二栅极接点、与所述第一栅极接点耦合的第二漏极接点和与所述第一体接点耦合的第二源极接点;

第二开关电路,其包括:

第三晶体管,所述第三晶体管具有第三栅极接点、与所述第一源极接点耦合的第三漏极接点、第三源极接点和第三体接点;以及

第四晶体管,所述第四晶体管具有第四栅极接点、与所述第三栅极接点耦合的第四漏极接点和与所述第三体接点耦合的第四源极接点;以及

第一电阻器和第二电阻器,所述第一电阻器和第二电阻器串联耦合在所述第一漏极接点和所述第一源极接点之间,以及其中,所述第二栅极接点在所述第一电阻器和第二电阻器之间的节点处耦合至所述第一电阻器和第二电阻器。

8. 根据权利要求7所述的开关电路,其中,所述第一电阻器和第二电阻器通过控制线来耦合。

9. 根据权利要求7所述的开关电路,还包括第三电阻器和第四电阻器,所述第三电阻器和第四电阻器串联耦合在所述第三漏极接点和所述第三源极接点之间,以及其中,所述第三栅极接点在所述第三电阻器和第四电阻器之间的节点处耦合至所述第三电阻器和第四电阻器。

10. 根据权利要求9所述的开关电路,其中,所述第三电阻器和第四电阻器通过控制线

来耦接。

11. 根据权利要求7所述的开关电路,其中,所述第一晶体管是n-沟道场效应晶体管并且所述第二晶体管是n-沟道场效应晶体管。

12. 根据权利要求7所述的开关电路,其中,所述第一晶体管是p-沟道场效应晶体管并且所述第二晶体管是p-沟道场效应晶体管。

13. 根据权利要求7所述的开关电路,其中,所述第三晶体管是n-沟道场效应晶体管并且所述第四晶体管是n-沟道场效应晶体管。

14. 根据权利要求7所述的开关电路,其中,所述第三晶体管是p-沟道场效应晶体管并且所述第四晶体管是p-沟道场效应晶体管。

15. 根据权利要求7所述的开关电路,其中,所述第一晶体管的栅极接点与所述第三晶体管的栅极接点耦接在一起。

16. 根据权利要求7所述的开关电路,其中,所述第一晶体管和第三晶体管适于对1800MHz的RF信号进行切换。

17. 根据权利要求16所述的开关电路,其中,所述RF信号具有在32dBm与34dBm之间的范围内的功率。

18. 根据权利要求7所述的开关电路,其中,所述第三源极接点耦接至固定电压节点。

场效应晶体管开关电路

技术领域

[0001] 本公开的实施方式整体上涉及电路领域,并且更特别地涉及开关电路。

背景技术

[0002] 场效应晶体管(FET)可以用于低功率射频(RF)开关装置,特别在价格、性能以及功耗是关键要素的移动应用中。然而,FET在处理较大信号时可能受到挑战。特别地,在充当开关的FET中大信号性能可能受到FET的体的准中性区域中的电荷积累的影响。电荷积累可以导致热载流子积累、过多的栅诱导漏极泄漏电流(GIDL)、负跨导、栅极控制的损耗、滞后等。这些问题通常可以称为浮体效应(FBE)。

[0003] 在一些应用中,某些应用可能需要超快和超低损耗/高隔离开关。在一些情况下,低损耗开关可能需要负电压发生器(NVG),负电压发生器可以用于实现所需的低损耗和隔离,并且还用于满足大信号要求。然而,使用NVG可能导致较慢的开关,以及电路面积方面的显著的开销。此外,使用NVG可能导致睡眠模式下(即当电路不主动地传送信号时)的泄漏电流。在一些情况下,隔直流电容器可以用在开关中以防止上述问题,然而使用隔直流电容器可能导致高的电路面积并且还降低电路性能。例如,电路可能经历糟糕的插入损耗、差的线性和/或差的隔离。

发明内容

[0004] 根据本发明的一个方面,提供一种开关电路,包括:第一开关,第一开关包括n-沟道晶体管;以及第二开关,第二开关与第一开关耦接,第二开关包括:第一p-沟道晶体管,第一p-沟道晶体管包括第一源极接点、第一漏极接点、第一栅极接点和第一体接点;第二p-沟道晶体管,第二p-沟道晶体管与第一p-沟道晶体管耦接,第二p-沟道晶体管包括第二源极接点、第二漏极接点、第二栅极接点和第二体接点,其中,第一栅极接点与第二漏极接点耦接,并且第一体接点与第二源极接点耦接;以及第一电阻器和第二电阻器,第一电阻器和第二电阻器均与第二栅极接点耦接。

[0005] 在一个示例中,第一电阻器或第二电阻器是高密度电阻器。

[0006] 在一个示例中,第一p-沟道晶体管具有1毫米的厚度。

[0007] 在一个示例中,第二p-沟道晶体管具有3微米的厚度。

[0008] 在一个示例中,第一源极接点与第三开关耦接,第三开关至少包括第三p-沟道晶体管和第四p-沟道晶体管。

[0009] 在一个示例中,第一p-沟道晶体管或第二p-沟道晶体管是p-沟道金属氧化物半导体场效应晶体管(MOSFET)。

[0010] 在一个示例中,第一栅极接点与直流(DC)电压输入源耦接。

[0011] 在一个示例中,第一开关与第二开关耦接,使得第一p-沟道晶体管与第一开关直接耦接并且第一p-沟道晶体管在开关电路的第一开关和地接点之间。

[0012] 根据本发明的另一个方面,提供了一种方法,包括:将第一p-沟道场效应晶体管

(FET)的栅极接点耦接到第二p-沟道FET的漏接接点;将第一p-沟道FET的体接点耦接到第二p-沟道FET的源极接点;将第二p-沟道FET的栅极接点耦接到第一电阻器和第二电阻器;以及将第一p-沟道FET的漏极接点和第一电阻器耦接到n-沟道FET,使得第一p-沟道FET在电学上被布置在n-沟道FET和地之间。

[0013] 在一个示例中,第一电阻器或第二电阻器是高密度电阻器。

[0014] 在一个示例中,第一p-沟道FET具有1毫米的厚度。

[0015] 在一个示例中,第二p-沟道FET具有3微米的厚度。

[0016] 在一个示例中,第一p-沟道FET、第二p-沟道FET、第一电阻器和第二电阻器是第一开关,并且第一p-沟道FET的源极接点与第二开关耦接,第二开关包括第三p-沟道FET。

[0017] 在一个示例中,第一p-沟道FET或第二p-沟道FET是p-沟道金属氧化物半导体场效应晶体管(MOSFET)。

[0018] 根据本发明的又一个方面,提供了一种系统,包括:信号输入端;第一开关在电学上被布置在信号输入端和信号输出端之间,第一开关包括n-沟道场效应晶体管(FET);以及第二开关被电耦接在信号输入端和地之间,并且被电耦接在第一开关和地之间,其中,第二开关包括:第一p-沟道FET;第二p-沟道FET,第二p-沟道FET与第一p-沟道FET耦接,第二p-沟道FET包括漏极接点和源极接点,漏极接点与第一p-沟道FET的栅极接点耦接,源极接点与第一p-沟道FET的体接点耦接;以及第一电阻器和第二电阻器,第一电阻器和第二电阻器均与第二p-沟道FET的栅极接点耦接。

[0019] 在一个示例中,第一电阻器或第二电阻器是高密度电阻器。

[0020] 在一个示例中,第一p-沟道FET具有1毫米的厚度。

[0021] 在一个示例中,第二p-沟道FET具有3微米的厚度。

[0022] 在一个示例中,还包括第三开关,第三开关包括第三p-沟道FET和第四p-沟道FET,其中,第一p-沟道FET的源极接点与第三p-沟道FET的漏极接点耦接。

[0023] 在一个示例中,第一p-沟道FET或第二p-沟道FET是p-沟道金属氧化物半导体场效应晶体管(MOSFET)。

附图说明

[0024] 在附图的图中作为示例而非作为限制示出了实施方式,在附图中,相同的附图标记表示相似的元件,其中:

[0025] 图1示出了根据各种实施方式的场效应晶体管(FET)开关。

[0026] 图2示出了根据各种实施方式的包括多个开关的开关电路。

[0027] 图3示出了根据各种实施方式的构成开关电路的示例性过程。

[0028] 图4示出了根据各种实施方式的示例性无线通信装置的框图。

具体实施方式

[0029] 各实施方式包括开关电路。在一些实施方式中,开关电路可以包括第一开关,该第一开关包括信号路径中的n-沟道开关晶体管。n-沟道开关晶体管可以是n-沟道场效应晶体管(FET)。开关电路还可以包括对第一开关分路的第二开关。第二开关可以包括开关晶体管和放电晶体管以给开关晶体管的体(body)提供放电路径。开关晶体管和放电晶体管可以是

p-沟道晶体管,并且更具体地可以是p-沟道FET。n-沟道晶体管和p-沟道晶体管两者均可以与电压源耦接,该电压源被配置成向开关提供正电压。当电压源提供正电压时,可以接通包括n-沟道开关晶体管的开关使得该开关可以允许射频(RF)信号通过该开关传播。同时,由于正电压,可以关断包括p-沟道晶体管的开关。随后可以移除正电压,或者可以施加负电压,以及在包括p-沟道晶体管的开关接通时,可以关断包括n-沟道晶体管的开关。可以描述和要求保护其他实施方式。

[0030] 通过使用本领域技术人员通常使用的术语来描述说明性实施方式的各个方面以向本领域的其他技术人员传达其各个方面的工作实质。然而,对本领域技术人员而言明显的是,可以仅利用所描述的方面中的一些方面来实践替选实施方式。为了说明的目的,阐述了特定装置和配置以提供对说明性实施方式的透彻理解。然而,对本领域技术人员而言明显的是,可以在没有这些特定细节的情况下来实践替选实施方式。在其他示例中,省略或简化了公知的特征以便不会使得说明性实施方式变得模糊。

[0031] 此外,各种操作将依次地以对理解本公开最有帮助的方式而被描述为多个离散操作;然而,描述的顺序不应被解释为暗示这些操作必须依赖于顺序。特别地,这些操作不需要按介绍的顺序来执行。

[0032] 短语“在一个实施方式中”被重复使用。该短语一般不是指同一实施方式;然而,其可以指同一实施方式。术语“包括”、“具有”和“包含”是同义的,除非上下文另有所指。

[0033] 在为可以结合各种实施方式使用的语言提供一些澄清性上下文时,短语“A/B”和“A和/或B”表示(A)、(B)或(A和B);以及短语“A、B和/或C”表示(A)、(B)、(C)、(A和B)、(A和C)、(B和C)或(A、B和C)。

[0034] 可以在本文中使用术语“与……耦接”连同其衍生词。“耦接”可以指下文中的一个或更多个。“耦接”可以指两个或更多个元件处于直接物理接触或电接触。然而,“耦接”还可以指两个或更多个元件彼此间接接触,但仍相互配合或相互作用,并且可以指一个或更多个其他元件被耦接或连接在被描述为彼此耦接的元件之间。

[0035] 图1示出了根据各种实施方式的开关100。开关100可以是具有布置在绝缘层之上的硅层的绝缘体上硅(SOI)装置,绝缘层也被称作氧化埋层(BOX)。在一些实施方式中,另外的硅层可以布置在绝缘层之下。

[0036] 在各种实施方式中,顶部硅层可以大约50到90纳米(nm)厚,绝缘层(其可以是二氧化硅层或蓝宝石层)可以大约100到200nm厚。在一些实施方式中,开关100可以是其中掺杂沟道之下的硅被部分地耗尽移动电荷载流子的部分耗尽SOI(PDSOI)装置。部分耗尽区域可以被称为准中性区域。

[0037] 开关100可以包括开关晶体管104。在一些实施方式中,开关晶体管104可以是场效应晶体管(FET)。在一些实施方式中,如上文描述,开关晶体管104在准中性区域中可以具有积累电荷的倾向。本文中描述的实施方式提供对这些累积电荷的放电,同时减轻了与旨在解决FBE问题的其他技术有关的上述问题中的至少一部分问题。

[0038] 开关晶体管104可以包括栅极接点108、源极接点112、漏极接点116和体接点120。如所示出的,开关100还可以包括彼此串联耦接的、与源极接点112和漏极接点116耦接、并且耦接在源极接点112和漏极接点116之间的电阻器124和128。在一些实施方式中,电阻器124和128可以具有相同尺寸。在一些实施方式中,电阻器124和128可以是高密度电阻器。在

一些实施方式中,电阻器124和128可以通过控制线129来耦接。开关100还可以包括与栅极接点108耦接的电阻器130。

[0039] 开关100还可以包括放电晶体管132。在一些实施方式中,放电晶体管132可以是FET。放电晶体管132可以工作以创建放电路径用于对开关晶体管104的准中性区域中积累的电荷进行放电。放电晶体管132可以包括栅极接点136、源极接点140、和漏极接点144。栅极接点136可以与位于电阻器124和128之间的节点148耦接;源极接点140可以与体接点120耦接;而漏极接点144可以与栅极接点108耦接。

[0040] 电阻器124和128可以在节点148处并且因而在栅极接点136处提供虚地,例如固定电位。使用放电晶体管132将体接点120、漏极接点116和源极接点112结合到节点148的固定电位,可以便利于消除栅极接点108和体接点120之间的电位差,并且从而对来自准中性区域的电荷进行放电。

[0041] 在一些实施方式中,漏极接点116可以直接地或间接地与射频(RF)信号输入端子152耦接,通过输入端子152,开关100可以接收RF信号。源极接点112可以直接地或间接地与RF信号输出端子156耦接,开关100可以从RF信号输出端子156输出RF信号。如下文所描述,栅极接点108和/或漏极接点144可以直接地或间接地与电压源160耦接,电压源160可以提供控制电压以接通或关断开关晶体管104和放电晶体管132。

[0042] 在实施方式中,开关100可以如下操作。值得注意的是,下文的描述假设开关晶体管104和放电晶体管132两者都是n-沟道FET。然而,如下文进一步详细描述,在一些实施方式中,开关晶体管104和放电晶体管132可以均是p-沟道FET,在这种情况下,操作可以是相反的。

[0043] 最初,可以通过接通开关晶体管104来接通开关100以将信号,例如从RF信号输入端子152接收的射频(RF)信号,从漏极接点116传送到源极接点112。在一些实施方式中,可以例如通过施加来自电压源160的正DC电压、借助于将正DC电压,例如2.5伏特(V),施加到开关晶体管132的栅极接点108来接通开关晶体管104。放电晶体管132的漏极接点144也将看到正DC电压。放电晶体管132的栅极接点136可以在虚地处看到0电压。这可以导致放电晶体管132处-2.5V的栅-源电压 V_{gs} 。这将关断放电晶体管132,并且实际上将放电晶体管132从开关电路移除。

[0044] 在一些实施方式中,开关100可以被关断以在开关晶体管104的栅极接点108和体接点120之间提供放电路径。在一些实施方式中,可以通过关断开关晶体管104来关断开关100以阻止信号,例如从RF信号输入端子152接收的RF信号,从漏极接点116传送到源极接点112。在一些实施方式中,可以通过不施加DC电压或负DC电压,例如0V或-2.5V,到开关晶体管104的栅极接点108来关断开关晶体管104。放电晶体管132的漏极接点144也可以看到负DC电压。这可以导致放电晶体管132处的正 V_{gs} ,例如2.5V。这可以接通放电晶体管132,从而通过将开关晶体管104的栅极接点108耦接到开关晶体管104的体接点120来创建放电路径。由于不存在 V_{th} 降,因此这可以在无需提供电压净空(headroom)的情况下实现。

[0045] 虽然就使用n-沟道FET作为开关晶体管104(也被称为“NMOS开关”或“NMOS晶体管”)而言一般地讨论开关100的操作,使用诸如p-沟道FET的p-沟道晶体管作为开关晶体管104(也被称为“PMOS开关”或“PMOS晶体管”)和放电晶体管132的实施方式可以被使用。在各实施方式中,开关晶体管104和放电晶体管132是p-沟道晶体管,正电压的施加可以使p-沟

道晶体管关断,而负电压的施加或不施加电压可以使n-沟道晶体管接通。

[0046] 如上文所述的使用开关100来提供放电路径不会引起与连接有二极管的FET开关电路相关联的、涉及电压阈值净空的相同不利结果。关于连接有二极管的FET开关电路,示例仿真显示:开关100可以与关于IMD的3dB改进、关于三次谐波的2.5dB改进以及关于二次谐波的1.5dB改进相关联。

[0047] 如上文所述的使用开关100来提供放电路径同样不会引起与电阻性体接点(BC)开关电路相关联的、涉及插入损耗的相同不利结果。关于电阻性BC开关电路,示例仿真显示:开关电路100可以与关于插入损耗的40毫分贝(mdB)或更大的改进、关于IMD的1dB改进、关于二次谐波的3.5dB改进以及关于三次谐波的0.5dB改进相关联。

[0048] 开关100可以是共栅放大器并且可以被纳入大量应用中,包括但不限于互补金属氧化物半导体(CMOS)开关、功率放大器、低噪声放大器(LNA)、缓冲器、双工器等。

[0049] 在一些实施方式中,多个开关100可以被纳入单个电路设计中。图2描述了包含一个或更多个开关的开关电路200的示例,所述开关的每个开关可以类似于上文描述的开关100。具体地,开关电路200可以包括开关204和208。开关204和208可以与RF信号输入端212和RF信号输出端216耦接,并且通常布置在RF信号输入端212和RF信号输出端216之间,RF信号输入端212和RF信号输出端216可以分别类似于RF信号输入端152和RF信号输出端156。开关204和208可以分别类似于上文描述的开关100,并且如上文所讨论,开关204和208的开关晶体管和放电晶体管可以是n-沟道晶体管,并且更具体地是n-沟道FET。如图2所示,开关204和208可以彼此串联耦接,使得开关204的开关晶体管的源极接点与开关208的开关晶体管的漏极接点耦接。

[0050] 在实施方式中,开关204和208可以与被配置成提供正电压,例如2.5V,的电压源220耦接。在一些实施方式中,电阻器224可以通常布置在电压源220和开关204以及208之间。在一些实施方式中,电阻器224可以包括控制线228。在实施方式中,电压源220可以类似于上文描述的电压源160。

[0051] 开关电路200可以包括另外的开关232和236。开关232和236可以通常布置在RF信号输入端212和地240之间。具体地,开关232和236可以被称之为开关电路200的分路。在实施方式中,开关232和236可以与被配置成提供正电压,例如2.5V,的电压源244耦接。在一些实施方式中,电压源244和电压源220可以是相同的电压源,或者可以以其他方式彼此耦接。在一些实施方式中,电阻器248可以通常布置在电压源244和开关232以及236之间。在一些实施方式中,电阻器248可以包括控制线252。

[0052] 开关232和236可以分别类似于上文描述的开关100,并且如上文所讨论,开关232和236的开关晶体管和放电晶体管两者均可以是p-沟道晶体管,并且更具体地是p-沟道FET。如图2所示,开关232和236可以彼此串联耦接,使得开关232的开关晶体管的源极接点与开关236的开关晶体管的漏极接点耦接。

[0053] 尽管用具有n-沟道晶体管的两个开关204和208,以及具有p-沟道晶体管的两个开关232和236来描述开关电路200,但在其他实施方式中,开关电路可以具有更多或更少的开关。在一些实施方式中,开关204和208可以具有p-沟道晶体管,而开关232和236可以具有n-沟道晶体管,并且电压源220和224可以被配置成提供负电压。

[0054] 在操作中,开关电路200可以如下操作。可以在RF信号输入端212处提供RF信号。可

以在电压源220和244处提供正电压。如上文描述,开关204和208可以包括n-沟道FET。当开关204和208从电压源220接收正电压时,开关204和208的每个的放电晶体管可以关断。此外,开关晶体管可以接通,使得RF信号可以通过开关电路200从RF信号输入端212传播到RF信号输出端216。

[0055] 类似地,开关232和236可以从电压源244接收正电压。如上文描述,开关232和236可以包括p-沟道FET。因此,从电压源244接收的正电压可以引起开关232和236的开关晶体管关断。当开关232和236的开关晶体管被关断时,信号可能不能从RF信号输入端212传播到地240。因此,可以通过施加正电压来有效地关闭开关电路200的分路部分,同时,可以通过正电压来打开开关电路200的信号部分。

[0056] 对此而言,不施加电压,或者从电压源244和220施加地电压,可以引起开关电路200以与上文描述的方式相反的方式操作。具体地,从电压源220施加地电压可以引起开关204和208的放电晶体管被接通,使得信号能够流向地240。例如,来自RF信号输入端212的噪声可以被分流到地240。同时,开关204和208的开关晶体管可以被关断,使得来自RF信号输入端212的噪声可能不传播到RF信号输出端216。

[0057] 上文描述的开关电路200可以享有若干优点。具体地,开关电路200可以具有增强的插入损耗,以及增加的隔离和整体性能,同时仍存在于相对紧凑的区域中。例如,在一些实施方式中,开关的开关晶体管可以具有大约1毫米(mm)的厚度。开关的放电晶体管可以具有大约1微米(μm)的厚度。此外,开关电路200的开关速度可以被认为是非常快的。此外,可以通过仅使用诸如电压源220和224的正电压源来实现开关电路200,在一些实施方式中,电压源220和244可以被结合到单个正电压源中。因此,开关电路200可以不需要隔直流电容器或负电压发生器。

[0058] 图3描述了用于构成诸如开关电路200的开关电路的示例过程。最初,在304处,第一晶体管的栅极接点可以与第二晶体管的漏极接点耦接。具体地,在诸如开关232的开关中的诸如开关100的开关晶体管104的开关晶体管的栅极接点,可以与开关232中的诸如放电晶体管132的放电晶体管的漏极接点耦接。

[0059] 接着,在308处,第一晶体管的体接点可以与第二晶体管的源极接点耦接。具体地,在开关232中的开关100的开关晶体管104的体接点可以与开关232中的放电晶体管132的源极接点耦接。

[0060] 接着,在312处,第二晶体管的栅极接点可以与第一电阻器和第二电阻器耦接。具体地,在开关232中的放电晶体管132的栅极接点可以与诸如电阻器124和128的电阻器耦接,使得栅极接点136经历虚地。

[0061] 最后,第一晶体管的漏极接点可以与第二开关耦接。例如,在开关232中的开关100的开关晶体管104的漏极接点可以与诸如开关204的另一开关耦接。具体地,在开关232中的开关晶体管104的漏极接点可以与开关204中的开关晶体管的漏极接点耦接。如上文指出,开关232的放电晶体管和开关晶体管可以是p-沟道FET,而开关204的开关晶体管可以是n-沟道FET。

[0062] 开关200可以被纳入到多种系统中。图4中示出了示例系统400的框图。如所示出的,系统400包括功率放大器(PA)模块402,在一些实施方式中,该PA模块402可以是射频(RF)PA模块。如所示出的,系统400可以包括与PA模块402耦接的收发器404。PA模块402可以

包括开关电路200以执行诸如放大、开关、混合等多种操作中的任意操作。在各种实施方式中,开关电路200可以另外地/备选地被包含在收发器404中以提供例如升频转换,或者被包含在天线开关模块(ASM) 406中以提供各种开关功能。

[0063] PA模块402可以从收发器404接收RF输入信号RFin。PA模块402可以放大RF输入信号RFin以提供RF输出信号RFout。RF输入信号RFin和RF输出信号RFout均可以是传送链的一部分,在图4中分别标注为Tx-RFin和Tx-RFout。

[0064] 放大的RF输出信号RFout可以经由天线结构408被提供到ASM406,ASM 406实现RF输出信号RFout的空中(OTA)传送。ASM 406还可以经由天线结构408接收RF信号,并且沿着接收链将所接收的RF信号Rx耦接到收发器404。

[0065] 在各种实施方式中,天线结构408可以包括一个或更多个定向和/或全向天线,包括例如偶极天线、单极天线、贴片天线、环形天线、微带天线或适合于RF信号的OTA传送/接收的任何其他类型的天线。

[0066] 系统400可以是包括功率放大的任何系统。在各种实施方式中,当系统400用于以高RF功率和频率的功率放大时,将开关电路200包含在系统400中以切换RF信号会尤其有用。例如,将开关电路200包含在系统400中对于具有大约32dBm或更大的功率以及大约1800兆赫兹(MHz)或更高的频率的全球移动通信系统(GSM)信号,以及具有大约34dBm或更大的功率的、更低频带GSM信号(例如,800MHz至915MHz)的传送尤其有利。

[0067] 系统400可以适合于地面通信和卫星通信、雷达系统以及可能地各种工业和医疗应用中的任意一个或多个。更具体地,在各种实施方式中,系统400可以是选自雷达装置、卫星通信装置、移动计算装置(例如,电话、平板电脑、笔记本电脑等)、基站、广播无线电或者电视放大器系统中的一个。

[0068] 尽管根据以上示出的实施方式描述了本公开,但是本领域的普通技术人员应当理解,在不背离本公开的范围的情况下,打算用来实现相同目的的各种备选和/或等同实现可以替换所示出和描述的特定实施方式。本领域技术人员将容易理解,可以在各种实施方式中实现本公开的教导。该描述意在被认为是说明性的而非限制性的。

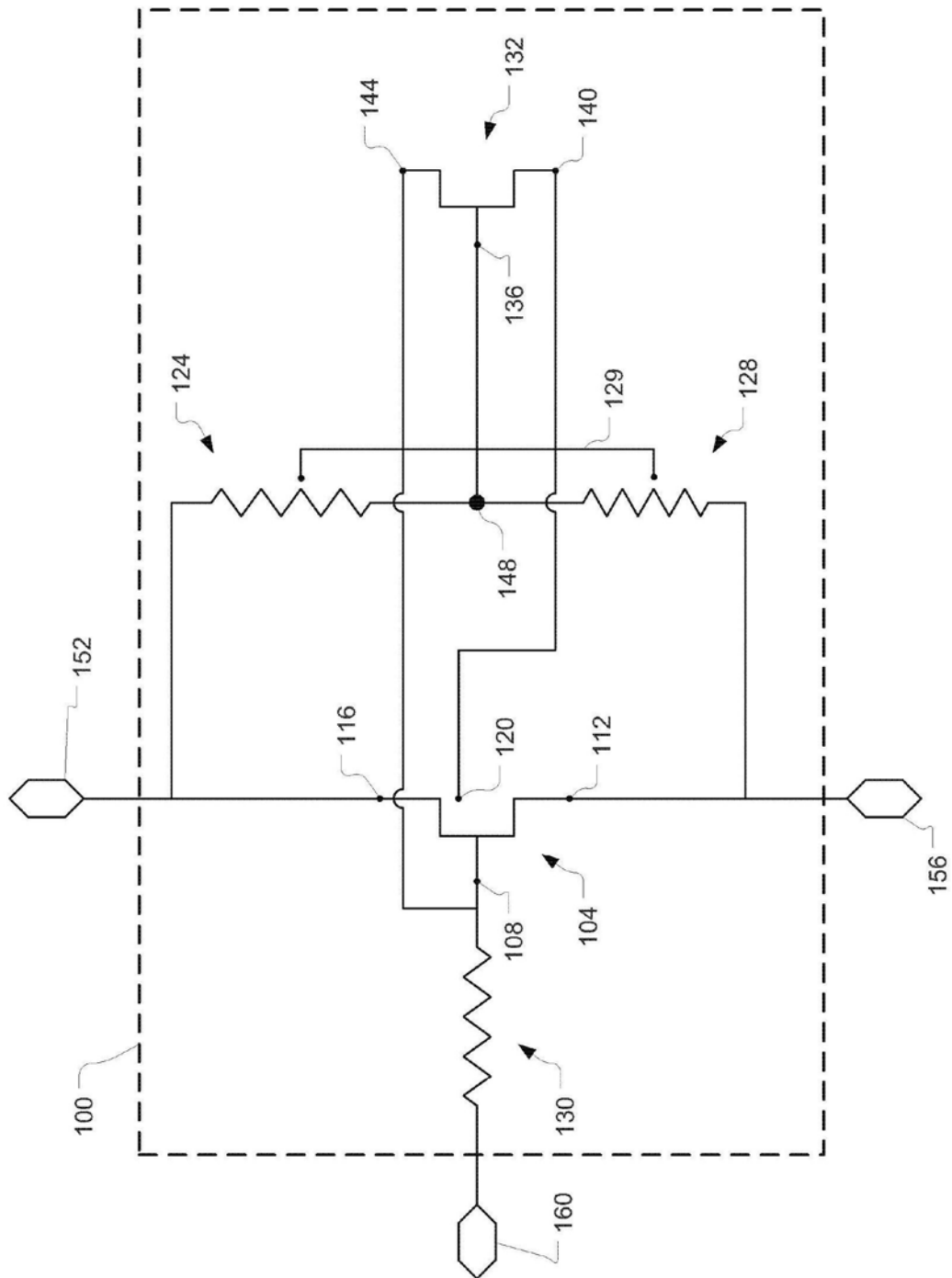


图1

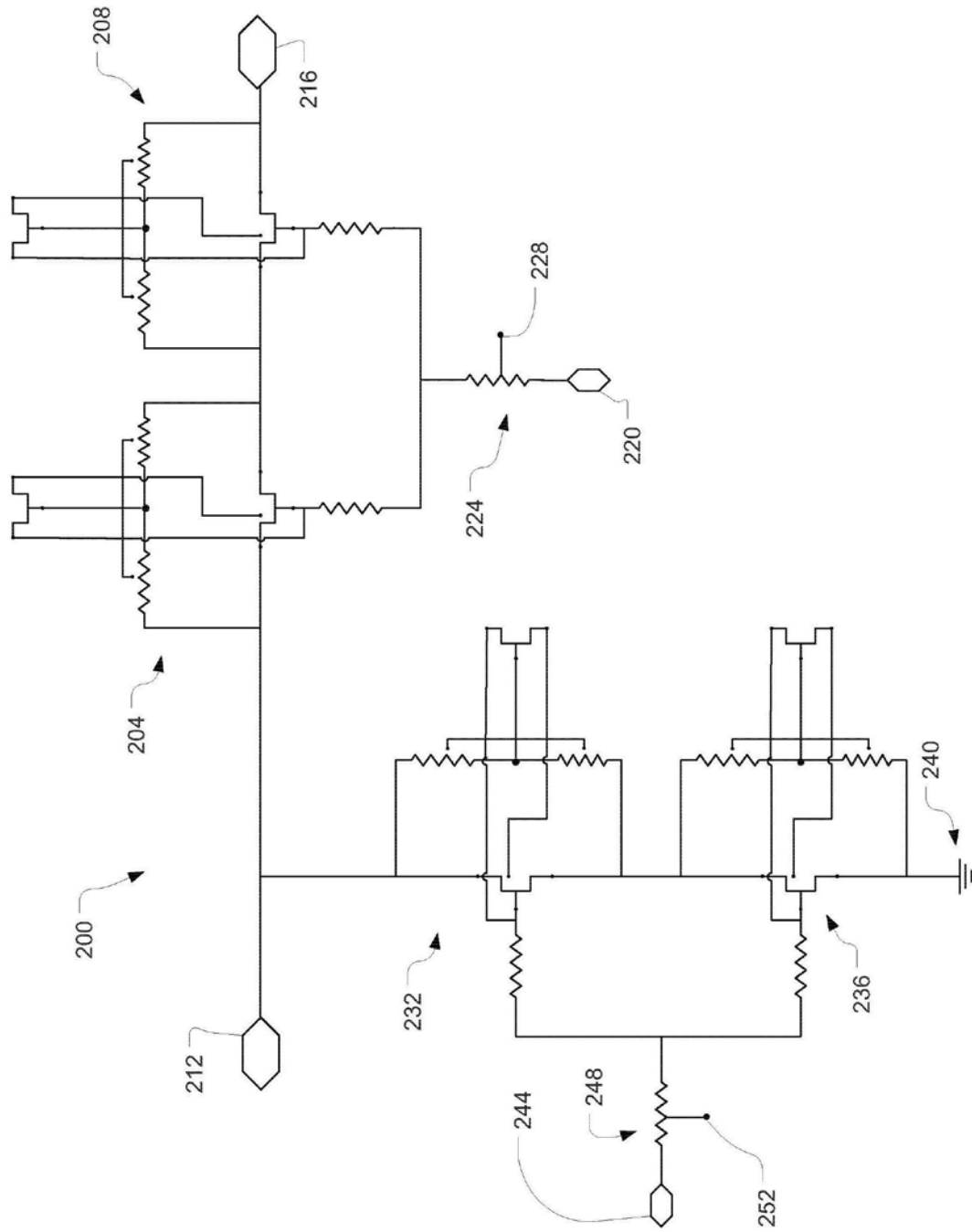


图2

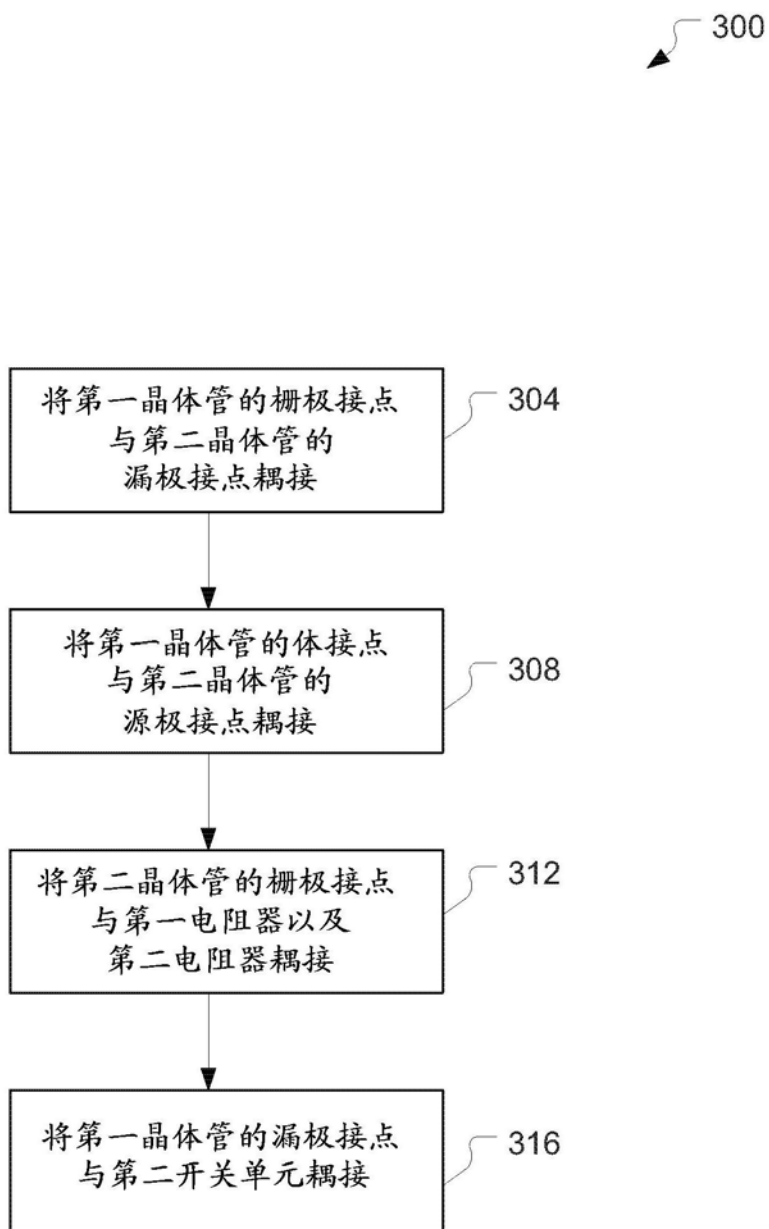


图3

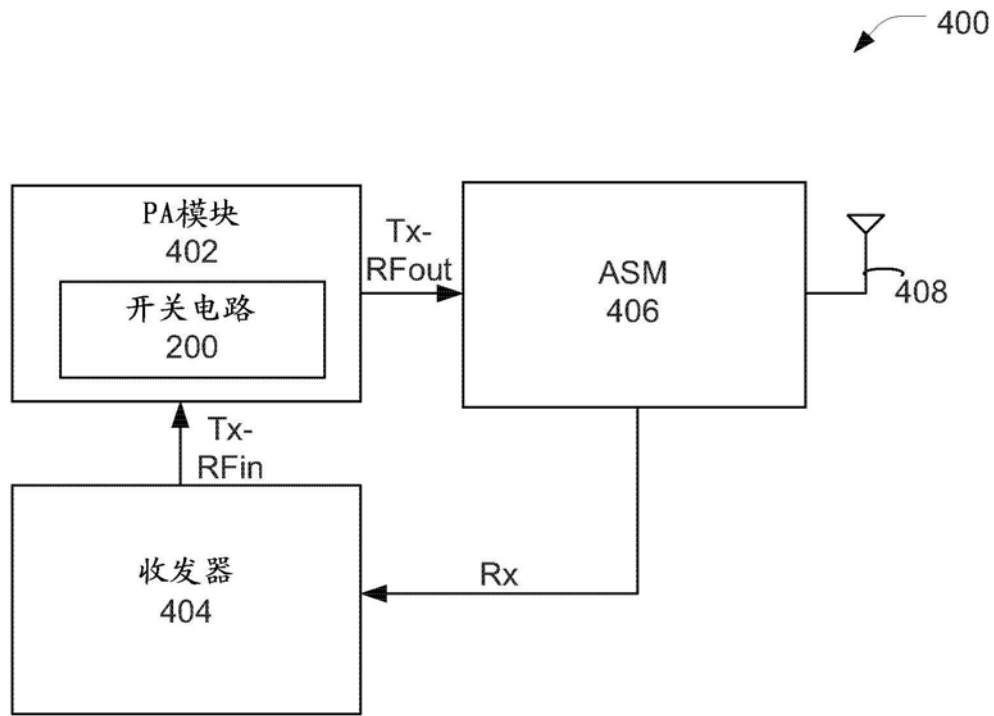


图4