(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2022 년 11 월 3 일 (03.11.2022)

WIPO | PCT

(10) 국제공개번호
WO 2022/231095 A1

(51) 국제특허분류:
H01L 27/15 (2006.01) *H01L 33/00* (2010.01)
H01L 27/12 (2006.01) *H01L 33/58* (2010.01)
H01L 25/075 (2006.01) *H01L 33/50* (2010.01)

(21) 국제출원번호: PCT/KR2022/001067

(22) 국제출원일: 2022 년 1 월 20 일 (20.01.2022)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:
10-2021-0056924 2021 년 4 월 30 일 (30.04.2021) KR

(71) 출원인: 삼성디스플레이 주식회사 (**SAMSUNG DISPLAY CO., LTD.**) [KR/KR]; 17113 경기도 용인시 기흥구 삼성로 1, Gyeonggi-do (KR).

(72) 발명자: 최진우 (**CHOI, Jin Woo**); 17113 경기도 용인시 기흥구 삼성로 1, Gyeonggi-do (KR). 양병춘 (**YANG, Byung Choon**); 17113 경기도 용인시 기흥구 삼성로 1, Gyeonggi-do (KR). 김민우 (**KIM, Min Woo**); 17113 경기도 용인시 기흥구 삼성로 1, Gyeonggi-do (KR). 박성국 (**PARK, Sung Kook**); 17113 경기도 용인시 기흥구 삼성로 1, Gyeonggi-do (KR). 전형일 (**JEON, Hyung Il**); 17113 경기도 용인시 기흥구 삼성로 1, Gyeonggi-do (KR).

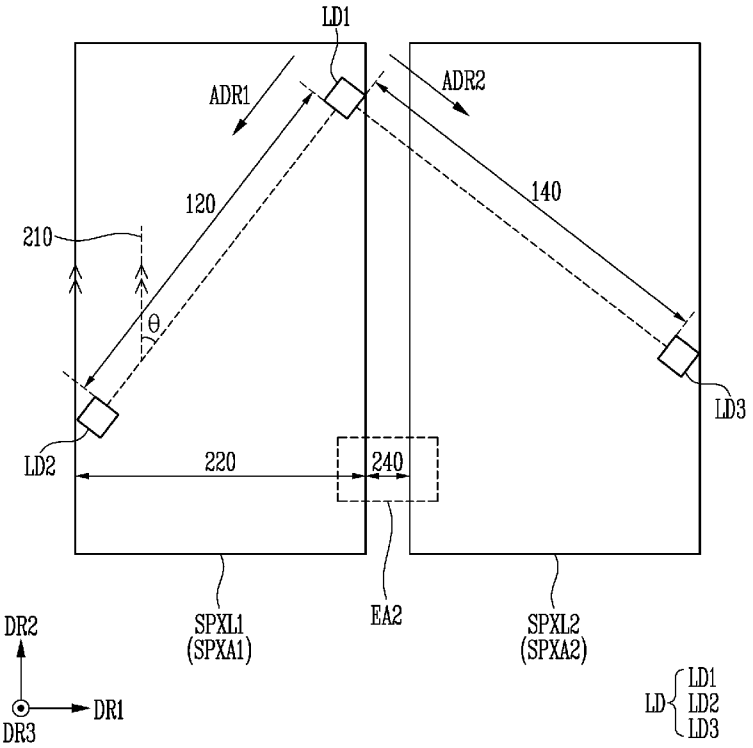
(74) 대리인: 오종한 등 (**OH, Jong Han** et al.); 03155 서울특별시 종로구 종로3길 17 디타워 D2 23층, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

WO 2022/231095 A1

(54) **Title:** DISPLAY DEVICE

(54) 발명의 명칭: 표시 장치



(57) **Abstract:** A display device comprises: a plurality of light-emitting elements on a substrate in a first arrangement direction and a second arrangement direction intersecting with the first arrangement direction; and a first sub-pixel area and a second sub-pixel area, each of which overlaps at least some of the plurality of light-emitting elements, is separated from the other in a first direction, and extends in a second direction intersecting with the first direction. The second direction and the first arrangement direction can not be parallel to each other.

[다음 쪽 계속]

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

(57) 요약서: 표시 장치는 기판 상에 제1 배열 방향 및 상기 제1 배열 방향과 교차하는 제2 배열 방향 복수의 발광 소자들; 및 각각 상기 복수의 발광 소자들의 적어도 일부와 중첩하고 제1 방향을 따라 서로 이격되고 상기 제1 방향과 교차하는 제2 방향으로 연장하는 제1 서브 화소 영역 및 제2 서브 화소 영역; 을 포함한다. 상기 제2 방향 상기 제1 배열 방향은 서로 비평행할 수 있다.

명세서

발명의 명칭: 표시 장치

기술분야

[1] 본 개시는 전반적으로 표시 장치에 관한 것이다.

배경기술

[2] 최근 정보 디스플레이에 관한 관심이 고조됨에 따라, 표시 장치에 대한 연구 개발이 지속적으로 이루어지고 있다.

발명의 상세한 설명

기술적 과제

[3] 본 개시의 하나 이상의 측면은 정상 동작 가능한 발광 소자의 비율이 증가되어, 발광 소자의 배치 효율이 향상된 표시 장치 및 그 제조 방법에 관한 것이다.

[4] 본 개시의 하나 이상의 측면은, 공정의 예측 가능성이 향상된, 표시 장치 및 그 제조 방법에 관한 것이다.

[5] 본 개시의 하나 이상의 측면은 이상에서 언급한 측면으로 제한되지 않으며, 언급되지 않은 또 다른 기술적 측면들은 아래의 기재로부터 통상의 기술자에게 명확하게 이해될 수 있을 것이다.

과제 해결 수단

[6] 본 개시의 하나 이상의 실시예에 의하면, 기판 상에 배치되고, 제1 배열 방향 및 상기 제1 배열 방향과 교차하는 제2 배열 방향에 따른 행렬 형태로 배열되는, 복수의 발광 소자들; 및 상기 복수의 발광 소자의 적어도 일부와 각각 중첩하고, 제1 방향을 따라 서로 이격되고, 상기 제1 방향과 교차하는 제2 방향으로 각각 연장하는 제1 서브 화소 영역 및 제2 서브 화소 영역; 을 포함하고, 상기 제2 방향과 상기 제2 배열 방향은 서로 비평행할 수 있다.

[7] 하나 이상의 실시예에 따르면, 상기 기판 상에 배치되고, 상기 제1 서브 화소 영역 및 상기 제2 서브 화소 영역을 정의하는 차광층; 을 더 포함할 수 있다.

[8] 하나 이상의 실시예에 따르면, 상기 제1 서브 화소 영역에서는 제1 색의 광이 발산되고, 상기 제2 서브 화소 영역에서는 제2 색의 광이 발산될 수 있다.

[9] 하나 이상의 실시예에 따르면, 상기 제2 방향과 상기 제2 배열 방향은 예각을 가지는 사잇각을 형성할 수 있다.

[10] 하나 이상의 실시예에 따르면, 상기 사잇각은 5도 내지 40도일 수 있다.

[11] 하나 이상의 실시예에 따르면, 상기 제1 서브 화소 영역은 상기 제1 방향과 평행하고 제1 길이를 가지는 일변을 포함하고, 상기 복수의 발광 소자는 상기 제2 배열 방향으로 서로 인접하고 제1 배열 거리만큼 이격된, 제1 발광 소자 및 제2 발광 소자를 포함하고, 상기 제1 길이와 상기 제1 배열 거리는 하기 식을 만족할 수 있다.

[12] $$y \leq \frac{x_1}{\sqrt{2}}$$

[13] (x_1은 상기 제1 길이이고, y는 상기 제1 배열 거리임)

[14] 하나 이상의 실시예에 따르면, 상기 제1 배열 거리는 상기 제1 발광 소자와 상기 제2 발광 소자 간 최단 거리일 수 있다.

[15] 하나 이상의 실시예에 따르면, 상기 제1 서브 화소 영역 및 상기 제2 서브 화소 영역과 상기 제1 방향을 따라 이격된 제3 서브 화소 영역; 을 더 포함하고, 상기 제1 서브 화소 영역은 상기 제2 서브 화소 영역의 일측에 배치되고, 상기 제3 서브 화소 영역은 상기 제2 서브 화소 영역의 타측에 배치되고, 상기 제1 서브 화소 영역의 일 단부와 상기 제3 서브 화소 영역의 타 단부는 서로 제2 길이만큼 이격되고, 상기 복수의 발광 소자는 상기 제2 배열 방향으로 서로 인접하고 서로 제1 배열 거리만큼 이격된, 제1 발광 소자 및 제2 발광 소자를 포함하고, 상기 제2 길이와 상기 제1 배열 거리는 하기 식을 만족할 수 있다.

[16] $$y \leq \frac{x_2/3}{\sqrt{2}}$$

[17] (x_2는 상기 제2 길이이고, y는 상기 제1 배열 거리임)

[18] 하나 이상의 실시예에 따르면, 상기 제1 서브 화소 영역과 상기 제2 서브 화소 영역은 서로 일 이격 거리(예를 들어, 소정의 이격 거리)로 이격되고, 상기 복수의 발광 소자 각각은 일 밑면 길이(예를 들어, 소정의 밑면 거리)를 가지고, 하나 이상의 상기 이격 거리와 상기 밑면 길이는 하기 식을 만족할 수 있다.

[19] $$z \geq w * \sqrt{2}$$

[20] (z는 상기 이격 거리이고, w는 상기 밑면 거리임)

[21] 하나 이상의 실시예에 따르면, 상기 복수의 발광 소자의 밑면은 원 형상을 가지고, 상기 밑면 길이는 원의 지름일 수 있다.

[22] 하나 이상의 실시예에 따르면, 상기 복수의 발광 소자의 밑면은 직사각형 형상을 가지고, 상기 밑면 길이는 직사각형의 대각선 길이일 수 있다.

[23] 하나 이상의 실시예에 따르면, 상기 복수의 발광 소자 상에 배치되고, 상기 발광 소자로부터 발산된 광의 파장을 변경시키도록 구성된 광 제어부; 및 상기 제1 서브 화소 영역 및 상기 제2 서브 화소 영역과 상기 제1 방향을 따라 서로 이격되고 상기 제2 방향으로 연장하는 제3 서브 화소 영역; 을 더 포함하고, 상기 광 제어부는 상기 제1 서브 화소 영역과 중첩하는 제1 파장 변환 패턴; 상기 제2 서브 화소 영역과 중첩하는 제2 파장 변환 패턴; 및 상기 제3 서브 화소 영역과 중첩하는 광 투과 패턴; 을 포함할 수 있다.

[24] 하나 이상의 실시예에 따르면, 상기 복수의 발광 소자의 적어도 제1일부는 상기 제1 서브 화소 영역과 중첩하고, 상기 복수의 발광 소자의 제2 일부는 상기 제2 서브 화소 영역과 중첩하며, 상기 복수의 발광 소자의 제3 일부는 상기 제3 서브

화소 영역과 중첩하고, 상기 복수의 발광 소자는 서로 동일한 색의 광을 발산할 수 있다.

[25] 하나 이상의 실시예에 따르면, 상기 기판 상에서 상기 복수의 발광 소자의 단위 면적 당 개수는 균일할 수 있다.

[26] 본 개시의 하나 이상의 실시예에 의하면, 적층 기판을 제공하는 단계; 상기 적층 기판 상에 제1 반도체층, 활성층, 및 제2 반도체층을 형성하는 단계; 상기 제1 반도체층, 상기 활성층, 및 상기 제2 반도체층을 식각하여 복수의 발광 소자들을 제공하는 단계; 상기 적층 기판을 상기 복수의 발광 소자들로부터 분리하고, 상기 복수의 발광 소자를 도너 필름 상에 결합하는 단계; 및 상기 도너 필름 상에 배치된 상기 복수의 발광 소자를 기판 상에 배치하는 단계; 및 상기 복수의 발광 소자 상에 제1 서브 화소 영역 및 제2 서브 화소 영역을 정의하는 차광층을 배치하는 단계; 를 포함하고, 상기 복수의 발광 소자들을 제공하는 단계는, 상기 복수의 발광 소자들이 제1 배열 방향 및 상기 제1 배열 방향과 교차하는 제2 배열 방향에 따른 행렬 형태로 패터닝되는 단계를 포함하고, 상기 차광층을 배치하는 단계는, 상기 제1 서브 화소 영역 및 상기 제2 서브 화소 영역이 제1 방향을 따라 서로 이격되고, 상기 제1 방향과 교차하는 제2 방향으로 각각 연장하도록 상기 차광층을 형성하는 단계를 포함하고, 상기 제2 방향과 상기 제2 배열 방향은 서로 비평행할 수 있다.

[27] 하나 이상의 실시예에 따르면, 상기 복수의 발광 소자들 간 이격 거리가 증가되도록 상기 도너 필름을 변형하는 단계; 를 더 포함할 수 있다.

[28] 하나 이상의 실시예에 따르면, 상기 도너 필름을 변형하는 단계가 수행되기 이전, 상기 복수의 발광 소자들은 서로 미변형 간격으로 이격되고, 상기 도너 필름을 변형하는 단계에서, 상기 복수의 발광 소자들 간 이격 거리가 증가되어, 상기 제1 배열 방향으로 인접한 상기 복수의 발광 소자들은 제1 배열 거리만큼 이격되고, 상기 제2 배열 방향으로 인접한 상기 복수의 발광 소자들은 제2 배열 거리만큼 이격될 수 있다.

[29] 하나 이상의 실시예에 따르면, 확장 가능 범위는 상기 도너 필름이 일 방향으로 확장 시 비파괴되는 한도 내 길이 배수일 수 있다.

[30] 상기 도너 필름의 상기 확장 가능 범위는 하기 식을 만족할 수 있다.

[31] $$A \geq \frac{y}{v}$$

[32] (여기서, A는 상기 도너 필름의 상기 확장 가능 범위이고, y는 상기 제1 배열 거리이고, v는 상기 미변형 간격임)

[33] 하나 이상의 실시예에 따르면, 상기 제2 방향과 상기 제1 배열 방향은 예각을 가지는 사잇각을 형성할 수 있다.

[34] 하나 이상의 실시예에 따르면, 상기 차광층과 동일한 층에 배치되는 제1 파장 변환 패턴, 제2 파장 변환 패턴, 및 광 투과 패턴을 형성하는 단계를 더 포함하고, 상기 차광층을 배치하는 단계는, 상기 제1 서브 화소 영역 및 상기 제2 서브 화소

영역과 상기 제1 방향을 따라 이격되고, 상기 제2 방향으로 연장하는 제3 서브 화소 영역이 정의되도록 상기 차광층을 형성하는 단계를 포함하고, 상기 복수의 발광 소자는 제3 색의 광을 발산하고, 상기 제1 파장 변환 패턴은 상기 제3 색의 광을 제1 색의 광으로 변경시키고, 상기 제2 파장 변환 패턴은 상기 제3 색의 광을 상기 제2 색의 광으로 변경시키고, 상기 광 투과 패턴은 상기 제3 색의 광을 투과시키고, 상기 복수의 발광 소자는, 상기 제1 서브 화소 영역 및 상기 제1 파장 변환 패턴과 중첩하는 제1 발광 소자들, 상기 제2 서브 화소 영역 및 상기 제2 파장 변환 패턴과 중첩하는 제2 발광 소자들, 및 상기 제3 서브 화소 영역 및 상기 광 투과 패턴과 중첩하는 제3 발광 소자들을 포함할 수 있다.

[35] 본 개시의 하나 이상의 측면 및 방법들이 상술한 해결 수단들로 제한되는 것은 아니며, 언급되지 아니한 측면 및 방법들은 본 명세서 및 첨부된 도면으로부터 본 개시가 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

발명의 효과

[36] 본 개시의 하나 이상의 실시예에 따른 측면은 정상 동작 가능한 발광 소자의 비율이 증가되어, 발광 소자의 배치 효율이 향상된 표시 장치 및 그 제조 방법에 관한 것이다.

[37] 본 개시의 하나 이상의 실시예에 따른 측면은 공정의 예측 가능성이 향상된, 표시 장치 및 그 제조 방법에 관한 것이다.

[38] 본 개시의 효과 및 측면이 상술한 효과들로 제한되는 것은 아니며, 언급되지 아니한 효과들 및 측면들은 본 명세서 및 첨부된 도면으로부터 본 개시가 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

[39] 도 1은 하나 이상의 실시예에 따른 표시 장치를 개략적으로 나타낸 사시도이다.

[40] 도 2는 하나 이상의 실시예에 따른 표시 장치를 개략적으로 나타낸 평면도이다.

[41] 도 3은 하나 이상의 실시예에 따른 표시 장치를 나타낸 단면도이다.

[42] 도 4는 하나 이상의 실시예에 따른 화소에 포함된 화소 회로를 나타낸 도면이다.

[43] 도 5는 하나 이상의 실시예에 따른 화소를 개략적으로 나타낸 단면도이다.

[44] 도 6 내지 도 8은 도 2의 EA1의 확대도들이다.

[45] 도 9 및 도 10은 하나 이상의 실시예에 따른 표시 장치에 포함된 발광 소자들의 위치 관계를 개략적으로 나타낸 평면도들이다.

[46] 도 11 내지 도 15, 및 도 17은 하나 이상의 실시예에 따른 표시 장치의 제조 방법의 공정 단계(혹은 동작)별 단면도들이다.

[47] 도 16 및 도 18은 하나 이상의 실시예에 따른 표시 장치의 제조 방법의 공정 단계(혹은 동작)별 평면도들이다.

[48] 도 19 내지 도 22는 하나 이상의 실시예에 따른 표시 장치가 적용되는 예시를

나타낸 도면들이다.

발명의 실시를 위한 형태

[49] 본 명세서에 기재된 실시예는 본 개시가 속하는 기술분야에서 통상의 지식을 가진 자에게 본 개시의 사상을 명확히 설명하기 위한 것이므로, 본 개시가 본 명세서에 기재된 실시예에 의해 한정되는 것은 아니며, 본 개시의 범위는 본 개시의 사상을 벗어나지 아니하는 수정예 또는 변형예를 포함하는 것으로 해석되어야 한다.

[50] 본 명세서에서 사용된 바와 같이, "~ 중 적어도 하나", "~중 하나", 및 "~로부터 선택된"과 같은 표현은 구성요소의 목록에 선행할 때, 상기 목록의 개별 구성요소들의 전체 대상 또는 개별 대상을 수정하지 않는다.

[51] 본 명세서에서 사용된 바와 같이, "및/또는"은 관련하여 나열된 항목 중 하나 이상의 임의의 모든 조합을 포함한다.

[52] 또한, 본 개시의 실시예를 설명할 때, "~할 수 있다"의 사용은 "본 개시의 하나 이상의 실시예"를 지칭한다.

[53] 구성요소가 다른 구성요소에 대하여 "~상에 위치", "~에 연결" 등으로 지칭될 때, 구성요소가 다른 구성요소에 대하여 직접적으로 위치되거나 연결되는 것 뿐아니라, 사이에 다른 구성요소가 존재하는 것을 포함하는 것으로 이해될 수 있다.

[54] 도면에서, 구성요소, 층, 및 영역의 상대적인 크기는 명확성을 위하여 과장 및/또는 단순화될 수 있다. "~ 아래", "~하부", "~상", "~상부", 및 "~위" 등과 같은 공간적으로 상대적인 용어는 하나의 구성요소를 설명하기 위한 설명의 편의를 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시된 방향에 추가하여 사용 또는 작동 중인 장치의 다른 방향을 포함하도록 의도된 것으로 이해될 것이다. 예를 들어, 도면에서 장치가 뒤집힌 경우, 다른 구성요소 또는 특징부의 하부에 배치된 것으로 표현된 구성요소는 다른 구성요소 또는 특징부의 상부에 배치된 것으로 될 수 있다. 따라서, "~하부"의 용어는 위와 아래의 방향을 모두 포함할 수 있다. 장치는 다른 방향으로 지정될 수 있으며(90도 회전 또는 다른 방향으로), 본 명세서에서 사용된 공간적으로 상대적인 설명자는 적절하게 해석되어야 한다.

[55] 본 명세서에서 사용된 바와 같이, "실질적으로", "약", 및 이와 유사한 용어는 정도(degree)의 용어가 아니라 근사치(approximation)의 용어로 사용되며, 동일한 기술분야의 통상의 기술자가 인식할 수 있는 측정된 또는 계산된 값의 고유 편차를 설명하는 것으로 의도된다.

[56] 제1, 제2 등의 용어는 다양한 구성요소를 설명하기 위해 사용될 수 있지만, 이러한 용어에 의해 구성요소가 제한 해석되어서는 안된다. 이러한 용어는 한 구성요소를 다른 구성요소와 구별하는 것에만 사용된다. 예를 들어, 본 개시의 범위를 벗어나지 않으면서, 제1 구성요소는 제2 구성요소로 지칭될 수 있고,

유사하게 제2 구성요소도 제1 구성요소로 지칭될 수 있다.

[57] 달리 정의되지 않는 한, 본 명세서에서 사용되는 모든 용어(기술적 및 과학적 용어를 포함)는 본 개시가 속하는 기술분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 갖는다. 일반적으로 사용되는 사전에 정의된 것과 같은 용어는 관련 기술의 맥락에서 그 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 여기서 명시적으로 정의되지 않는 한, 이상화되거나 형식적인 의미로 해석되어서는 안된다.

[58] 본 개시는 표시 장치에 관한 것이다. 이하에서는, 도 1 내지 도 22를 참조하여, 하나 이상의 실시예에 따른 표시 장치에 관하여 설명한다.

[59] 도 1은 하나 이상의 실시예에 따른 표시 장치를 개략적으로 나타낸 사시도이다. 도 2는 하나 이상의 실시예에 따른 표시 장치를 개략적으로 나타낸 평면도이다.

[60] 도 1 및 도 2를 참조하면, 하나 이상의 실시예에 따른 표시 장치(DD)는 광을 발산하도록 구성될 수 있다.

[61] 하나 이상의 실시예에 따르면, 표시 장치(DD)는 기판(SUB) 및 기판(SUB) 상에 배치된 화소(PXL)를 포함할 수 있다. 하나 이상의 실시예에 따르면, 표시 장치(DD)는 화소(PXL)를 구동하기 위한 구동 회로부(예를 들어, 주사 구동부 및 데이터 구동부), 배선들, 및 패드들을 더 포함할 수 있다.

[62] 일 예에 따르면, 화소(PXL)는 제1 서브 화소(SPXL1), 제2 서브 화소(SPXL2), 및 제3 서브 화소(SPXL3)를 포함할 수 있다.

[63] 표시 장치(DD)는 표시 영역(DA) 및 비표시 영역(NDA)을 포함할 수 있다. 비표시 영역(NDA)은 표시 영역(DA) 외 영역을 지칭할 수 있다. 비표시 영역(NDA)은 표시 영역(DA)의 적어도 일부의 주변에 위치할 수 있다. (혹은 둘러쌀 수 있다.)

[64] 기판(SUB)은 표시 장치(DD)의 베이스 부재를 구성할 수 있다. 기판(SUB)은 경성의 기판 또는 연성의 기판이나 필름일 수 있으나, 특정 예시에 한정되지 않는다.

[65] 표시 영역(DA)은 화소(PXL)가 배치된 영역을 지칭할 수 있다. 비표시 영역(NDA)은 화소(PXL)가 배치되지 않은 영역을 지칭할 수 있다. 비표시 영역(NDA)에는 표시 영역(DA)의 화소(PXL)에 연결되는 구동 회로부, 배선들, 및 패드들이 배치될 수 있다.

[66] 일 예에 따르면, 화소(PXL)는 스트라이프(stripe) 또는 펜타일(PENTILE™)(PENTILE™은 ㈜삼성디스플레이의 대한민국 등록 특허이다) 배열 구조(예를 들어, RGBG 배열 구조) 등에 따라 배열될 수 있으나, 본 개시는 이에 한정되지 않으며, 어느 적절히 변경된 실시 형태가 적용될 수 있다.

[67] 하나 이상의 실시예에 따르면, 표시 영역(DA)에는 복수의 서브 화소들(도 4의 'SPXL' 참조)을 포함하는 화소(PXL)가 배치될 수 있다. 예를 들어, 표시 영역(DA)에는 제1 색의 광을 방출하는 제1 서브 화소(SPXL1), 제2 색의 광을

방출하는 제2 서브 화소(SPXL2), 및 제3 색의 광을 방출하는 제3 서브 화소(SPXL3)가 배열될 수 있고, 적어도 하나의 제1 내지 제3 서브 화소들(SPXL1, SPXL2, SPXL3)은 다양한 적절한 색의 광을 방출할 수 있는 하나의 화소 유닛 또는 화소(PXL)를 구성(또는 형성)할 수 있다.

[68] 예를 들어, 제1 내지 제3 서브 화소들(SPXL1, SPXL2, SPXL3)은 각각은 일 색(예를 들어, 소정 색)의 광을 방출하는 서브 화소일 수 있다. 일 예로, 제1 서브 화소(SPXL1)는 적색(일 예로, 제1 색)의 광을 방출하는 적색 화소일 수 있고, 제2 서브 화소(SPXL2)는 녹색(일 예로, 제2 색)의 광을 방출하는 녹색 화소일 수 있으며, 제3 서브 화소(SPXL3)는 청색(일 예로, 제3 색)의 광을 방출하는 청색 화소일 수 있다. 다만, 각각의 상기 화소 유닛을 구성(또는 형성)하는 서브 화소(SPXL)들의 색상, 종류 및/또는 개수 등이 특정 예시에 한정되지는 않는다.

[69] 이하에서는 설명의 편의상, 화소(PXL)가 제1 내지 제3 서브 화소들(SPXL1, SPXL2, SPXL3)을 포함하는 하나 이상의 실시예를 기준으로 설명한다. 본 명세서에서 정의되는 서브 화소(SPXL)는 제1 내지 제3 서브 화소들(SPXL1, SPXL2, SPXL3) 중 어느 하나일 수 있다.

[70] 도 3은 하나 이상의 실시예에 따른 표시 장치를 나타낸 단면도이다.

[71] 표시 장치(DD)는 기판(SUB), 화소 회로부(PCL), 표시 소자부(DPL), 및 광 제어부(LCP)를 포함할 수 있다. 일 예에 따르면, 기판(SUB), 화소 회로부(PCL), 표시 소자부(DPL), 및 광 제어부(LCP)는 표시 장치(DD)의 표시 방향(일 예로, 제3 방향(DR3))을 따라서 적층(예를 들어 순차적으로 적층)될 수 있다. 여기서, 상기 표시 방향은 기판(SUB)의 두께 방향을 지칭할 수 있다.

[72] 기판(SUB)은 표시 장치(DD)의 기저면을 구성할 수 있다. 기판 (SUB) 상에는 표시 장치(DD)의 개별 구성이 배치될 수 있다.

[73] 화소 회로부(PCL)는 기판(SUB) 상에 배치될 수 있다. 화소 회로부(PCL)는 화소(PXL)를 구동시키도록 구성된 화소 회로(도 4의 'PXC' 참조)를 포함할 수 있다.

[74] 표시 소자부(DPL)는 화소 회로부(PCL) 상에 배치될 수 있다. 표시 소자부(DPL)는 화소 회로부(PCL)로부터 제공된 전기적 신호에 기초하여 광을 발산할 수 있다. 표시 소자부(DPL)는 광을 발산할 수 있는 발광 소자(도 4의 'LD' 참조)를 포함할 수 있다. 표시 소자부(DPL)로부터 발산된 광은 광 제어부(LCP)를 통과하여 외부(예를 들어, 표시 장치(DD)의 외부 영역)로 제공될 수 있다.

[75] 광 제어부(LCP)는 표시 소자부(DPL) 상에 배치될 수 있다. 광 제어부(LCP)는 발광 소자(LD)들 상에 배치될 수 있다. 광 제어부(LCP)는 표시 소자부(DPL)(혹은 발광 소자(LD)들)로부터 제공된 광의 파장을 변경시킬 수 있다. 일 예에 따르면, 광 제어부(LCP)는 도 5에 도시된 바와 같이 광의 파장을 변경시키도록 구성된 색상 변환부(CCL) 및 특정 파장을 가지는 광을 투과시키는 색상 필터부(CFL)를 포함할 수 있다.

[76] 도 4는 하나 이상의 실시예에 따른 화소에 포함된 화소 회로를 나타낸

도면이다.

[77] 도 4는 하나 이상의 실시예 중 하나에 따른 표시 장치(DD)(예를 들어, 능동형 표시 장치)에 적용되는 서브 화소(SPXL)에 포함된 구성요소들의 전기적 연결 관계를 도시하였다. 비록 도 4가 서브 화소(SPXL)에 포함된 구성요소들의 종류를 나타내지만, 서브 화소(SPXL)에 포함된 구성요소들의 종류가 이에 한정되지는 않는다.

[78] 도 4를 참조하면, 서브 화소(SPXL)는 발광 소자(LD) 및 화소 회로(PXC)를 포함할 수 있다.

[79] 발광 소자(LD)는 제1 전원 라인(VDD)과 제2 전원 라인(VSS) 사이에 연결될 수 있다. 발광 소자(LD)의 일 단부(일 예로, P형 반도체)는 제1 전극(ELT1) 및 화소 회로(PXC)를 경유하여 제1 전원 라인(VDD)에 연결되고, 발광 소자(LD)의 타 단부(일 예로, N형 반도체)는 제2 전극(ELT2)을 경유하여 제2 전원 라인(VSS)에 연결될 수 있다.

[80] 하나 이상의 실시예에 따르면, 발광 소자(LD)는 화소 회로(PXC)를 통해 구동 전류가 공급될 때, 상기 구동 전류에 대응하는 휘도의 광을 발산할 수 있다.

[81] 하나 이상의 실시예에 따르면, 발광 소자(LD)들은 제1 전원 라인(VDD)과 제2 전원 라인(VSS)의 사이에서 다양한 적절한 연결 구조를 통해 서로 연결될 수 있다. 일 예로, 발광 소자(LD)들은 서로 병렬로만 연결되거나, 서로 직렬로만 연결될 수 있다. 또는, 발광 소자(LD)들은 직/병렬 혼합 구조로 연결될 수 있다. 예를 들어, 제1 복수의 발광 소자들은 직렬로 서로 전기적으로 연결될 수 있고, 제2 복수의 발광 소자들은 병렬로 서로 전기적으로 연결될 수 있다.

[82] 제1 전원 라인(VDD)과 제2 전원 라인(VSS)은 발광 소자(LD)들이 광을 발산할 수 있도록 서로 상이한 전위를 가질 수 있다. 제1 전원 라인(VDD)과 제2 전원 라인(VSS)은 서브 화소(SPXL)의 발광 기간 중 광이 발산될 수 있을 정도의 전위차를 가질 수 있다. 예를 들어, 제1 전원 라인(VDD)은 제2 전원 라인(VSS)보다 높은 전위로 설정될 수 있다.

[83] 화소 회로(PXC)는 제1 전원 라인(VDD)과 발광 소자(LD) 사이를 연결할 수 있다. 화소 회로(PXC)는 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제3 트랜지스터(T3), 및 스토리지 커패시터(Cst)를 포함할 수 있다.

[84] 하나 이상의 실시예에 따르면, 제1 트랜지스터(T1)의 일 전극은 제1 전원 라인(VDD)에 연결되고, 타 전극은 발광 소자(LD)의 일 전극(일 예로, 애노드 전극)에 연결될 수 있다. 제1 트랜지스터(T1)의 게이트 전극은 제1 노드(N1)에 연결될 수 있다. 제1 트랜지스터(T1)는 제1 노드(N1)를 통해 인가된 전압에 대응하여 발광 소자(LD)에 흐르는 전류를 제어할 수 있다.

[85] 하나 이상의 실시예에 따르면, 제2 트랜지스터(T2)의 일 전극은 데이터 라인(DL)에 연결되고, 타 전극은 제1 노드(N1)에 연결될 수 있다. 제2 트랜지스터(T2)의 게이트 전극은 스캔 라인(SL)에 연결될 수 있다. 제2 트랜지스터(T2)는 스캔 라인(SL)으로부터 스캔 신호가 공급될 때, 턴-온되고, 이

때, 데이터 라인(DL)으로부터 제공된 데이터 신호를 제1 노드(N1)로 전달할 수 있다.

[86] 하나 이상의 실시예에 따르면, 제3 트랜지스터(T3)의 일 전극은 센싱 라인(SENL)에 연결되고, 타 전극은 제2 노드(N2)에 연결될 수 있다. 제3 트랜지스터(T3)의 게이트 전극은 센싱 신호 라인(SEL)에 연결될 수 있다. 제3 트랜지스터(T3)가 센싱 신호 라인(SEL)으로부터 제공된 센싱 신호에 응답하여 턴-온되는 경우, 센싱 라인(SENL)을 통해 기준 전압이 제2 노드(N2)로 제공될 수 있다.

[87] 하나 이상의 실시예에 따르면, 상기 기준 전압은 발광 소자(LD)와 연결된 제1 트랜지스터(T1)의 전극(일 예로, 제1 트랜지스터(T1)의 소스 전극)의 전압을 일정한 값으로 설정 혹은 초기화하는 역할을 수행할 수 있다. 일 예에 따르면, 상기 기준 전압은 제2 전원 라인(VSS)의 전압 이하로 설정될 수 있다.

[88] 하나 이상의 실시예에 따르면, 제3 트랜지스터(T3)는 센싱 신호 라인(SEL)으로부터 제공된 센싱 신호에 응답하여 턴-온되는 경우, 센싱 전류를 센싱 라인(SENL)으로 전달할 수 있다.

[89] 실시예에 따르면, 상기 센싱 전류는 제1 트랜지스터(T1)의 이동도 및 문턱 전압의 변화량을 산출하기 위해 이용될 수 있다.

[90] 스토리지 커패시터(Cst)는 제1 노드(N1)(또는, 제1 트랜지스터(T1)의 게이트 전극)와 제2 노드(N2)(또는, 제1 트랜지스터(T1)의 타 전극) 사이에 연결될 수 있다. 스토리지 커패시터(Cst)는 제1 노드(N1)의 전압과 제2 노드(N2)의 전압 간 차이에 관한 정보를 저장할 수 있다.

[91] 한편, 화소 회로(PXC)의 구조는 도 4에 도시된 구조에 한정되지 않으며, 다양한 적절한 형태의 구조가 구현될 수 있다. 또한, 도 4에서 제1 내지 제3 트랜지스터(T1~T3)는 N형 트랜지스터를 기준으로 도시되었으나, 이에 한정되지 않고 실시예에 따라 제1 내지 제3 트랜지스터(T1~T3)는 P형 트랜지스터로 구성될 수 있다.

[92] 이하에서는 도 5를 참조하여 화소(PXL)를 구성하는 서브 화소(SPXL)들의 구조를 더욱 상세하게 설명한다. 전술한 내용에 대하여 중복될 수 있는 내용은 간략히 설명하거나 반복하지 않도록 한다.

[93] 도 5는 하나 이상의 실시예에 따른 화소를 개략적으로 나타낸 단면도이다.

[94] 도 5에는 제1 서브 화소(SPXL1), 제2 서브 화소(SPXL2), 및 제3 서브 화소(SPXL3)가 도시되었다.

[95] 도 5에서는, 도 4를 참조하여 서술한 화소 회로(PXC)에 포함된 구성 중 제1 트랜지스터(T1)를 기준으로 설명한다. 일 예로, 제1 서브 화소(SPXL1), 제2 서브 화소(SPXL2), 및 제3 서브 화소(SPXL3) 각각에 제1 트랜지스터(T1)가 구비된 하나 이상의 실시예가 도 5에 도시되었다.

[96] 화소 회로부(PCL)는 기판(SUB) 상에 배치될 수 있다. 화소 회로부(PCL)는 버퍼막(BFL), 제1 트랜지스터(T1), 게이트 절연막(GI), 제1 층간 절연막(ILD1),

제2 층간 절연막(ILD2), 브릿지 패턴(BRP), 컨택부(CNT), 및 보호막(PSV)을 포함할 수 있다.

[97] 일 예에 따르면, 화소 회로부(PCL)의 개별 구성들은 제1 내지 제3 서브 화소들(SPXL1, SPXL2, SPXL3) 각각에 정의될 수 있다.

[98] 버퍼막(BFL)은 기판(SUB) 상에 배치될 수 있다. 버퍼막(BFL)은 불순물이 외부로부터 확산되는 것을 방지 또는 실질적으로 방지할 수 있다. 버퍼막(BFL)은 실리콘 질화물(SiN_X), 실리콘 산화물(SiO_X), 실리콘 산질화물(SiO_XN_Y), 및 알루미늄 산화물(AlO_X) 등과 같은 금속 산화물 중 적어도 하나를 포함할 수 있다.

[99] 하나 이상의 실시예에 따르면, 제1 트랜지스터(T1)는 박막 트랜지스터일 수 있다. 하나 이상의 실시예에 따르면, 제1 트랜지스터(T1)는 구동 트랜지스터일 수 있다.

[100] 제1 트랜지스터(T1)는 발광 소자(LD)와 연결(예를 들어, 전기적으로 연결)될 수 있다. 일 예로, 제1 서브 화소(SPXL1)의 제1 트랜지스터(T1)는 제1 서브 화소 영역(SPXA1) 내 배치된 발광 소자(LD)와 연결(예를 들어, 전기적으로 연결)될 수 있다. 제2 서브 화소(SPXL2)의 제1 트랜지스터(T1)는 제2 서브 화소 영역(SPXA2) 내 배치된 발광 소자(LD)와 연결(예를 들어, 전기적으로 연결)될 수 있다. 제3 서브 화소(SPXL3)의 제1 트랜지스터(T1)는 제3 서브 화소 영역(SPXA3) 내 배치된 발광 소자(LD)와 연결(예를 들어, 전기적으로 연결)될 수 있다.

[101] 하나 이상의 실시예에 따르면, 제1 트랜지스터(T1)는 액티브층(ACT), 제1 트랜지스터 전극(TE1), 제2 트랜지스터 전극(TE2), 및 게이트 전극(GE)을 포함할 수 있다.

[102] 액티브층(ACT)은 반도체층을 지칭할 수 있다. 액티브층(ACT)은 버퍼막(BFL) 상에 배치될 수 있다. 액티브층(ACT)은 폴리실리콘(polysilicon), 아몰퍼스 실리콘(amorphous silicon), 및 산화물 반도체 중 적어도 하나를 포함할 수 있다.

[103] 하나 이상의 실시예에 따르면, 액티브층(ACT)은 제1 트랜지스터 전극(TE1)과 접촉하는 제1 접촉 영역 및 제2 트랜지스터 전극(TE2)과 접촉하는 제2 접촉 영역을 포함할 수 있다. 상기 제1 접촉 영역과 상기 제2 접촉 영역은 불순물이 도핑된 반도체 패턴일 수 있다. 상기 제1 접촉 영역과 상기 제2 접촉 영역 사이의 영역은 채널 영역일 수 있다. 상기 채널 영역은 불순물이 도핑되지 않은 진성 반도체 패턴일 수 있다.

[104] 게이트 전극(GE)은 게이트 절연막(GI) 상에 배치될 수 있다. 게이트 전극(GE)의 위치는 액티브층(ACT)의 채널 영역의 위치에 대응될 수 있다. 예를 들어, 게이트 전극(GE)은 게이트 절연막(GI)을 사이에 두고 액티브층(ACT)의 채널 영역 상에 배치될 수 있다.

[105] 게이트 절연막(GI)은 액티브층(ACT) 상에 배치될 수 있다. 게이트 절연막(GI)은 무기 재료를 포함할 수 있다. 일 예에 따르면, 게이트 절연막(GI)은

실리콘 질화물(SiN_X), 실리콘 산화물(SiO_X), 실리콘 산질화물(SiO_XN_Y), 및 알루미늄 산화물(AlO_X) 중 적어도 하나를 포함할 수 있다. 하나 이상의 실시예에 따라, 게이트 절연막(GI)은 유기 재료를 포함할 수도 있다.

[106] 제1 층간 절연막(ILD1)은 게이트 전극(GE) 상에 위치할 수 있다. 제1 층간 절연막(ILD1)은 게이트 절연막(GI)과 마찬가지로, 실리콘 질화물(SiN_x), 실리콘 산화물(SiO_x), 실리콘 산질화물(SiO_xN_y), 및 알루미늄 산화물(AlO_x) 중 적어도 하나를 포함할 수 있다.

[107] 제1 트랜지스터 전극(TE1) 및 제2 트랜지스터 전극(TE2)은 제1 층간 절연막(ILD1) 상에 위치할 수 있다. 제1 트랜지스터 전극(TE1)은 게이트 절연막(GI)과 제1 층간 절연막(ILD1)을 관통하여 액티브층(ACT)의 제1 접촉 영역과 접촉하고, 제2 트랜지스터 전극(TE2)은 게이트 절연막(GI)과 제1 층간 절연막(ILD1)을 관통하여 액티브층(ACT)의 제2 접촉 영역과 접촉할 수 있다. 일 예에 따르면, 제1 트랜지스터 전극(TE1)은 소스 전극이고, 제2 트랜지스터 전극(TE2)은 드레인 전극일 수 있으나, 이에 한정되지 않는다.

[108] 제2 층간 절연막(ILD2)은 제1 트랜지스터 전극(TE1) 및 제2 트랜지스터 전극(TE2) 상에 위치할 수 있다. 제2 층간 절연막(ILD2)은 제1 층간 절연막(ILD1) 및 게이트 절연막(GI)과 마찬가지로, 무기 재료를 포함할 수 있다. 제2 층간 절연막(ILD2)의 무기 재료의 예시들은, 제1 층간 절연막(ILD1) 및 게이트 절연막(GI)의 물질들 중 적어도 하나를 포함할 수 있으며, 일 예로, 실리콘 질화물(SiN_x), 실리콘 산화물(SiO_x), 실리콘 산질화물(SiO_xN_y), 및 알루미늄 산화물(AlO_x) 중 적어도 하나를 포함할 수 있다. 하지만, 본 개시가 전술된 예시에 한정되지 않는다. 하나 이상의 실시예에 따라, 제2 층간 절연막(ILD2)은 유기 재료를 포함할 수도 있다.

[109] 브릿지 패턴(BRP)은 제2 층간 절연막(ILD2) 상에 배치될 수 있다. 브릿지 패턴(BRP)은 제2 층간 절연막(ILD2)을 관통하는 컨택홀을 통해 제1 트랜지스터 전극(TE1)과 연결될 수 있다.

[110] 보호막(PSV)은 제2 층간 절연막(ILD2) 상에 위치할 수 있다. 보호막(PSV)은 브릿지 패턴(BRP)을 커버할 수 있다. 보호막(PSV)은 유기 절연막, 무기 절연막, 또는 상기 무기 절연막 상에 배치된 상기 유기 절연막을 포함하는 형태로 제공될 수 있으나, 이에 한정되지 않는다. 하나 이상의 실시예에 따르면, 보호막(PSV)에는 브릿지 패턴(BRP)의 일 영역과 연결되는 컨택부(CNT)가 형성될 수 있다.

[111] 표시 소자부(DPL)는 화소 회로부(PCL) 상에 배치될 수 있다. 표시 소자부(DPL)는 제1 전극(ELT1), 연결 전극(COL), 절연층(INS), 발광 소자(LD), 및 제2 전극(ELT2)을 포함할 수 있다. 일 예에 따르면, 표시 소자부(DPL)의 개별 구성들은 제1 내지 제3 서브 화소들(SPXL1, SPXL2, SPXL3) 각각에 정의될 수 있다.

[112] 제1 전극(ELT1)은 보호막(PSV) 상에 배치될 수 있다. 제1 전극(ELT1)은 발광

소자(LD)의 하부에 배치될 수 있다. 제1 전극(ELT1)은 브릿지 패턴(BRP)과 컨택부(CNT)를 통해 연결될 수 있다.

[113] 하나 이상의 실시예에 따르면, 제1 전극(ELT1)은 발광 소자(LD)와 연결(또는 전기적으로 연결)될 수 있다. 일 예에 따르면, 제1 전극(ELT1)은 제1 트랜지스터(T1)로부터 제공된 전기적 신호를 발광 소자(LD)에 제공할 수 있다. 제1 전극(ELT1)은 발광 소자(LD)에 애노드 신호를 인가할 수 있다.

[114] 하나 이상의 실시예에 따르면, 제1 전극(ELT1)은 도전성 물질을 포함할 수 있다. 일 예로, 제1 전극(ELT1)은 은(Ag), 마그네슘(Mg), 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 타이타늄(Ti), 이들의 합금과 같은 금속을 포함할 수 있다. 다만, 상술된 예시에 한정되지 않는다.

[115] 연결 전극(COL)은 제1 전극(ELT1) 상에 배치될 수 있다. 일 예로, 연결 전극(COL)의 일면은 발광 소자(LD)와 연결되고, 연결 전극(COL)의 타면은 제1 전극(ELT1)과 연결될 수 있다.

[116] 연결 전극(COL)은 도전성 물질을 포함하여, 제1 전극(ELT1)과 발광 소자(LD)를 연결(또는 전기적으로 연결)할 수 있다. 일 예로, 연결 전극(COL)은 발광 소자(LD)의 제2 반도체층(13)과 연결(또는 전기적으로 연결)될 수 있다. 하나 이상의 실시예에 따라, 연결 전극(COL)은 발광 소자(LD)로부터 발산된 광을 반사하기 위해, 반사 성질을 가진 도전성 물질을 포함할 수 있고, 이에 따라 화소(PXL)의 발광 효율을 개선할 수 있다.

[117] 하나 이상의 실시예에 따르면, 연결 전극(COL)은 발광 소자(LD)와 본딩 결합하는(또는 결합되는) 본딩 메탈일 수 있다. 연결 전극(COL)은 발광 소자(LD)와 본딩 결합 또는 결합될 수 있다.

[118] 발광 소자(LD)는 제1 내지 제3 서브 화소들(SPXL1, SPXL2, SPXL3) 각각에 포함될 수 있다. 발광 소자(LD)는 광을 발산하도록 구성된다. 발광 소자(LD)는 제1 반도체층(11) 및 제2 반도체층(13), 및 제1 반도체층(11)과 제2 반도체층(13) 사이에 개재된 활성층(12)을 포함할 수 있다. 일 예로, 발광 소자(LD)의 연장 방향을 길이 방향이라고 하면, 발광 소자(LD)는 길이 방향을 따라 적층된(예를 들어, 순차적으로 적층된) 제1 반도체층(11), 활성층(12), 및 제2 반도체층(13)을 포함할 수 있다.

[119] 하나 이상의 실시예에 따르면, 발광 소자(LD)는 일 방향을 따라 연장된 기둥 형상으로 제공될 수 있다. 발광 소자(LD)는 제1 단부(EP1)와 제2 단부(EP2)를 가질 수 있다. 발광 소자(LD)의 제1 단부(EP1)에는 제1 반도체층(11) 및 제2 반도체층(13) 중 하나가 인접할 수 있다. 발광 소자(LD)의 제2 단부(EP2)에는 제1 반도체층(11) 및 제2 반도체층(13) 중 나머지 하나가 인접할 수 있다.

[120] 하나 이상의 실시예에 따르면, 발광 소자(LD)는 식각 방식 등을 통해 기둥 형상으로 제조된 발광 소자일 수 있다. 본 명세서에서, 기둥 형상이라 함은 원기둥 또는 다각 기둥 등과 같이 길이 방향으로 긴(즉, 종횡비가 1보다 큰) 로드

형상(rod-like shape), 또는 바 형상(bar-like shape)을 포괄하며, 그 단면의 형상이 특별히 한정되지는 않는다. 예를 들어, 발광 소자(LD)의 길이는 그 직경 또는, 횡단면의 폭)보다 클 수 있다.

[121] 하나 이상의 실시예에 따르면, 발광 소자(LD)는 나노 스케일 내지 마이크로 스케일(nanometer scale to micrometer scale) 정도로 작은 크기를 가질 수 있다. 일 예로, 발광 소자(LD)는 각각 나노 스케일 내지 마이크로 스케일 범위의 직경(또는, 폭) 및/또는 길이를 가질 수 있다. 다만, 발광 소자(LD)의 크기가 이에 제한되지 않는다.

[122] 제1 반도체층(11)은 제1 도전형의 반도체층일 수 있다. 예를 들어, 제1 반도체층(11)은 N형 반도체층을 포함할 수 있다. 일 예로, 제1 반도체층(11)은 InAlGaN, GaN, AlGaN, InGaN, AlN, InN 중 어느 하나의 반도체 재료를 포함하며, Si, Ge, Sn 등과 같은 제1 도전형 도펀트가 도핑된 N형 반도체층을 포함할 수 있다. 다만, 제1 반도체층(11)을 구성하는 물질이 이에 한정되지 않는다.

[123] 활성층(12)은 제1 반도체층(11) 상에 배치되며, 단일 양자 우물(single-quantum well) 구조 또는 다중 양자 우물(multi-quantum well) 구조로 형성될 수 있다. 일 예로, 활성층(12)이 다중 양자 우물 구조로 형성되는 경우, 활성층(12)은 장벽층(barrier layer), 스트레인 강화층(strain reinforcing layer), 및 웰층(well layer)이 하나의 유닛으로 주기적으로 반복 적층될 수 있다. 스트레인 강화층은 장벽층보다 더 작은 격자 상수를 가져 웰층에 인가되는 스트레인, 일 예로, 압축 스트레인에 대한 구조를 더 강화할 수 있다. 다만, 활성층(12)의 구조가 상술한 실시예에 한정되는 것은 아니다.

[124] 하나 이상의 실시예에 따르면, 활성층(12)은 400nm 내지 900nm의 파장을 갖는 광을 방출할 수 있다. 일 예에 따르면, 활성층(12)은 AlGaN, InAlGaN 등의 물질을 포함할 수 있으나, 상술된 예시에 한정되지 않는다.

[125] 제2 반도체층(13)은 활성층(12) 상에 배치되며, 제1 반도체층(11)과 상이한 타입의 반도체층을 포함할 수 있다. 예를 들어, 제2 반도체층(13)은 P형 반도체층을 포함할 수 있다. 일 예로, 제2 반도체층(13)은 InAlGaN, GaN, AlGaN, InGaN, AlN, InN 중 적어도 하나의 반도체 재료를 포함하며, Mg 등과 같은 제2 도전형 도펀트가 도핑된 P형 반도체층을 포함할 수 있다. 다만, 제2 반도체층(13)을 구성하는 물질이 이에 한정되는 것은 아니며, 이 외에도 다양한 적절한 물질이 제2 반도체층(13)을 구성할 수 있다.

[126] 발광 소자(LD)의 양단에 문턱 전압 이상의 전압을 인가하게 되면, 활성층(12)에서 전자-정공 쌍이 결합하면서 발광 소자(LD)가 발광하게 된다. 이러한 원리를 이용하여 발광 소자(LD)의 발광을 제어함으로써, 발광 소자(LD)를 표시 장치의 화소를 비롯한 다양한 발광 장치의 광원으로 이용할 수 있다.

[127] 하나 이상의 실시예에 따르면, 발광 소자(LD)는 표면에 제공된 절연막(INF)을 더 포함할 수 있다. 절연막(INF)은 단일막 혹은 이중막으로 형성될 수 있으나,

이에 한정되지 않고, 복수의 막으로 구성될 수 있다. 일 예로, 절연막(INF)은 제1 재료를 포함하는 제1 절연막 및 상기 제1 재료와는 상이한 제2 재료를 포함하는 제2 절연막을 포함할 수 있다.

[128] 하나 이상의 실시예에 따르면, 절연막(INF)은 서로 다른 극성을 가지는 발광 소자(LD)의 양 단부를 노출할 수 있다. 예를 들어, 절연막(INF)은 발광 소자(LD)의 제1 및 제2 단부(EP1, EP2)에 위치한 제1 및 제2 반도체층들(11, 13) 각각의 일단을 노출할 수 있다.

[129] 하나 이상의 실시예에 따르면, 절연막(INF)은 무기 재료를 포함할 수 있다. 일 예로, 절연막(INF)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x), 실리콘 산질화물(SiO_xN_y), 알루미늄 산화물(AlO_x), 및 타이타늄 산화물(TiO_x) 중 적어도 하나의 절연 물질을 포함하여 단일층 또는 다중층으로 구성(또는 형성)될 수 있으나, 이에 한정되지 않는다.

[130] 하나 이상의 실시예에 따르면, 절연막(INF)은 발광 소자(LD)의 전기적 안정성을 확보할 수 있다. 또한, 다수의 발광 소자(LD)들이 서로 밀접(또는 인접)하여 배치되어 있는 경우에도 발광 소자(LD)들의 사이에서(예를 들어, 인접한 발광 소자(LD)들 사이에서) 원치 않는 단락이 발생하는 것을 방지할 수 있다.

[131] 하나 이상의 실시예에 따르면, 발광 소자(LD)는 상술된 구성 외 추가적인 구성을 더 포함할 수 있다. 예를 들면, 발광 소자(LD)는 제1 반도체층(11), 활성층(12) 및/또는 제2 반도체층(13)의 일단 측에 배치된 하나 이상의 형광체층, 활성층, 반도체층 및/또는 전극층을 추가적으로 포함할 수 있다. 일 예로, 발광 소자(LD)의 제1 및 제2 단부들(EP1, EP2)에는 각각 컨택 전극층이 더 배치될 수 있다.

[132] 절연층(INS)은 보호막(PSV) 상에 배치될 수 있다. 절연층(INS)은 제1 전극(ELT1) 및/또는 연결 전극(COL)의 적어도 일부를 커버할 수 있다. 절연층(INS)은 연결 전극(COL)과 본딩-결합(또는 결합)하는 발광 소자(LD)들 사이에 제공될 수 있다. 절연층(INS)은 발광 소자(LD)들 사이에 배치되어, 발광 소자(LD)의 외면이 커버될 수 있다. 일 예에 따르면, 절연층(INS)은 절연막(INF)을 참조하여 예시적으로 열거된 물질 중 어느 하나를 포함할 수 있으나, 이에 한정되지 않는다.

[133] 제2 전극(ELT2)은 절연층(INS) 상에 배치될 수 있다. 제2 전극(ELT2)은 발광 소자(LD)의 상부에 배치될 수 있다.

[134] 하나 이상의 실시예에 따르면, 제2 전극(ELT2)은 발광 소자(LD)와 연결(예를 들어, 전기적으로 연결)될 수 있다. 제2 전극(ELT2)은 제1 반도체층(11)과 연결(예를 들어, 전기적으로 연결)될 수 있다. 일 예에 따르면, 제2 전극(ELT2)은 발광 소자(LD)에 캐소드 신호를 인가할 수 있다. 제2 전극(ELT2)은 제2 전원 라인(VSS)으로부터 공급된 전기적 신호를 발광 소자(LD)에 제공할 수 있다.

[135] 하나 이상의 실시예에 따르면, 제2 전극(ELT2)은 도전성 물질을 포함할 수

있다. 일 예로, 제2 전극(ELT2)은 투명 전도성 물질을 포함할 수 있다. 제2 전극(ELT2)은 인듐 주석 산화물(indium tin oxide, ITO), 인듐 아연 산화물(indium zinc oxide, IZO), 아연 산화물(zinc oxide, ZnO), 인듐 갈륨 아연 산화물(indium gallium zinc oxide, IGZO), 인듐 주석 아연 산화물(indium tin zinc oxide, ITZO)과 같은 도전성 산화물, PEDOT(poly(3,4-ethylenedioxythiophene))와 같은 도전성 고분자 중 어느 하나를 포함할 수 있다. 다만, 상술된 예시에 한정되지 않는다.

[136] 광 제어부(LCP)는 표시 소자부(DPL) 상에 배치될 수 있다. 광 제어부(LCP)는 표시 소자부(DPL)로부터 제공된 광의 파장을 변경시킬 수 있다. 광 제어부(LCP)는 색상 변환부(CCL) 및 색상 필터부(CFL)를 포함할 수 있다.

[137] 실시예에 따르면, 제1 서브 화소(SPXL1), 제2 서브 화소(SPXL2), 및 제3 서브 화소(SPXL3) 각각에 배치된 발광 소자(LD)들은 서로 동일한 색의 광을 발산할 수 있다. 예를 들어, 제1 서브 화소(SPXL1), 제2 서브 화소(SPXL2), 및 제3 서브 화소(SPXL3)는 제3 색(일 예로 청색광)의 광을 방출하는 발광 소자(LD)들을 포함할 수 있다. 이러한 제1 서브 화소(SPXL1), 제2 서브 화소(SPXL2), 및 제3 서브 화소(SPXL3) 상에 광 제어부(LCP)가 배치됨으로써 풀-컬러의 영상을 표시할 수 있다. 다만, 반드시 이에 제한되는 것은 아니며, 제1 서브 화소(SPXL1), 제2 서브 화소(SPXL2), 및 제3 서브 화소(SPXL3)는 서로 다른 색의 광을 방출하는 발광 소자(LD)들을 구비할 수 있다.

[138] 색상 변환부(CCL)는 제1 패시베이션층(PSS1), 파장 변환 패턴(WCP), 광 투과 패턴(LTP), 차광층(LBL), 및 제2 패시베이션층(PSS2)을 포함할 수 있다. 파장 변환 패턴(WCP)은 제1 파장 변환 패턴(WCP1) 및 제2 파장 변환 패턴(WCP2)을 포함할 수 있다.

[139] 제1 패시베이션층(PSS1)은 표시 소자부(DPL)와 차광층(LBL) 또는 파장 변환 패턴(WCP) 사이에 및/또는 표시 소자부(DPL)와 파장 변환 패턴(WCP) 사이에 배치될 수 있다. 제1 패시베이션층(PSS1)은 파장 변환 패턴(WCP)을 밀봉(혹은 커버)할 수 있다. 제1 패시베이션층(PSS1)은 절연막(INF)을 참조하여 예시적으로 열거한 물질 중 어느 하나를 포함할 수 있으나, 특정 예시에 한정되지 않는다.

[140] 하나 이상의 실시예에 따르면, 제1 패시베이션층(PSS1)과 제2 전극(ELT2) 사이에는 접착층이 개재될 수 있다. 상기 접착층은 제1 패시베이션층(PSS1)과 제2 전극(ELT2)을 결합시킬 수 있다. 상기 접착층은 어느 적절한 접착성 물질을 포함할 수 있으며, 특정 예시에 한정되지 않는다.

[141] 제1 파장 변환 패턴(WCP1)은 제1 서브 화소(SPXL1)의 발광 영역(EMA)(일 예로, 제1 서브 화소 영역(SPXA1))과 중첩하도록 배치될 수 있다. 예를 들어, 제1 파장 변환 패턴(WCP1)은 차광층(LBL)에 의해 정의되는 공간 내 배치되어, 평면상에서 볼 때 제1 서브 화소 영역(SPXA1)과 중첩할 수 있다.

[142] 하나 이상의 실시예에 따르면, 차광층(LBL)은 복수의 벽을 포함하고, 제1 파장 변환 패턴(WCP1)은 제1 서브 화소(SPXL1)에 대응되는 영역에 배치된 상기 복수의 벽 사이의 공간 내 제공될 수 있다.

[143] 제2 파장 변환 패턴(WCP2)은 제2 서브 화소(SPXL2)의 발광 영역(EMA)(일 예로, 제2 서브 화소 영역(SPXA2))과 중첩하도록 배치될 수 있다. 예를 들어, 제2 파장 변환 패턴(WCP2)은 차광층(LBL)에 의해 정의되는 공간 내 배치되어, 평면 상에서 볼 때 제2 서브 화소 영역(SPXA2)과 중첩할 수 있다.

[144] 하나 이상의 실시예에 따르면, 차광층(LBL)은 복수의 벽을 포함하고, 제2 파장 변환 패턴(WCP2)은 제2 서브 화소(SPXL2)에 대응되는 영역에 배치된 상기 복수의 벽 사이의 공간 내 제공될 수 있다.

[145] 광 투과 패턴(LTP)은 제3 서브 화소(SPXL3)의 발광 영역(EMA)(일 예로, 제3 서브 화소 영역(SPXA3))과 중첩하도록 배치될 수 있다. 예를 들어, 광 투과 패턴(LTP)은 차광층(LBL)에 의해 정의되는 공간 내 배치되어, 평면 상에서 볼 때 제3 서브 화소 영역(SPXA3)과 중첩할 수 있다.

[146] 하나 이상의 실시예에 따르면, 차광층(LBL)은 복수의 벽을 포함하고, 광 투과 패턴(LTP)은 제3 서브 화소(SPXL3)에 대응되는 영역에 배치된 상기 복수의 벽 사이의 공간 내 제공될 수 있다.

[147] 하나 이상의 실시예에 따르면, 제1 파장 변환 패턴(WCP1)은 발광 소자(LD)에서 방출되는 제3 색의 광을 제1 색의 광으로 변환하는 제1 색 변환 입자들을 포함할 수 있다. 일 예로, 발광 소자(LD)가 청색의 광을 방출하는 청색 발광 소자이고 제1 서브 화소(SPXL1)가 적색 화소인 경우, 제1 파장 변환 패턴(WCP1)은 상기 청색 발광 소자에서 방출되는 청색의 광을 적색의 광으로 변환하는 제1 퀀텀 닷을 포함할 수 있다.

[148] 예를 들어, 제1 파장 변환 패턴(WCP1)은 베이스 수지 등과 같은 일 매트릭스 재료(예를 들어, 소정의 매트릭스 재료) 내에 분산된 다수의 제1 퀀텀 닷을 포함할 수 있다. 제1 퀀텀 닷은 청색 광을 흡수하여 에너지 천이에 따라 파장을 시프트시켜 적색 광을 방출할 수 있다. 한편, 제1 서브 화소(SPXL1)가 다른 색의 화소인 경우, 제1 파장 변환 패턴(WCP1)은 제1 서브 화소(SPXL1)의 색에 대응하는 제1 퀀텀 닷을 포함할 수 있다.

[149] 하나 이상의 실시예에 따르면, 제2 파장 변환 패턴(WCP2)은 발광 소자(LD)에서 방출되는 제3 색의 광을 제2 색의 광으로 변환하는 제2 색 변환 입자들을 포함할 수 있다. 일 예로, 발광 소자(LD)가 청색의 광을 방출하는 청색 발광 소자이고 제2 서브 화소(SPXL2)가 녹색 화소인 경우, 제2 파장 변환 패턴(WCP2)은 상기 청색 발광 소자에서 방출되는 청색의 광을 녹색의 광으로 변환하는 제2 퀀텀 닷을 포함할 수 있다.

[150] 예를 들어, 제2 파장 변환 패턴(WCP2)은 베이스 수지 등과 같은 일 매트릭스 재료(예를 들어, 소정의 매트릭스 재료) 내에 분산된 다수의 제2 퀀텀 닷을 포함할 수 있다. 제2 퀀텀 닷은 청색 광을 흡수하여 에너지 천이에 따라 파장을 시프트시켜 녹색 광을 방출할 수 있다. 한편, 제2 서브 화소(SPXL2)가 다른 색의 화소인 경우, 제2 파장 변환 패턴(WCP2)은 제2 서브 화소(SPXL2)의 색에 대응하는 제2 퀀텀 닷을 포함할 수 있다.

[151] 한편, 제1 퀀텀 닷 및 제2 퀀텀 닷은 구형, 피라미드형, 다중 가지형(multi-arm), 또는 입방체(cubic)의 나노 입자, 나노 튜브, 나노 와이어, 나노 섬유, 나노 판상 입자 등의 형태를 가질 수 있으나, 반드시 이에 제한되는 것은 아니며, 제1 퀀텀 닷 및 제2 퀀텀 닷의 형태는 적절한 방식으로 다양하게 변경될 수 있다.

[152] 하나 이상의 실시예에서, 가시광선 영역 중 비교적 짧은 파장을 갖는 청색의 광을 각각 제1 퀀텀 닷 및 제2 퀀텀 닷에 입사시킴으로써, 제1 퀀텀 닷 및 제2 퀀텀 닷의 흡수 계수를 증가시킬 수 있다. 이에 따라, 제1 서브 화소(SPXL1) 및 제2 서브 화소(SPXL2)에서 방출되는 광의 효율을 증가시킴과 아울러, 우수한 색 재현성을 확보할 수 있다. 또한, 동일한 색의 발광 소자들(LD)(일 예로, 청색 발광 소자들)을 이용하여 제1 내지 제3 서브 화소들(SPXL1, SPXL2, SPXL3)의 화소 유닛을 구성함으로써, 표시 장치의 제조 효율을 높일 수 있다.

[153] 하나 이상의 실시예에 따르면, 광 투과 패턴(LTP)은 발광 소자(LD)에서 방출되는 제3 색의 광을 효율적으로 이용하기 위해 구비될 수 있다. 일 예로, 발광 소자(LD)가 청색의 광을 방출하는 청색 발광 소자이고 제3 서브 화소(SPXL3)가 청색 화소인 경우, 광 투과 패턴(LTP)은 발광 소자(LD)로부터 방출되는 광을 효율적으로 이용하기 위하여 적어도 한 종류의 광 산란 입자들을 포함할 수 있다.

[154] 예를 들어, 광 투과 패턴(LTP)은 베이스 수지 등과 같은 일 매트릭스 재료(예를 들어, 소정의 매트릭스 재료) 내에 분산된 다수의 광 산란 입자들을 포함할 수 있다. 일 예로, 광 투과 패턴(LTP)은 실리카(Silica) 등의 광 산란 입자들을 포함할 수 있으나, 광 산란 입자들의 구성 물질이 이에 한정되는 것은 아니다.

[155] 한편, 광 산란 입자들이 제3 서브 화소(SPXL3)가 형성되는 제3 서브 화소 영역(SPXA3)에만 배치되어야 하는 것은 아니다. 일 예로, 광 산란 입자들은 제1 및/또는 제2 파장 변환 패턴(WCP1, WCP2)의 내부에도 선택적으로 포함될 수 있다.

[156] 차광층(LBL)은 표시 소자부(DPL) 상에 배치될 수 있다. 차광층(LBL)은 기판(SUB) 상에 배치될 수 있다. 차광층(LBL)은 제1 패시베이션층(PSS1)과 제2 패시베이션층(PSS2) 사이에 배치될 수 있다. 차광층(LBL)은 서브 화소(SPXL)들의 경계에서, 제1 파장 변환 패턴(WCP1), 제2 파장 변환 패턴(WCP2), 및 광 투과 패턴(LTP)을 둘러싸도록 배치될 수 있다.

[157] 하나 이상의 실시예에 따르면, 차광층(LBL)은 서브 화소(SPXL)의 발광 영역(EMA)과 비발광 영역(NEA)을 정의할 수 있다. 차광층(LBL)은 제1 내지 제3 서브 화소 영역들(SPXA1, SPXA2, SPXA3)을 정의할 수 있다.

[158] 일 예로, 차광층(LBL)은 평면 상에서 볼 때, 발광 영역(EMA)과 중첩하지 않을 수 있다. 차광층(LBL)은 평면 상에서 볼 때, 비발광 영역(NEA)과 중첩할 수 있다. 차광층(LBL)이 배치되지 않은 영역은 제1 내지 제3 서브 화소들(SPXL1, SPXL2, SPXL3)의 발광 영역(EMA)으로 정의될 수 있다. 제1 서브 화소(SPXL1)의 발광 영역(EMA)은 제1 서브 화소 영역(SPXA1)이고, 제2 서브 화소(SPXL2)의 발광

영역(EMA)은 제2 서브 화소 영역(SPXA2)이고, 제3 서브 화소(SPXL3)의 발광 영역(EMA)은 제3 서브 화소 영역(SPXA3)일 수 있다.

[159] 하나 이상의 실시예에 따르면, 차광층(LBL)은 그라파이트(graphite), 카본 블랙(carbon black), 흑색 안료(black pigment), 또는 흑색 염료(black dye) 중 적어도 어느 하나를 포함하는 유기물로 형성되거나 크롬(Cr)을 포함하는 금속 물질로 형성될 수 있으나, 광 투과를 차단하고 흡수할 수 있는 물질이라면 전술된 것에 제한되지 않는다.

[160] 제2 패시베이션층(PSS2)은 색상 필터부(CFL)와 차광층(LBL) 사이 및/또는 색상 필터부(CFL)와 파장 변환 패턴(WCP) 사이에 배치될 수 있다. 제2 패시베이션층(PSS2)은 제1 파장 변환 패턴(WCP1), 제2 파장 변환 패턴(WCP2), 및 광 투과 패턴(LTP)을 밀봉(혹은 커버)할 수 있다. 제2 패시베이션층(PSS2)은 절연막(INF)을 참조하여 예시적으로 열거한 물질 중 어느 하나를 포함할 수 있으나, 특정 예시에 한정되지 않는다.

[161] 하나 이상의 실시예에 따르면, 색상 필터부(CFL)는 색상 변환부(CCL) 상에 배치될 수 있다. 색상 필터부(CFL)는 색상 필터(CF) 및 평탄화층(PLA)을 포함할 수 있다. 여기서, 색상 필터(CF)는 제1 색상 필터(CF1), 제2 색상 필터(CF2), 및 제3 색상 필터(CF3)를 포함할 수 있다.

[162] 하나 이상의 실시예에 따르면, 색상 필터(CF)는 제2 패시베이션층(PSS2) 상에 배치될 수 있다. 색상 필터(CF)는 평면 상에서 볼 때, 제1 내지 제3 서브 화소들(SPXL1, SPXL2, SPXL3)의 발광 영역(EMA)과 중첩할 수 있다.

[163] 예를 들어, 제1 색상 필터(CF1)는 제1 서브 화소 영역(SPXA1) 내에 배치되고, 제2 색상 필터(CF2)는 제2 서브 화소 영역(SPXA2) 내에 배치되고, 제3 색상 필터(CF3)는 제3 서브 화소 영역(SPXA3) 내에 배치될 수 있다.

[164] 하나 이상의 실시예에 따르면, 제1 색상 필터(CF1)는, 제1 색의 광을 투과할 수 있고, 제2 색의 광 및/또는 제3 색의 광을 비투과 시킬 수 있다. 일 예로, 제1 색상 필터(CF1)는 제1 색에 관한 색제(colorant)를 포함할 수 있다.

[165] 하나 이상의 실시예에 따르면, 제2 색상 필터(CF2)는, 제2 색의 광을 투과하되, 제1 색의 광 및 제3 색의 광을 비투과 시킬 수 있다. 일 예로, 제2 색상 필터(CF2)는 제2 색에 관한 색제를 포함할 수 있다.

[166] 하나 이상의 실시예에 따르면, 제3 색상 필터(CF3)는, 제3 색의 광을 투과하되, 제1 색의 광 및 제2 색의 광을 비투과 시킬 수 있다. 일 예로, 제3 색상 필터(CF3)는 제3 색에 관한 색제를 포함할 수 있다.

[167] 하나 이상의 실시예에 따르면, 평탄화층(PLA)은 색상 필터(CF) 상에 배치될 수 있다. 평탄화층(PLA)은 색상 필터(CF)을 커버할 수 있다. 평탄화층(PLA)은 색상 필터(CF)로 인하여 발생되는 단차를 상쇄할 수 있다. 즉, 평탄화층(PLA)은 색상 필터(CF)의 단차를 커버할 수 있고, 평탄화된 상부 표면 혹은 실질적으로 평탄화된 상부 표면을 갖을 수 있다.

[168] 일 예에 따르면, 평탄화층(PLA)은 유기 절연 물질을 포함할 수 있다. 다만, 본

개시는 이에 한정되지 않으며 평탄화층(PLA)은 절연막(INF)을 참조하여 예시적으로 열거한 무기 재료를 포함할 수 있다.

[169] 제1 내지 제3 서브 화소들(SPXL1, SPXL2, SPXL3)의 구조는 도 5를 참조하여 상술한 내용에 한정되지 않으며, 하나 이상의 실시예에 따른 표시 장치(DD)를 제공하기 위해 다양한 적합한 구조가 적절히 또는 적합하게 선택될 수 있다. 일 예로, 하나 이상의 실시예에 따르면, 표시 장치(DD)는 광 효율을 향상시키기 위한 저굴절층을 더 포함할 수 있다.

[170] 이하에서는 도 6 내지 도 10을 참조하여, 하나 이상의 실시예에 따른 표시 장치(DD)의 발광 소자(LD) 및 서브 화소(SPXL) 간 위치 관계에 관하여 설명한다. 전술한 내용에 대하여 중복될 수 있는 내용은 설명을 간략히 하거나, 반복하지 않도록 한다.

[171] 도 6 내지 도 8은 도 2의 EA1의 확대도들이다. 여기서, 도 6은 EA1 중 서브 화소(SPXL)들의 영역을 정의하는 색상 변환부(CCL)를 중심으로 도시한다. 도 7 및 도 8은 EA1 중 서브 화소(SPXL)들에 포함된 발광 소자(LD)들의 배열 형태를 중심으로 도시한다.

[172] 도 6을 참조하면, 제1 내지 제3 서브 화소들(SPXL1, SPXL2, SPXL3)(및/또는 제1 내지 제3 서브 화소 영역들(SPXA1, SPXA2, SPXA3))의 위치가 차광층(LBL)에 의해 정의될 수 있다.

[173] 예를 들어, 차광층(LBL)이 배치되지 않은 영역은 제1 내지 제3 서브 화소들(SPXL1, SPXL2, SPXL3)로부터 발산된 광이 외부로 제공되는 발광 영역(EMA)일 수 있다. 차광층(LBL)이 배치된 영역은 제1 내지 제3 서브 화소들(SPXL1, SPXL2, SPXL3)로부터 발산된 광이 실질적으로 외부로 제공되지 않는 비발광 영역(NEA)일 수 있다.

[174] 하나 이상의 실시예에 따르면, 차광층(LBL)은 제1 개구(OP1), 제2 개구(OP2), 및 제3 개구(OP3)를 포함할 수 있다. 제1 개구(OP1), 제2 개구(OP2), 및 제3 개구(OP3)는 차광층(LBL)이 배치되지 않는 영역일 수 있다. 일 예에 따르면, 제1 개구(OP1)의 위치는 제1 서브 화소 영역(SPXA1)에 대응하고, 제2 개구(OP2)의 위치는 제2 서브 화소 영역(SPXA2)에 대응하며, 제3 개구(OP3)의 위치는 제3 서브 화소 영역(SPXA3)에 대응할 수 있다.

[175] 차광층(LBL)의 적어도 일부는 제1 서브 화소(SPXL1)로 제공되고자 하는 영역(일 예로, 제1 서브 화소 영역(SPXA1))의 주변에 배치되는(혹은 둘러싸는) 형태로 제공되어, 제1 개구(OP1)를 형성할 수 있다. 이 때, 제1 개구(OP1)에서 제1 서브 화소 영역(SPXA1)이 정의될 수 있다. 제1 서브 화소 영역(SPXA1)은 제1 서브 화소(SPXL1)가 배치되는 영역으로서, 제1 서브 화소(SPXL1)의 발광 영역(EMA)을 지칭할 수 있다.

[176] 하나 이상의 실시예에 따르면, 제1 개구(OP1)에 대응하는 위치에 제1 파장 변환 물질을 포함한 파장 변환 패턴(WCP)이 배치될 수 있다. 이에 따라, 제1 서브 화소(SPXL1)에 포함된 발광 소자(LD)로부터 발산된 광은 제1 색을 가진 광으로

제공되어 외부로 출력될 수 있다.

[177] 차광층(LBL)의 적어도 일부는 제2 서브 화소(SPXL2)로 제공되고자 하는 영역(일 예로, 제2 서브 화소 영역(SPXA2))의 주변에 배치되는(예를 들어, 둘러싸는) 형태로 제공되어, 제2 개구(OP2)를 형성할 수 있다. 이 때, 제2 개구(OP2)에서 제2 서브 화소 영역(SPXA2)이 정의될 수 있다. 제2 서브 화소 영역(SPXA2)은 제2 서브 화소(SPXL2)가 배치되는 영역으로서, 제2 서브 화소(SPXL2)의 발광 영역(EMA)을 지칭할 수 있다.

[178] 하나 이상의 실시예에 따르면, 제2 개구(OP2)에 대응하는 위치에 제2 파장 변환 물질을 포함한 파장 변환 패턴(WCP)이 배치될 수 있다. 이에 따라, 제2 서브 화소(SPXL2)에 포함된 발광 소자(LD)로부터 발산된 광은 제2 색을 가진 광으로 제공되어 외부로 출력될 수 있다.

[179] 차광층(LBL)의 적어도 일부는 제3 서브 화소(SPXL3)로 제공되고자 하는 영역(일 예로, 제3 서브 화소 영역(SPXA3))의 주변에 배치되는(예를 들어, 둘러싸는) 형태로 제공되어, 제3 개구(OP3)를 형성할 수 있다. 이 때, 제3 개구(OP3)에서 제3 서브 화소 영역(SPXA3)이 정의될 수 있다. 제3 서브 화소 영역(SPXA3)은 제3 서브 화소(SPXL3)가 배치되는 영역으로서, 제3 서브 화소(SPXL3)의 발광 영역(EMA)을 지칭할 수 있다.

[180] 하나 이상의 실시예에 따르면, 제3 개구(OP3)에 대응하는 위치에는 별도의 파장 변환 물질이 배치되지 않을 수 있다. 이에 따라, 제3 서브 화소(SPXL3)에 포함된 발광 소자(LD)로부터 발산된 광은 제3 색을 가진 광으로 제공되어 외부로 출력될 수 있다.

[181] 하나 이상의 실시예에 따르면, 제1 내지 제3 서브 화소들(SPXL1, SPXL2, SPXL3)은 제1 방향(DR1)으로 서로 이격될 수 있다. 제1 내지 제3 서브 화소 영역들(SPXA1, SPXA2, SPXA3)은 제1 방향(DR1)으로 서로 이격될 수 있다.

[182] 일 예에 따르면, 제1 서브 화소 영역(SPXA1)은 제2 서브 화소 영역(SPXA2)의 일측에 배치되고, 제3 서브 화소 영역(SPXA3)은 제2 서브 화소 영역(SPXA2)의 타측에 배치될 수 있다.

[183] 하나 이상의 실시예에 따르면, 제1 내지 제3 서브 화소들(SPXL1, SPXL2, SPXL3)은 제2 방향(DR2)으로 연장할 수 있다. 제1 내지 제3 서브 화소 영역들(SPXA1, SPXA2, SPXA3)은 제2 방향(DR2)으로 서로 이격될 수 있다.

[184] 여기서, 제1 방향(DR1)과 제2 방향(DR2)은 서로 교차할 수 있다. 제1 방향(DR1)과 제2 방향(DR2)은 서로 비평행할 수 있다. 일 예에 따르면, 제1 방향(DR1)과 제2 방향(DR2)은 서로 직교할 수 있다.

[185] 도 7 및 도 8은 발광 소자(LD)들이 배열된 구조를 나타낸다. 도 7은 제1 실시예에 따른 발광 소자(LD)의 배열 구조를 나타낸 도면이다. 도 8은 제2 실시예에 따른 발광 소자(LD)의 배열 구조를 나타낸 도면이다.

[186] 도 7 및 도 8을 참조하면, 발광 소자(LD)들은 행렬 형태로 배열될 수 있다.

[187] 발광 소자(LD)들은 제1 배열 방향(ADR1)으로 연장하는 행방향 및 제2 배열

방향(ADR2)으로 연장하는 열방향으로(혹은 을 따라) 정의되는 행렬 형태에 따라 배치될 수 있다. 다만, 하나 이상의 실시예에 따라 제1 배열 방향(ADR1)으로 연장하는 열방향 및 제2 배열 방향(ADR2)으로 연장하는 행방향으로(혹은 을 따라) 정의되는 행렬 형태로 정의될 수 있다.

[188] 여기서 제1 배열 방향(ADR1)과 제2 배열 방향(ADR2)은 서로 교차할 수 있다. 제1 배열 방향(ADR1)과 제2 배열 방향(ADR2)은 서로 비평행할 수 있다. 하나 이상의 실시예에 따르면, 제1 배열 방향(ADR1)과 제2 배열 방향(ADR2)은 서로 직교할 수있다.

[189] 하나 이상의 실시예에 따르면, 상기 행렬 형태에서 각각의 행 및 열에 대응하는 위치에 발광 소자(LD)가 배열될 수 있다. 제ij 발광 소자(LDij)는 상기 행렬 형태에서, i행 및 j열에 배열된 발광 소자(LD)를 지칭할 수 있다. 일 예로, 제1 행의 제1 열에 일 발광 소자(LD)가 배치될 수 있으며, 제10 행의 제10 열에 또 다른 하나의 발광 소자(LD)가 배치될 수 있다.

[190] 도 7을 참조하면, 발광 소자(LD)는 평면 상에서 볼 때, 사각형 형상(혹은, 정사각형 형상)을 가질 수 있다. 일 예로, 발광 소자(LD)가 직육면체 형상을 가지는 경우, 평면 상에서 볼 때, 사각형 형상(혹은, 정사각형 형상)으로 제공될 것이다.

[191] 혹은 도 8을 참조하면, 발광 소자(LD)는 평면 상에서 볼 때, 원 형상을 가질 수 있다. 일 예로, 발광 소자(LD)가 밑면이 원 형상인 기둥 형태로 제공되는 경우, 평면 상에서 볼 때, 원 형상으로 제공될 것이다.

[192] 다만, 발광 소자(LD)의 형상은 상술된 예시에 한정되지 않으며, 하나 이상의 실시예에 의하면 공지된 적절한 밑면 형상을 가진 발광 소자(LD)가 제공될 수 있다.

[193] 하나 이상의 실시예에 따르면, 발광 소자(LD)들의 기판(SUB) 상 단위 면적 당 개수는 균일할 수 있다. 제1 내지 제3 서브 화소 영역들(SPXA1, SPXA2, SPXA3)에 배치된 발광 소자(LD)들의 단위 면적 당 개수는 대체로 균일할 수 있다.

[194] 예를 들어, 발광 소자(LD)들은 제1 서브 화소 영역(SPXA1)에 배치된 제1 복수의 발광 소자, 제2 서브 화소 영역(SPXA2)에 배치된 제2 복수의 발광 소자, 및 제3 서브 화소 영역(SPXA3)에 배치된 제3 복수의 발광 소자를 포함할 수 있다. 여기서, 상기 제1 복수의 발광 소자, 상기 제2 복수의 발광 소자, 및 상기 제3 복수의 발광 소자 각각의 개수는 서로 실질적으로 동일하거나, 일 차이(예를 들어, 미리 정해진 차이) 이하일 수 있다.

[195] 하나 이상의 실시예에 따르면, 발광 소자(LD)들은 제1 배열 방향(ADR1)을 따라 전반적으로 나란히 배열될 수 있다. 발광 소자(LD)들은 제2 배열 방향(ADR2)을 따라 전반적으로 나란히 배열될 수 있다. 즉, 발광 소자(LD)의 형상과 무관하게, 발광 소자(LD)의 배열 위치에 따라 행렬 배열 형태가 명확히 정의될 수 있다.

[196] 하나 이상의 실시예에 따르면, 행렬 형태로 배열된 발광 소자(LD)들의 적어도 일부는 제1 내지 제3 서브 화소 영역들(SPXA1, SPXA2, SPXA3)에 배치될 수 있다. 일 예로, 발광 소자(LD)는 제1 내지 제3 서브 화소 영역들(SPXA1, SPXA2, SPXA3) 내 배치되거나, 간헐적으로 제1 내지 제3 서브 화소 영역들(SPXA1, SPXA2, SPXA3) 내 배치되지 않을 수 있다.

[197] 다만, 본 개시의 하나 이상의 실시예에 따르면, 발광 소자(LD)들이 제1 내지 제3 서브 화소 영역들(SPXA1, SPXA2, SPXA3) 내 배치되지 않는 개수가 최소화 또는 저감될 수 있다. 이에 관하여 이하 도 9 및 도 10을 참조하여 후술한다.

[198] 도 9 및 도 10은 하나 이상의 실시예에 따른 표시 장치에 포함된 발광 소자들의 위치 관계를 개략적으로 나타낸 평면도들이다. 도 10은 도 9의 EA2의 확대도이다.

[199] 도 9 및 도 10에는, 설명의 편의상, 제1 서브 화소(SPXL1) 및 제2 서브 화소(SPXL2)를 중심으로 도시되었다. 도 9 및 도 10에서 서술되는 제1 서브 화소(SPXL1) 및 제2 서브 화소(SPXL2)의 기술적 특징은 서브 화소(SPXL)들에 정의되어 적용될 수 있다.

[200] 또한, 도 9에는 설명의 편의상 복수의 발광 소자(LD)들 중 서로 인접한 제1 발광 소자(LD1), 제2 발광 소자(LD2), 및 제3 발광 소자(LD3)를 기준으로 설명한다. 발광 소자(LD)들은 제1 발광 소자(LD1), 제2 발광 소자(LD2), 제3 발광 소자(LD3)를 포함할 수 있다.

[201] 하나 이상의 실시예에 따르면, 제1 발광 소자(LD1) 및 제2 발광 소자(LD2)는 제1 서브 화소 영역(SPXA1) 내 배치될 수 있다. 이에 따라, 제1 발광 소자(LD1) 및 제2 발광 소자(LD2)로부터 발산된 광은 제1 서브 화소(SPXL1)에서 발산되는 광에 포함될 수 있다.

[202] 하나 이상의 실시예에 따르면, 제3 발광 소자(LD3)는 제2 서브 화소 영역(SPXA2) 내 배치될 수 있다. 이에 따라, 제3 발광 소자(LD3)로부터 발산된 광은 제2 서브 화소(SPXL2)에서 발산되는 광에 포함될 수 있다.

[203] 하나 이상의 실시예에 따르면, 제1 발광 소자(LD1)는 제2 발광 소자(LD2)와 제1 배열 방향(ADR1)을 따라서 인접할 수 있다. 제1 발광 소자(LD1)와 제2 발광 소자(LD2)는 서로 제1 배열 거리(120)만큼 이격될 수 있다. 여기서 제1 배열 거리(120)는 제1 발광 소자(LD1)와 제2 발광 소자(LD2) 간 최단 거리를 지칭할 수 있다.

[204] 하나 이상의 실시예에 따르면, 제1 발광 소자(LD1)는 제3 발광 소자(LD3)와 제2 배열 방향(ADR2)을 따라서 인접할 수 있다. 제1 발광 소자(LD1)와 제3 발광 소자(LD3)는 서로 제2 배열 거리(140)만큼 이격될 수 있다. 여기서 제2 배열 거리(140)는 제1 발광 소자(LD1)와 제3 발광 소자(LD3) 간 최단 거리를 지칭할 수 있다.

[205] 일 예에 따르면, 제1 배열 거리(120)와 제2 배열 거리(140)는 서로 동일할 수 있다. 이에 따라, 도 7 및 도 8을 참조하여 상술한 발광 소자(LD)들은 서로 인접한

발광 소자(LD)들와 이격된 거리들이 서로 동일하도록 제공될 수 있다. 다만, 하나 이상의 실시예에 따라 제1 배열 거리(120)와 제2 배열 거리(140)는 서로 상이하도록 제공될 수 있다.

[206] 제1 서브 화소(SPXL1) 및 제2 서브 화소(SPXL2)가 연장하는 방향과 제1 배열 방향(ADR1)은 서로 교차할 수 있다. 제1 서브 화소(SPXL1) 및 제2 서브 화소(SPXL2)가 연장하는 방향과 제1 배열 방향(ADR1)은 서로 비평행할 수 있다.

[207] 일 예로, 상술한 바와 같이, 서브 화소(SPXL)들은 제1 방향(DR1)으로 서로 이격되고, 제2 방향(DR2)으로 연장할 수 있으며, 이에 따라, 제1 배열 방향(ADR1)과 제2 방향(DR2)은 교차할 수 있다. 제1 배열 방향(ADR1)과 제2 방향(DR2)은 서로 비평행할 수 있다.

[208] 구체적으로 도 9를 참조하면, 제1 서브 화소(SPXL1)가 연장하는 방향과 평행한 연장선(210)과 제1 배열 방향(ADR1)은 서로 사잇각(θ)을 형성할 수 있다. 여기서 연장선(210)은 제2 방향(DR2)과 평행할 수 있다.

[209] 일 예로, 제2 방향(DR2)은 제1 배열 방향(ADR1)과 예각을 가지는 사잇각(θ)을 형성할 수 있다.

[210] 하나 이상의 실시예에 따르면, 사잇각(θ)은 0도, 45도, 및 90도가 아닐 수 있다. 일 예에 따르면, 사잇각(θ)은 5도 내지 40도일 수 있다. 혹은 사잇각(θ)은 10도 내지 35도일 수 있다.

[211] 본 개시에 따르면, 사잇각(θ)이 0도, 45도 및 90도의 수치에 회피되도록 형성되어, 제1 내지 제3 서브 화소 영역들(SPXA1, SPXA2, SPXA3) 내 배열되지 않는 발광 소자(LD)의 개수가 감소될 수 있고, 이에 따라 발광 소자(LD)의 배치 효율이 향상될 수 있다.

[212] 하나 이상의 실시예에 따르면, 발광 소자(LD)들 간 이격 거리(일 예로, 제1 배열 거리(120) 및 제2 배열 거리(140))는 제1 길이(220)와 일 수치 관계(예를 들어, 소정의 수치 관계)를 만족할 수 있다. 여기서, 제1 길이(220)는 제1 방향(DR1)과 평행한 서브 화소(SPXL)의 일변의 길이를 지칭할 수 있다. 일 예로, 도 9를 참조하면, 제1 길이(220)는 제1 방향(DR1)과 평행한 제1 서브 화소(SPXL1)의 일변의 길이를 지칭할 수 있다.

[213] 하나 이상의 실시예에 따르면, 발광 소자(LD)들 간 이격 거리와 제1 길이(220)는 하기 수학식 1을 만족할 수 있다.

[214] [수식1]

$$y \leq \frac{x_1}{\sqrt{2}}$$

[215] 여기서,

x_1

은 제1 길이(220)를 지칭하고, y는 발광 소자(LD)들 간 이격 거리를 지칭한다. 이에 따라, y는 제1 배열 거리(120) 및/또는 제2 배열 거리(140)를 지칭할 수 있다.

[216] 다만, 하나 이상의 실시예에 따라, 발광 소자(LD)들 간 이격 거리(y)와 화소(PXL)의 제1 방향(DR1)에 따른 일변의 길이(x_2)는 하기 수학식 2를 만족할 수 있다.

[217] [수식2]

$$y \leq \frac{x_2/n}{\sqrt{2}}$$

[218] 여기서,

x_2

는 화소(PXL)의 제2 길이(230)를 지칭할 수 있다. 제2 길이(230)는 화소(PXL)의 제1 방향(DR1)으로의 길이를 지칭할 수 있다. 일 예로, 화소(PXL)가 제1 방향(DR1)으로 순차적으로 배열된 제1 내지 제3 서브 화소들(SPXL1, SPXL2, SPXL3)로 구성되는 경우, 제2 길이(230)는 제1 방향(DR1)을 기준으로 할 때, 제1 서브 화소(SPXL1)(혹은 제1 서브 화소 영역(SPXA1))의 일 단부(232)와 제3 서브 화소(SPXL3)(혹은 제3 서브 화소 영역(SPXA3))의 타 단부(234) 간 이격 거리를 지칭할 수 있다. 하나 이상의 실시예에서, 제1 서브 화소(SPXL1)(또는 제1 서브 화소 영역(SPXA1))의 일 단부(232)와 제3 서브 화소(SPXL3)(또는 제3 서브 화소 영역(SPXA3))의 타 단부(234)는 화소(PXL)의 외곽 단부에서 서로 대향할 수 있다.

[219] n은 제1 방향(DR1)을 따라서 배열된 서브 화소(SPXL)들의 개수로서, 일 예로, 화소(PXL)가 제1 내지 제3 서브 화소들(SPXL1, SPXL2, SPXL3)로 구성되는 경우, n은 3일 수 있다.

[220] 본 예시에 의하면, 서브 화소들(SPXL)로 구성된 화소(PXL)의 일변의 길이 및 서브 화소(SPXL)들의 개수를 기준으로 하나의 서브 화소(SPXL)의 일변의 길이를 정의하여, 발광 소자(LD)들 간 거리와 화소(PXL)의 길이 간 관계가 도출될 수 있다. 이 경우, 공정 진행 시, 발광 소자(LD) 배열 설계의 편의성이 증대될 수 있다.

[221] 한편, 도 10을 참조하면, 제1 서브 화소(SPXL1)와 제2 서브 화소(SPXL2) 간 이격 거리(240)와 발광 소자(LD)의 길이 특성은 서로 일 수치 관계(예를 들어, 소정의 수치 관계)를 만족할 수 있다.

[222] 일 예로, 제1 서브 화소(SPXL1)와 제2 서브 화소(SPXL2) 간 제1 방향(DR1)에 따른 이격 거리(240)는 단일 발광 소자(LD)의 길이 특성에 의해 결정될 수 있다.

[223] 하나 이상의 실시예에 따르면, 발광 소자(LD)는 평면 상에서 볼 때, 일 밑면 길이(예를 들어, 소정의 밑면 길이)(100)를 가질 수 있다. 여기서, 발광 소자(LD)의 밑면 길이(100)는 발광 소자(LD)의 밑면의 형상에 따라 결정되는 길이일 수 있다.

[224] 예를 들어, 발광 소자(LD)의 밑면이 정사각형(혹은 직사각형) 형상을 가지는 경우, 밑면 길이(100)는 정사각형(혹은 직사각형)의 대각선의 길이를 지칭할 수

있다. 혹은 발광 소자(LD)의 밑면이 원 형상을 가지는 경우, 밑면 길이(100)는 원의 지름을 지칭할 수 있다. 혹은 발광 소자(LD)의 밑면이 타원 형상을 가지는 경우, 밑면 길이(100)는 타원의 장반경을 지칭할 수 있다.

[225] 하나 이상의 실시예에 따르면, 발광 소자(LD)의 밑면 길이(100)와 서브 화소들(SPXL) 사이의 이격 거리는 하기 수학식 3을 만족할 수 있다.

[226] [수식3]

$$z \geq w * \sqrt{2}$$

[227] 여기서, z는 서브 화소들(SPXL) 간 간격일 수 있다. 일 예로, 제1 서브 화소(SPXL1)(혹은 제1 서브 화소 영역(SPXA1))와 제2 서브 화소(SPXL2)(혹은 제2 서브 화소 영역(SPXA2)) 사이의 제1 방향(DR1)에 따른 이격 거리(240)일 수 있다. 또한 w는 발광 소자(LD)의 밑면 길이(100)일 수 있다.

[228] 본 예시에 따르면, 발광 소자(LD)의 특징적인 길이에 따라 서브 화소들(SPXL) 간 간격이 정의되어, 쇼트 결함이 방지 또는 실질적으로 방지될 수 있다.

[229] 본 실시예에 따르면, 발광 소자(LD)들 사이의 간격과 서브 화소들(SPXL)의 길이 간 관계가 일 수학식(예를 들어, 소정의 수학식)에 의해 정의되어, 공정 설계의 편의성이 증대되며, 쇼트 결함이 방지 또는 실질적으로 방지되어 전기적 신뢰도가 개선된 표시 장치(DD)가 제공될 수 있다.

[230] 이하에서는, 도 11 내지 도 18을 참조하여, 하나 이상의 실시예에 따른 표시 장치(DD)의 제조 방법에 관하여 설명한다. 전술한 내용에 대하여 중복될 수 있는 내용은 설명을 간략히하거나 반복하지 않도록 한다.

[231] 도 11 내지 도 15, 및 도 17은 표시 장치(DD)의 제조 방법의 공정 단계(또는 동작(act))별 단면도들이다. 도 16 및 도 18은 표시 장치(DD)의 제조 방법의 공정 단계(또는 동작)별 평면도들이다.

[232] 도 11을 참조하면, 적층 기판(1)을 준비(혹은 제공)하고, 적층 기판(1) 상에 제1 반도체층(11), 활성층(12), 및 제2 반도체층(13)을 형성할 수 있다.

[233] 하나 이상의 실시예에 따르면, 적층 기판(1)은 대상 물질을 적층하기 위한 베이스 판일 수 있다. 적층 기판(1)은 일 물질(예를 들어, 소정의 물질)에 대한 에피택셜 성장(epitaxial growth)을 위한 웨이퍼(wafer)일 수 있다. 일 예에 따르면, 적층 기판(1)은 사파이어(sapphire) 기판, GaAs 기판, Ga 기판, InP 기판 중 어느 하나일 수 있으나 이에 한정되지 않는다. 예를 들어, 특정 재료가 발광 소자(LD)를 제조하기 위한 선택비를 만족하고, 소정의 물질에 대한 에피택셜 성장이 원활하게 발생될 수 있는 경우, 상기 재료는 적층 기판(1)의 재료로 선택될 수 있다.

[234] 본 단계(또는 동작)에서, 제1 반도체층(11), 활성층(12), 및 제2 반도체층(13)은 유기 금속 화학 증착법(MOCVD; Metal Organic Chemicla Vapor-phase Deposition), 분자선 에피택시법(MBE; Molecular Beam Epitaxy), 기상 에피택시법(VPE; Vapor Phase Epitaxy), 및 액상 에피택시법(LPE; Liquid Phase Epitaxy) 중 어느 하나의

방법에 의해 형성될 수 있다.

[235] 도 12를 참조하면, 제1 반도체층(11), 활성층(12), 및 제2 반도체층(13) 각각의 적어도 일부를 제거하여, 서로 개별적으로 분리된 발광 소자(LD)들을 제공할 수 있다.

[236] 본 단계(또는 동작)에서, 제1 반도체층(11), 활성층(12), 및 제2 반도체층(13)에 대한 식각 공정을 수행할 수 있다. 개별적으로 분리된 발광 소자(LD)들을 형성하기 위하여, 제1 반도체층(11), 활성층(12), 및 제2 반도체층(13)이 적층된(예를 들어, 순차적으로 적층된) 구조에 마스크를 배치하고, 식각 공정을 진행하여 나노 스케일 혹은 마이크로 스케일 간격의 패터닝이 수행될 수 있다. 상기 식각 공정은 제2 반도체층(13)에서 제1 반도체층(11)을 향하는 방향으로 수행될 수 있다.

[237] 일 예에 따르면, 상기 식각 공정은 반응성 이온 에칭(RIE; Reactive Ion Etching), 반응성 이온 빔 에칭(RIBE; Reactive Ion Beam Etching), 유도 결합 플라즈마 반응성 이온 에칭(ICP-RIE; Inductively Coupled Plasma Reactive Ion Etching) 중 어느 하나일 수 있으나, 특정 예시에 한정되지 않는다.

[238] 본 단계(또는 동작)에서, 제공되는 발광 소자(LD)들은 제1 배열 방향(ADR1) 및 제2 배열 방향(ADR2)에 의해 정의되는 행렬 형태로 패터닝될 수 있다.

[239] 도 13을 참조하면, 적층 기판(1)을 발광 소자(LD)들로부터 분리하고, 발광 소자(LD)들을 도너 필름(16, donor film) 상에 결합(혹은 배치, 연결)할 수 있다.

[240] 본 단계(또는 동작)에서, 적층 기판(1)은 제1 반도체층(11)으로부터 물리적으로 분리될 수 있다. 일 예에 따르면, 적층 기판(1)과 제1 반도체층(11)은 레이저 리프트 오프(LLO; Laser Lift-Off) 방식에 의해 분리될 수 있다. 다만, 본 개시는 이에 한정되지 않고, 하나 이상의 실시예에 따라 적층 기판(1)과 제1 반도체층(11)은 화학적 리프트 오프(CLO; Chemical Lift-Off) 방식에 의해 분리될 수 있다.

[241] 본 단계(또는 동작)에서, 제1 반도체층(11)과 동일 공정 내 형성되되 별도 식각이 수행되지 않아, 개별 발광 소자(LD)를 구성하지 않는 층 또한 제거될 수 있다. 이에 본 단계(또는 동작)가 수행되어, 도너 필름(16) 상에 일 간격(예를 들어, 소정의 간격)으로 패터닝된 복수의 발광 소자(LD) 어레이가 제공될 수 있다.

[242] 하나 이상의 실시예에 따르면, 도너 필름(16)은 후속 공정(일 예로, 발광 소자(LD)를 기판(SUB) 및 화소 회로부(PCL) 상에 배치하는 공정)을 수행하기 이전, 발광 소자(LD)들을 일 위치(예를 들어, 소정의 위치)에 마련하기 위한 구성일 수 있다. 도너 필름(16)은 도너 웨이퍼 혹은 도너 기판으로 지칭될 수 있다. 도너 필름(16)은 등방 연신 가능한 필름일 수 있다. 일 예에 따르면, 도너 필름(16)은 고분자 조성물(예를 들어, PVC(Polyvinyl chloride)계 물질)을 포함할 수 있으나, 특정 예시에 한정되지 않는다.

[243] 하나 이상의 실시예에 따르면, 본 단계(또는 동작)에서 패터닝된 발광

소자(LD)들은 제1 배열 방향(ADR1)으로 연장하는 행 방향 및 제2 배열 방향(ADR2)을 따라 연장하는 열 방향으로 구성되는 행렬 형태로 배열될 수 있다.

[244] 도 14를 참조하면, 도너 필름(16)을 변형할 수 있다. 도너 필름(16)의 평면 상(또는 평면 상에서 볼 때) 면적은 증가될 수 있다. 도너 필름(16)은 일 방향으로 확장될 수 있다. 도너 필름(16)은 면적 방향으로 확장될 수 있다.

[245] 본 단계(또는 동작)가 수행되기 이전 도너 필름(16) 상에서 서로 인접한 발광 소자(LD)들은 미변형 간격(112)으로 이격될 수 있다.

[246] 일 예로, 도너 필름(16) 상에 발광 소자(LD)들은 행렬 형태로 배열되되, 서로 인접한 발광 소자(LD)들은 서로 미변형 간격(또는 미수정 간격)(112)으로 이격될 수 있다. 여기서, 미변형 간격(112)은 평면 상에서(또는 평면 상에서 볼 때), 서로 인접한 발광 소자(LD)의 최단 거리를 지칭할 수 있다. 일 예로, 제1 배열 방향(ADR1) 또는 제2 배열 방향(ADR2)으로 인접한 발광 소자(LD)들은 서로 미변형 간격(112)으로 이격될 수 있다.

[247] 하나 이상의 실시예에 따르면, 본 단계(또는 동작)에서, 도너 필름(16)은 방사상으로 균일하게 확장될 수 있다. 본 단계(또는 동작)에서, 도너 필름(16)의 길이(혹은 면적)은 확정되어, 발광 소자(LD)들 간 이격 거리는 증가될 수 있다. 일 예에 따르면, 도너 필름(16)은 물리적으로 연장(또는 확장)될 수 있으나, 어떠한 적절한 방식이 적용될 수 있으며, 특정 예시에 한정되지 않는다.

[248] 일 예에 따르면, 본 단계(또는 동작)가 수행되어, 제1 배열 방향(ADR1)으로 서로 인접한 발광 소자(LD)들은 제1 배열 거리(120)만큼 이격될 수 있고, 제2 배열 방향(ADR2)으로 서로 인접한 발광 소자(LD)들은 제2 배열 거리(140)만큼 이격될 수 있다.

[249] 하나 이상의 실시예에 따르면, 도너 필름(16)에 요구되는 물리적 특성이 미변형 간격(112), 제1 배열 거리(120), 및/또는 제2 배열 거리(140) 간 수치 관계에 의해 결정될 수 있다.

[250] 일 예로, 도너 필름(16)의 길이 방향으로의 확장 가능 범위는 미변형 간격(112), 제1 배열 거리(120), 및/또는 제2 배열 거리(140) 간 수치 관계에 의해 결정될 수 있다.

[251] 여기서, 도너 필름(16)의 상기 확장 가능 범위는, 도너 필름(16)이 평면 상에서(또는 평면 상에서 볼 때) 확장되는 경우에도 파괴되지 않는 한도 내 배수를 지칭할 수 있다. 즉, 도너 필름(16)을 상기 확장 가능 범위까지 확장하는 것은 비파손적(non-destructive)일 수 있다.

[252] 예를 들어, 도너 필름(16)의 확장 가능 범위가 2인 경우, 도너 필름(16)의 길이는 일 방향(일 예로, 제1 배열 방향(ADR1))으로 2배까지 확장될 수 있으며, 도너 필름(16)의 길이가 2배 이하로 확장되는 경우, 별도의 파괴가 발생되지 않을 수 있다.

[253] 하나 이상의 실시예에 따라, 미변형 간격(또는 미수정 간격)(112), 제1 배열

거리(120), 및/또는 제2 배열 거리(140), 그리고 도너 필름(16)의 확장 가능 범위는 하기 수학식 4를 만족할 수 있다.

[254] [수식4]

$$A \geq \frac{y}{v}$$

[255] 여기서, y는 상술한 바와 같이, 발광 소자(LD)들 간 이격 거리로서, 제1 배열 거리(120) 및/또는 제2 배열 거리(140)를 지칭할 수 있다. 그리고, A는 도너 필름(16)의 확장 가능 범위를 나타낼 수 있다. v는 도너 필름(16)의 변형이 별도로 수행되기 이전 발광 소자(LD)들 간 간격으로서, 미변형 간격(112)일 수 있다.

[256] 본 단계(또는 동작)가 수행되어, 발광 소자(LD)들의 이격 거리는 상술한 수학식 1(및/또는 수학식 2)을 만족하도록 제공될 수 있다. 즉, 발광 소자(LD)들 간 이격 거리가 수학식 1(및/또는 수학식 2)에 따라 결정될 수 있으며, 수학식 1(및/또는 수학식 2)에 적합하도록(또는 적절히) 본 단계에서 발광 소자(LD)들의 이격 거리가 적절히 조절될 수 있다. 이 때, 발광 소자(LD)들 간 이격 거리를 조정하기 위해서, 도너 필름(16)에 적합한 물리적 특성을 수학식 4를 기반으로하여 산출할 수 있다. 이에 따라, 하나 이상의 실시예에 의하면 공정의 예측 가능성이 향상될 수 있다.

[257] 도 15 및 도 16을 참조하면, 배치 부재(17)를 이용하여 발광 소자(LD)를 기판(SUB) 및 화소 회로부(PCL) 상에 배치할 수 있다. 발광 소자(LD)는 연결 전극(COL)과 결합될 수 있다.

[258] 본 단계(또는 동작)에서, 배치 부재(17)는 도너 필름(16) 상에 마련된 발광 소자(LD)들의 어레이를 일면에 결합하여 발광 소자(LD)를 기판(SUB) 및 화소 회로부(PCL) 상에 형성 또는 전사하도록 구성될 수 있다. 배치 부재(17)는 개별 발광 소자(LD)들을 동시에 픽-업(pick-up)하여 기판(SUB) 및 화소 회로부(PCL) 상에 위치시킬 수 있다. 일 예에 따르면, 배치 부재(17)의 픽-업 프로세스는 탄성중합체 스탬프 방식, 전자기적 방식, 혹은 접착 부재를 이용한 방식이 적용될 수 있으나, 특정 예시에 한정되지 않는다.

[259] 본 단계(또는 동작)에서, 제1 반도체층(11)이 배치 부재(17)를 향하도록, 발광 소자(LD)와 배치 부재(17)가 결합되고, 제2 반도체층(13)이 연결 전극(COL)을 향하도록 발광 소자(LD)들이 배열될 수 있다.

[260] 한편, 본 단계(또는 동작)에서 도 16을 참조하면, 제1 배열 방향(ADR1) 및 제2 배열 방향(ADR2)이 후속적으로 제1 내지 제3 서브 화소 영역들(SPXA1, SPXA2, SPXA3)이 형성되고자 하는 위치와 어긋나도록 발광 소자(LD)들이 배치될 수 있다. 구체적으로 도너 필름(16)의 기울어진 각도를 조정하여, 후속적으로 형성하고자 하는 제1 내지 제3 서브 화소 영역들(SPXA1, SPXA2, SPXA3)의 위치와 제1 배열 방향(ADR1) 및 제2 배열 방향(ADR2)의 위치 간 관계를 조절할 수 있다.

[261] 예를 들어, 제1 방향(DR1)은 제1 내지 제3 서브 화소 영역들(SPXA1, SPXA2,

SPXA3)이 서로 이격된 방향이고, 제2 방향(DR2)은 제1 방향(DR1)과 교차하는 방향이되, 제1 내지 제3 서브 화소 영역들(SPXA1, SPXA2, SPXA3)이 연장하는 방향으로 정의될 수 있다.

[262] 여기서, 도너 필름(16)의 발광 소자(LD) 배치 공정(도 15 참조)이 진행될 때, 기판(SUB) 및 화소 회로부(PCL)에 대한 도너 필름(16)의 포즈(pose)를 조정할 수 있다. 이 때, 도너 필름(16)의 포즈를 조정하여, 제1 배열 방향(ADR1)이 제2 방향(DR2)과 서로 교차(혹은 비평행)하도록 제공될 수 있다.

[263] 도 17 및 도 18을 참조하면, 발광 소자(LD)들 사이가 채워지도록 연결 전극(COL) 상에 절연층(INS)을 배치할 수 있다. 그리고 발광 소자(LD)와 연결(예를 들어, 전기적으로 연결)된 제2 전극(ELT)을 패터닝할 수 있으며, 이후 광 제어부(LCP)를 표시 소자부(DPL) 상에 배치할 수 있다. 도 17에는 설명의 편의상, 도 5를 참조하여 상술한 서브 화소들(SPXL) 중 제1 서브 화소(SPXL1)를 기준으로 도시되었다.

[264] 본 단계(또는 동작)에서, 표시 소자부(DPL) 상에 색상 변환부(CCL)가 배치될 수 있다. 이 때, 표시 소자부(DPL) 상에 차광층(LBL)을 형성하여 제1 내지 제3 서브 화소(SPXL1, SPXL2, SPXL3)의 발광 영역(EMA), 일 예로, 제1 서브 화소 영역 내지 제3 서브 화소 영역(SPXA1, SPXA2, SPXA3)을 정의할 수 있다.

[265] 구체적으로 도 18을 참조하면, 제1 내지 제3 개구(OP1, OP2, OP3)가 형성되도록 차광층(LBL)을 배치할 수 있다. 일 예에 따르면, 차광층(LBL)을 형성하기 위한 베이스 차광층을 형성한 이후, 제1 내지 제3 개구(OP1, OP2, OP3)에 대응하는 위치에 대한 식각 공정을 수행할 수 있다.

[266] 본 단계에서, 차광층(LBL)의 제1 내지 제3 개구(OP1, OP2, OP3) 간 이격 거리를 조정하여, 후속적으로 제공되는 제1 내지 제3 서브 화소들(SPXL1, SPXL2, SPXL3) 간 제1 방향(DR1)으로의 이격 거리(240)가 제어될 수 있다. 예를 들어, 상술한 바와 같이, 제1 내지 제3 서브 화소들(SPXL1, SPXL2, SPXL3) 간 이격 거리(240)는 수학식 3을 만족하도록 제공될 수 있다.

[267] 본 단계에서, 차광층(LBL)의 제1 내지 제3 개구(OP1, OP2, OP3)가 형성되는 위치를 조정하여, 제1 배열 방향(ADR1)이 제1 내지 제3 서브 화소들(SPXL1, SPXL2, SPXL3)의 연장 방향(일 예로, 제2 방향(DR2)이 일 범위(예를 들어, 소정의 범위)를 가진 사잇각(θ)을 가지도록 제공될 수 있다.

[268] 이하에서는, 도 19 내지 도 21을 참조하여, 하나 이상의 실시예에 따른 표시 장치(DD)의 적용 분야에 관하여 설명한다. 도 19 내지 도 22는 하나 이상의 실시예에 따른 표시 장치가 적용되는 예시를 나타낸 도면들이다. 일 예에 따르면, 표시 장치(DD)는 스마트 폰, 노트북, 태블릿 피씨, 및/또는 텔레비젼 등에 적용될 수 있으며, 그 외 다양한 실시 형태에 적용될 수 있다.

[269] 도 19를 참조하면, 하나 이상의 실시예에 따른 표시 장치(DD)는 프레임(1104) 및 렌즈부(1102)를 포함하는 스마트 글라스(1100)에 적용될 수 있다. 스마트 글라스(1100)는 사용자의 얼굴에 착용가능한 웨어러블 전자 장치로서,

프레임(1104)의 일부가 폴딩되거나 언폴딩되는 구조일 수 있다. 예를 들면, 스마트 글라스(1100)는 증강 현실(AR; Augmented Reality)용 웨어러블 장치일 수 있다.

[270] 프레임(1104)은 렌즈부(1102)를 지지하는 하우징(1104b) 및 사용자의 착용을 위한 다리부(1104a)를 포함할 수 있다. 다리부(1104a)는 힌지에 의해 하우징(1104b)에 연결되어 폴딩되거나 언폴딩될 수 있다.

[271] 프레임(1104)에는 배터리, 터치 패드, 마이크, 및/또는 카메라 등이 내장될 수 있다. 또한, 프레임(1104)에는 광을 출력하는 프로젝터, 광 신호 등을 제어하는 프로세서 등이 내장될 수 있다.

[272] 렌즈부(1102)는 광을 투과시키거나 광을 반사시키는 광학 부재일 수 있다. 렌즈부(1102)는 유리, 투명한 합성 수지 등을 포함할 수 있다.

[273] 또한, 렌즈부(1102)는 프레임(1104)의 프로젝터에서 송출된 광 신호에 의한 영상을 렌즈부(1102)의 후면(예를 들면, 사용자 눈을 향하는 면)에 의해 반사시켜 사용자의 눈에서 이미지를 인식할 수 있게 할 수 있다. 예를 들면, 사용자는 도면에 도시된 바와 같이, 렌즈부(1102)에 표시된 시간, 날짜 등의 정보를 인식할 수 있다. 즉, 렌즈부(1102)는 일종의 표시 장치로서, 전술한 일 실시예에 따른 표시 장치(DD)는 렌즈부(1102)에 적용될 수 있다.

[274] 도 20을 참조하면, 실시예에 따른 표시 장치(DD)는 디스플레이부(1220) 및 스트랩부(1240)를 포함한 스마트 와치(1200)에 적용될 수 있다.

[275] 스마트 와치(1200)는 웨어러블 전자 장치로서, 스트랩부(1240)가 사용자의 손목에 장착되는 구조를 가질 수 있다. 여기서, 디스플레이부(1220)에는 하나 이상의 실시예에 따른 표시 장치(DD)가 적용되어, 시간 정보를 포함한 이미지 데이터가 사용자에게 제공될 수 있다.

[276] 도 21을 참조하면, 하나 이상의 실시예에 따른 표시 장치(DD)는 오토모티브 디스플레이(1300, automotive display)에 적용될 수 있다. 여기서, 오토모티브 디스플레이(1300)는 차량 내외부에 구비되어 이미지 데이터를 제공하는 전자 장치를 지칭할 수 있다.

[277] 일 예에 따르면, 표시 장치(DD)는 차량에 구비된, 인포테인먼트 패널(1310, infortainment panel), 클러스터(1320, cluster), 코-드라이버 디스플레이(1330, co-driver display), 헤드-업 디스플레이(1340, head-up display), 사이드 미러 디스플레이(1350, side mirror display), 및/또는 리어-시트 디스플레이(rear seat display) 중 적어도 어느 하나에 적용될 수 있다.

[278] 도 22를 참조하면, 하나 이상의 실시예에 따른 표시 장치(DD)는 헤드 장착 밴드(1402) 및 디스플레이 수납 케이스(1404)를 포함하는 헤드 작창형 디스플레이(HMD; Head Mounted Display)에 적용될 수 있다. 헤드 장착형 디스플레이는 사용자의 머리에 착용가능한 웨어러블 전자 장치이다.

[279] 헤드 장착 밴드(1402)는 디스플레이 수납 케이스(1404)에 연결되어, 디스플레이 수납 케이스(1404)를 원하는 위치에 고정시킬 수 있다. 도면에서,

헤드 장착 밴드(1402)는 사용자의 머리 상면과 양측면을 둘러쌀 수 있는 것으로 도시되었으나, 본 개시가 이에 한정되지는 않는다. 헤드 장착 밴드(1402)는 사용자의 머리에 헤드 장착형 디스플레이를 고정하기 위한 것으로, 안경테 형태 또는 헬멧 형태로 형성될 수도 있다.

[280] 디스플레이 수납 케이스(1404)는 표시 장치(DD)를 수납하며, 적어도 하나의 렌즈를 포함할 수 있다. 적어도 하나의 렌즈는 사용자에게 영상을 제공하는 부분이다. 예를 들면, 디스플레이 수납 케이스(1404)에 구현되는 좌안 렌즈 및 우안 렌즈에는 하나 이상의 실시예에 따른 표시 장치(DD)가 적용될 수 있다.

[281] 하나 이상의 실시예에 따른 표시 장치(DD)의 적용 분야는 상술된 예시에 한정되지 않으며, 하나 이상의 실시예에 따라 다양한 분야에 적용될 수 있다.

[282] 이상의 설명은 본 개시의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 개시가 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 개시의 사상 및 범위에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 따라서, 이상에서 설명한 본 개시의 실시예들은 서로 별개로 또는 조합되어 구현되는 것도 가능하다.

[283] 따라서, 본 개시는 그 실시예를 참조하여 구체적으로 도시되고 설명되었지만, 형태 및 세부 사항은 청구범위 및 그 균등물에 따른 본 개시의 사상 및 범위에서 벗어나지 않는 선에서 다양하게 변경될 수 있다는 점이 본 기술분야의 통상의 지식을 가진 자에 의해 이해될 것이다.

청구범위

[청구항 1] 기판 상에 배치되고, 제1 배열 방향 및 상기 제1 배열 방향과 교차하는 제2 배열 방향에 의해 정의되는 행렬 형태로 배열되는, 복수의 발광 소자들; 및

상기 복수의 발광 소자의 적어도 일부와 각각 중첩하고, 제1 방향을 따라 서로 이격되고, 상기 제1 방향과 교차하는 제2 방향으로 각각 연장하는 제1 서브 화소 영역 및 제2 서브 화소 영역; 을 포함하고,

상기 제2 방향과 상기 제1 배열 방향은 서로 비평행한, 표시 장치.

[청구항 2] 제1 항에 있어서,

상기 기판 상에 배치되고, 상기 제1 서브 화소 영역 및 상기 제2 서브 화소 영역을 정의하는 차광층; 을 더 포함하는, 표시 장치.

[청구항 3] 제2 항에 있어서,

상기 제1 서브 화소 영역에서는 제1 색의 광이 발산되고,

상기 제2 서브 화소 영역에서는 제2 색의 광이 발산되는, 표시 장치.

[청구항 4] 제1 항에 있어서,

상기 제2 방향과 상기 제1 배열 방향은 예각을 가지는 사잇각을 형성하는, 표시 장치.

[청구항 5] 제4 항에 있어서,

상기 사잇각은 5도 내지 40도인, 표시 장치.

[청구항 6] 제1 항에 있어서,

상기 제1 서브 화소 영역은 상기 제1 방향과 평행하고 제1 길이를 가지는 일변을 포함하고,

상기 복수의 발광 소자는 제1 발광 소자 및 제2 발광 소자를 포함하고,

상기 제1 발광 소자와 상기 제2 발광 소자는 상기 제1 배열 방향으로 서로 인접하고 제1 배열 거리만큼 이격되고,

상기 제1 길이와 상기 제1 배열 거리는 하기 식을 만족하는, 표시 장치.

$$y \leq \frac{x_1}{\sqrt{2}}$$

(여기서, x_1은 상기 제1 길이이고, y는 상기 제1 배열 거리임)

[청구항 7] 제6 항에 있어서,

상기 제1 배열 거리는 상기 제1 발광 소자와 상기 제2 발광 소자 간 최단 거리인, 표시 장치.

[청구항 8] 제1 항에 있어서,

상기 제1 서브 화소 영역 및 상기 제2 서브 화소 영역과 상기 제1 방향을 따라 이격된 제3 서브 화소 영역; 을 더 포함하고,

상기 제1 서브 화소 영역은 상기 제2 서브 화소 영역의 일측에 배치되고,

상기 제3 서브 화소 영역은 상기 제2 서브 화소 영역의 타측에 배치되고,
상기 제1 서브 화소 영역의 일 단부와 상기 제3 서브 화소 영역의 타 단부는 제2 길이만큼 이격되고,
상기 복수의 발광 소자는 제1 배열 방향으로 서로 인접하고 제1 배열 거리만큼 이격된, 제1 발광 소자 및 제2 발광 소자를 포함하고, 상기 제1 발광 소자와 상기 제2 발광 소자는 상기 제1 배열 방향으로 서로 인접하고 제1 배열 거리만큼 이격된,
상기 제2 길이와 상기 제1 배열 거리는 하기 식을 만족하는, 표시 장치.

$$y \leq \frac{x_2/3}{\sqrt{2}}$$

(여기서, x_2는 상기 제2 길이이고, y는 상기 제1 배열 거리임)

[청구항 9] 제1 항에 있어서,
상기 제1 서브 화소 영역과 상기 제2 서브 화소 영역은 이격 거리로 이격되고,
상기 복수의 발광 소자 각각은 밑면 길이를 가지고,
상기 이격 거리와 상기 밑면 길이는 하기 식을 만족하는, 표시 장치.

$$z \geq w * \sqrt{2}$$

(여기서, z는 상기 이격 거리이고, w는 상기 밑면 거리임)

[청구항 10] 제9 항에 있어서,
상기 복수의 발광 소자의 밑면은 원 형상을 가지고,
상기 밑면 길이는 원의 지름인, 표시 장치.

[청구항 11] 제9 항에 있어서,
상기 복수의 발광 소자의 밑면은 직사각형 형상을 가지고,
상기 밑면 길이는 직사각형의 대각선 길이인, 표시 장치.

[청구항 12] 제1 항에 있어서,
상기 복수의 발광 소자 상에 배치되고, 상기 발광 소자로부터 발산된 광의 파장을 변경시키도록 구성된 광 제어부; 및
상기 제1 서브 화소 영역 및 상기 제2 서브 화소 영역과 상기 제1 방향을 따라 서로 이격되고, 상기 제2 방향으로 연장하는 제3 서브 화소 영역; 을 더 포함하고,
상기 광 제어부는 상기 제1 서브 화소 영역과 중첩하는 제1 파장 변환 패턴; 상기 제2 서브 화소 영역과 중첩하는 제2 파장 변환 패턴; 및 상기 제3 서브 화소 영역과 중첩하는 광 투과 패턴; 을 포함하는, 표시 장치.

[청구항 13] 제12 항에 있어서,
상기 복수의 발광 소자의 적어도 일부는 상기 제1 서브 화소 영역과 중첩하고, 상기 복수의 발광 소자의 또 다른 일부는 상기 제2 서브 화소 영역과 중첩하며, 상기 복수의 발광 소자의 또 다른 일부는 상기 제3 서브

화소 영역과 중첩하고,
상기 복수의 발광 소자는 서로 동일한 색의 광을 발산하는, 표시 장치.

[청구항 14] 제1 항에 있어서,
상기 기판 상에서 상기 복수의 발광 소자의 단위 면적 당 개수는 균일한, 표시 장치.

[청구항 15] 적층 기판을 제공하는 단계;
상기 적층 기판 상에 제1 반도체층, 활성층, 및 제2 반도체층을 형성하는 단계;
상기 제1 반도체층, 상기 활성층, 및 상기 제2 반도체층을 식각하여 복수의 발광 소자들을 제공하는 단계;
상기 적층 기판을 상기 복수의 발광 소자들로부터 분리하고, 상기 복수의 발광 소자를 도너 필름 상에 결합하는 단계; 및
상기 도너 필름 상에 배치된 상기 복수의 발광 소자를 기판 상에 배치하는 단계; 및
상기 복수의 발광 소자 상에 제1 서브 화소 영역 및 제2 서브 화소 영역을 정의하는 차광층을 배치하는 단계; 를 포함하고,
상기 복수의 발광 소자들을 제공하는 단계는, 상기 복수의 발광 소자들이 제1 배열 방향 및 상기 제1 배열 방향과 교차하는 제2 배열 방향에 의해 정의되는 행렬 형태로 패터닝되는 단계를 포함하고,
상기 차광층을 배치하는 단계는, 상기 제1 서브 화소 영역 및 상기 제2 서브 화소 영역이 제1 방향을 따라 서로 이격되고, 상기 제1 방향과 교차하는 제2 방향으로 각각 연장하도록 상기 차광층을 형성하는 단계를 포함하고,
상기 제2 방향과 상기 제1 배열 방향은 서로 비평행한, 표시 장치의 제조 방법.

[청구항 16] 제15 항에 있어서,
상기 복수의 발광 소자들 간 이격 거리가 증가되도록 상기 도너 필름을 변형하는 단계; 를 더 포함하는, 표시 장치의 제조 방법.

[청구항 17] 제16 항에 있어서,
상기 도너 필름을 변형하는 단계가 수행되기 이전, 상기 복수의 발광 소자들은 서로 미변형 간격으로 이격되고,
상기 도너 필름을 변형하는 단계에서, 상기 복수의 발광 소자들 간 이격 거리가 증가되어, 상기 제1 배열 방향으로 인접한 상기 복수의 발광 소자들은 제1 배열 거리만큼 이격되고, 상기 제2 배열 방향으로 인접한 상기 복수의 발광 소자들은 제2 배열 거리만큼 이격되는, 표시 장치의 제조 방법.

[청구항 18] 제17 항에 있어서,
확장 가능 범위는, 상기 도너 필름이 일 방향으로 확장 시 비파괴되는

한도 내 길이 배수이고,
상기 도너 필름의 상기 확장 가능 범위는 하기 식을 만족하는, 표시 장치의 제조 방법.

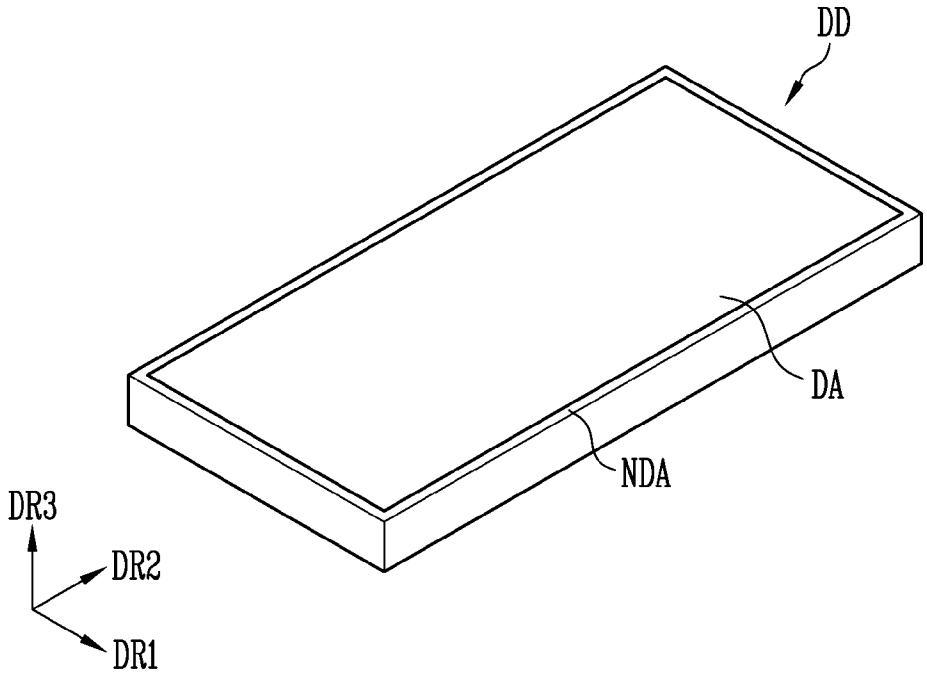
$$A \geq \frac{y}{v}$$

(여기서, A는 상기 도너 필름의 상기 확장 가능 범위이고, y는 상기 제1 배열 거리이고, v는 상기 미변형 간격임)

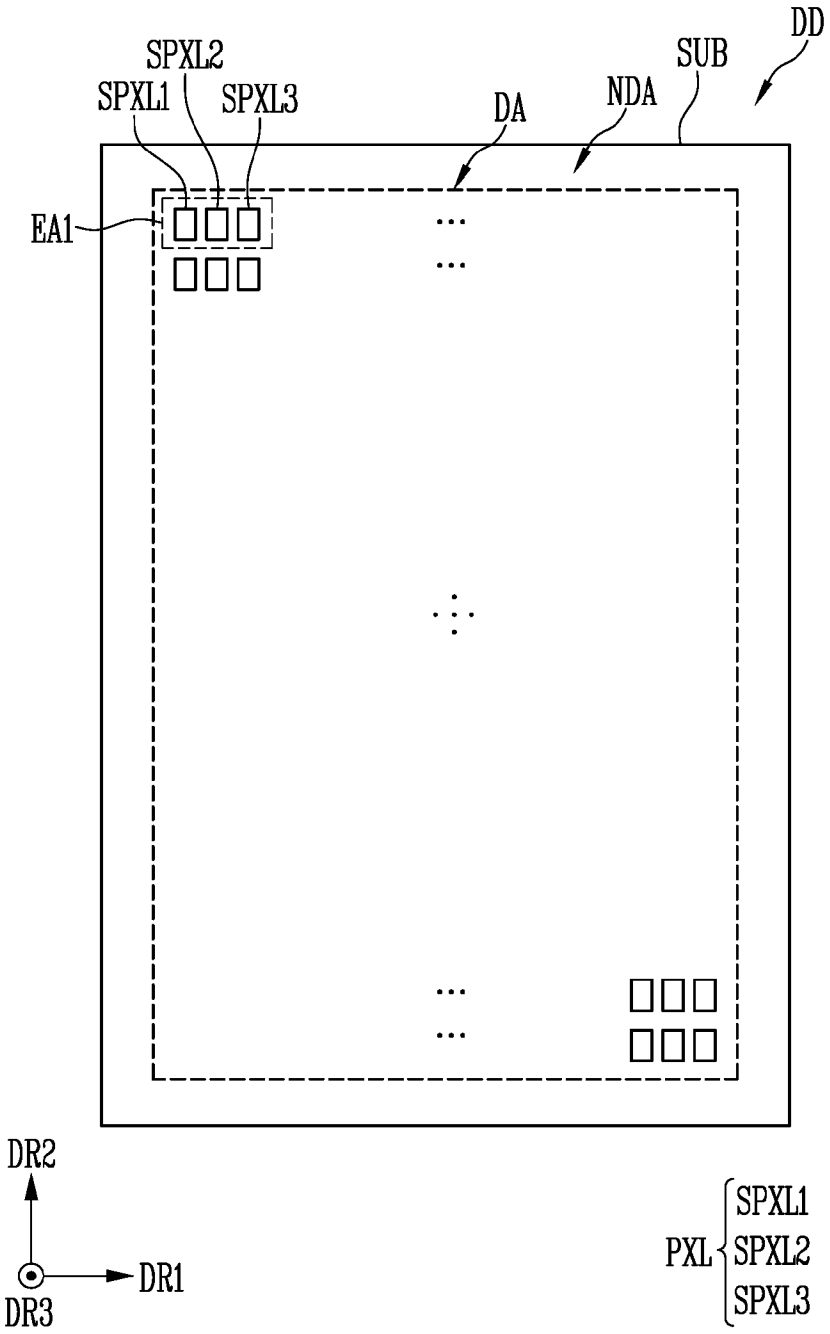
[청구항 19] 제15 항에 있어서,
상기 제2 방향과 상기 제1 배열 방향은 예각을 가지는 사잇각을 형성하는, 표시 장치의 제조 방법.

[청구항 20] 제15 항에 있어서,
상기 차광층과 동일한 층에 배치되는 제1 파장 변환 패턴, 제2 파장 변환 패턴, 및 광 투과 패턴을 형성하는 단계를 더 포함하고,
상기 차광층을 배치하는 단계는, 상기 제1 서브 화소 영역 및 상기 제2 서브 화소 영역과 상기 제1 방향을 따라 이격되고, 상기 제2 방향으로 연장하는 제3 서브 화소 영역이 정의되도록 상기 차광층을 형성하는 단계를 포함하고,
상기 복수의 발광 소자는 제3 색의 광을 발산하고,
상기 제1 파장 변환 패턴은 상기 제3 색의 광을 제1 색의 광으로 변경시키고, 상기 제2 파장 변환 패턴은 상기 제3 색의 광을 상기 제2 색의 광으로 변경시키고, 상기 광 투과 패턴은 상기 제3 색의 광을 투과시키고,
상기 복수의 발광 소자는, 상기 제1 서브 화소 영역 및 상기 제1 파장 변환 패턴과 중첩하는 제1 발광 소자들, 상기 제2 서브 화소 영역 및 상기 제2 파장 변환 패턴과 중첩하는 제2 발광 소자들, 및 상기 제3 서브 화소 영역 및 상기 광 투과 패턴과 중첩하는 제3 발광 소자들을 포함하는, 표시 장치의 제조 방법.

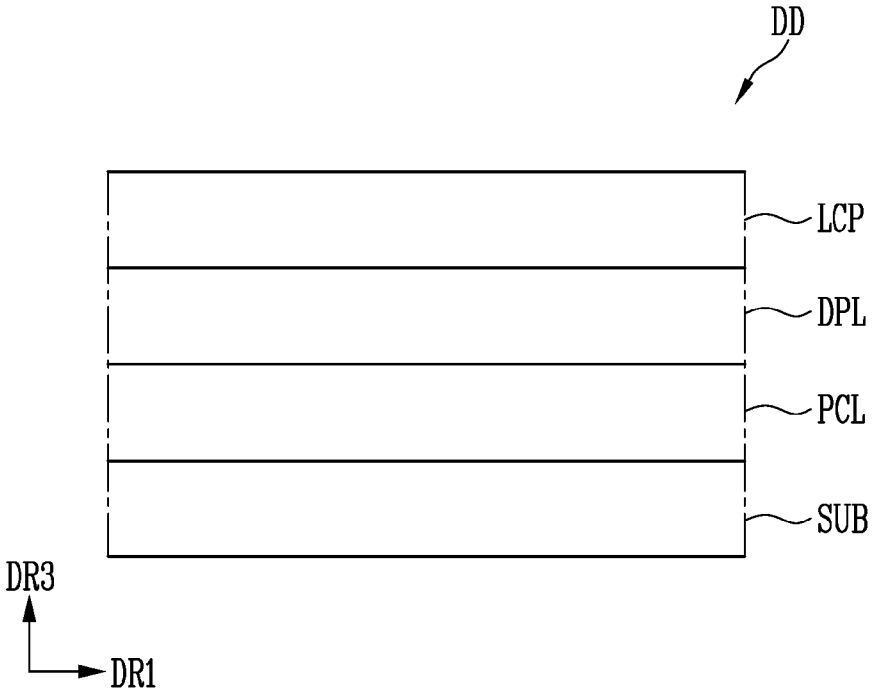
[도1]



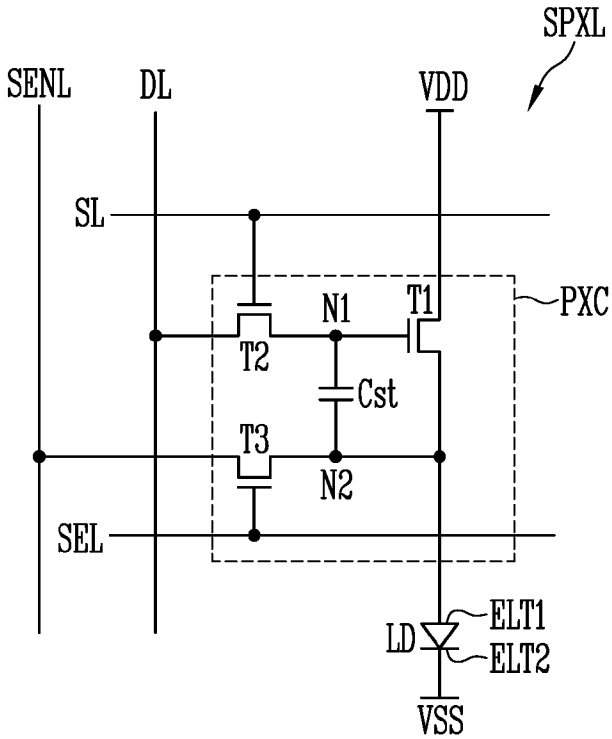
[도2]


DD
SUB
NDA
DA
SPXL2
SPXL1
SPXL3
EA1
DR2
DR1
DR3
PXL
SPXL1
SPXL2
SPXL3

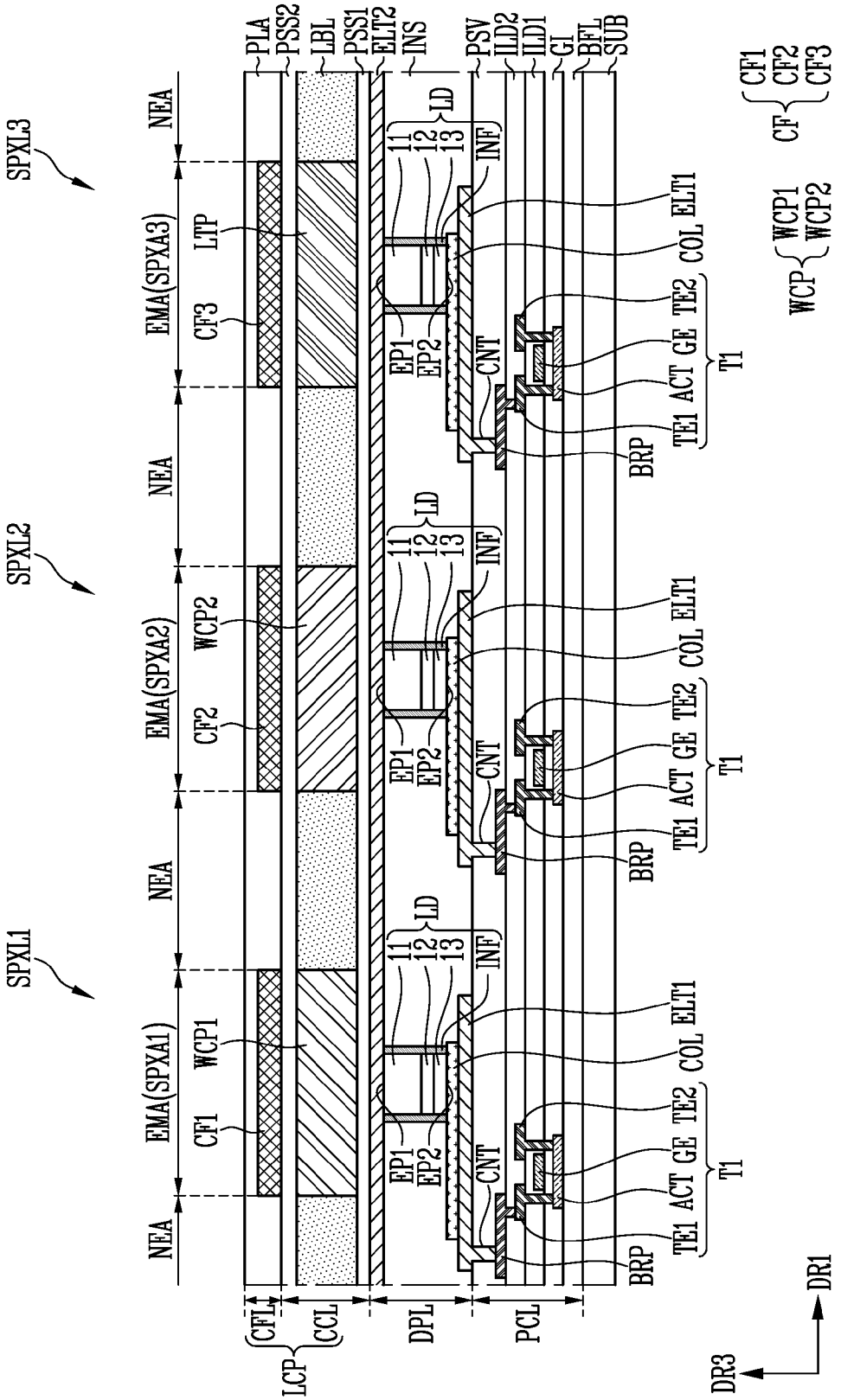
[도3]


DD
LCP
DPL
PCL
SUB
DR3
DR1

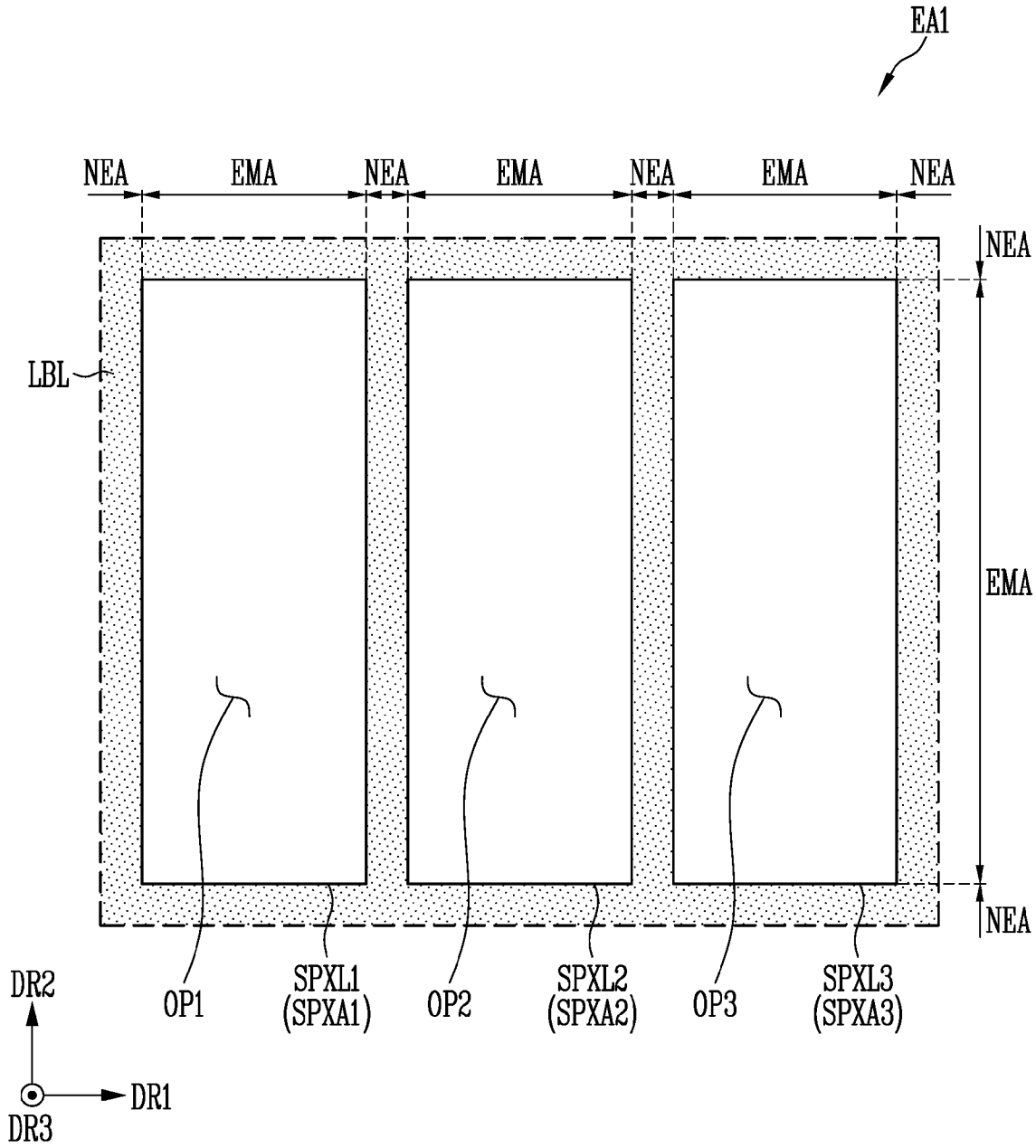
[도4]


SPXL
SENL
DL
VDD
SL
PXC
N1
T1
T2
Cst
T3
N2
SEL
ELT1
LD
ELT2
VSS

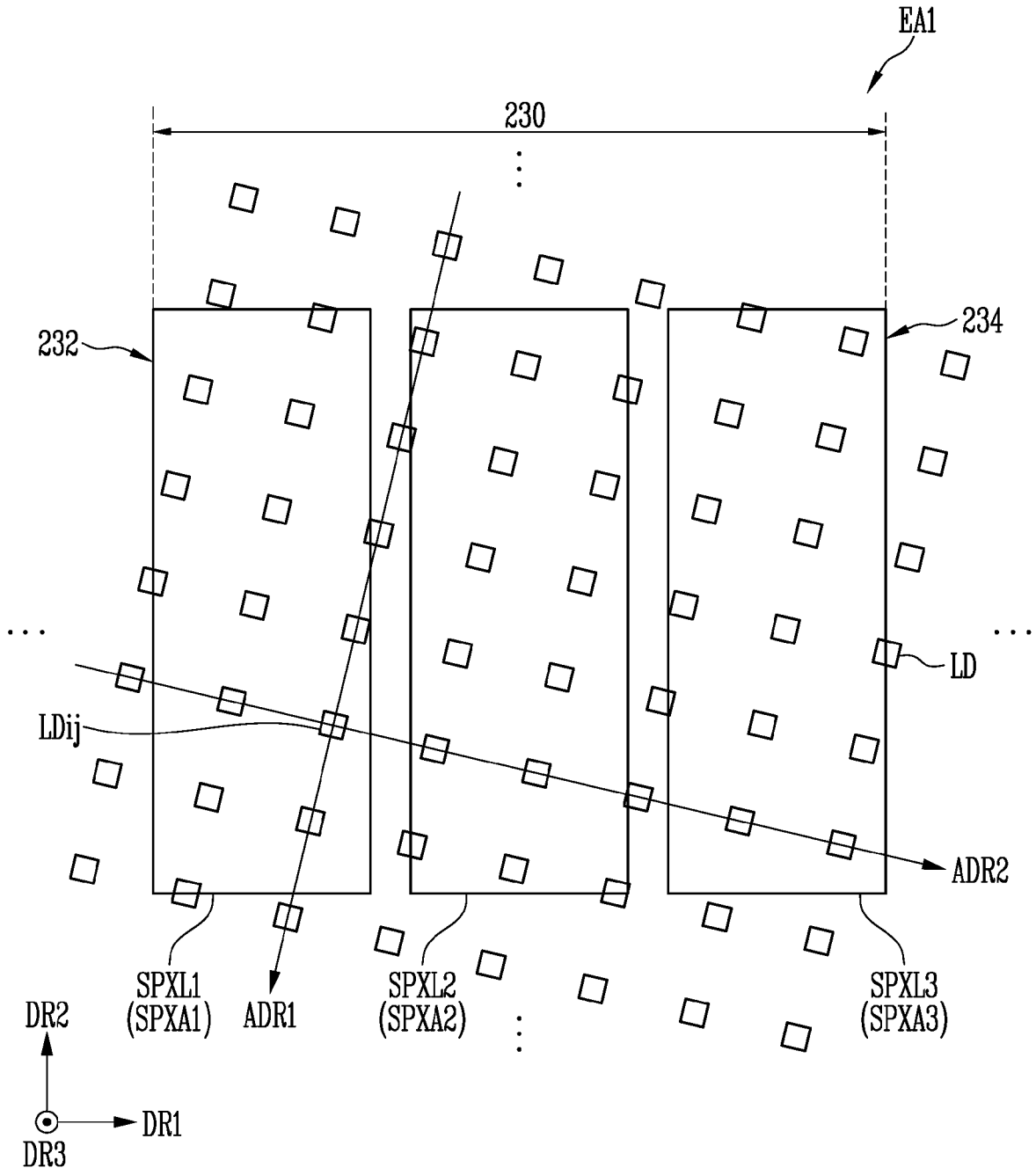
[도5]


SPXL1
SPXL2
SPXL3
NEA
EMA(SPXA1)
EMA(SPXA2)
EMA(SPXA3)
CF1
CF2
CF3
WCP1
WCP2
LTP
PLA
PSS2
LBL
PSS1
ELT2
INS
PSV
ILD2
ILD1
GI
BFL
SUB
LD
11
12
13
INF
EP1
EP2
CNT
BRP
TE1
ACT
GE
TE2
T1
COL
ELT1
CFL
CCL
LCP
DPL
PCL
WCP
CF
DR1
DR3

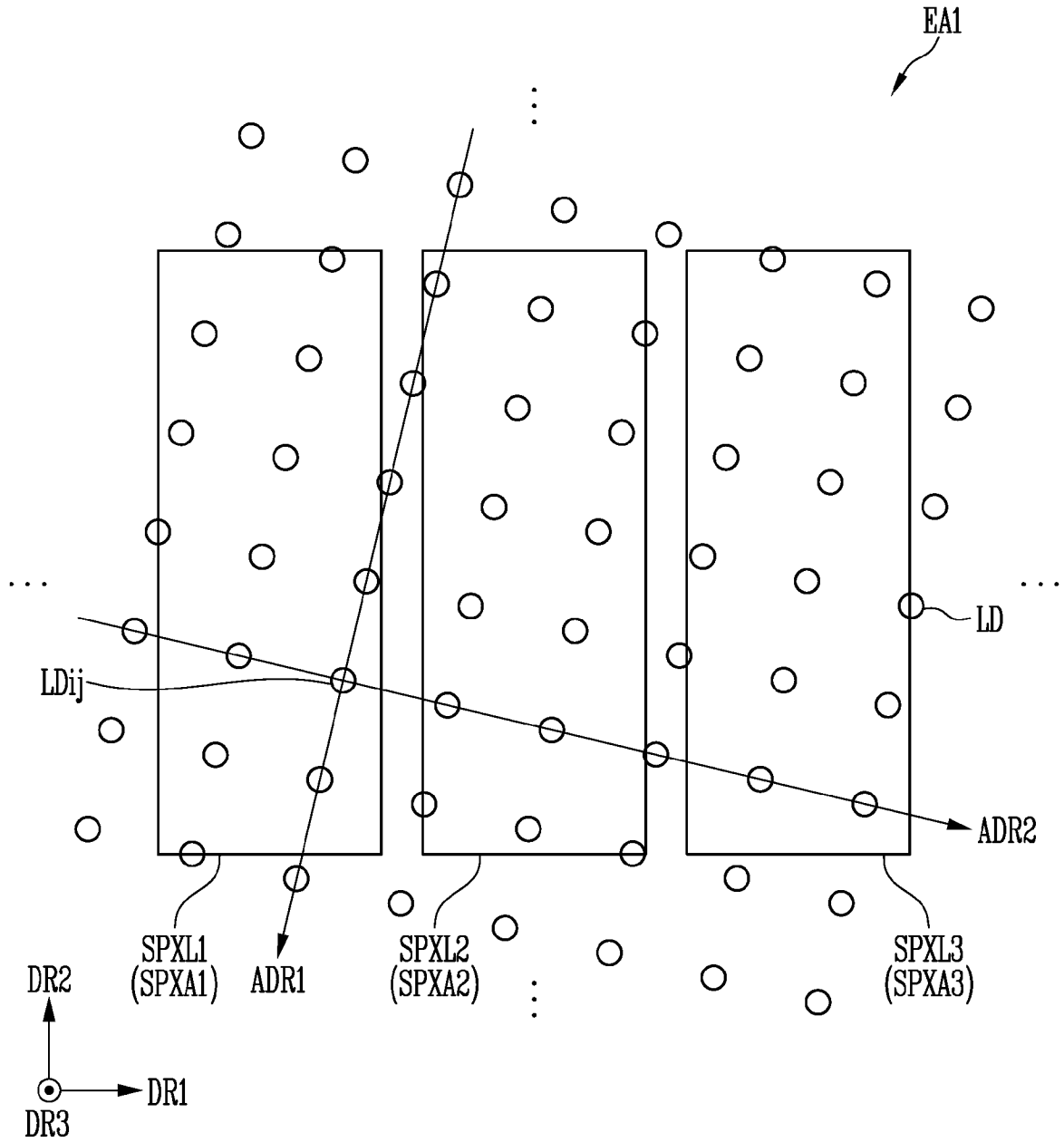
[도6]


EA1
NEA
EMA
NEA
EMA
NEA
EMA
NEA
NEA
LBL
EMA
NEA
OP1
SPXL1
(SPXA1)
OP2
SPXL2
(SPXA2)
OP3
SPXL3
(SPXA3)
DR2
DR1
DR3

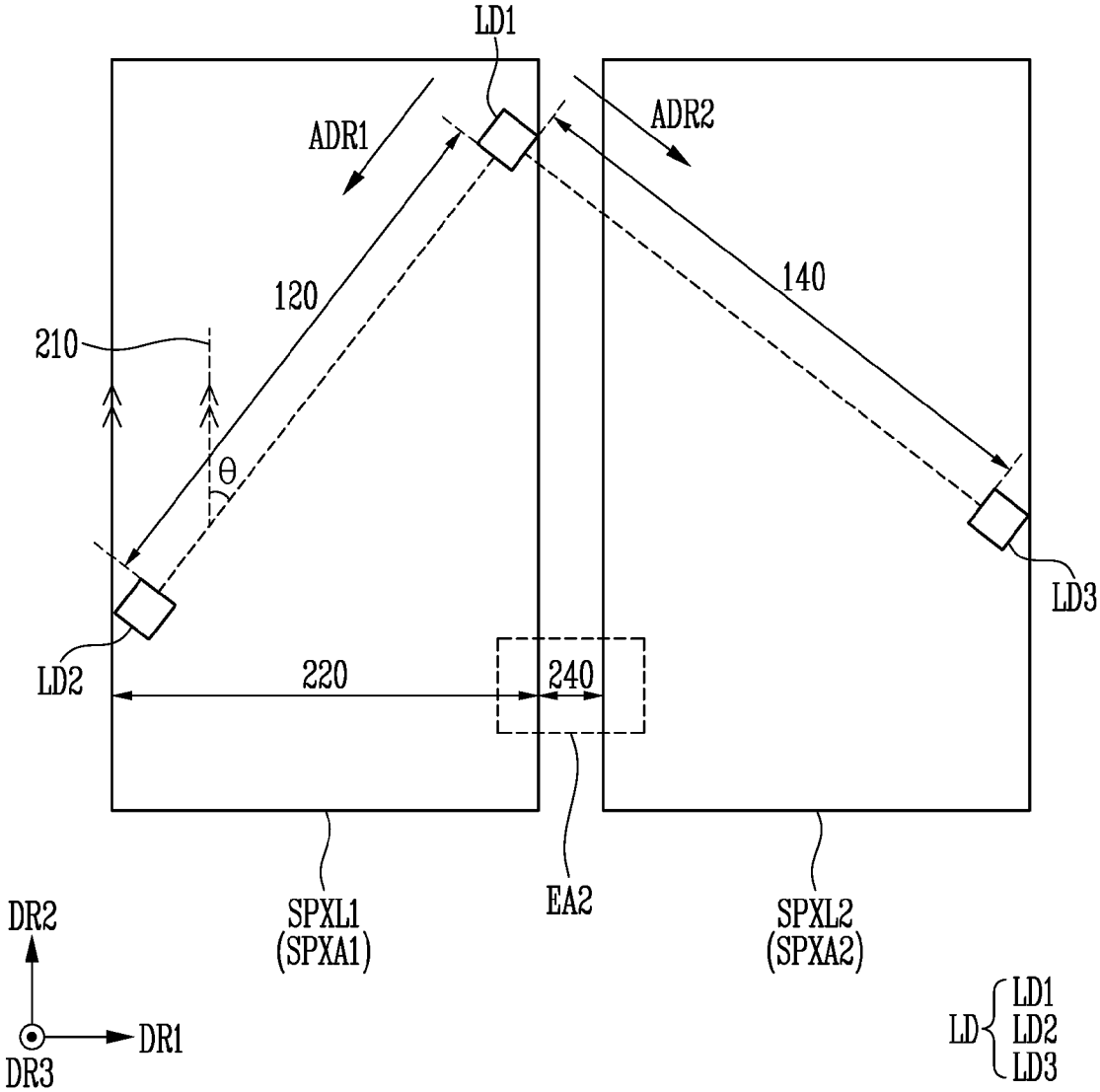
[도7]


EA1
230
232
234
LD
LDij
ADR2
SPXL1
(SPXA1)
ADR1
SPXL2
(SPXA2)
SPXL3
(SPXA3)
DR2
DR1
DR3

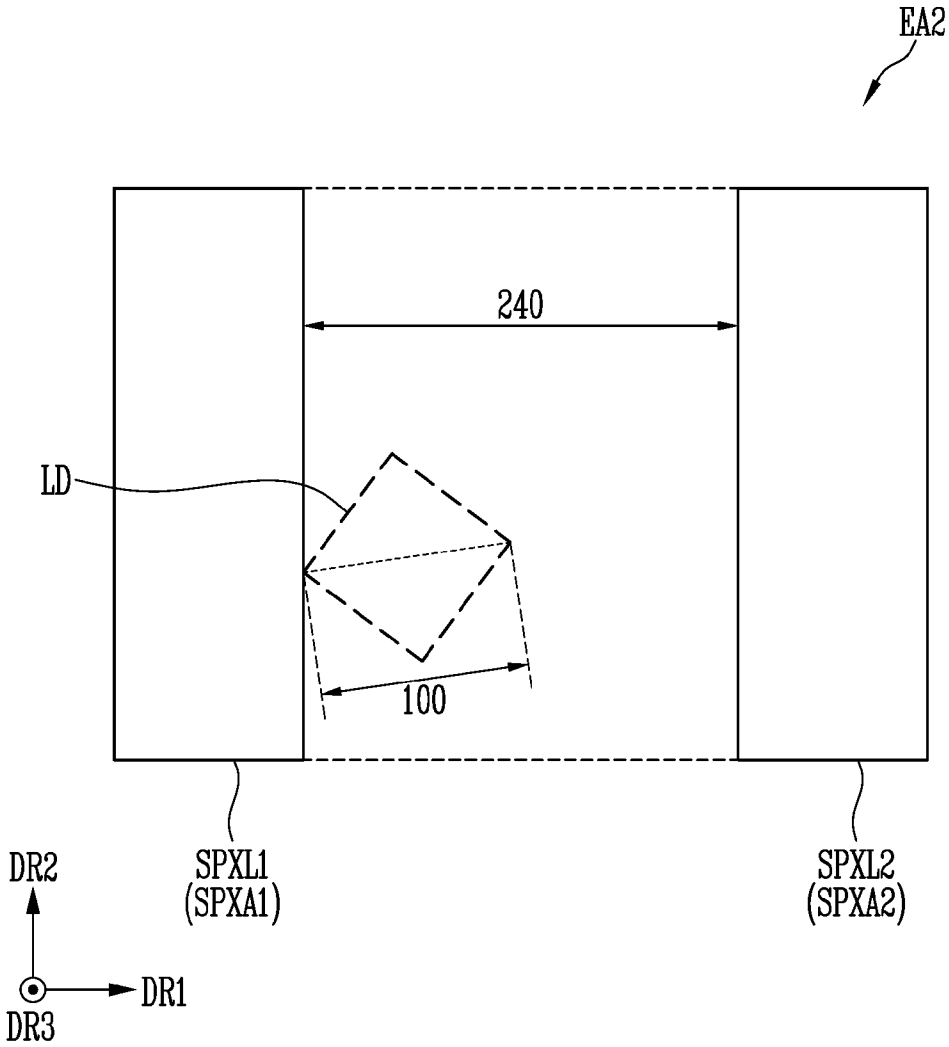
[도8]


EA1
LD
LDij
ADR2
SPXL1
(SPXA1)
ADR1
SPXL2
(SPXA2)
SPXL3
(SPXA3)
DR2
DR1
DR3

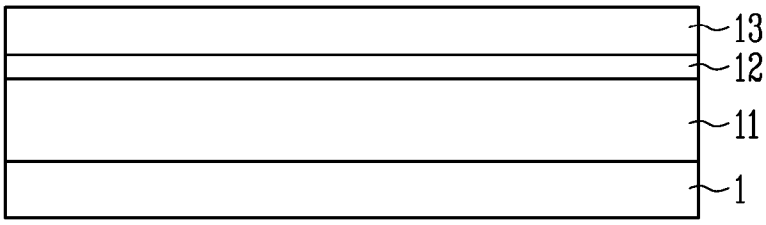
[도9]


LD1
ADR1
ADR2
120
140
210
θ
LD3
LD2
220
240
SPXL1
(SPXA1)
EA2
SPXL2
(SPXA2)
DR2
DR1
DR3
LD
LD1
LD2
LD3

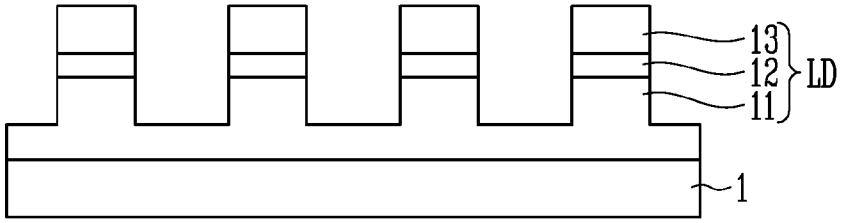
[도10]


EA2
240
LD
100
SPXL1
(SPXA1)
SPXL2
(SPXA2)
DR2
DR1
DR3

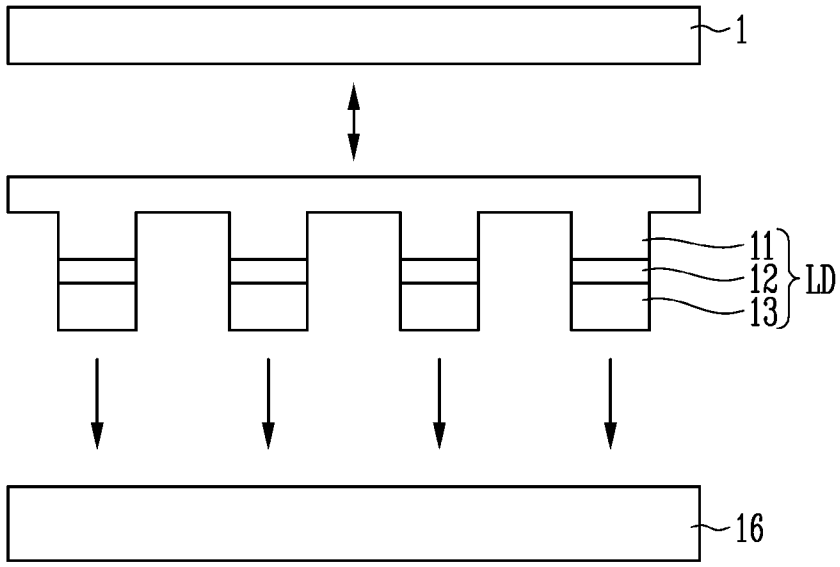
[도11]


13
12
11
1

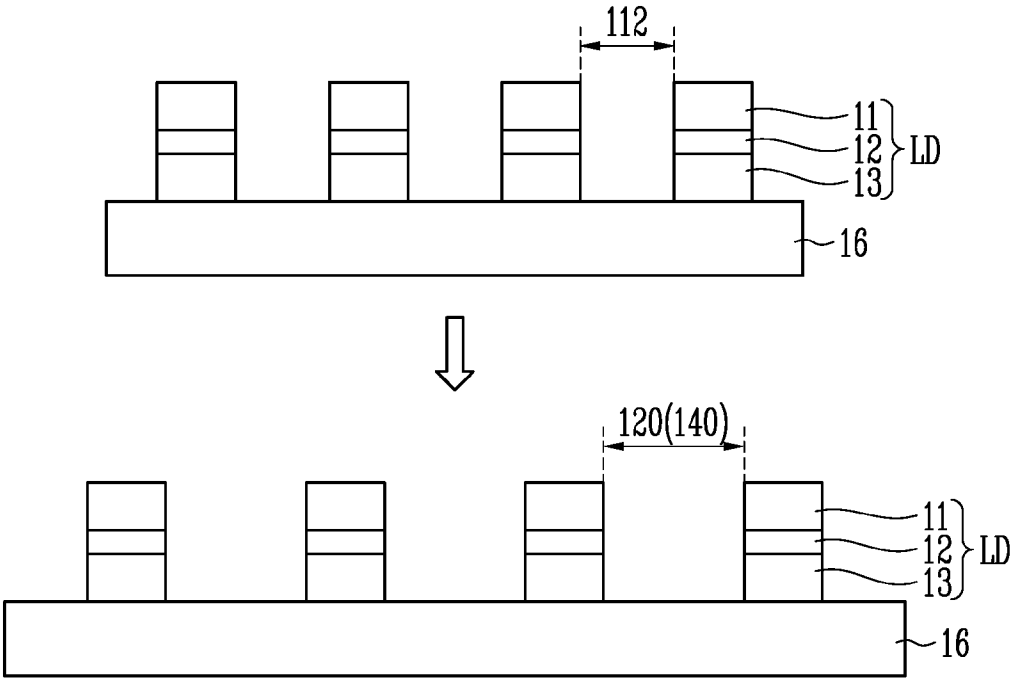
[도12]


13
12
11
LD
1

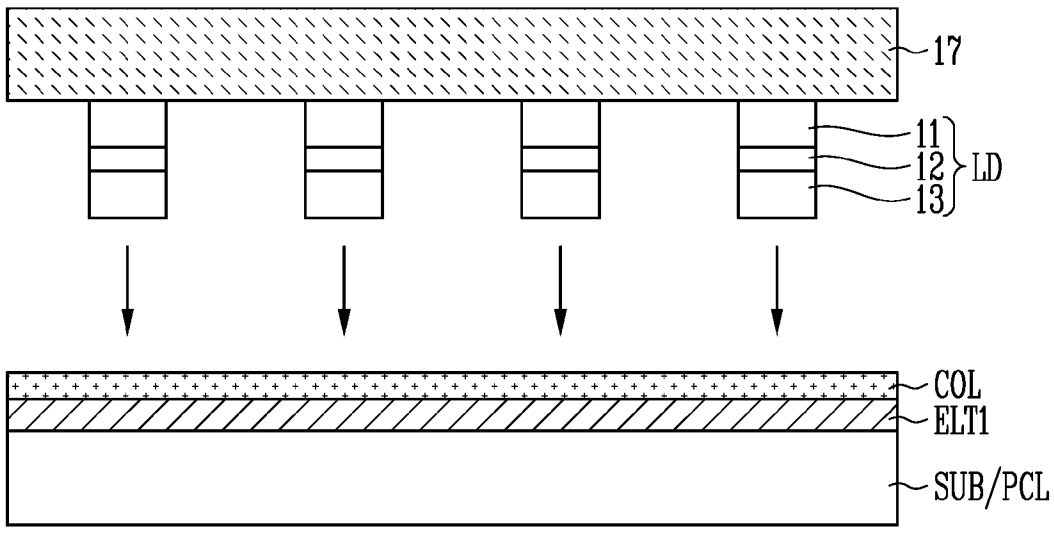
[도13]


1
11
12
13
LD
16

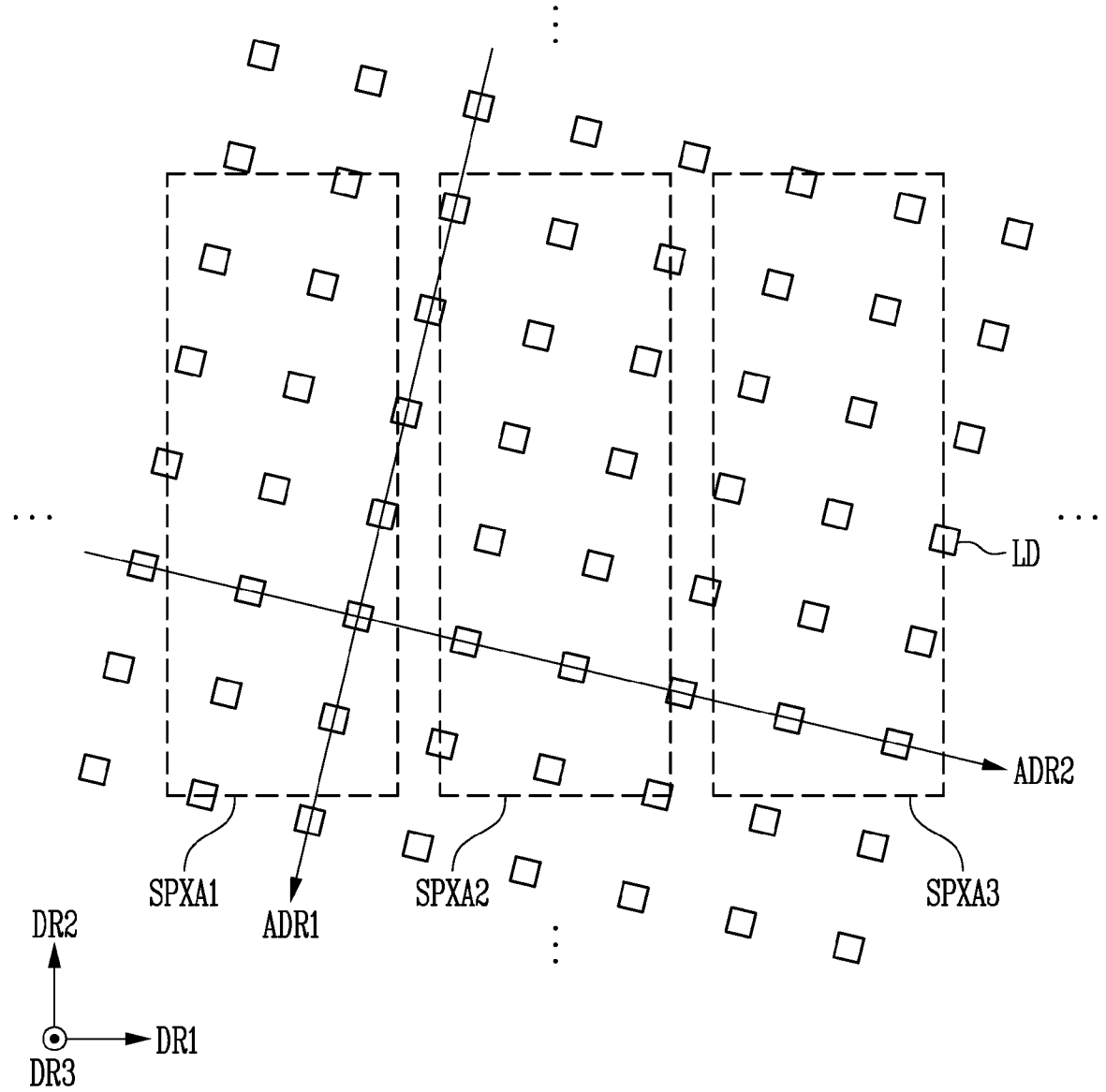
[도14]


112
11
12
13
LD
16
120(140)
11
12
13
LD
16

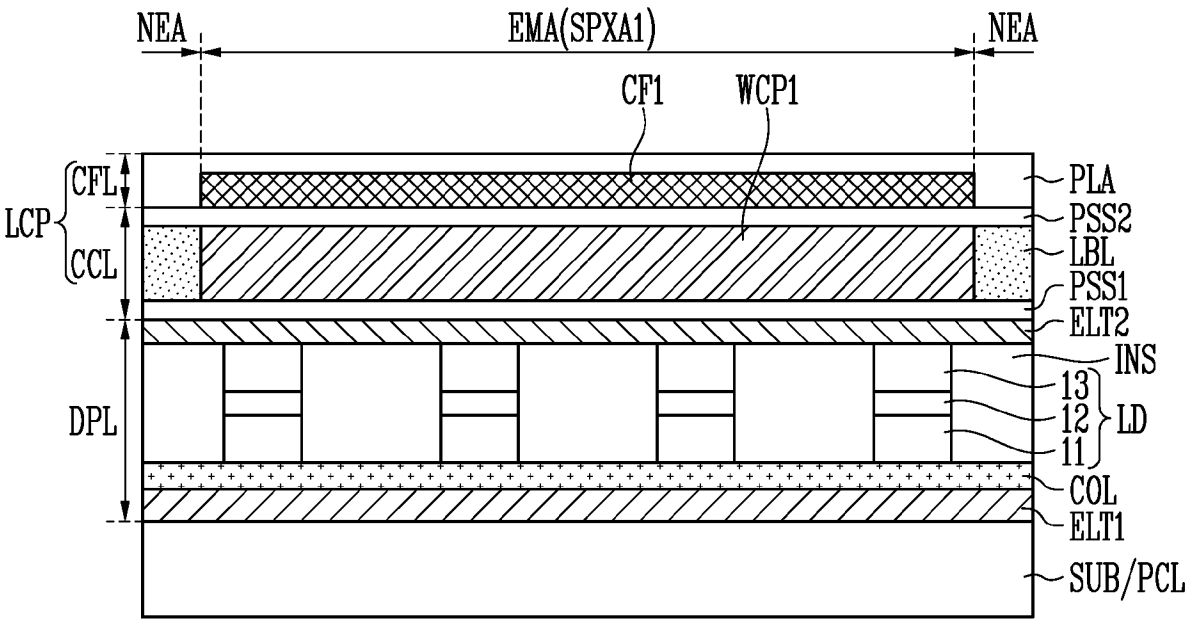
[도15]


17
11
12
13
LD
COL
ELT1
SUB/PCL

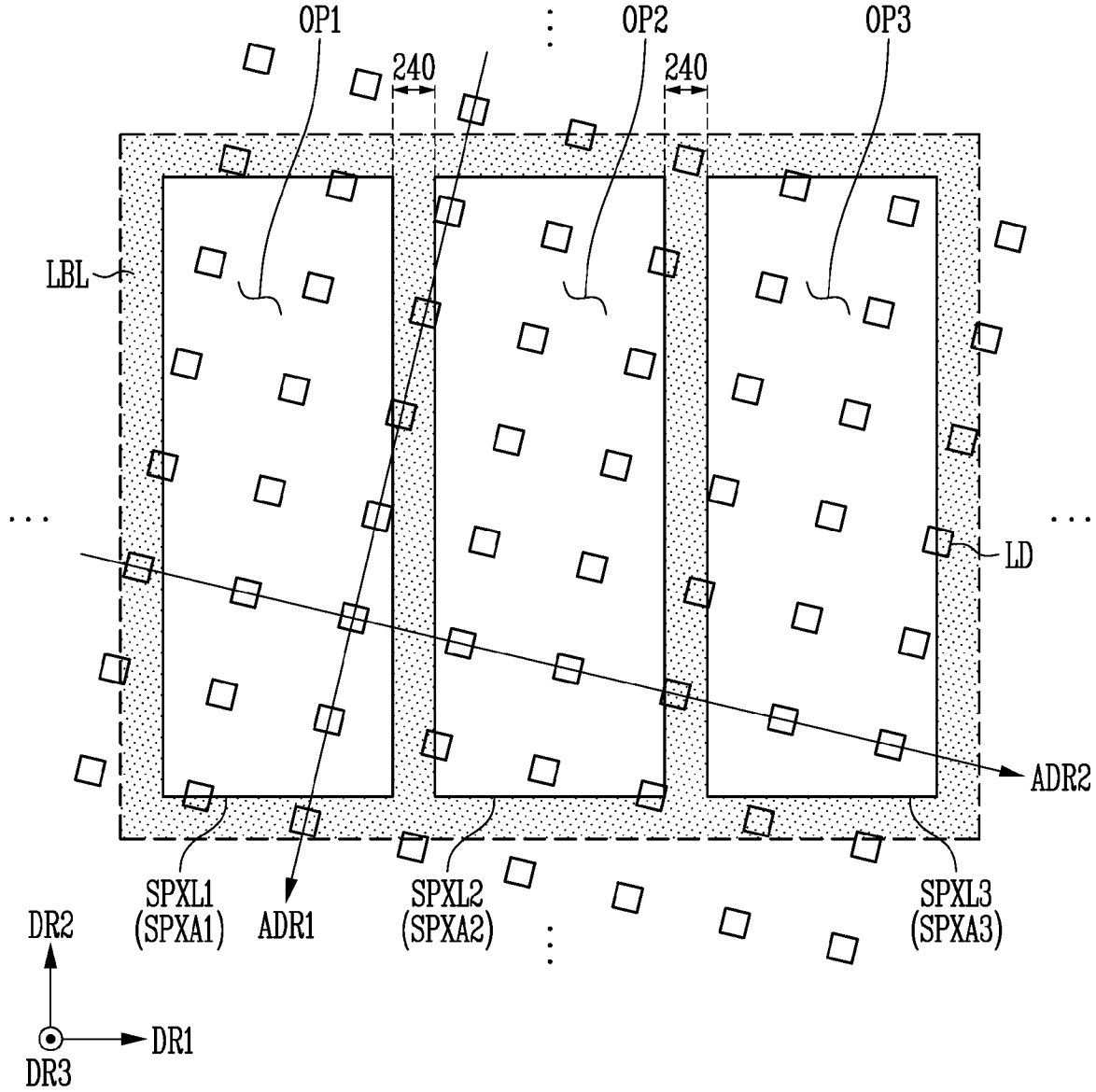
[도16]


LD
ADR2
SPXA1
ADR1
SPXA2
SPXA3
DR2
DR1
DR3

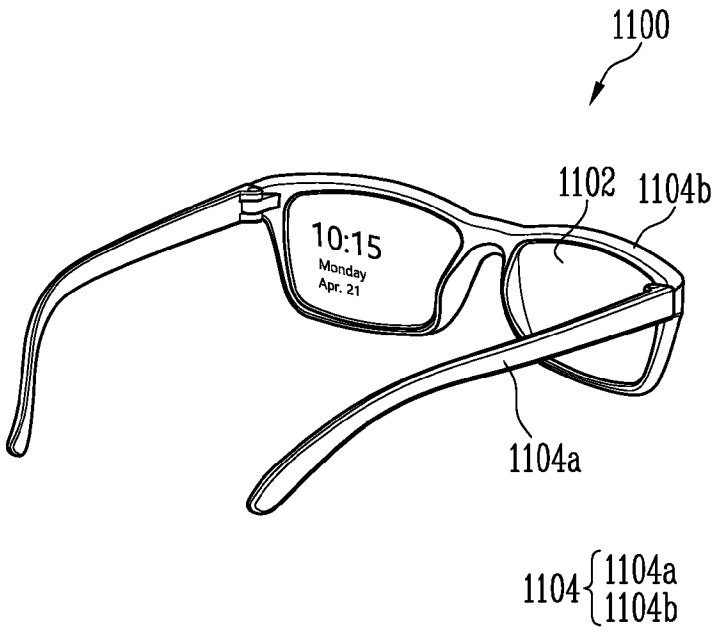
[도17]


NEA
EMA(SPXA1)
NEA
CF1
WCP1
LCP
CFL
CCL
DPL
PLA
PSS2
LBL
PSS1
ELT2
INS
13
12
11
LD
COL
ELT1
SUB/PCL

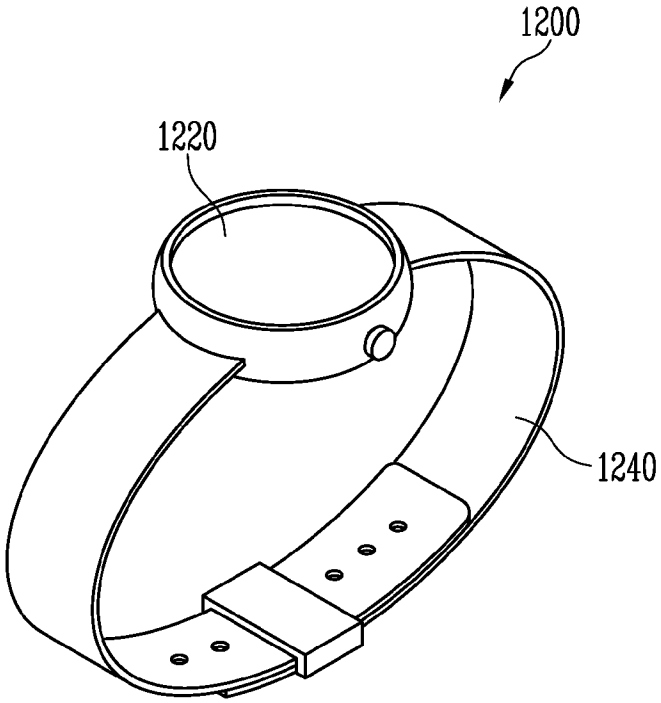
[도18]


OP1
OP2
OP3
240
240
LBL
LD
ADR2
SPXL1
(SPXA1)
ADR1
SPXL2
(SPXA2)
SPXL3
(SPXA3)
DR2
DR1
DR3

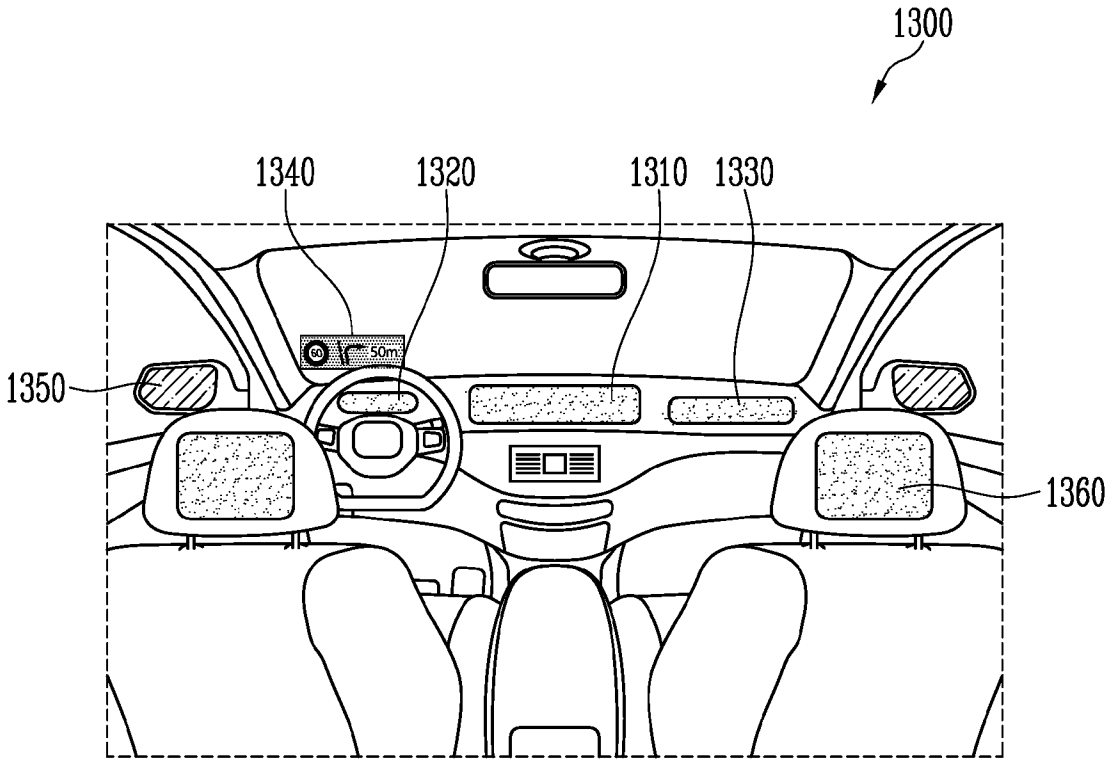
[도19]


1100
1102
1104b
10:15
Monday
Apr. 21
1104a
1104
1104a
1104b

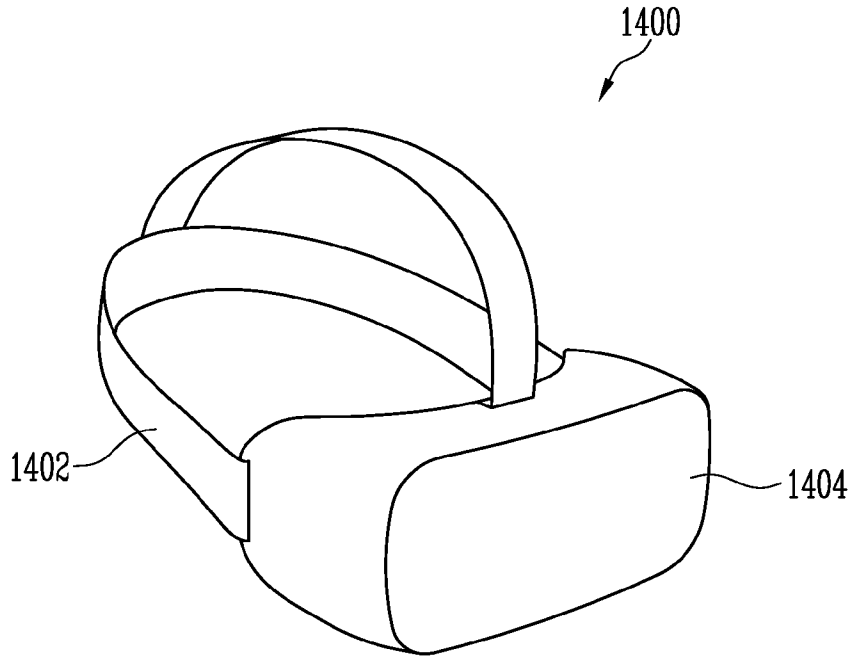
[도20]



[도21]



[도22]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/KR2022/001067

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/15(2006.01)i; **H01L 27/12**(2006.01)i; **H01L 25/075**(2006.01)i; **H01L 33/00**(2010.01)i; **H01L 33/58**(2010.01)i; **H01L 33/50**(2010.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 27/15(2006.01); H01L 27/32(2006.01); H01L 33/00(2010.01); H01L 33/08(2010.01); H01L 33/36(2010.01); H01L 33/38(2010.01); H01L 33/40(2010.01); H01L 33/62(2010.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above
Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & keywords: 발광소자(LED), 표시장치(display), 방향(direction), 화소(pixel), 차광층(light blocking layer)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 10-2020-0056213 A (SEOUL NATIONAL UNIVERSITY R&DB FOUNDATION) 22 May 2020 (2020-05-22) See paragraphs [0042]-[0052] and figures 3-5.	1-20
A	KR 10-2019-0070633 A (LG DISPLAY CO., LTD.) 21 June 2019 (2019-06-21) See paragraphs [0094]-[0098] and figures 7a-7b.	1-20
A	KR 10-2018-0102424 A (LG ELECTRONICS INC.) 17 September 2018 (2018-09-17) See claim 8.	1-20
A	KR 10-2020-0026285 A (COMMISSARIAT A L'ENERGIE ATOMIQUE ET AUX ENERGIES ALTERNATIVES) 10 March 2020 (2020-03-10) See entire document.	1-20
A	KR 10-2020-0006208 A (SAMSUNG DISPLAY CO., LTD.) 20 January 2020 (2020-01-20) See entire document.	1-20

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
26 April 2022	**26 April 2022**

Name and mailing address of the ISA/KR	Authorized officer
Korean Intellectual Property Office **Government Complex-Daejeon Building 4, 189 Cheongsa-ro, Seo-gu, Daejeon 35208**	
Facsimile No. **+82-42-481-8578**	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/KR2022/001067

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
KR 10-2020-0056213 A	22 May 2020	CN 111192895 A	22 May 2020
		EP 3654375 A1	20 May 2020
		JP 2020-086452 A	04 June 2020
		TW 202036886 A	01 October 2020
		US 11251337 B2	15 February 2022
		US 2020-0152832 A1	14 May 2020
KR 10-2019-0070633 A	21 June 2019	None	
KR 10-2018-0102424 A	17 September 2018	None	
KR 10-2020-0026285 A	10 March 2020	CN 110832637 A	21 February 2020
		EP 3649672 A1	13 May 2020
		EP 3649672 B1	16 February 2022
		FR 3068819 A1	11 January 2019
		FR 3068819 B1	08 November 2019
		JP 2020-525836 A	27 August 2020
		US 2021-0142716 A1	13 May 2021
		WO 2019-008262 A1	10 January 2019
KR 10-2020-0006208 A	20 January 2020	CN 112335051 A	05 February 2021
		EP 3823028 A1	19 May 2021
		JP 2021-529999 A	04 November 2021
		TW 202013025 A	01 April 2020
		US 2021-0288033 A1	16 September 2021
		WO 2020-013386 A1	16 January 2020

국 제 조 사 보 고 서

국제출원번호
PCT/KR2022/001067

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 27/15(2006.01)i; **H01L 27/12**(2006.01)i; **H01L 25/075**(2006.01)i; **H01L 33/00**(2010.01)i; **H01L 33/58**(2010.01)i; **H01L 33/50**(2010.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 27/15(2006.01); H01L 27/32(2006.01); H01L 33/00(2010.01); H01L 33/08(2010.01); H01L 33/36(2010.01); H01L 33/38(2010.01); H01L 33/40(2010.01); H01L 33/62(2010.01)

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 발광소자(LED), 표시장치(display), 방향(direction), 화소(pixel), 차광층(light blocking layer)

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	KR 10-2020-0056213 A (서울대학교산학협력단) 2020.05.22 단락 [0042]-[0052] 및 도면 3-5	1-20
A	KR 10-2019-0070633 A (엘지디스플레이 주식회사) 2019.06.21 단락 [0094]-[0098] 및 도면 7a-7b	1-20
A	KR 10-2018-0102424 A (엘지전자 주식회사) 2018.09.17 청구항 8	1-20
A	KR 10-2020-0026285 A (꼼미사리아 아 레네르지 아토미끄 에뜨 옥스 에너지스 앨터네이티브즈) 2020.03.10 전체 문헌	1-20
A	KR 10-2020-0006208 A (삼성디스플레이 주식회사) 2020.01.20 전체 문헌	1-20

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☑ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

"A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌
"D" 본 국제출원에서 출원인이 인용한 문헌
"E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌
"L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌
"O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌
"P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌
"T" 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌
"X" 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.
"Y" 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.
"&" 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일	국제조사보고서 발송일
2022년04월26일(26.04.2022)	**2022년04월26일(26.04.2022)**

ISA/KR의 명칭 및 우편주소	심사관
대한민국 특허청 **(35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사)**	**박혜련**
팩스 번호 **+82-42-481-8578**	전화번호 **+82--**

국 제 조 사 보 고 서
대응특허에 관한 정보

국제출원번호
PCT/KR2022/001067

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2020-0056213 A	2020/05/22	CN 111192895 A	2020/05/22
		EP 3654375 A1	2020/05/20
		JP 2020-086452 A	2020/06/04
		TW 202036886 A	2020/10/01
		US 11251337 B2	2022/02/15
		US 2020-0152832 A1	2020/05/14
KR 10-2019-0070633 A	2019/06/21	없음	
KR 10-2018-0102424 A	2018/09/17	없음	
KR 10-2020-0026285 A	2020/03/10	CN 110832637 A	2020/02/21
		EP 3649672 A1	2020/05/13
		EP 3649672 B1	2022/02/16
		FR 3068819 A1	2019/01/11
		FR 3068819 B1	2019/11/08
		JP 2020-525836 A	2020/08/27
		US 2021-0142716 A1	2021/05/13
		WO 2019-008262 A1	2019/01/10
KR 10-2020-0006208 A	2020/01/20	CN 112335051 A	2021/02/05
		EP 3823028 A1	2021/05/19
		JP 2021-529999 A	2021/11/04
		TW 202013025 A	2020/04/01
		US 2021-0288033 A1	2021/09/16
		WO 2020-013386 A1	2020/01/16