



Patent dodatkowy
do patentu nr _____

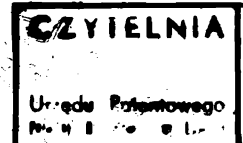
Zgłoszono: 01.02.77 (P. 195731)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 14.08.78

Opis patentowy opublikowano: 25.09.1980

Int. Cl.² G06F 7/38
G06F 15/32



Twórcy wynalazku: Stanisław Majerski, Władysław Majerski

Uprawniony z patentu: Instytut Maszyn Matematycznych, Warszawa
(Polska)

Układ cyfrowy do obliczania wartości złożonych wyrażeń arytmetycznych

1

Przedmiotem wynalazku jest układ cyfrowy do obliczania wartości złożonych wyrażeń arytmetycznych, na liczbach przedstawionych w zapisie binarnym, w szczególności do obliczania wartości

wyrażeń wielomianowych $\sum_{i=1}^n \pi_{ij} x_{ij}$, zwłaszcza

dla liczb x_{ij} o wielu bitach znaczących i dla dużych wartości n . Układ jest przeznaczony głównie do zastosowania w dużych komputerach i systemach komputerowych, zwłaszcza w szybkich specjalizowanych procesorach do obliczeń numerycznych, oraz innych szybkich urządzeniach cyfrowych realizujących operacje arytmetyczne. Układ może być stosowany do równoczesnego obliczania kilku niezależnych wyrażeń arytmetycznych oraz dostosowany jako oddzielny moduł cyfrowy do wielozadaniowej bezkolizyjnej współpracy z kilkoma komputerami.

W znanych rozwiązaniach elektronicznych maszyn i urządzeń cyfrowych obliczanie wartości złożonych wyrażeń arytmetycznych sprowadza się zwykle do wykonywania kolejnych działań arytmetycznych, których wyniki stanowią z kolei argumenty następnych działań występujących w tych wyrażeniach, aż do uzyskania wyniku końcowego. Znane są elektroniczne układy cyfrowe, do szybkiego wykonywania działań mnożenia i dodawania. Działania te stanowią podstawowe operacje przy obliczaniu wartości wielu wyrażeń arytmetycznych, a w szczególności wyrażeń wielomiano-

2

wych $\sum_{i=1}^n \pi_{ij} x_{ij}$. Szczególnie istotna jest tu szybkość wykonywania mnożenia jako działania znacznie bardziej czasochłonnego niż dodawanie.

Znane są układy cyfrowe o strukturze dostosowanej do potokowego przetwarzania /pipeline processing/ informacji, zapewniające bardzo dużą efektywną szybkość przetwarzania informacji, a w szczególności bardzo szybkie wykonywanie długich sekwencji mnożeń i dodawań. W znanym elektronicznym układzie cyfrowym do bardzo szybkiego mnożenia dwóch liczb binarnych, są do siebie równolegle dodawane równocześnie wszystkie, przyporządkowane kolejnym grupom bitów mnożnika, iloczyny częściowe potrzebne do wyznaczenia iloczynu końcowego.

W układzie mnożenia liczb 48-bitowych, w którym pojedyncze iloczyny częściowe przyporządkowane są parom kolejnych bitów mnożnika, dodawane są równocześnie 24 takie iloczyny. Zespół cyfrowy wykonujący to dodawanie złożony jest z 22 sumatorów z zachowaniem przeniesień /carry-save adders/ i 1 sumatora z propagacją przeniesień /carry propagating adder/. Sumatory te są połączone w wielowarstwową kaskadę zawierającą w 7 warstwach kolejno 8, 5, 3, 2, 2, 1, 1 sumatorów z zachowaniem przeniesień i w ósmej warstwie i sumator z propagacją przeniesień,

Wszystkie te sumatory tworzą zespół cyfrowy stanowiący jedną łączną kombinacyjną sieć przelączającą bez elementów pamiętających. Czas wykonania dodawania 24 iloczynów częściowych propagacji przeniesień przez 1 sumator około 90 po- w takim zespole sumatorów jest sumą maksymalnego czasu propagacji sygnałów przez 7 połączo- nych w szeregu sumatorów jednopozycyjnych i pro- pagacji przeniesień przez 1 sumator około 90 po- zycyjny. Ten ostatni sumator posiada rozbudowa- ne obwody przeskoków przeniesień /carry skips, lub carry look-ahead/ dla zminimalizowania mak- symalnego czasu propagacji przeniesień.

Iloczyni częściowe, dodawane w omówionym ze- stawie sumatorów, stanowią wzajemnie przesunię- te wielokrotności mnożnej, przyporządkowane par- om bitów mnożnika, reprezentującym liczby całko- wite z zakresu od 0 do 3. Dla uniknięcia czaso- chłonnego wyznaczenia 3-krotnej mnożnej, wyma- gającego dodatkowego dodawania mnożnej i prze- suniętej mnożnej, omawiany układ mnożenia zawie- ra sieć przelączającą, przekształcającą równoległe mnożnik. Sygnały wyjściowe tej sieci przyporząd- kowane kolejnym grupom bitów mnożnika, repre- zentują, zamiast liczb 0, 1, 2, 3 liczby -2, -1, 0, 1, 2. Dwukrotną mnożną otrzymuje się w oma- wianym układzie mnożenia przez przesunięcie mnożnej o jeden bit w lewo, a wielokrotności ujemne — przez zanegowanie bitów wielokrotności dodatnich i korekcyjną jedynkę na najmniej zna- czącej pozycji binarnej.

Układ mnożenia zawierający omówiony zestaw sumatorów opisany został w pracach: C. S. Wallace „A Suggestion for a Fast Multiplier”, The Insti- tute of Electrical and Electronics Engineers, Tran- sactions on Electronics Computers, tom EC-13, strony 14—17, luty 1964; T. G. Hallin, M. J. Flynn „Pipelining of Arithmetic Functions”, The Insti- tute of Electrical and Electronics Engineers, Tran- sactions on Electronic Computers, tom EC-21, strony 880—886, sierpień 1972; J. W. Gawriłow, A. N. Puczko „Arifmeticeskije ustroistwa bystro- diejstwujuszczich elektronnych cifrowych wyczisl- tielnych maszin”. Izdatielstwo: Sowietskoje radio, Moskwa 1970, strony 133—180, a obwody przeko- ków przeniesień /carry look-ahead/ w pracy: O. L. MacSorley „High Speed Arithmetic in Binary Computers”, Proceedings of The Institute of Radio Engineers, tom 49, numer 1, 1961, strony 67—91.

W znanych układach cyfrowych o strukturze dostosowanej do potokowego przetwarzania infor- macji, warstwy sieci przelączających przetwarzają- ce informacje są rozdzielone od siebie warstwa- mi rejestrów, dla zapewnienia w poszczególnych warstwach sieci przelączających stopniowego wy- konywania, w tym samym czasie, części różnych operacji. Przetwarzanie kolejnych informacji od- bywa się w poszczególnych warstwach takich u- kładów z jednakową częstotliwością dostosowaną do maksymalnego opóźnienia warstwy. Potokowe przetwarzanie informacji opisane zostało między innymi w pracach: M. J. Flynn „Pipelining of Arithmetic Functions”, The Institute of Electrical and Electronics Engineers, Transactions on Elec- tronic Computers, tom EC-21, strony 880—886,

sierpień 1972; T. C. Chen i inni „Introduction to Computer Architecture” rozdział 9, strona 417, Wydanie: Science Research Associates, Chicago USA 1975.

Wadą znanych układów cyfrowych, zwłaszcza przeznaczonych do złożonych obliczeń na liczbach o dużej dokładności, jest stosunkowo długi czas wykonywania poszczególnych mnożeń i dodawań. Znaczna część tego czasu przypada na propagację przeniesień, co ma miejsce nawet w przypadku bardzo szybkich sumatorów. Czas propagacji prze- niesień jako czas opóźnienia występującego przy wielu działaniach wykonywanych w trakcie obli- czania złożonych wyrażeń arytmetycznych ma po- ważny wpływ na czas trwania całego obliczania.

Celem niniejszego wynalazku jest usunięcie tej wady i wyeliminowanie, w maksymalnym stopniu wszelkich procesów przetwarzania informacji ma- jących charakter procesów szeregowych, w tym procesów propagacji przeniesień kończących dzia- łania dodawania i mnożenia.

Cel ten uzyskuje się przez zastosowanie takiej struktury logicznej układu cyfrowego, która za- pewnia potokowe przetwarzanie /pipeline proces- sing/ informacji tylko w początkowej i środkowej fazie wykonywania poszczególnych działań mnoże- nia i dodawania, wchodzących w skład obliczanych wyrażeń arytmetycznych oraz przez wykorzysta- nie nie do końca obliczonych wyników tych działań, jako operandów następnych działań mnożenia i dodawania, wchodzących w skład tych obliczeń. Eliminuje się dzięki temu w urządzeniu czasochłonne procesy propagacji przeniesień, stanowią- ce zazwyczaj końcową fazę mnożenia i dodawa- nia.

Zgodnie z wynalazkiem układ cyfrowy do obli- czania wartości złożonych wyrażeń arytmetycznych jest przeznaczony do obliczania wartości wielo- mianów dowolnego stopnia jednej i wielu zmień- nych, szeregów funkcyjnych, iloczynów skalarnych i do obliczeń różnych innych wyrażeń arytmetycz- nych, szczególnie obliczeń na danych zwektory- zowanych dla wektorów o dużej liczbie składo- wych, gdzie operandy i wyniki obliczeń są liczbami przedstawionymi w zapisie binarnym, zwykle w zapisie binarnym uzupełnieniowym lub w po- staci znak-moduł, stałoprzecinkowym lub zmień- noprzecinkowym. Układ ten zawiera zestaw reje- strów równoległych przeznaczony do pamiętania zarówno operandów występujących w obliczanych wyrażeniach jak i wyników pośrednich otrzy- mywanych w trakcie obliczania całego wyrażenia. Układ zawiera również cyfrowy zespół prze- twarzania równoległego wspomnianych operandów, połączony równoległe ze wspomnianymi rejestra- mi.

Struktura zespołu przetwarzania jest dostosowa- ną do równoległego wytwarzania iloczynów częściowych, korzystnie w postaci wzajemnie prze- suniętych wielokrotności mnożnej, stanowiących składniki pełnego iloczynu dwóch czynników, z których pierwszy czynnik jest mnożną, a drugi czynnik jest mnożnikiem złożonym z co najmniej dwóch składników mnożnika. Wspomniane iloczy-

ny częściowe są tworzone bez wykonywania efektywnego dodawania składników mnożnika.

Struktura zespołu przetwarzania jest dostosowana również do zredukowania liczby składników pełnego iloczynu i innych składników dodawanych do tego iloczynu do mniejszej liczby składników o takiej samej ich łącznej sumie. W skład zestawu rejestrów równoległych wchodzi co najmniej dwa równoległe pierwsze rejestry pamiętające składniki mnożnika oraz co najmniej dwa równoległe drugie rejestry pamiętające zredukowane składniki wyniku pośredniego przeznaczone albo do dodania do kolejnego iloczynu występującego w obliczanym wyrażeniu albo do dodania do innych składników obliczonego wyrażenia. Niektóre operandy występujące w obliczonym wyrażeniu mogą być pamiętane albo w rejestrach zestawu rejestrów wchodzących w skład układu albo w rejestrach lub pamięciach należących do innych układów cyfrowych.

W pierwszym przypadku zestaw rejestrów omawianego układu cyfrowego zawiera rejestry równoległe pamiętające mnożną i składniki dodawania, w drugim ich nie zawiera. W obu przypadkach zespół przetwarzania posiada niezależne równoległe wejścia dla wprowadzenia mnożnej, składników mnożnika i składników przeznaczonych do dodania do iloczynu lub do innych składników dodawania jak również posiada równoległe wyjścia do wyprowadzania zredukowanych składników wyjściowych stanowiących składniki wyniku pośredniego lub końcowego.

Wyjścia zespołu przetwarzania są połączone równoległe z wejściami wspomnianych równoległych pierwszych rejestrów, a wyjścia tych rejestrów są połączone równoległe z wejściami przeznaczonymi do wyprowadzenia składników mnożnika do wspomnianego zespołu przetwarzania, w celu utworzenia razem co najmniej dwóch równoległych pętli, przez które zredukowane składniki otrzymywane na wyjściach zespołu przetwarzania są wyprowadzane równocześnie i równoległe, jako składniki pośredniego wyniku znów na wejścia zespołu przetwarzania.

Wyjścia zespołu przetwarzania są połączone równoległe również z wejściami wspomnianych równoległych drugich rejestrów, a wyjścia tych rejestrów są połączone równoległe z wejściami zespołu przetwarzania, przeznaczonymi do wyprowadzania składników dla dodawania, w celu utworzenia razem co najmniej dwóch innych równoległych pętli, przez które zredukowane składniki otrzymywane na wyjściach zespołu przetwarzania są wyprowadzane równocześnie i równoległe jako składniki pośredniego wyniku znów na wejścia zespołu przetwarzania. Pod pojęciem objętego niniejszym zgłoszeniem układu rozumie się nie oddzielną jednostkę konstrukcyjną, ale zestaw współpracujących ze sobą elementów logicznych, które mogą obejmować jeden lub więcej modułów konstrukcyjnych albo stanowić część jednego modułu konstrukcyjnego.

Dla zwiększenia efektywności działania układu cyfrowego według wynalazku, zespół przetwarzania ma strukturę warstwową i zawiera warstwy

sieci przełączających rozdzielone warstwami rejestrów równoległych dla umożliwienia w kolejnych warstwach sieci przełączających stopniowego potokowego przetwarzania liczb wprowadzonych do zespołu przetwarzania. Jedna warstwa sieci przełączających dostosowana jest do równoległego przetwarzania mnożnej i składników mnożnika w iloczyny częściowe stanowiące składniki pełnego iloczynu, a pozostałe warstwy sieci przełączających dostosowane są do stopniowego redukowania liczby tych składników do mniejszej liczby składników o takiej samej ich łącznej sumie.

Wspomniane redukujące warstwy sieci przełączających złożone są z koderów posiadających po p jednobitowych wejść i po r jednobitowych wyjść, takich, że kombinacja sygnałów zero-jedynkowych na r wyjściach kodera przedstawia binarnie zakodowaną sumę jednak reprezentowanych przez sygnały zero-jedynkowe na p wejściach kodera, gdzie $3 \leq p \leq 9$ i $2 \leq r \leq 4$. Pojedyncza warstwa redukująca zespołu przetwarzania jest złożona z 1 do 4 warstw takich koderów, nie połączonych między sobą w ramach jednej warstwy koderów.

Pojedynczy szereg koderów nie połączonych między sobą, gdzie każdy z koderów posiada p wejść i r wyjść, redukuje równoległe p składników do r składników przedstawionych w zapisie binarnym, z zachowaniem ich łącznej sumy. Korzystne jest stosowanie w redukujących warstwach koderów o 3 wejściach i 2 wyjściach, czyli sumatorów jednopozycyjnych. Szereg takich nie połączonych ze sobą sumatorów jednopozycyjnych, redukuje trzy składniki do dwóch o tej samej sumie.

Układ cyfrowy pracuje synchronicznie z ustaloną częstotliwością, dostosowaną do struktury logicznej zespołu przetwarzania i szybkości działania jego składowych elementów logicznych. Częstotliwość ta zależy od maksymalnego łącznego opóźnienia wprowadzanego przez jedną warstwę zawierającą sieci przełączające i jedną warstwę rejestrów zespołu przetwarzania. Z częstotliwością tą wprowadzane są, równocześnie do wszystkich warstw rejestrów zespołu przetwarzania, zredukowane składniki z poprzedzających je warstw sieci przełączających tego zespołu. W kolejnych warstwach zespołu przetwarzania zawierających sieci przełączające występuje zatem potokowe przetwarzanie informacji.

W szczególności zespół przetwarzania ma strukturę logiczną dostosowaną do redukowania liczby składników do dwóch z zachowaniem ich łącznej sumy, a jego warstwa sieci przełączających, służąca do wytwarzania iloczynów częściowych, dostosowana jest do równoległego wytworzenia równocześnie wszystkich iloczynów częściowych potrzebnych do wyznaczenia pełnego iloczynu jednej liczby przez sumę dwóch liczb, a dokładniej pełnego iloczynu mnożnej przez dwa składniki mnożnika.

Wspomniane iloczyny częściowe stanowią albo wzajemnie przesunięte wielokrotności mnożnej o krotnościach wyrażonych liczbami całkowitymi $-1, 0, +1$, z których każda wielokrotność mnożnej przyporządkowana jest jednej parze odnoś-

dających sobie bitów wziętych z obu składników mnożnika, albo wzajemnie przesunięte wielokrotności mnożnej o krotnościach $-2, -1, 0, +1, +2$, z których każda wielokrotność mnożnej przyporządkowana jest jednej parze odpowiadających sobie grup dwubitowych wziętych z obu składników mnożnika. Korzystne przy tym jest stosowanie rozwiązań zapewniającego wyznaczenie właściwej krotności mnożnej dla każdego iloczynu częściowego, przyporządkowanego pojedynczej parze bitów z obu składników mnożnika, na podstawie tej pary bitów i ewentualnie bitów znakowych obu składników mnożnika, oraz przyporządkowanego pojedynczej parze grup dwubitowych z obu składników mnożnika, na podstawie pary grup pięciobitowych i ewentualnie bitów znakowych obu składników mnożnika.

W przypadku zapisu binarnego uzupełniającego bity znakowe są konieczne tylko do wyznaczenia iloczynu częściowego przyporządkowanego pozycji znakowej mnożnika lub przyporządkowanego grupie pozycji zawierających pozycję znakową. Wielokrotności mnożnej, odpowiadające liczbom $-2, -1, 0, +1, +2$, uzyskuje się na podstawie pojedynczej mnożnej w ten sposób, że dwukrotną mnożną uzyskuje się przez przesunięcie mnożnej o jedną pozycję binarną w lewo, a ujemne wielokrotności mnożnej uzyskuje się przez zanegowanie bitów wielokrotności dodatnich z uwzględnieniem korekcyjnej jedynki na najmniej znaczącej pozycji binarnej.

Korzystne jest, jeśli w układzie cyfrowym według wynalazku, pętle utworzone przez zespół przetwarzania i dwa równoległe drugie rejestry obejmują jedną, a mianowicie ostatnią warstwę sieci przełączających zespołu przetwarzania. Wyniki pośrednie, w postaci par zredukowanych składników, zredukowane są wówczas ponownie wraz z innymi składnikami, w ostatniej warstwie zespołu przetwarzania, do dwóch składników o takiej samej łącznej sumie. Objęcie pętlami tylko jednej warstwy sieci przełączających zespołu przetwarzania umożliwi obliczanie wartości wielomianów

$$\sum_{i=1}^n \pi_{ij} x_{ij} \text{ dla dużych wartości } n, \text{ z taką szybkością, że średni czas jednego mnożenia jest nie-}$$

wiele większy od jednego cyklu potokowego przetwarzania w jednej warstwie zespołu przetwarzania, a występujące w wielomianie dodawania w większości przypadków w ogóle nie wpływają na łączny czas obliczania.

Układem według wynalazku jest również inny układ cyfrowy do obliczania wartości złożonych wyrażeń arytmetycznych przeznaczony do obliczania wartości wielomianów dowolnego stopnia jednej i wielu zmiennych, szeregów funkcyjnych, iloczynów skalarnych i do obliczeń różnych innych wyrażeń arytmetycznych, szczególnie obliczeń na danych wektorowych dla wektorów o dużej liczbie składowych, gdzie operandy i wyniki obliczeń są liczbami przedstawionymi w zapisie binarnym, zwykle w zapisie binarnym uzupełnionym lub w postaci znak-modułu, stałoprzecinkowym lub zmiennoprzecinkowym.

Układ ten zawiera zestaw rejestrów równoległych przeznaczonych do pamiętania zarówno operandów występujących w obliczanych wyrażeniach jak i wyników pośrednich otrzymywanych w trakcie obliczania całego wyrażenia. Układ zawiera również cyfrowy zespół przetwarzania równoległego wspomnianych operandów połączony równoległe ze wspomnianymi rejestrami oraz sumator równoległy dołączony równoległe do wyjść zespołu przetwarzania lub rejestrów. Struktura zespołu przetwarzania jest dostosowana do równoległego wytwarzania iloczynów częściowych, korzystnie w postaci wzajemnie przesuniętych wielokrotności mnożnej, stanowiących składniki pełnego iloczynu dwóch czynników, z których pierwszy czynnik jest mnożną, a drugi czynnik jest mnożnikiem złożonym z co najmniej dwóch składników mnożnika. Wspomniane iloczyny częściowe są tworzone bez wykonywania efektywnego dodawania składników mnożnika.

Struktura zespołu przetwarzania jest dostosowana również do zredukowania liczby składników pełnego iloczynu i innych składników dodawanych do tego iloczynu do mniejszej liczby składników o takiej samej ich łącznej sumie. W skład zestawu rejestrów równoległych wchodzi co najmniej dwa równoległe pierwsze rejestry pamiętające składniki mnożnika, co najmniej dwa równoległe drugie rejestry pamiętające zredukowane składniki wyniku pośredniego przeznaczone albo do dodania do kolejnego iloczynu występującego w obliczonym wyrażeniu, albo do dodania do innych składników obliczanego wyrażenia, równoległy rejestr mnożnej i/lub równoległe trzecie rejestry pamiętające składniki dodawania.

Zespół przetwarzania posiada niezależnie równoległe wejścia dla wyprowadzania mnożnej z rejestru mnożnej, składników mnożnika z ich pierwszych rejestrów i składników przeznaczonych do dodania do iloczynu lub do innych składników z trzecich rejestrów pamiętających składniki dodawania i z drugiej rejestrów pamiętających zredukowane składniki dodawania, jak również posiada równoległe wyjścia do wyprowadzania zredukowanych składników wyjściowych stanowiących składniki wyniku pośredniego lub końcowego.

Wyjścia zespołu przetwarzania są połączone równoległe z wejściami wspomnianych równoległych pierwszych rejestrów, a wyjścia tych rejestrów są połączone równoległe z wejściami przeznaczonymi do wprowadzania składników mnożnika do wspomnianego zespołu przetwarzania, w celu utworzenia razem co najmniej dwóch równoległych pętli, przez które zredukowane składniki otrzymywane na wyjściach zespołu przetwarzania są wyprowadzane równocześnie i równoległe, jako składniki pośredniego wyniku znów na wejścia zespołu przetwarzania.

Wyjścia zespołu przetwarzania są połączone równoległe również z wejściami wspomnianych równoległych drugich rejestrów, a wyjścia tych rejestrów są połączone równoległe z wejściami zespołu przetwarzania, przeznaczonymi do wyprowadzenia składników dla dodawania, w celu utworzenia razem co najmniej dwóch innych równo-

ległych pętli, przez które zredukowane składniki otrzymywane na wyjściach zespołu przetwarzania są wyprowadzane równocześnie i równoległe jako składniki pośredniego wyniku znów na wejścia zespołu przetwarzania. Pod pojęciem objętego niniejszym zgłoszeniem układu rozumie się nie oddzielną jednostkę konstrukcyjną, ale zestaw współpracujących ze sobą elementów logicznych, które mogą obejmować jeden lub więcej modułów konstrukcyjnych albo stanowić część jednego modułu konstrukcyjnego.

Dla zwiększenia efektywności działania układu cyfrowego według wynalazku omówionego ostatnio, zespół przetwarzania ma strukturę warstwową i zawiera warstwy sieci przełączających rozdzielone warstwami rejestrów równoległych dla umożliwienia w kolejnych warstwach sieci przełączających stopniowego potokowego przetwarzania liczb wprowadzanych do zespołu przetwarzania. Jedna warstwa sieci przełączających dostosowana jest do równoległego przetwarzania mnożnej i składników mnożnika w iloczyny częściowe stanowiące składniki pełnego iloczynu, a pozostałe warstwy sieci przełączających dostosowane są do stopniowego redukowania liczby tych składników do mniejszej liczby składników o takiej samej ich łącznej sumie.

Wspomniane redukujące warstwy sieci przełączających złożone są z koderów posiadających po p jednobitowych wejść i po r jednobitowych wyjść, takich, że kombinacje sygnałów zero-jedynkowych na r wyjściach kodera przedstawia binarnie zakodowaną sumę jedynek reprezentowanych przez sygnały zero-jedynkowe na p wejściach kodera, gdzie $3 \leq p \leq 9$ i $2 \leq r \leq 4$. Pojedyncza warstwa redukująca zespołu przetwarzania jest złożona z 1 do 4 warstw takich koderów, nie połączonych między sobą w ramach jednej warstwy koderów.

Pojedynczy szereg koderów nie połączonych między sobą, gdzie każdy z koderów posiada p wejść i r wyjść, redukuje równoległe p składników do r składników przedstawionych w zapisie binarnym, z zachowaniem ich łącznej sumy. Korzystne jest stosowanie w redukujących warstwach koderów o 3 wejściach i 2 wyjściach, czyli sumatorów jednopozycyjnych. Szereg takich nie połączonych ze sobą sumatorów jednopozycyjnych, redukuje trzy składniki do dwóch o tej samej sumie.

Równoległy szybki sumator wielopozycyjny wchodzący w skład omawianego układu cyfrowego, przeznaczony do dodawania zredukowanych w zespole przetwarzania składników, dołączony jest albo do wyjść zespołu przetwarzania, albo do wyjść drugich rejestrów pamiętających zredukowane składniki dodawania. Korzystne jest przy tym zastosowanie sumatora posiadającego strukturę warstwową, o warstwach zawierających sieci przełączające rozdzielonych warstwami rejestrów, dostosowaną do potokowego wykonywania kolejnych dodawań, zsynchronizowanego z potokowym przetwarzaniem liczb w zespole przetwarzania. Układ cyfrowy pracuje synchronicznie z ustaloną częstotliwością, dostosowaną do struktury logicz-

nej zespołu przetwarzania i szybkości działania jego składowych elementów logicznych.

Częstotliwość ta zależy od maksymalnego łącznego opóźnienia wprowadzanego przez jedną warstwę zawierającą sieci przełączające i jedną warstwę rejestrów zespołu przetwarzania. Z częstotliwością tą wprowadzane są, równocześnie do wszystkich warstw rejestrów zespołu przetwarzania, zredukowane składniki z poprzedzających je warstw sieci przełączających tego zespołu. W kolejnych warstwach zespołu przetwarzania zawierających sieci przełączające występuje zatem potokowe przetwarzanie informacji.

W szczególności korzystne jest, gdy wyjście równoległego szybkiego sumatora wielopozycyjnego, dostosowanego do potokowego przetwarzania liczb, połączone jest przez rejestr mnożnej z zespołem przetwarzania, w celu utworzenia pętli przez którą suma otrzymanych na wyjściach zespołu przetwarzania zredukowanych składników wyniku pośredniego jest ponownie wprowadzana na wejścia zespołu przetwarzania jako mnożna.

Zgodnie z wynalazkiem wchodzące w skład zestawu rejestrów równoległe trzecie rejestry tworzą w szczególności 2 do 6 par rejestrów, które służą do pamiętania wprowadzanych z zespołu przetwarzania 2 do 6 różnych wyników pośrednich, każdy wynik pośredni w postaci pary składników dodawania. Z rejestrów tych pary składników wprowadzane są ponownie do zespołu przetwarzania lub do pary równoległych pierwszych rejestrów pamiętających składniki mnożnika.

Wprowadzanie tych składników do równoległych pierwszych rejestrów pamiętających składniki mnożnika odbywa się przy tym albo bezpośrednio albo poprzez jedną lub więcej warstw zespołu przetwarzającego, w którym składniki te są redukowane wraz z innymi składnikami z zachowaniem ich łącznej sumy. Zapamiętanie równocześnie kilku wyników pośrednich w postaci par zredukowanych składników i wprowadzanie ich ponownie do zespołu przetwarzania i/lub do rejestrów pamiętających składniki mnożnika umożliwia obliczanie różnych wyrażeń wielomianowych z różnym rozkładem nawiasów.

Układem cyfrowym według wynalazku jest także układ, w którym wszystkie pętle, utworzone przez zespół przetwarzania i rejestry z zestawu rejestrów, obejmują jednakową liczbę k łącznie warstw rejestrów równoległych i pojedynczych rejestrów równoległych, przez które kolejno przesyłane są potokowo przetwarzane liczby, dla umożliwienia równoczesnego, niezależnego obliczania k wyrażeń arytmetycznych.

Czas obiegu informacji w pętlach, utworzonych przez zespół przetwarzania i rejestry zestawu rejestrów, jest k krotnie dłuższy od czasu potokowego przetwarzania, przypadającego na jedną warstwę zawierającą sieci przełączające w zespole przetwarzania. O wyborze liczby k decyduje głównie liczba warstw sieci przełączających zespołu przetwarzania. W przypadku, gdy przetwarzanie liczb odbywa się wyłącznie w zespole przetwarzania, korzystnie jest przyjąć jako liczbę k liczbę

warstw zawierających sieci przełączające w tym zespole.

Obliczane w układzie cyfrowym wyrażenia arytmetyczne mogą wchodzić zarówno w skład jednego zagadnienia rozwiązywanego w ramach jednego programu, jak również należeć do wielu różnych zadań rozwiązywanych bezkolizyjnie, na przykład w czasie współpracy omawianego układu tyfrowego z k różnymi komputerami wykonującymi oddzielne programy. Jednym z celów ostatniego z wymienionych zastosowań układu cyfrowego jest zmniejszenie szybkości obliczania każdego z k wyrażań arytmetycznych, co pozwala złagodzić wymagania na szybkość pamięci współpracujących z omawianym układem cyfrowym.

W omawianym układzie cyfrowym według wynalazku równoległy sumator dostosowany do potokowego wykonywania kolejnych dodawań, tworzy w szczególności wraz z zespołem przetwarzania i rejestrami zestawu rejestrów dodatkową pętlę, obejmującą 2k łącznie warstw rejestrów równoległych i pojedynczych rejestrów równoległych, przez które kolejno przesyłane są potokowo przetwarzane informacje. Czas obiegu informacji w tej dodatkowej pętli jest dwukrotnie dłuższy niż w innych pętlach omawianego układu cyfrowego. Korzystne jest gdy pętla ta obejmuje rejestr mnożnej. Pozwala to na wykonanie mnożeń, w których oboma czynnikami są sumy dwóch i więcej składników, a przy dużej liczbie rejestrów pamiętających zredukowane składniki, zapewnia to możliwość obliczania wartości wyrażań praktycznie z dowolnie rozmieszczonymi nawiasami.

Działanie układu cyfrowego według wynalazku, w którym zespół przetwarzania zawierający warstwy sieci przełączających rozdzielone warstwami rejestrów redukuje do dwóch łączną liczbę składników, oraz w którym dwa zredukowane składniki wyniku końcowego dodawane są w sumatorze dołączonym do wyjść zespołu przetwarzania, opisano poniżej.

Układ cyfrowy pracuje synchronicznie z ustaloną częstotliwością, przetwarzając liczby potokowo /pipeline processing/ w kolejnych warstwach sieci przełączających zespołu przetwarzania. Synchronicznie z tą częstotliwością, w kolejności zależnej od postaci obliczanego wyrażenia arytmetycznego, wprowadzane są na określone wejścia układu cyfrowego operandy tego wyrażenia, a mianowicie czynniki iloczynów i składniki sum.

Obliczenie iloczynu dwóch czynników wymaga równoczesnego równoległego wprowadzenia mnożnej i mnożnika na wejścia tej warstwy sieci przełączających zespołu przetwarzania, w której przygotowywane są w sposób równoległy iloczyny częściowe, stanowiące składniki iloczynu. Mnożna wprowadzana jest do zespołu przetwarzania przez rejestr mnożnej, a mnożnik poprzez jeden z pierwszych rejestrów pamiętających składniki mnożnika.

We wspomnianej warstwie zespołu przetwarzania następuje zamiana mnożenia na sumowanie wielu składników — iloczynów częściowych obliczanego iloczynu. Synchroniczne wprowadzanie do zespołu przetwarzania ewentualnych dodatkowych

składników, które należy dodać do tego iloczynu, zwiększa tylko łączną liczbę składników dodawania. W kolejnych warstwach zespołu przetwarzania następuje stopniowa redukcja liczby składników z zachowaniem ich sumy.

Zredukowane w zespole przetwarzania do dwóch składniki obliczanego iloczynu wprowadzane są następnie albo do drugich rejestrów pamiętających zredukowane składniki, jeśli mają być dodane do innych składników obliczanego wyrażenia, albo do pierwszych rejestrów pamiętających składniki mnożnika, jeśli ich suma ma być pomnożona przez kolejny czynnik. W ostatnim przypadku, ten kolejny czynnik mnożenia wprowadzany jest do zespołu przetwarzania jako mnożna równocześnie z pamiętanymi we wspomnianych pierwszych rejestrach składnikami mnożnika.

W wyniku działania zespołu przetwarzania otrzymuje się na jego wyjściach dwa zredukowane składniki kolejnego wyniku pośredniego, które wprowadzane są znowu albo do drugich rejestrów pamiętających zredukowane składniki, albo do pierwszych rejestrów pamiętających składniki mnożnika, zależnie od tego czy ich suma stanowi składnik obliczanego wyrażenia arytmetycznego, czy ma być pomnożona przez dalsze czynniki. W przypadku, gdy obliczany wynik pośredni ma być dodany do wcześniejszej zawartości drugich rejestrów pamiętających zredukowane składniki, wprowadza się zawartość tych rejestrów do zespołu przetwarzania w trakcie redukowania w nim składników tego wyniku pośredniego.

Wartość całego obliczonego wyrażenia arytmetycznego otrzymuje się również w postaci dwóch składników na wyjściach zespołu przetwarzania. Po zsumowaniu tych składników w sumatorze, otrzymuje się na jego wyjściu końcowy wynik obliczenia. Opisany sposób obliczania wartości wielomianu, lub wyrażenia wielomianowego z nawiasami, wymaga wykonania tylko jednego efektywnego dodawania z propagacją przeniesień.

Podstawową zaletą układu cyfrowego do obliczania wartości złożonych wyrażań arytmetycznych, stanowiącego przedmiot wynalazku, jest jego bardzo duża szybkość działania, uzyskana przez zastosowanie potokowego przetwarzania liczb tylko w początkowej i środkowej fazie wykonywania mnożeń i dodawań, wchodzących w skład obliczanych wyrażań arytmetycznych, oraz przez wykorzystanie nie do końca obliczonych wyników tych działań, w postaci kilku składników, najczęściej dwóch składników, jako operandów następnym działaniom. Dzięki temu w układzie cyfrowym wyeliminowano czasochłonne procesy propagacji przeniesień stanowiące zazwyczaj końcową fazę działań mnożenia i dodawania.

Obliczanie złożonych wyrażań arytmetycznych odbywa się zatem albo w ogóle bez propagacji przeniesień wzdłuż przetwarzania liczb, jeśli końcowy wynik obliczenia może być przedstawiony w formie dwóch składników dodawania, albo wymaga tylko jednokrotnego procesu propagacji przeniesień w trakcie wykonania końcowego dodawania dwóch składników, gdy wymagany jest wynik w postaci jednej liczby w określonym jednoznacz-

nie zapisie binarnym, na przykład w zapisie binarnym uzupełnieniowym lub w postaci znak-modul.

Wynalazek zostanie bliżej wyjaśniony w dwóch przykładach wykonania, pokazanych na rysunku, na fig. 1 przedstawia układ cyfrowy w schemacie blokowym opisany w I przykładzie, a fig. 2 — układ cyfrowy w schemacie blokowym opisany w II przykładzie wykonania.

Przykład I. Układ cyfrowy przedstawiony na fig. 1 zawiera zespół przetwarzania P, dwa rejestry równoległe A, B pamiętające składniki mnożnika, rejestr równoległy mnożnej C, dwa rejestry równoległe D, E pamiętające składniki dodawania, dwa rejestry równoległe F, H pamiętające składniki zredukowane w zespole P, oraz sumator równoległy S.

Zespół przetwarzania P posiada pięć warstw 1, 3, 5, 7, 9 zawierających sieci przełączające, rozdzielonych czterema warstwami 2, 4, 6, 8 zawierającymi rejestry równoległe. Sumator S jest dwuskładnikowym sumatorem równoległym o strukturze warstwowej, posiadającym trzy warstwy 11, 13, 15 zawierające sieci przełączające, rozdzielone od siebie dwiema warstwami 12, 14 zawierającymi rejestry równoległe. Wszystkie rejestry układu cyfrowego, a więc zarówno rejestry A, B, C, D, E, F, H jak i rejestry tworzące warstwy 2, 4, 6, 8, 12, 14 są podwójnymi rejestrami /typu master-slave registers/ dostosowanymi do potokowego przetwarzania liczb.

Dostarczone z zewnątrz układu cyfrowego sygnały sterujące powodują zapamiętanie w tych rejestrach zero-jedynkowych sygnałów podanych na ich wejścia. Do zespołu P wprowadzane są operandy z zewnątrz urządzenia przez rejestry A, B, C, D, E. Rejestry A, B tworzą wraz z zespołem P pętlę, przez które otrzymywane na wyjściach warstwy 7 zespołu P wyniki pośrednie, w postaci par zredukowanych składników, wprowadzane są jako pary składników mnożnika, ponownie do zespołu P na wejścia warstwy 1. Rejestry F, H tworzą również z zespołem P pętlę.

Otrzymywane na wyjściach warstwy 9 zespołu P wyniki pośrednie wprowadzane są przez te rejestry ponownie na wejścia warstwy 9, jako pary składników dodawanych do następnych zredukowanych w zespole P składników. Do wyjść rejestrów F, H dołączony jest również sumator S, w którym dodawane są, wprowadzane do niego, z zespołu P, przez te rejestry, dwa składniki wyniku końcowego. Wyjście sumatora S jest równoległym wyjściem zewnętrznym układu cyfrowego. Każde z wejść i wyjść wymienionych rejestrów i zespołów cyfrowych układu dostosowane jest do równoległego wprowadzania lub wyprowadzania wszystkich bitów jednej liczby binarnej.

Układ cyfrowy dostosowany jest do obliczeń na liczbach 32-bitowych. W kolejnych warstwach 1, 3, 5, 7, 9 zespołu przetwarzania P, zawierających sieci przełączające, następuje potokowe przetwarzanie /pipeline processing/ liczb, a mianowicie: przygotowanie iloczynów częściowych w warstwie 1, oraz stopniowa redukcja składników dodawa-

nia w warstwach 3, 5, 7, 9. Warstwa 1 zespołu P złożona jest z prostych sieci przełączających, na wyjściach których otrzymuje się równoległe równocześnie wszystkie bity 17 iloczynów częściowych stanowiących składniki iloczynu 32-bitowej mnożnej i sumy dwóch 32-bitowych składników mnożnika. Poszczególne iloczyny częściowo przyporządkowane są parom pozycji binarnych mnożnika i stanowią wzajemnie przesunięte wielokrotności mnożnej, o krotnościach $-2, -1, 0, +1, +2$. Każda z warstw 3, 5, 7, 9 składa się z dwóch warstw, nie połączonych bezpośrednio ze sobą w ramach pojedynczej warstwy, niezależnie działających jednopozycyjnych sumatorów, posiadających po 3 wejścia i 2 wyjścia jednobitowe. Sumatory te uporządkowane są w szeregi, z których każdy szereg redukuje 3 składniki do 2 składników o takiej samej sumie.

W szczególności warstwa 3 składa się z dwóch warstw sumatorów jednopozycyjnych zawierających odpowiednio 6 i 4 szeregi sumatorów, warstwa 5 składa się z 3 i 2 szeregów takich sumatorów, a każda z warstw 7 i 9 składa się z dwóch pojedynczych szeregów sumatorów jednopozycyjnych. Warstwa 3 redukuje 17 iloczynów częściowych plus 2 składniki dodawania do 9 składników o takiej samej sumie, warstwa 5 redukuje liczbę składników z 9 do 4, a każda z warstw 7 i 9 redukuje liczbę składników z 4 do 2. Warstwy 1, 3, 5, 7, 9 rozdzielone są od siebie warstwami 2, 4, 6, 8 zawierającymi kolejno 17, 9, 4, 2 rejestry równoległe pamiętające 17 iloczynów częściowych oraz 9, 4 i 2 zredukowane składniki.

Działanie układu cyfrowego pokazanego na fig. 1 przedstawione zostanie na przykładzie obliczenia

$$\sum_{i=1}^{100} [(x_i y_i z_i + w_i) v_i +$$

$+ u_i t_i + p_i + q_i + r_i + s_i]$ wymagającego wykonania 400 mnożeń i 600 dodawań. Na czas obliczenia wartości tego wyrażenia, składa się czas przejścia sygnałów informacji binarnych 400-krotnie przez jedną warstwę sieci przełączających i jedną warstwę rejestrów oraz czas jednokrotnego przejścia sygnałów informacji przez wszystkie warstwy zespołu przetwarzania P i sumatora S. Jeśli za jednostkę czasu przyjmie się jeden okres T potokowego przetwarzania informacji w jednej warstwie, równy w omawianym układzie cyfrowym maksymalnemu czasowi przejścia informacji binarnych przez dwa połączone szeregowo sumatory jednopozycyjne i jeden rejestr równoległy /typu master-slave register/, to czas obliczenia wartości podanego wyżej wyrażenia wyniesie $400 T + 5 T + 3 T = 408 T$.

Przebieg obliczenia jest następujący. Na wejścia warstwy 1 zespołu P wprowadza się przez rejestry A, C w czterech kolejnych okresach T oznaczonych przez T_1, T_2, T_3, T_4 pary czynników $x_1, y_1; x_2, y_2; x_3, y_3; x_4, y_4$. Otrzymywane kolejno w wyniku działania zespołu P na wyjściach jego warstwy 7 składniki iloczynów $x_1 y_1, x_2 y_2, x_3 y_3, x_4 y_4$ wprowadzane są ponownie, w okresach T_5, T_6, T_7, T_8 jako składniki mnożnika, przez rejestry

A, B do zespołu P na wejścia warstwy 1. Równocześnie z nimi wprowadzane są kolejno, przez rejestr C, liczby z_1, z_2, z_3, z_4 jako mnożne, a o jeden okres T później, kolejno, przez rejestr D, na wejścia warstwy 3 zespołu P, liczby w_1, w_2, w_3, w_4 jako składniki dodawania.

W wyniku działania zespołu P otrzymuje się na wyjściach jego warstwy 7 kolejno pary składników wyników pośrednich $x_1y_1z_1+w_1, x_2y_2z_2+w_2, x_3y_3z_3+w_3, x_4y_4z_4+w_4$. Te pary składników wprowadza się ponownie do zespołu P na wejścia warstwy 1, w okresach $T_9, T_{10}, T_{11}, T_{12}$ przez rejestry A, B jako składniki mnożnika. Równocześnie z nimi są wprowadzane kolejno przez rejestr C liczby v_1, v_2, v_3, v_4 jako mnożne, a o jeden okres T później, przez rejestry D, E są wprowadzane kolejno do zespołu P pary liczb $p_1, q_1, p_2, q_2, p_3, q_3, p_4, q_4$ jako składniki dodawania.

W wyniku działania zespołu P otrzymuje się na wyjściach jego warstwy 7 pary składników wyników pośrednich $(x_iy_iz_i+w_i) \cdot v_i+p_i+q_i$ kolejno dla $i=1, 2, 3, 4$. Te pary składników wprowadza się kolejno do warstw 8 i 9 zespołu P w okresach $T_{13}, T_{14}, T_{15}, T_{16}$, a z nich następnie do rejestrów F, H, przy czym do warstwy 9 wprowadza się równocześnie w okresach T_{14}, T_{15}, T_{16} kolejno wartości rejestrów F, H. W wyniku tego, w rejestrach F, H, w okresie T_{17} , otrzymuje się dwa

4

składniki o sumie równej $\sum_{i=1}^4 [(x_iy_iz_i+w_i) \cdot v_i + p_i + q_i]$. Niezależnie od tego w okresach $T_{13}, T_{14}, T_{15}, T_{16}$ wprowadza się kolejno, przez rejestry A i C, na wejścia warstwy 1 zespołu P pary czynników mnożenia $u_i, t_i, u_2, t_2, u_3, t_3, u_4, t_4$, a o jeden okres T później, przez rejestry D, E, na wejścia warstwy 3, są wprowadzane pary składników dodawania $r_1, s_1, r_2, s_2, r_3, s_3, r_4, s_4$.

W wyniku działania zespołu P otrzymuje się na wyjściach jego warstwy 7 pary składników wyników pośrednich $u_it_i+r_i+s_i$, kolejno dla $i=1, 2, 3, 4$. Te pary składników wprowadza się kolejno do warstw 8 i 9 zespołu P w okresach $T_{17}, T_{18}, T_{19}, T_{20}$, a z nich następnie do rejestrów F, H, przy czym do warstwy 9 wprowadza się równocześnie w okresach $T_{17}, T_{18}, T_{19}, T_{20}$ kolejno zawartości rejestrów F, H. W wyniku tego w rejestrach F, H w okresie T_{21} otrzymuje się dwa składniki o su-

4

mie równej $\sum_{i=1}^4 [(x_iy_iz_i+w_i)v_i + u_it_i + p_i + q_i + r_i + s_i]$

W podobny sposób, wprowadzając do zespołu P w okresach od T_{17} do T_{22} dalsze operandy od x_i do s_i dla $i=5, 6, 7, 8$, otrzymuje się w rejestrach F, H w okresie T_{27} dwa składniki o sumie

8

równej $\sum_{i=1}^8 [(x_iy_iz_i+w_i)v_i + u_it_i + p_i + q_i + r_i + s_i]$.

Analogicznie dwa składniki końcowego wyniku

100 $\sum_{i=1}^{100} [(x_iy_iz_i+w_i)v_i + u_it_i + p_i + q_i + r_i + s_i]$ otrzymuje

się w rejestrach F, H w okresie T_{406} . Po zsumowaniu tych dwóch składników w sumatorze S, zawierającym 3 warstwy sieci przełączających 11,

13, 15, otrzymuje się na jego wyjściu, w okresie T_{406} końcowy wynik w postaci jednej liczby w wymaganym zapisie binarnym.

Przykład II. Układ cyfrowy przedstawiony na fig. 2 dostosowany jest do równoczesnego, niezależnego obliczania 4 wyrażeń arytmetycznych. Układ zawiera zespół przetwarzania P, zestaw rejestrów równoległych R oraz sumator równoległy S. Zespół przetwarzania P posiada cztery warstwy 1, 3, 5, 7 zawierające sieci przełączające rozdzielone trzema warstwami 2, 4, 6 zawierającymi rejestry równoległe. Zestaw rejestrów równoległych R zawiera dwa pierwsze rejestry pamiętające składniki mnożnika, rejestr mnożnej oraz dwie warstwy rejestrów pamiętających składniki dodawania.

Sumator S jest dwuskładnikowym sumatorem równoległym o strukturze warstwowej, posiadającym cztery warstwy 11, 13, 15, 17 zawierające sieci przełączające rozdzielone trzema warstwami 12, 14, 16 zawierającymi rejestry równoległe. Wszystkie rejestry układu cyfrowego dostosowane są podobnie jak w opisanym przykładzie I wykonania do potokowego przetwarzania informacji. Zespół przetwarzania P jest zbudowany identycznie, jak siedem warstw 1, 2, 3, 4, 5, 6, 7 zespołu P w układzie cyfrowym opisanym w I przykładzie wykonania.

Układ cyfrowy posiada połączenia umożliwiające równoległe przesyłanie wyników pośrednich, w postaci par zredukowanych składników, z wyjść warstwy 7 zespołu P do pierwszych rejestrów pamiętających składniki mnożnika i do pierwszej warstwy rejestrów składników dodawania, wchodzących w skład zestawu rejestrów R, jak również połączenia umożliwiające przesyłanie tych wyników pośrednich i wyniku końcowego z wyjść warstwy 7 zespołu P do sumatora S. Z sumatora S wyniki pośrednie są przesyłane do rejestru mnożnej w zestawie rejestrów R, a wynik końcowy na zewnątrz układu cyfrowego.

Operandy z zewnątrz układu cyfrowego wprowadzane są do rejestrów równoległych zestawu rejestrów R. Z rejestru mnożnej i rejestrów składników mnożnika w zestawie R, wprowadza się operandy jak również wyniki pośrednie na wejścia warstwy 1 zespołu P, a z rejestrów składników dodawania pierwszej warstwy zestawu rejestrów R, przez rejestry składników dodawania drugiej jego warstwy, na wejścia warstwy 3 zespołu P. Druga warstwa rejestrów pamiętających składniki dodawania w zestawie R stanowi więc warstwę buforową, wprowadzającą opóźnienie równe opóźnieniu jednej warstwy przetwarzania potokowego w zespole przetwarzania P.

Działanie układu cyfrowego pokazanego na fig. 2 przedstawione zostanie na przykładzie równoczesnego obliczania 4 niezależnych wyrażeń arytmetycznych, z których jednym jest, to samo co

100

w I przykładzie, wyrażenie $\sum_{i=1}^{100} [(x_iy_iz_i+w_i) \cdot v_i +$

i=1

$+u_it_i+p_i+q_i+r_i+s_i]$, wymagające wykonania 400 mnożeń i 699 dodawań. Na czas obliczania wartości tego wyrażenia składa się czas 400 obiegów

sygnałów informacji w pętli, obejmującej wszystkie warstwy zespołu przetwarzania **P** oraz czas jednokrotnego przejścia sygnałów informacji przez wszystkie warstwy zespołu **P** i sumatora **S**. Przy przyjęciu jako jednostki czasu poprzednio zdefiniowanego okresu **T**, czas obliczania wartości podanego wyżej wyrażenia wynosi $400 \cdot 4T + 4T + 4T = 1608T$.

Operandy obliczanego wyrażenia wprowadza się do zespołu przetwarzania **P** co 4 okresy **T** wykorzystując do obliczania tego wyrażenia, w sposób potokowy, w każdym okresie **T** tylko jedną warstwę sieci przełączających. Pozostałe warstwy sieci przełączających zespołu **P** można wykorzystać analogicznie, obliczając równocześnie, w sposób potokowy, 3 inne niezależne wyrażenia arytmetyczne. Wyrażenia te mogą wchodzić na przykład w skład różnych zadań, rozwiązywanych bezkolidyjnie we współpracy omawianego układu cyfrowego z kilkoma różnymi komputerami. Z uwagi na to, że w omawianym rozwiązaniu układu cyfrowego, kolejne grupy operandów wprowadza się do zespołu **P** okresowo co $4T$, czyli z częstotliwością pełnych cykli działania zespołu **P**, poszczególne operandy mogą być wprowadzane zgodnie z kolejnością ich indeksów, tzn. kolejno dla $i=1, 2, 3, \dots$

Upraszcza to sterowanie strumienia informacji wejściowych w stosunku do układu cyfrowego z I przykładu. Średnia szybkość wykonywania działań arytmetycznych w obu przykładach układu cyfrowego wynosi około 1 okresu **T** na jedno mnożenie. Do czasu tego wliczony jest już także czas dodawania. Oszacowanie to nie dotyczy przypadków o bardzo dużej liczbie dodawań w stosunku do liczby mnożeń.

Zastrzeżenia patentowe

1. Układ cyfrowy do obliczania wartości złożonych wyrażeń arytmetycznych, służący do obliczania wartości wielomianów dowolnego stopnia jednej i wielu zmiennych, szeregów funkcyjnych, iloczynów skalarnych i do innych obliczeń na danych zwektoryzowanych, wykonywanych na liczbach przedstawionych w zapisie binarnym, zawierający zestaw rejestrów równoległych dla zapamiętania zarówno operandów występujących w obliczanych wyrażeniach jak i wyników pośrednich oraz zawierający cyfrowy zespół przetwarzania równoległego operandów i wyników pośrednich, **znamienny tym**, że struktura zespołu przetwarzania (**P**) jest dostosowana do równoległego wytwarzania równocześnie wielu iloczynów częściowych stanowiących składniki pełnego iloczynu dwóch czynników, z których pierwszy czynnik jest mnożną a drugi czynnik jest mnożnikiem złożonym co najmniej z dwóch składników mnożnika, przy czym wspomniane iloczyny częściowe są tworzone bez wykonywania efektywnego dodawania składników mnożnika, jak również jest dostosowana do zredukowania liczby składników pełnego iloczynu i innych składników dodawanych do tego iloczynu do mniejszej liczby składników o takiej samej ich łącznej sumie; podczas gdy w skład zestawu rejestrów (**R**) wchodzi co najmniej

dwa równoległe pierwsze rejestry (**A**, **B**) pamiętające składniki mnożnika i co najmniej dwa równoległe drugie rejestry (**F**, **H**) pamiętające zredukowane składniki przeznaczone do dodania do iloczynu lub do dodania do innych składników; przy czym zespół przetwarzania (**P**) ma niezależne równoległe wejścia dla wprowadzania mnożnej, składników mnożnika i składników przeznaczonych do dodania do iloczynu lub do innych składników, jak również równoległe wyjścia do wyprowadzania zredukowanych składników wyjściowych stanowiących składniki wyniku pośredniego lub końcowego; gdzie wyjścia zespołu przetwarzania (**P**) są połączone równoległe z wejściami wspomnianych równoległych pierwszych rejestrów (**A**, **B**), a wyjścia tych rejestrów (**A**, **B**) są połączone równoległe z wejściami przeznaczonymi do wprowadzania składników mnożnika do wspomnianego zespołu przetwarzania (**P**), w celu utworzenia razem co najmniej dwóch równoległych pętli, przez które zredukowane składniki otrzymywane na wyjściach zespołu przetwarzania (**P**) są wprowadzane równoległe i równocześnie jako składniki pośredniego wyniku znów na wejścia zespołu przetwarzania (**P**); gdzie również wyjścia zespołu przetwarzania (**P**) są połączone równoległe z wejściami wspomnianych równoległych drugich rejestrów (**F**, **H**), a wyjścia tych rejestrów (**F**, **H**) są połączone równoległe z wejściami zespołu przetwarzania (**P**) przeznaczonymi do wprowadzania składników dla dodawania, w celu utworzenia razem co najmniej dwóch innych równoległych pętli, przez które zredukowane składniki otrzymywane na wyjściach zespołu przetwarzania (**P**) są wprowadzane równocześnie i równoległe jako składniki pośredniego wyniku znów na wejścia zespołu przetwarzania (**P**).

2. Układ według zastrz. 1, **znamienny tym**, że zespół przetwarzania (**P**) ma strukturę warstwową i zawiera warstwy (1, 3, 5, 7, 9) sieci przełączających rozdzielone przez warstwy (2, 4, 6, 8) rejestrów równoległych dla umożliwienia w kolejnych warstwach (1, 3, 5, 7, 9) sieci przełączających stopniowego potokowego przetwarzania liczb wprowadzonych do zespołu przetwarzania (**P**); przy czym jedna warstwa (1) sieci przełączających dostosowana jest do równoległego przetwarzania mnożnej i składników mnożnika w iloczyny częściowe stanowiące składniki pełnego iloczynu, a pozostałe warstwy (3, 5, 7, 9) sieci przełączających dostosowane są do stopniowego redukowania liczby składników do mniejszej liczby składników o takiej samej łącznej sumie; gdzie wspomniane redukujące warstwy (3, 5, 7, 9) sieci przełączających złożone są z koderów posiadających po p jednobitowych wejść i po r jednobitowych wyjść, takich, że kombinacja sygnałów zero-jedynkowych na r wyjściach kodera przedstawia binarnie zaddowaną sumę jedynek reprezentowanych przez sygnały zero-jedynkowe na p wejściach kodera, gdzie $3 \leq p \leq 9$ i $2 \leq r \leq 4$ przy czym pojedyncza warstwa redukująca zespołu przetwarzania (**P**) jest złożona z 1 do 4 warstw takich koderów, nie połączonych między sobą w ramach jednej warstwy

koderów, w której pojedynczy szereg koderów nie połączonych między sobą, gdzie każdy z koderów posiada p wejść i r wyjść, redukuje równolegle p składników do r składników z zachowaniem ich łącznej sumy.

3. Układ według zastrz. 2, znamieny tym, że zespół przetwarzania (P) ma strukturę logiczną dostosowaną do redukcji liczby składników do dwóch z zachowaniem ich łącznej sumy, a jego warstwa (1) sieci przełączających, służąca do wytwarzania iloczynów częściowych dostosowana jest do równoległego wytwarzania równocześnie wszystkich iloczynów częściowych potrzebnych do wyznaczenia iloczynu jednej liczby przez sumę dwóch liczb przy czym wspomniane iloczyny częściowe stanowią albo wzajemnie przesunięte wielokrotności mnożnej o krotnościach $-1, 0, +1$, z których każda przyporządkowana jest jednej parze bitów wziętych z obu składników mnożnika, albo wzajemnie przesunięte wielokrotności mnożnej o krotnościach $-2, -1, 0, +1, +2$, z których każda przyporządkowana jest jednej parze grup dwubitowych wziętych z obu składników mnożnika.

4. Układ według zastrz. 3, znamieny tym, że pętle utworzone przez zespół przetwarzania (P) i dwa równoległe drugie rejestry (F, H) obejmują jedną, a mianowicie ostatnią warstwę (8) sieci przełączających zespołu przetwarzania (P).

5. Układ cyfrowy do obliczania wartości złożonych wyrażeń arytmetycznych, służący do obliczania wartości wielomianów dowolnego stopnia jednej i wielu zmiennych, szeregów funkcyjnych, iloczynów skalarnych i do innych obliczeń na danych wektoryzowanych, wykonywanych na liczbach przedstawionych w zapisie binarnym, zawierający zestaw rejestrów równoległych dla zapamiętania zarówno operandów występujących w obliczanych wyrażeniach jak i wyników pośrednich, cyfrowy zespół przetwarzania równoległego wspomnianych operandów i wyników pośrednich oraz sumatorów równoległych, znamieny tym, że struktura zespołu przetwarzania (P) jest dostosowana do równoległego wytwarzania równocześnie wielu iloczynów częściowych stanowiących składniki pełnego iloczynu dwóch czynników, z których pierwszy czynnik jest mnożną a drugi czynnik jest mnożnikiem złożonym z co najmniej dwóch składników mnożnika, przy czym wspomniane iloczyny częściowe są tworzone bez wykonywania efektywnego dodawania składników mnożnika, jak również jest dostosowana do zredukowania liczby składników pełnego iloczynu i innych składników dodawanych do tego iloczynu do mniejszej liczby składników o takiej samej ich łącznej sumie; podczas gdy w skład zestawu rejestrów (R) wchodzi co najmniej dwa równoległe pierwsze rejestry (A, B) pamiętające składniki mnożnika, co najmniej dwa równoległe drugie rejestry (F, H) pamiętające zredukowane składniki przeznaczone do dodania do iloczynu lub do dodania do innych składników, równoległy rejestr mnożnej (C) i/lub równoległe trzecie rejestry (D, E) pamiętające składniki dodawania; przy czym zespół przetwarzania (P) ma niezależne równoległe wejścia dla wprowadzania mnożnej z rejestru mnożnej (C), składników mnoż-

nika z ich rejestrów (A, B) i składników przeznaczonych do dodania do iloczynu lub do innych składników, z rejestrów (D, E) pamiętających składniki dodawania i z rejestrów (F, H) pamiętających zredukowane składniki, jak również równoległe wyjścia do wyprowadzenia zredukowanych składników wyjściowych stanowiących składniki wyniku pośredniego lub końcowego; gdzie wyjścia zespołu przetwarzania (P) są połączone równoległe z wejściami wspomnianych równoległych pierwszych rejestrów (A, B), a wyjścia tych rejestrów (A, B) są połączone równoległe z wejściami przeznaczonymi do wyprowadzania składników mnożnika do wspomnianego zespołu przetwarzania (P), w celu utworzenia razem co najmniej dwóch równoległych pętli, przez które zredukowane składniki otrzymywane na wyjściach zespołu przetwarzania (P) są wprowadzone równocześnie i równoległe jako składniki pośredniego wyniku znów na wejścia zespołu przetwarzania (P); gdzie również wyjścia zespołu przetwarzania (P) są połączone równoległe z wejściami wspomnianych równoległych drugich rejestrów (F, H), a wyjścia tych rejestrów (F, H) są połączone równoległe z wejściami zespołu przetwarzania (P) przeznaczonymi do wprowadzania składników dla dodawania, w celu utworzenia razem także co najmniej dwóch równoległych pętli, przez które zredukowane składniki otrzymywane na wyjściach zespołu przetwarzania (P) są wprowadzane równocześnie i równoległe jako składniki pośredniego wyniku znów na wejścia zespołu przetwarzania (P).

6. Układ według zastrz. 5, znamieny tym, że zespół przetwarzania (P) ma strukturę warstwową i zawiera warstwy (1, 3, 5, 7, 9) sieci przełączających rozdzielone przez warstwy (2, 4, 6, 8) rejestrów równoległych dla umożliwienia w kolejnych warstwach (1, 3, 5, 7, 9) sieci przełączających stopniowego potokowego przetwarzania liczb wyprowadzonych do zespołu przetwarzania (P); przy czym jedna warstwa (1) sieci przełączających dostosowana jest do równoległego przetwarzania mnożnej i składników mnożnika w iloczyny częściowe stanowiące składniki pełnego iloczynu, a pozostałe warstwy (3, 5, 7, 9) sieci przełączających dostosowane są do stopniowego redukcji liczby składników do mniejszej liczby składników o takiej samej ich łącznej sumie; gdzie wspomniane redukujące warstwy (3, 5, 7, 9) sieci przełączających złożone są z koderów posiadających po p jednobitowych wejść i po r jednobitowych wyjść, takich, że kombinacja sygnałów zero-jedynkowych na r wyjściach kodera przedstawia binarnie zakodowaną sumę jedynek reprezentowanych przez sygnały zerojedynekowe na p wejściach kodera, gdzie $3 \leq p \leq 9$ i $2 \leq r \leq 4$; przy czym pojedyncza warstwa redukująca zespołu przetwarzania (P) jest złożona z 1 do 4 warstw takich koderów, nie połączonych między sobą w ramach jednej warstwy koderów, w której pojedynczy szereg koderów nie połączonych między sobą, gdzie każdy z koderów posiada p wejść i r wyjść, redukuje równoległe p składników do r składników z zachowaniem ich łącznej sumy; podczas gdy równoległy sumator (S), przeznaczony do do-

dawania zredukowanych w zespole przetwarzania (P) składników, dołączony jest albo do wyjść zespołu przetwarzania (P), albo do wyjść rejestrów pamiętających zredukowane składniki dodawania, przy czym jest korzystne, gdy sumator posiada strukturę warstwową, o warstwach (11, 13, 15) zawierających sieci przełączające rozdzielonych warstwami rejestrów (12, 14), dostosowaną do potokowego wykonywania kolejnych dodawań, zsynchronizowanego z potokowym przetwarzaniem liczb w zespole przetwarzania (P).

7. Układ według zastrz. 6, znamienny tym, że wyjście równoległego sumatora (S), dostosowanego do potokowego przetwarzania liczb, połączone jest przez rejestr mnożnej (C) z zespołem przetwarzania (P), w celu utworzenia pętli, przez którą suma otrzymanych na wyjściach zespołu przetwarzania (P) zredukowanych składników wyniku pośredniego jest ponownie wyprowadzana na wejścia zespołu przetwarzania (P) jako mnożna.

8. Układ według zastrz. 6, znamienny tym, że wchodzące w skład zestawu rejestrów (R) równoległe trzecie rejestry tworzą 2 do 6 par rejestrów, które służą do pamiętania wprowadzanych z zespołu przetwarzania (P) 2 do 6 różnych wyników

pośrednich, każdy wynik pośredni w postaci pary składników, oraz z których te pary składników wprowadzane są ponownie do zespołu przetwarzania (P) lub do pary równoległych pierwszych rejestrów (A, B) pamiętających składniki mnożnika.

9. Układ według zastrz. 6, znamienny tym, że wszystkie pętle, utworzone przez zespół przetwarzania (P) i rejestry z zestawu rejestrów (R), obejmują jednakową liczbę k łącznie warstw rejestrów równoległych i pojedynczych rejestrów równoległych, przez które kolejno przesyłane są potokowo przetwarzane liczby, dla umożliwienia równoczesnego, niezależnego obliczania k wyrażeń arytmetycznych.

10. Układ według zastrz. 9, znamienny tym, że równoległy sumator (S) dostosowany do potokowego wykonywania kolejnych dodawań tworzy wraz z zespołem przetwarzania (P) i rejestrami zestawu rejestrów (R) pętlę obejmującą 2 k łącznie warstw rejestrów równoległych i pojedynczych rejestrów równoległych, przez które kolejno przesyłane są potokowo przetwarzane liczby, przy czym korzystne jest gdy pętla ta obejmuje rejestr mnożnej (C).

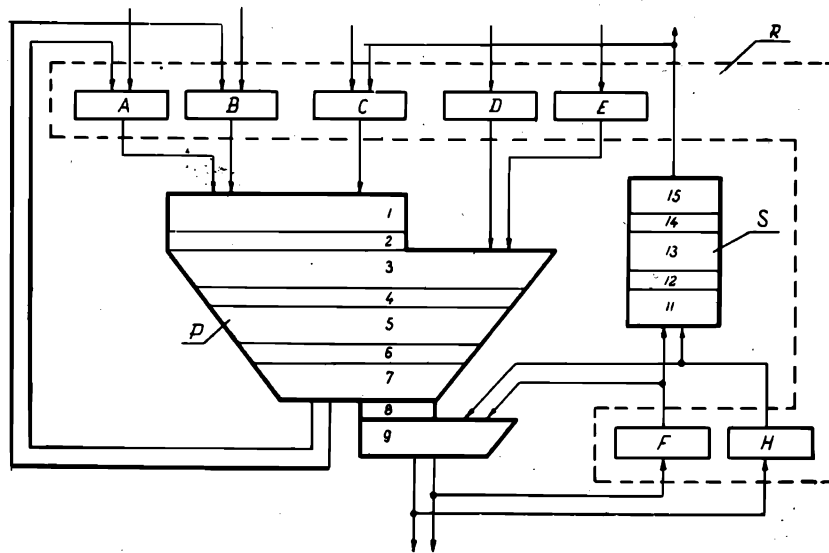


fig 1

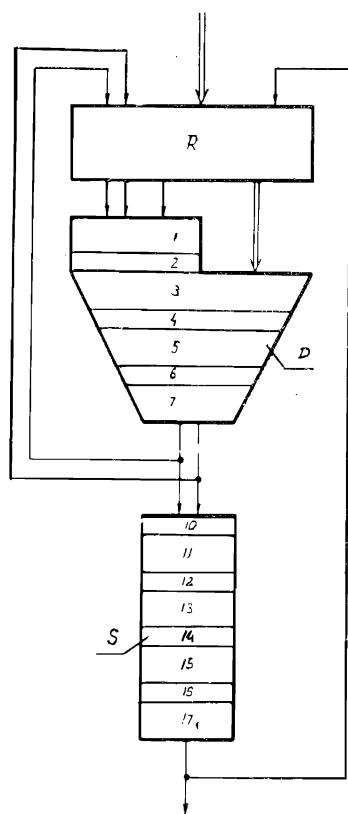


fig 2