

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第3区分
 【発行日】平成18年10月19日(2006.10.19)

【公開番号】特開2001-186009(P2001-186009A)
 【公開日】平成13年7月6日(2001.7.6)
 【出願番号】特願平11-365664
 【国際特許分類】

H 0 3 K 19/096 (2006.01)

H 0 3 K 19/0948 (2006.01)

【F I】

H 0 3 K 19/096 B

H 0 3 K 19/094 B

【手続補正書】

【提出日】平成18年8月31日(2006.8.31)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】 論理関数評価結果を同期信号に同期して出力する論理回路であって、
 入力信号に応じて一方の線のみが基準電位に至る経路を形成し、所望の論理関数を実現
 する2線式論理木と、

センシンググラッチ部と、

セット・リセットラッチ部と、

を備え、

前記センシングラッチ部は、

上記2線式論理木の第1の論理出力および第2の論理出力を受ける第1の論理入力節
 点および第2の論理入力節点と、

第1の論理出力節点と、

第2の論理出力節点と、

駆動を示す同期信号を受けて作動し、上記第1の論理入力節点および第2の論理入力節
 点に入力される第1の論理入力および第2の論理入力が持つ導通抵抗の差に応じて第1の
 論理出力および第2の論理出力の論理電位を異なる第1のレベルおよび第2のレベルに確
 定させるセンスアンプと、

休止段階を示す同期信号を受けたときに上記第1の論理出力節点と第2の論理出力節
 点を短絡させる第1のスイッチ手段と、

上記第1の論理入力節点と上記第1の論理出力節点を制御端子の電位に応じて電氣的
 に接続または切り離す第2のスイッチ手段と、

上記第2の論理入力節点と上記第2の論理出力節点を制御端子の電位に応じて電氣的
 に接続または切り離す第3のスイッチ手段と、

論理木切り離し制御手段と、

を有し、

前記論理木切り離し制御手段は、

上記休止段階を含み上記センスアンプで論理が確定されていない段階では、上記第2の
 スイッチ手段および第3のスイッチ手段の制御端子に接続された制御節点の電位を、第2
 および第3のスイッチ手段が接続された各2端子間を少なくとも接続可能とする電位に設
 定する第1の設定手段と、

上記センスアンプで論理が確定される段階では、上記第1の論理出力節点または第2の論理出力節点の電位に応じて上記制御節点の電位を、第2および第3のスイッチ手段が接続された各2端子間を少なくとも切り離し可能とする電位に設定する第2の設定手段と、
を有する論理木切り離し制御手段とを有し、

前記セット・リセットラッチ部は、

セット端子に上記センシングラッチ部の第1の論理出力を受け、リセット端子に上記センシングラッチ部の第2の論理出力を受け、上記同期信号の1周期間、センシングラッチ部の論理出力を保持する
論理回路。

【請求項2】 上記センシングラッチ部のセンスアンプは、

第1のインバータと、

第2のインバータと、

を有し、

第1のインバータの出力と第2のインバータの入力とが接続され、その接続点が上記第1の論理出力節点に接続され、第1のインバータの入力と第2のインバータの出力とが接続され、その接続点が上記第2の論理出力節点に接続され、

上記第1のスイッチ手段は、

上記第1のインバータの入力と第2のインバータの入力との間に接続されている

請求項1記載の論理回路。

【請求項3】 上記論理木切り離し制御手段の第1の設定手段は、

上記第2のスイッチ手段および第3のスイッチ手段とを接続状態とすることが可能な第1の電源電位と上記制御節点間に接続され、休止段階を示す同期信号を制御端子に受けて導通する第4のスイッチ手段を含み、

上記第2の設定手段は、

上記第2のスイッチ手段および第3のスイッチ手段とを切り離し状態とすることが可能な第2の電源電位と上記制御節点間に接続され、制御端子が上記第1の論理出力節点に接続され、第1の論理出力電位が第1のレベルのときに導通する第5のスイッチ手段と、

上記第2の電源電位と上記制御節点間に接続され、制御端子が上記第2の論理出力節点に接続され、第2の論理出力電位が第1のレベルのときに導通する第6のスイッチ手段と

を含む

請求項1記載の論理回路。

【請求項4】 上記論理木切り離し制御手段の第1の設定手段は、

上記第2のスイッチ手段および第3のスイッチ手段とを接続状態とすることが可能な第1の電源電位と上記制御節点間に接続され、休止段階を示す同期信号を制御端子に受けて導通する第4のスイッチ手段を含み、

上記第2の設定手段は、

上記第2のスイッチ手段および第3のスイッチ手段とを切り離し状態とすることが可能な第2の電源電位と上記制御節点間に接続され、制御端子が上記第1の論理出力節点に接続され、第1の論理出力電位が第1のレベルのときに導通する第5のスイッチ手段と、

上記第2の電源電位と上記制御節点間に接続され、制御端子が上記第2の論理出力節点に接続され、第2の論理出力電位が第1のレベルのときに導通する第6のスイッチ手段と

を含む

請求項2記載の論理回路。

【請求項5】 上記論理木切り離し制御手段の第1の設定手段は、

上記第2のスイッチ手段および第3のスイッチ手段とを接続状態とすることが可能な第1の電源電位と上記制御節点間に接続され、休止段階を示す同期信号を制御端子に受けて導通する第4のスイッチ手段を含み、

上記第2の設定手段は、

中間節点と上記制御節点間に接続され、制御端子が上記第1の論理出力節点に接続され、第1の論理出力電位が第1のレベルのときに導通する第5のスイッチ手段と、

上記中間節点と上記制御節点間に接続され、制御端子が上記第2の論理出力節点に接続され、

第2の論理出力電位が第1のレベルのときに導通する第6のスイッチ手段と、

上記第2のスイッチ手段および第3のスイッチ手段とを切り離し状態とすることが可能な第2の電源電位と上記中間節点間に接続され、上記第4のスイッチ手段が導通するときには非導通状態に保持され、当該第4のスイッチ手段が非導通状態に保持されるときは導通する第7のスイッチ手段と、 を含む

請求項1記載の論理回路。

【請求項6】 上記論理木切り離し制御手段の第1の設定手段は、

上記第2のスイッチ手段および第3のスイッチ手段とを接続状態とすることが可能な第1の電源電位と上記制御節点間に接続され、休止段階を示す同期信号を制御端子に受けて導通する第4のスイッチ手段を含み、

上記第2の設定手段は、

中間節点と上記制御節点間に接続され、制御端子が上記第1の論理出力節点に接続され、第1の論理出力電位が第1のレベルのときに導通する第5のスイッチ手段と、

上記中間節点と上記制御節点間に接続され、制御端子が上記第2の論理出力節点に接続され、

第2の論理出力電位が第1のレベルのときに導通する第6のスイッチ手段と、

上記第2のスイッチ手段および第3のスイッチ手段とを切り離し状態とすることが可能な第2の電源電位と上記中間節点間に接続され、上記第4のスイッチ手段が導通するときには非導通状態に保持され、当該第4のスイッチ手段が非導通状態に保持されるときは導通する第7のスイッチ手段と、 を含む

請求項2記載の論理回路。

【請求項7】 上記論理木切り離し制御手段の第1の設定手段は、

上記第2のスイッチ手段および第3のスイッチ手段とを接続状態とすることが可能な第1の電源電位と上記制御節点間に直列に接続され、それぞれ休止段階時に第1の論理出力節点の電位および第2の論理出力節点の電位を制御端子に受けて導通する第4のスイッチ手段および第5のスイッチ手段を含み、

上記第2の設定手段は、

上記第2のスイッチ手段および第3のスイッチ手段とを切り離し状態とすることが可能な第2の電源電位と上記制御節点間に接続され、制御端子が上記第1の論理出力節点に接続され、第1の論理出力電位が第1のレベルのときに導通する第6のスイッチ手段と、

上記第2の電源電位と上記制御節点間に接続され、制御端子が上記第2の論理出力節点に接続され、第2の論理出力電位が第1のレベルのときに導通する第7のスイッチ手段と

を含む

請求項1記載の論理回路。

【請求項8】 上記論理木切り離し制御手段の第1の設定手段は、

上記第2のスイッチ手段および第3のスイッチ手段とを接続状態とすることが可能な第1の電源電位と上記制御節点間に直列に接続され、それぞれ休止段階時に第1の論理出力節点の電位および第2の論理出力節点の電位を制御端子に受けて導通する第4のスイッチ手段および第5のスイッチ手段を含み、

上記第2の設定手段は、

上記第2のスイッチ手段および第3のスイッチ手段とを切り離し状態とすることが可能な第2の電源電位と上記制御節点間に接続され、制御端子が上記第1の論理出力節点に接続され、第1の論理出力電位が第1のレベルのときに導通する第6のスイッチ手段と、

上記第2の電源電位と上記制御節点間に接続され、制御端子が上記第2の論理出力節点に接続され、第2の論理出力電位が第1のレベルのときに導通する第7のスイッチ手段と

を含む

請求項 2 記載の論理回路。

【請求項 9】 論理関数評価結果を同期信号に同期して出力する論理回路であって、入力信号に応じて一方の線のみが基準電位に至る経路を形成し、所望の論理関数を実現する 2 線式論理木と、

センシングラッチ部と、

セット・リセットラッチ部と、

を備え、

前記センシングラッチ部は、

上記 2 線式論理木の第 1 の論理出力および第 2 の論理出力を受ける第 1 の論理入力節点および第 2 の論理入力節点と、

第 1 の論理出力節点と、

第 2 の論理出力節点と、

駆動を示す同期信号を受けて作動し、上記第 1 の論理入力節点および第 2 の論理入力節点に入力される第 1 の論理入力および第 2 の論理入力が持つ導通抵抗の差に応じて第 1 の論理出力および第 2 の論理出力の論理電位を異なる第 1 のレベルおよび第 2 のレベルに確定させるセンスアンプと、

休止段階を示す同期信号を受けたときに上記第 1 の論理出力節点と第 2 の論理出力節点とを短絡させる第 1 のスイッチ手段と、

上記第 1 の論理入力節点と上記第 1 の論理出力節点とを制御端子の電位に応じて電氣的に接続または切り離す第 2 のスイッチ手段と、

上記第 2 の論理入力節点と上記第 2 の論理出力節点とを制御端子の電位に応じて電氣的に接続または切り離す第 3 のスイッチ手段と、

論理木切り離し制御手段と、

を有し、

前記論理木切り離し制御手段は、

上記休止段階を含み上記センスアンプで論理が確定されていない段階では、上記第 2 のスイッチ手段および第 3 のスイッチ手段の制御端子に接続された制御節点の電位を、第 2 および第 3 のスイッチ手段が接続された各 2 端子間を少なくとも接続可能とする電位に設定する第 1 の設定手段と、

上記センスアンプで論理が確定される段階では、上記第 1 の論理出力節点または第 2 の論理出力節点の電位に応じて上記制御節点の電位を、第 2 および第 3 のスイッチ手段が接続された各 2 端子間を少なくとも切り離し可能とする電位に設定する第 2 の設定手段と、

を有する論理木切り離し制御手段とを有し、

前記セット・リセットラッチ部は、

セット端子に上記センシングラッチ部の第 1 の論理出力を受け、リセット端子に上記センシングラッチ部の第 2 の論理出力を受け、上記同期信号の 1 周期間、センシングラッチ部の論理出力を保持し、

上記 2 線式論理木の基準電位に至る経路と当該基準電位間を、上記休止段階時には電氣的に切り離し、休止段階時以外には接続する第 4 のスイッチ手段と

を有する論理回路。

【請求項 10】 上記センシングラッチ部のセンスアンプは、

第 1 のインバータと、

第 2 のインバータと、

を有し、

第 1 のインバータの出力と第 2 のインバータの入力とが接続され、その接続点が上記第 1 の論理出力節点に接続され、第 1 のインバータの入力と第 2 のインバータの出力とが接続され、その接続点が上記第 2 の論理出力節点に接続され、

上記第 1 のスイッチ手段は、

上記第1のインバータの入力と第2のインバータの入力との間に接続されている
請求項9記載の論理回路。

【請求項11】 上記論理木切り離し制御手段の第1の設定手段は、

上記第2のスイッチ手段と、

第3のスイッチ手段と、

を接続状態とすることが可能な第1の電源電位と上記制御節点間に接続され、休止段階を示す同期信号を制御端子に受けて導通する第5のスイッチ手段を含み、

上記第2の設定手段は、

上記第2のスイッチ手段と、

第3のスイッチ手段と、

を切り離し状態とすることが可能な第2の電源電位と上記制御節点間に接続され、制御端子が上記第1の論理出力節点に接続され、第1の論理出力電位が第1のレベルのときに導通する第6のスイッチ手段と、

上記第2の電源電位と上記制御節点間に接続され、制御端子が上記第2の論理出力節点に接続され、第2の論理出力電位が第1のレベルのときに導通する第7のスイッチ手段と

を含む

請求項9記載の論理回路。

【請求項12】 上記論理木切り離し制御手段の第1の設定手段は、

上記第2のスイッチ手段と、

第3のスイッチ手段と、

を接続状態とすることが可能な第1の電源電位と上記制御節点間に接続され、休止段階を示す同期信号を制御端子に受けて導通する第5のスイッチ手段を含み、

上記第2の設定手段は、

上記第2のスイッチ手段と、

第3のスイッチ手段と、

を切り離し状態とすることが可能な第2の電源電位と上記制御節点間に接続され、制御端子が上記第1の論理出力節点に接続され、第1の論理出力電位が第1のレベルのときに導通する第6のスイッチ手段と、

上記第2の電源電位と上記制御節点間に接続され、制御端子が上記第2の論理出力節点に接続され、第2の論理出力電位が第1のレベルのときに導通する第7のスイッチ手段と

を含む

請求項10記載の論理回路。

【請求項13】 上記論理木切り離し制御手段の第1の設定手段は、

上記第2のスイッチ手段と、

第3のスイッチ手段と、

を接続状態とすることが可能な第1の電源電位と上記制御節点間に接続され、休止段階を示す同期信号を制御端子に受けて導通する第5のスイッチ手段を含み、

上記第2の設定手段は、

中間節点と上記制御節点間に接続され、制御端子が上記第1の論理出力節点に接続され、第1の論理出力電位が第1のレベルのときに導通する第6のスイッチ手段と、

上記中間節点と上記制御節点間に接続され、制御端子が上記第2の論理出力節点に接続され、

第2の論理出力電位が第1のレベルのときに導通する第7のスイッチ手段と、

上記第2のスイッチ手段および第3のスイッチ手段と、

を切り離し状態とすることが可能な第2の電源電位と上記中間節点間に接続され、上記第5のスイッチ手段が導通するときは非導通状態に保持され、当該第5のスイッチ手段が非導通状態に保持されるときは導通する第8のスイッチ手段と、

を含む

請求項 9 記載の論理回路。

【請求項 14】 上記論理木切り離し制御手段の第 1 の設定手段は、

上記第 2 のスイッチ手段と、

第 3 のスイッチ手段と、

を接続状態とすることが可能な第 1 の電源電位と上記制御節点間に接続され、休止段階を示す同期信号を制御端子に受けて導通する第 5 のスイッチ手段を含み、

上記第 2 の設定手段は、

中間節点と上記制御節点間に接続され、制御端子が上記第 1 の論理出力節点に接続され、第 1 の論理出力電位が第 1 のレベルのときに導通する第 6 のスイッチ手段と、

上記中間節点と上記制御節点間に接続され、制御端子が上記第 2 の論理出力節点に接続され、

第 2 の論理出力電位が第 1 のレベルのときに導通する第 7 のスイッチ手段と、

上記第 2 のスイッチ手段および第 3 のスイッチ手段と、

を切り離し状態とすることが可能な第 2 の電源電位と上記中間節点間に接続され、上記第 5 のスイッチ手段が導通するときは非導通状態に保持され、当該第 5 のスイッチ手段が非導通状態に保持されるときは導通する第 8 のスイッチ手段と、

を含む

請求項 10 記載の論理回路。

【請求項 15】 上記論理木切り離し制御手段の第 1 の設定手段は、

上記第 2 のスイッチ手段および第 3 のスイッチ手段とを接続状態とすることが可能な第 1 の電源電位と上記制御節点間に直列に接続され、それぞれ休止段階時に第 1 の論理出力節点の電位および第 2 の論理出力節点の電位を制御端子に受けて導通する第 5 のスイッチ手段および第 6 のスイッチ手段を含み、

上記第 2 の設定手段は、

上記第 2 のスイッチ手段および第 3 のスイッチ手段とを切り離し状態とすることが可能な第 2 の電源電位と上記制御節点間に接続され、制御端子が上記第 1 の論理出力節点に接続され、第 1 の論理出力電位が第 1 のレベルのときに導通する第 7 のスイッチ手段と、

上記第 2 の電源電位と上記制御節点間に接続され、制御端子が上記第 2 の論理出力節点に接続され、第 2 の論理出力電位が第 1 のレベルのときに導通する第 8 のスイッチ手段と

を含む

請求項 9 記載の論理回路。

【請求項 16】 上記論理木切り離し制御手段の第 1 の設定手段は、

上記第 2 のスイッチ手段および第 3 のスイッチ手段とを接続状態とすることが可能な第 1 の電源電位と上記制御節点間に直列に接続され、それぞれ休止段階時に第 1 の論理出力節点の電位および第 2 の論理出力節点の電位を制御端子に受けて導通する第 5 のスイッチ手段および第 6 のスイッチ手段を含み、

上記第 2 の設定手段は、

上記第 2 のスイッチ手段および第 3 のスイッチ手段とを切り離し状態とすることが可能な第 2 の電源電位と上記制御節点間に接続され、制御端子が上記第 1 の論理出力節点に接続され、第 1 の論理出力電位が第 1 のレベルのときに導通する第 7 のスイッチ手段と、

上記第 2 の電源電位と上記制御節点間に接続され、制御端子が上記第 2 の論理出力節点に接続され、第 2 の論理出力電位が第 1 のレベルのときに導通する第 8 のスイッチ手段と

を含む

請求項 10 記載の論理回路。

【請求項 17】 論理関数評価結果を同期信号に同期して出力する論理回路であって、

入力信号に応じて一方の線のみが基準電位に至る経路を形成し、所望の論理関数を実現する 2 線式論理木と、

センシンググラッチ部と、
セット・リセットラッチ部と、
を備え、

前記センシングラッチ部は、

上記2線式論理木の第1の論理出力および第2の論理出力を受ける第1の論理入力節
点および第2の論理入力節点と、

第1の論理出力節点と、

第2の論理出力節点と、

駆動を示す同期信号を受けて作動し、上記第1の論理入力節点および第2の論理入力節
点に入力される第1の論理入力および第2の論理入力が持つ導通抵抗の差に応じて第1の
論理出力および第2の論理出力の論理電位を異なる第1のレベルおよび第2のレベルに確
定させるセンスアンプと、

休止段階を示す同期信号を受けたときに上記第1の論理出力節点と第2の論理出力節
点を短絡させる第1のスイッチ手段と、

上記第1の論理入力節点と上記第1の論理出力節点を制御端子の電位に応じて電氣的
に接続または切り離す第2のスイッチ手段と、

上記第2の論理入力節点と上記第2の論理出力節点を制御端子の電位に応じて電氣的
に接続または切り離す第3のスイッチ手段と、

論理木切り離し制御手段と、

を有し、

前記論理木切り離し制御手段は、

上記休止段階を含み上記センスアンプで論理が確定されていない段階では、上記第2の
スイッチ手段および第3のスイッチ手段の制御端子に接続された制御節点の電位を、第2
および第3のスイッチ手段が接続された各2端子間を少なくとも接続可能とする電位に設
定する第1の設定手段と、

上記センスアンプで論理が確定される段階では、上記第1の論理出力節点または第2の
論理出力節点の電位に応じて上記制御節点の電位を、第2および第3のスイッチ手段が接
続された各2端子間を少なくとも切り離し可能とする電位に設定する第2の設定手段と、

を有する論理木切り離し制御手段とを有し、

前記セット・リセットラッチ部は、

セット端子に上記センシングラッチ部の第1の論理出力を受け、リセット端子に上記セ
ンシングラッチ部の第2の論理出力を受け、上記同期信号の1周期間、センシングラッチ
部の論理出力を保持し、

上記2線式論理木の基準電位に至る経路と当該基準電位間を、上記休止段階時には電氣
的に切り離し、休止段階時以外には接続する第4のスイッチ手段と、

上記第4のスイッチ手段が休止段階で上記2線式論理木の基準電位に至る経路と当該基
準電位間を切り離している期間であって、上記同期信号が休止段階を示すままで停止した
場合に、上記2線式論理木の基準電位に至る経路と当該基準電位間を強制的に接続する第
5のスイッチ手段と、

を有する論理回路。

【請求項18】 上記センシングラッチ部のセンスアンプは、

第1のインバータと、

第2のインバータと、

を有し、

第1のインバータの出力と第2のインバータの入力とが接続され、その接続点が上記第
1の論理出力節点に接続され、第1のインバータの入力と第2のインバータの出力とが接
続され、その接続点が上記第2の論理出力節点に接続され、

上記第1のスイッチ手段は、

上記第1のインバータの入力と第2のインバータの入力との間に接続されている

請求項17記載の論理回路。

【請求項 19】 上記論理木切り離し制御手段の第 1 の設定手段は、

上記第 2 のスイッチ手段および第 3 のスイッチ手段とを接続状態とすることが可能な第 1 の電源電位と上記制御節点間に接続され、休止段階を示す同期信号を制御端子に受けて導通する第 6 のスイッチ手段を含み、

上記第 2 の設定手段は、

上記第 2 のスイッチ手段および第 3 のスイッチ手段とを切り離し状態とすることが可能な第 2 の電源電位と上記制御節点間に接続され、制御端子が上記第 1 の論理出力節点に接続され、第 1 の論理出力電位が第 1 のレベルのときに導通する第 7 のスイッチ手段と、

上記第 2 の電源電位と上記制御節点間に接続され、制御端子が上記第 2 の論理出力節点に接続され、第 2 の論理出力電位が第 1 のレベルのときに導通する第 8 のスイッチ手段と

を含む

請求項 17 記載の論理回路。

【請求項 20】 上記論理木切り離し制御手段の第 1 の設定手段は、

上記第 2 のスイッチ手段および第 3 のスイッチ手段とを接続状態とすることが可能な第 1 の電源電位と上記制御節点間に接続され、休止段階を示す同期信号を制御端子に受けて導通する第 6 のスイッチ手段を含み、

上記第 2 の設定手段は、

上記第 2 のスイッチ手段および第 3 のスイッチ手段とを切り離し状態とすることが可能な第 2 の電源電位と上記制御節点間に接続され、制御端子が上記第 1 の論理出力節点に接続され、第 1 の論理出力電位が第 1 のレベルのときに導通する第 7 のスイッチ手段と、

上記第 2 の電源電位と上記制御節点間に接続され、制御端子が上記第 2 の論理出力節点に接続され、第 2 の論理出力電位が第 1 のレベルのときに導通する第 8 のスイッチ手段と

を含む

請求項 18 記載の論理回路。

【請求項 21】 上記論理木切り離し制御手段の第 1 の設定手段は、

上記第 2 のスイッチ手段および第 3 のスイッチ手段とを接続状態とすることが可能な第 1 の電源電位と上記制御節点間に接続され、休止段階を示す同期信号を制御端子に受けて導通する第 6 のスイッチ手段を含み、

上記第 2 の設定手段は、

中間節点と上記制御節点間に接続され、制御端子が上記第 1 の論理出力節点に接続され、第 1 の論理出力電位が第 1 のレベルのときに導通する第 7 のスイッチ手段と、

上記中間節点と上記制御節点間に接続され、制御端子が上記第 2 の論理出力節点に接続され、第 2 の論理出力電位が第 1 のレベルのときに導通する第 8 のスイッチ手段と、

上記第 2 のスイッチ手段および第 3 のスイッチ手段とを切り離し状態とすることが可能な第 2 の電源電位と上記中間節点間に接続され、上記第 6 のスイッチ手段が導通するときには非導通状態に保持され、当該第 6 のスイッチ手段が非導通状態に保持されるときは導通する第 9 のスイッチ手段と、 を含む

請求項 17 記載の論理回路。

【請求項 22】 上記論理木切り離し制御手段の第 1 の設定手段は、

上記第 2 のスイッチ手段および第 3 のスイッチ手段とを接続状態とすることが可能な第 1 の電源電位と上記制御節点間に接続され、休止段階を示す同期信号を制御端子に受けて導通する第 6 のスイッチ手段を含み、

上記第 2 の設定手段は、

中間節点と上記制御節点間に接続され、制御端子が上記第 1 の論理出力節点に接続され、第 1 の論理出力電位が第 1 のレベルのときに導通する第 7 のスイッチ手段と、

上記中間節点と上記制御節点間に接続され、制御端子が上記第 2 の論理出力節点に接続され、第 2 の論理出力電位が第 1 のレベルのときに導通する第 8 のスイッチ手段と、

上記第 2 の スイッチ手段および第 3 のスイッチ手段とを切り離し状態とすることが可能

な第2の電源電位と上記中間節点間に接続され、上記第6のスイッチ手段が導通するときには非導通状態に保持され、当該第6のスイッチ手段が非導通状態に保持されるときは導通する第9のスイッチ手段と、 を含む

請求項18記載の論理回路。

【請求項23】 上記論理木切り離し制御手段の第1の設定手段は、

上記第2のスイッチ手段および第3のスイッチ手段とを接続状態とすることが可能な第1の電源電位と上記制御節点間に直列に接続され、

それぞれ休止段階時に第1の論理出力節点の電位および第2の論理出力節点の電位を制御端子に受けて導通する第6のスイッチ手段および第7のスイッチ手段を含み、

上記第2の設定手段は、

上記第2のスイッチ手段および第3のスイッチ手段とを切り離し状態とすることが可能な第2の電源電位と上記制御節点間に接続され、制御端子が上記第1の論理出力節点に接続され、第1の論理出力電位が第1のレベルのときに導通する第8のスイッチ手段と、

上記第2の電源電位と上記制御節点間に接続され、制御端子が上記第2の論理出力節点に接続され、第2の論理出力電位が第1のレベルのときに導通する第9のスイッチ手段と

を含む

請求項17記載の論理回路。

【請求項24】 上記論理木切り離し制御手段の第1の設定手段は、

上記第2のスイッチ手段および第3のスイッチ手段とを接続状態とすることが可能な第1の電源電位と上記制御節点間に直列に接続され、

それぞれ休止段階時に第1の論理出力節点の電位および第2の論理出力節点の電位を制御端子に受けて導通する第6のスイッチ手段および第7のスイッチ手段を含み、

上記第2の設定手段は、

上記第2のスイッチ手段および第3のスイッチ手段とを切り離し状態とすることが可能な第2の電源電位と上記制御節点間に接続され、制御端子が上記第1の論理出力節点に接続され、第1の論理出力電位が第1のレベルのときに導通する第8のスイッチ手段と、

上記第2の電源電位と上記制御節点間に接続され、制御端子が上記第2の論理出力節点に接続され、第2の論理出力電位が第1のレベルのときに導通する第9のスイッチ手段と

を含む

請求項18記載の論理回路。

【**手続補正2**】

【**補正対象書類名**】明細書

【**補正対象項目名**】0013

【**補正方法**】変更

【**補正の内容**】

【0013】

パルスドクロックPCLKが論理「0」の時、内部節点Fは論理1に初期化される。

パルスドクロックPCLKが論理「1」になると、論理木(PDN)23において論理評価が行われ、節点Fが変化する。この変化はPMOSトランジスタPT22、およびNMOSトランジスタNT23、NT24により構成される動的なインバータを通して、インバータINV21、INV22からなるラッチ22aに伝達される。この間、入力信号は変化してはならない。

【**手続補正3**】

【**補正対象書類名**】明細書

【**補正対象項目名**】0021

【**補正方法**】変更

【**補正の内容**】

【0021】

クロック信号CLKが論理「1」になると、PMOSトランジスタPT31, PT32がオフとなり、NMOSトランジスタNT31がオンとなって、論理評価が開始される。入力信号に応じて、センスアンプ32に対する論理入力節点TFかTF_Xのどちらか一方が接地に至る経路が論理木31内に形成される。ここではそれが論理入力節点TF側だとする。

この場合、論理入力節点TFの電位は素早く論理「0」に落ちる。

ここで、センスアンプ32のNMOSトランジスタNT34は常にオンであり、実質抵抗のように振る舞うから、論理入力節点TF_Xにあった電荷はNMOSトランジスタNT34を通して論理入力節点TF側に流れる。

したがって、論理入力Fに続いて僅かに遅れて論理入力F_Xの電位も「0」に落ちる。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0058

【補正方法】変更

【補正の内容】

【0058】

第3従来例の課題

第3の従来例として説明したSA-F/F論理回路30の課題は、論理確定までの時間がMMOS論理木の電荷放電速度にタイトに依存するところにある。

図26中の節点TF、TF_Xは論理評価開始前に、論理「1」の電位よりもNMOSトランジスタのしきい値分だけ低い電位にプリチャージされる。

論理評価開始とともに、NMOS論理木31を通して電荷が放電される。2つの節点TF、TF_Xの電位は最終的には両方ともに論理「0」の電位になるが、どちらか1つが必ず一方よりも速く論理「0」に至る。論理確定に関わるのは、速く論理「0」になる方の節点である。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0071

【補正方法】変更

【補正の内容】

【0071】

【課題を解決するための手段】

上記目的を達成するため、本発明は、論理関数評価結果を同期信号に同期して出力する論理回路であって、入力信号に応じて一方の線のみが基準電位に至る経路を形成し、所望の論理関数を実現する2線式論理木と、センシンググラッチ部と、セット・リセットラッチ部と、を備え、

前記センシングラッチ部は、上記2線式論理木の第1の論理出力および第2の論理出力を受ける第1の論理入力節点および第2の論理入力節点と、第1の論理出力節点と、第2の論理出力節点と、駆動を示す同期信号を受けて作動し、上記第1の論理入力節点および第2の論理入力節点に入力される第1の論理入力および第2の論理入力が持つ導通抵抗の差に応じて第1の論理出力および第2の論理出力の論理電位を異なる第1のレベルおよび第2のレベルに確定させるセンスアンプと、

休止段階を示す同期信号を受けたときに上記第1の論理出力節点と第2の論理出力節点とを短絡させる第1のスイッチ手段と、上記第1の論理入力節点と上記第1の論理出力節点とを制御端子の電位に応じて電氣的に接続または切り離す第2のスイッチ手段と、上記第2の論理入力節点と上記第2の論理出力節点とを制御端子の電位に応じて電氣的に接続または切り離す第3のスイッチ手段と、論理木切り離し制御手段とを有し、前記論理木切り離し制御手段は、上記休止段階を含み上記センスアンプで論理が確定されていない段階では、上記第2のスイッチ手段および第3のスイッチ手段の制御端子に接続された制御節点

の電位を、第2および第3のスイッチ手段が接続された各2端子間を少なくとも接続可能とする電位に設定する第1の設定手段と、上記センスアンプで論理が確定される段階では、上記第1の論理出力節点または第2の論理出力節点の電位に応じて上記制御節点の電位を、第2および第3のスイッチ手段が接続された各2端子間を少なくとも切り離し可能とする電位に設定する第2の設定手段とを有する論理木切り離し制御手段とを有し、

前記セット・リセットラッチ部は、セット端子に上記センシングラッチ部の第1の論理出力を受け、リセット端子に上記センシングラッチ部の第2の論理出力を受け、上記同期信号の1周期間、センシングラッチ部の論理出力を保持する。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0075

【補正方法】変更

【補正の内容】

【0075】

また、本発明は、論理関数評価結果を同期信号に同期して出力する論理回路であって、入力信号に応じて一方の線のみが基準電位に至る経路を形成し、所望の論理関数を実現する2線式論理木と、センシングラッチ部と、セット・リセットラッチ部と、を備え、前記センシングラッチ部は、上記2線式論理木の第1の論理出力および第2の論理出力を受け、第1の論理入力節点および第2の論理入力節点と、第1の論理出力節点と、第2の論理出力節点と、駆動を示す同期信号を受けて作動し、上記第1の論理入力節点および第2の論理入力節点に入力される第1の論理入力および第2の論理入力が持つ導通抵抗の差に応じて第1の論理出力および第2の論理出力の論理電位を異なる第1のレベルおよび第2のレベルに確定させるセンスアンプと、休止段階を示す同期信号を受けたときに上記第1の論理出力節点と第2の論理出力節点とを短絡させる第1のスイッチ手段と、上記第1の論理入力節点と上記第1の論理出力節点とを制御端子の電位に応じて電氣的に接続または切り離す第2のスイッチ手段と、上記第2の論理入力節点と上記第2の論理出力節点とを制御端子の電位に応じて電氣的に接続または切り離す第3のスイッチ手段と、論理木切り離し制御手段とを有し、前記論理木切り離し制御手段は、上記休止段階を含み上記センスアンプで論理が確定されていない段階では、上記第2のスイッチ手段および第3のスイッチ手段の制御端子に接続された制御節点の電位を、第2および第3のスイッチ手段が接続された各2端子間を少なくとも接続可能とする電位に設定する第1の設定手段と、上記センスアンプで論理が確定される段階では、上記第1の論理出力節点または第2の論理出力節点の電位に応じて上記制御節点の電位を、第2および第3のスイッチ手段が接続された各2端子間を少なくとも切り離し可能とする電位に設定する第2の設定手段とを有する論理木切り離し制御手段とを有し、前記セット・リセットラッチ部は、セット端子に上記センシングラッチ部の第1の論理出力を受け、リセット端子に上記センシングラッチ部の第2の論理出力を受け、上記同期信号の1周期間、センシングラッチ部の論理出力を保持し、上記2線式論理木の基準電位に至る経路と当該基準電位間を、上記休止段階時には電氣的に切り離し、休止段階時以外には接続する第4のスイッチ手段とを有する。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0076

【補正方法】変更

【補正の内容】

【0076】

また、本発明では、上記論理木切り離し制御手段の第1の設定手段は、上記第2のスイッチ手段と、第3のスイッチ手段と、を接続状態とすることが可能な第1の電源電位と上記制御節点間に接続され、休止段階を示す同期信号を制御端子に受けて導通する第5のスイッチ手段を含み、上記第2の設定手段は、上記第2のスイッチ手段と、第3のスイッチ手段と、を切り離し状態とすることが可能な第2の電源電位と上記制御節点間に接続され

、制御端子が上記第 1 の論理出力節点に接続され、第 1 の論理出力電位が第 1 のレベルのときに導通する第 6 のスイッチ手段と、上記第 2 の電源電位と上記制御節点間に接続され、制御端子が上記第 2 の論理出力節点に接続され、第 2 の論理出力電位が第 1 のレベルのときに導通する第 7 のスイッチ手段とを含む。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0077

【補正方法】変更

【補正の内容】

【0077】

また、本発明では、上記論理木切り離し制御手段の第 1 の設定手段は、上記第 2 のスイッチ手段と、第 3 のスイッチ手段と、を接続状態とすることが可能な第 1 の電源電位と上記制御節点間に接続され、休止段階を示す同期信号を制御端子に受けて導通する第 5 のスイッチ手段を含み、

上記第 2 の設定手段は、中間節点と上記制御節点間に接続され、制御端子が上記第 1 の論理出力節点に接続され、第 1 の論理出力電位が第 1 のレベルのときに導通する第 6 のスイッチ手段と、上記中間節点と上記制御節点間に接続され、制御端子が上記第 2 の論理出力節点に接続され、第 2 の論理出力電位が第 1 のレベルのときに導通する第 7 のスイッチ手段と、上記第 2 のスイッチ手段および第 3 のスイッチ手段と、を切り離し状態とすることが可能な第 2 の電源電位と上記中間節点間に接続され、上記第 5 のスイッチ手段が導通するときは非導通状態に保持され、当該第 5 のスイッチ手段が非導通状態に保持されるときは導通する第 8 のスイッチ手段とを含む。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0079

【補正方法】変更

【補正の内容】

【0079】

また、本発明は、論理関数評価結果を同期信号に同期して出力する論理回路であって、
入力信号に応じて一方の線のみが基準電位に至る経路を形成し、所望の論理関数を実現する 2 線式論理木と、センシンググラッチ部と、セット・リセットラッチ部と、を備え、前記センシングラッチ部は、上記 2 線式論理木の第 1 の論理出力および第 2 の論理出力を受ける第 1 の論理入力節点および第 2 の論理入力節点と、第 1 の論理出力節点と、第 2 の論理出力節点と、駆動を示す同期信号を受けて作動し、上記第 1 の論理入力節点および第 2 の論理入力節点に入力される第 1 の論理入力および第 2 の論理入力が持つ導通抵抗の差に応じて第 1 の論理出力および第 2 の論理出力の論理電位を異なる第 1 のレベルおよび第 2 のレベルに確定させるセンスアンプと、休止段階を示す同期信号を受けたときに上記第 1 の論理出力節点と第 2 の論理出力節点とを短絡させる第 1 のスイッチ手段と、上記第 1 の論理入力節点と上記第 1 の論理出力節点とを制御端子の電位に応じて電氣的に接続または切り離す第 2 のスイッチ手段と、上記第 2 の論理入力節点と上記第 2 の論理出力節点とを制御端子の電位に応じて電氣的に接続または切り離す第 3 のスイッチ手段と、論理木切り離し制御手段とを有し、前記論理木切り離し制御手段は、上記休止段階を含み上記センスアンプで論理が確定されていない段階では、上記第 2 のスイッチ手段および第 3 のスイッチ手段の制御端子に接続された制御節点の電位を、第 2 および第 3 のスイッチ手段が接続された各 2 端子間を少なくとも接続可能とする電位に設定する第 1 の設定手段と、上記センスアンプで論理が確定される段階では、上記第 1 の論理出力節点または第 2 の論理出力節点の電位に応じて上記制御節点の電位を、第 2 および第 3 のスイッチ手段が接続された各 2 端子間を少なくとも切り離し可能とする電位に設定する第 2 の設定手段とを有する論理木切り離し制御手段とを有し、前記セット・リセットラッチ部は、セット端子に上記センシングラッチ部の第 1 の論理出力を受け、リセット端子に上記センシングラッチ部の

第2の論理出力を受け、上記同期信号の1周期間、センシングラッチ部の論理出力を保持し、上記2線式論理木の基準電位に至る経路と当該基準電位間を、上記休止段階時には電氣的に切り離し、休止段階時以外には接続する第4のスイッチ手段と、上記第4のスイッチ手段が休止段階で上記2線式論理木の基準電位に至る経路と当該基準電位間を切り離している期間であって、上記同期信号が休止段階を示すままで停止した場合に、上記2線式論理木の基準電位に至る経路と当該基準電位間を強制的に接続する第5のスイッチ手段とを有する。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0095

【補正方法】変更

【補正の内容】

【0095】

NMOSトランジスタNT1101およびNT1107の接続点とNMOSトランジスタNT1106およびNT1110の接続点との間にNMOSトランジスタNT1105が接続されている。

そして、NMOSトランジスタNT1105のゲートに信号DをインバータINV102で反転させた反転信号D_Xが供給され、NMOSトランジスタNT1106のゲートに信号Dが供給される。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0099

【補正方法】変更

【補正の内容】

【0099】

図2に示す論理回路100においては、SRラッチ120は2つのNORゲートNR121, NR122で実現している。

また、図2の論理回路100においては、NMOS2線式論理木部110は、 $F = A(+)(B(+))C \cdot D$ という論理関数を実現している。

入力信号A、B、C、Dがどのような論理値の組み合わせになっても、論理木節点TF1、TF_X1のどちらか一方に接地へ至る経路が存在することは、休止段階においてセンシングラッチ部130の出力節点TH、TH_Xを完全な論理「0」の電位に固定することに貢献している。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0105

【補正方法】変更

【補正の内容】

【0105】

クロック信号CLKが論理「0」から論理「1」に切り替わる瞬間から、節点TH、TH_Xの論理値が確定されるまでの期間を「駆動段階」と呼ぶ。

この場合、図5に示すように、スイッチ132はオフとなって節点THとTH_Xを切り離し、センスアンプ131は駆動能力を持って節点TH、TH_Xの電位に干渉し、どちらかを論理「0」に、もう一方を論理「1」にしようと働きかける。

しかし、節点TH、TH_Xにおける論理値は未だ確定していない。前段階に引き続き、論理木切り離し制御部133はスイッチ134、135に対して接続を示し、節点THとTF2間、および節点TH_XとTF_X2間をそれぞれ短絡する。

したがって、センスアンプ131と論理木節点TF1、TF_X1との間に干渉が生じる。論理木節点TF1、TF_X1のどちらか一方が必ず接地へ至る経路を持ち、節点TH、TH_Xのどちらか一方を論理0に向けて引き下げようとする。こうした干渉を受けて、それまで同じだった節点TH、TH_Xの電位に異なる方向に変化し始める。

【手続補正 13】

【補正対象書類名】明細書

【補正対象項目名】0110

【補正方法】変更

【補正の内容】

【0110】

このセンシングラッチ部 130A は、図 7 に示すように、PMOS トランジスタ PT1301 ~ PT1304、NMOS トランジスタ NT1301 ~ NT1307、第 1 の論理入力節点 TF、第 2 の論理入力節点 TF__X2、第 1 の論理出力節点 TH、第 2 の論理出力節点 TH__X、クロック入力端に TCLK、および TCLKX を有している。

【手続補正 14】

【補正対象書類名】明細書

【補正対象項目名】0150

【補正方法】変更

【補正の内容】

【0150】

本発明に係る論理回路においては、センシングラッチ部 130 内の制御節点 G によって論理木 110 とセンスアンプ 131 の接続・切り離しを行う。

制御節点 G は PMOS トランジスタによって電荷が充当され、完全な論理「1」の電位が与えられる。このため、スイッチ 134、135 としての NMOS トランジスタ NT1304、NT1305 が十分にオンになり、導通抵抗が小さく、不正な電位変動を吸収しやすい。

【手続補正 15】

【補正対象書類名】明細書

【補正対象項目名】0174

【補正方法】変更

【補正の内容】

【0174】

第 2 の実施形態に係る図 16 および図 17 の構成で問題となるのは、クロック信号（同期信号）CLK が論理「0」で停止した場合である。

このとき、休止段階であるから、節点 TH、TH__X は NMOS トランジスタのしきい値よりも少し低い電位になっている。

SR ラッチ部 120 は、これを論理「0」として受け取り、保持モードとして動作する。論理的な問題はない。

しかし、カットオフ時のリーク電流の大きさが問題となる。