



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0041822
(43) 공개일자 2018년04월25일

<p>(51) 국제특허분류(Int. Cl.) G11C 29/02 (2006.01) G11C 29/48 (2015.01) G11C 7/10 (2015.01)</p> <p>(52) CPC특허분류 G11C 29/022 (2013.01) G11C 29/48 (2013.01)</p> <p>(21) 출원번호 10-2016-0134013</p> <p>(22) 출원일자 2016년10월17일 심사청구일자 없음</p>	<p>(71) 출원인 에스케이하이닉스 주식회사 경기도 이천시 부발읍 경충대로 2091</p> <p>(72) 발명자 박낙규 경기도 이천시 부발읍 경충대로2050번길 15-44 현 대성우3단지아파트 304동 1202호</p> <p>(74) 대리인 김성남</p>
---	---

전체 청구항 수 : 총 20 항

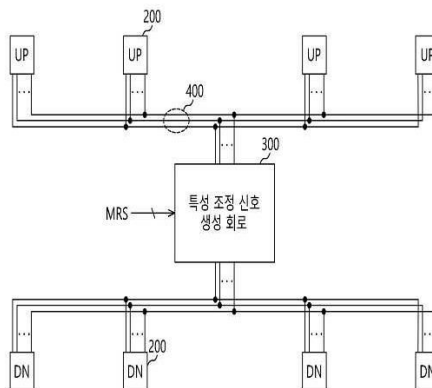
(54) 발명의 명칭 입/출력단 특성 조정 회로 및 이를 포함하는 반도체 장치

(57) 요약

본 기술은 외부 입력에 따라 일부가 선택적으로 특성 조정 신호를 입력 받아 특성 조정이 이루어지도록 구성된 복수의 입/출력단; 및 테스트 신호 라인을 통해 상기 복수의 입/출력단과 공통 연결되며, 상기 테스트 신호 라인을 통해 상기 특성 조정 신호를 상기 복수의 입/출력단에 공통적으로 제공하도록 구성된 특성 조정신호 생성회로를 포함할 수 있다.

대표도

103



(52) CPC특허분류

G11C 7/1051 (2013.01)

G11C 7/1078 (2013.01)

명세서

청구범위

청구항 1

외부 입력에 따라 일부가 선택적으로 특성 조정 신호를 입력 받아 특성 조정이 이루어지도록 구성된 복수의 입/출력단; 및

테스트 신호 라인을 통해 상기 복수의 입/출력단과 공통 연결되며, 상기 테스트 신호 라인을 통해 상기 특성 조정 신호를 상기 복수의 입/출력단에 공통적으로 제공하도록 구성된 특성 조정신호 생성회로를 포함하는 입/출력단 특성 조정 회로.

청구항 2

제 1 항에 있어서,

상기 특성 조정 신호는

상기 복수의 입/출력단의 동작 특성 관련 항목의 종류에 상응하는 복수의 신호 비트를 포함하는 입/출력단 특성 조정 회로.

청구항 3

제 1 항에 있어서,

상기 복수의 입/출력단은

각각 패드를 포함하는 입/출력단 특성 조정 회로.

청구항 4

제 3 항에 있어서,

상기 패드는 DQ 패드를 포함하는 입/출력단 특성 조정 회로.

청구항 5

제 3 항에 있어서,

상기 외부 입력은 상기 패드를 통해 이루어지는 입/출력단 특성 조정 회로.

청구항 6

제 1 항에 있어서,

상기 특성 조정신호 생성회로는

모드 레지스터 셋 신호에 따라 상기 특성 조정 신호를 생성하도록 구성되는 입/출력단 특성 조정 회로.

청구항 7

제 1 항에 있어서,

상기 복수의 입/출력단은

패드,

상기 패드와 연결된 수신기, 및

상기 외부 입력에 따라 상기 특성 조정 신호를 상기 수신기에 입력시키도록 구성된 테스트 제어부를 포함하는 입/출력단 특성 조정 회로.

청구항 8

제 1 인에이블 신호 및 패드를 통해 입력된 외부 선택 신호에 따라 일부가 선택적으로 특성 조정 신호를 입력받아 특성 조정이 이루어지도록 구성된 복수의 입/출력단; 및

테스트 신호 라인을 통해 상기 복수의 입/출력단과 공통 연결되고, 상기 제 1 인에이블 신호 및 상기 특성 조정 신호를 생성하여 상기 테스트 신호 라인을 통해 상기 복수의 입/출력단에 공통적으로 제공하도록 구성된 특성 조정신호 생성회로를 포함하는 입/출력단 특성 조정 회로.

청구항 9

제 8 항에 있어서,

상기 특성 조정 신호는

상기 복수의 입/출력단의 동작 특성 관련 항목의 종류에 상응하는 복수의 신호 비트를 포함하는 입/출력단 특성 조정 회로.

청구항 10

제 8 항에 있어서,

상기 패드는 DQ 패드를 포함하는 입/출력단 특성 조정 회로.

청구항 11

제 8 항에 있어서,

상기 특성 조정신호 생성회로는

모드 레지스터 셋 신호에 따라 상기 제 1 인에이블 신호 및 상기 특성 조정 신호를 생성하도록 구성되는 입/출력단 특성 조정 회로.

청구항 12

제 8 항에 있어서,

상기 복수의 입/출력단은

패드,

상기 패드와 연결된 수신기,

상기 패드와 연결된 송신기, 및

상기 제 1 인에이블 신호 및 상기 외부 선택 신호에 따라 상기 특성 조정 신호 중에서 일부를 상기 수신기에 입력시키고, 상기 특성 조정 신호 중에서 나머지를 상기 송신기에 입력시키도록 구성된 테스트 제어부를 포함하는 입/출력단 특성 조정 회로.

청구항 13

제 8 항에 있어서,

상기 복수의 입/출력단은

리셋 신호에 따라 기 저장된 특성 조정 신호 저장 값을 초기화시키도록 구성되는 입/출력단 특성 조정 회로.

청구항 14

제 13 항에 있어서,

상기 특성 조정신호 생성회로는

상기 제 1 인에이블 신호에 따라 상기 리셋 신호를 생성하도록 구성되는 입/출력단 특성 조정 회로.

청구항 15

복수의 입/출력단 각각을 통한 외부 입력에 따라 상기 복수의 입/출력단 중에서 적어도 하나가 선택되도록 하고, 선택된 입/출력단에 테스트 신호 라인을 통해 특성 조정 신호를 입력시켜 특성 조정이 이루어지도록 하는 입/출력단 특성 조정 회로; 및
 글로벌 입/출력 라인을 통해 상기 복수의 입/출력단과 연결되는 메모리 코어를 포함하는 반도체 장치.

청구항 16

제 15 항에 있어서,
 상기 입/출력단 특성 조정 회로는
 상기 테스트 신호 라인을 통해 상기 복수의 입/출력단과 공통 연결되며, 상기 테스트 신호 라인을 통해 상기 특성 조정 신호를 상기 복수의 입/출력단에 공통적으로 제공하도록 구성된 특성 조정신호 생성회로를 포함하는 반도체 장치.

청구항 17

제 15 항에 있어서,
 상기 외부 입력은
 상기 반도체 장치의 외부 기기에서 상기 복수의 입/출력단 중에서 어느 하나의 패드를 통해 입력되는 펄스 신호를 포함하는 반도체 장치.

청구항 18

제 15 항에 있어서,
 상기 특성 조정 신호는
 상기 복수의 입/출력단의 동작 특성 관련 항목의 종류에 상응하는 복수의 신호 비트를 포함하는 반도체 장치.

청구항 19

제 16 항에 있어서,
 상기 특성 조정신호 생성회로는
 모드 레지스터 셋 신호에 따라 상기 특성 조정 신호를 생성하도록 구성되는 반도체 장치.

청구항 20

제 15 항에 있어서,
 상기 복수의 입/출력단은
 패드,
 상기 패드와 연결된 수신기, 및
 상기 패드를 통한 상기 외부 입력에 따라 상기 특성 조정 신호를 상기 수신기에 입력시키도록 구성된 테스트 제어부를 포함하는 반도체 장치.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 회로에 관한 것으로서, 특히 입/출력단 특성 조정 회로 및 이를 포함하는 반도체 장치에 관한 것이다.

배경 기술

- [0002] 반도체 장치는 외부 기기와의 신호 송/수신을 위한 복수의 입/출력단을 포함할 수 있다.
- [0003] 복수의 입/출력단은 시스템, 모듈, 패키지 등의 오프 칩 구조 차이, 칩 내에서의 영역별 PVT(Power, Voltage or Temperature) 차이로 인하여 각각의 입/출력 신호 특성 차이가 발생할 수 있다.
- [0004] 따라서 반도체 장치의 동작 성능을 향상시키기 위해서는 복수의 입/출력단의 특성을 최적화하는 것도 매우 중요하다.
- [0005] 도 1에 도시된 바와 같이, 종래의 기술에 따른 반도체 장치의 입/출력단 특성 조정 회로(1)는 복수의 입/출력단 (20), 특성 조정신호 생성회로(30) 및 복수의 신호 라인 세트(40)를 포함한다.
- [0006] 복수의 입/출력단(20)은 예를 들어, 반도체 메모리의 DQ 패드를 포함하는 최종 단에 해당할 수 있다.
- [0007] 복수의 입/출력단(20)은 각각 패드(Pad), 수신기 및 송신기를 포함할 수 있다.
- [0008] 특성 조정신호 생성회로(30)는 모드 레지스터 셋 신호(MRS)에 따라 복수의 입/출력단(20) 각각의 동작 특성 관련 항목들을 조정하기 위한 특성 조정 신호를 생성할 수 있다.
- [0009] 이때 동작 특성 관련 항목들은 예를 들어, 수신기 및 송신기의 동작 특성에 관련될 수 있다.
- [0010] 수신기의 동작 특성으로서, 입력 셋업/홀드 타임 조절, 이퀄라이징 스트랩스, 전류 조정 등을 포함할 수 있다.
- [0011] 송신기의 동작 특성으로서, 슬루 레이트, 온 저항, 출력 타이밍 조정, 온 다이 터미네이션 스트랩스 조정 등을 포함할 수 있다.
- [0012] 한편, 복수의 입/출력단(20)은 상술한 바와 같이, 시스템, 모듈, 패키지 등의 오프 칩 구조 차이, 칩 내에서의 영역별 PVT 차이로 인하여 신호 특성이 서로 다를 수 있다.
- [0013] 따라서 복수의 입/출력단(20) 각각의 특성 차이를 독립적으로 조정하기 위한 특성 조정 신호를 전송하기 위해 복수의 입/출력단(20)과 특성 조정신호 생성회로(30)는 독립적인 신호 라인 세트(40)를 통해 서로 연결되어야 한다.
- [0014] 예를 들어, 특성 조정 신호가 n 비트이며, 복수의 입/출력단(20)이 30개로 구성된다면 30개의 신호 라인 세트(30*n 개의 신호 라인)이 필요하게 된다.
- [0015] 특성 조정신호 생성회로(30)는 신호 라인 세트(40)를 통해 복수의 입/출력단(20) 각각에 특성 조정 신호 (CTRL<1:m>)를 제공할 수 있다.
- [0016] 상술한 바와 같이, 종래의 기술은 입/출력단(20)과 특성 조정신호 생성회로(30)가 독립적인 신호 라인 세트(40)들을 통해 연결되므로 많은 수의 신호 라인이 필요하여 회로 면적이 증가하게 되고, 신호 라인들을 배치하기 위한 설계상의 어려움도 발생하게 된다. 동작 특성 관련 항목들이 많아질 수록 신호 라인 증가에 따른 회로 면적 증가 및 설계의 어려움도 더욱 가중된다.

발명의 내용

해결하려는 과제

- [0017] 본 발명의 실시예는 공유된 신호 라인을 이용하여 복수의 입/출력단의 특성을 최적화할 수 있는 입/출력단 특성 조정 회로 및 이를 포함하는 반도체 장치를 제공한다.

과제의 해결 수단

- [0018] 본 발명의 실시예는 외부 입력에 따라 일부가 선택적으로 특성 조정 신호를 입력 받아 특성 조정이 이루어지도록 구성된 복수의 입/출력단; 및 테스트 신호 라인을 통해 상기 복수의 입/출력단과 공통 연결되며, 상기 테스트 신호 라인을 통해 상기 특성 조정 신호를 상기 복수의 입/출력단에 공통적으로 제공하도록 구성된 특성 조정 신호 생성회로를 포함할 수 있다.
- [0019] 본 발명의 실시예는 제 1 인에이블 신호 및 패드를 통해 입력된 외부 선택 신호에 따라 일부가 선택적으로 특성 조정 신호를 입력 받아 특성 조정이 이루어지도록 구성된 복수의 입/출력단; 및 테스트 신호 라인을 통해 상기 복수의 입/출력단과 공통 연결되고, 상기 제 1 인에이블 신호 및 상기 특성 조정 신호를 생성하여 상기 테스트 신호 라인을 통해 상기 복수의 입/출력단에 공통적으로 제공하도록 구성된 특성 조정신호 생성회로를 포함할 수

있다.

[0020] 본 발명의 실시예는 복수의 입/출력단 각각을 통한 외부 입력에 따라 상기 복수의 입/출력단 중에서 적어도 하나가 선택되도록 하고, 선택된 입/출력단에 테스트 신호 라인을 통해 특성 조정 신호를 입력시켜 특성 조정이 이루어지도록 하는 입/출력단 특성 조정 회로; 및 글로벌 입/출력 라인을 통해 상기 복수의 입/출력단과 연결되는 메모리 코어를 포함할 수 있다.

발명의 효과

[0021] 본 기술은 신호 라인을 공유하여 복수의 입/출력단 각각의 동작 특성 관련 항목들을 독립적으로 제어할 수 있으며, 동작 특성 관련 항목 증가에 따른 신호 라인 증가를 최소화할 수 있다.

도면의 간단한 설명

[0022] 도 1은 종래의 기술에 따른 반도체 장치의 입/출력단 특성 조정 회로(1)의 구성을 나타낸 도면,
 도 2는 본 발명의 실시예에 따른 반도체 장치(100)의 구성을 나타낸 도면,
 도 3은 본 발명의 실시예에 따른 반도체 장치의 입/출력단 특성 조정 회로(103)의 구성을 나타낸 도면,
 도 4는 도 3의 특성 조정신호 생성회로(300)의 구성을 나타낸 도면,
 도 5 및 도 6은 도 4의 리피터(310)(350)의 구성을 나타낸 도면,
 도 7은 도 3의 입/출력단(200)의 구성을 나타낸 도면이고,
 도 8은 도 7의 테스트 제어부(240)의 구성을 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0023] 이하에서는 첨부된 도면을 참조하여 본 발명의 실시예를 보다 상세히 설명하기로 한다.

[0024] 도 2에 도시된 바와 같이, 본 발명의 실시예에 따른 반도체 장치(100)는 메모리 코어(101), 글로벌 입/출력 라인(102) 및 입/출력단 특성 조정 회로(103)를 포함할 수 있다.

[0025] 입/출력단 특성 조정 회로(103)는 입/출력단 영역(104) 및 테스트 신호 라인(400)을 통해 입/출력단 영역(104)의 복수의 입/출력단(200)과 공통 연결된 특성 조정신호 생성회로(300)를 포함할 수 있다.

[0026] 복수의 입/출력단(200)은 특성 조정 신호에 따라 동작 특성이 조정될 수 있다.

[0027] 입/출력단 특성 조정 회로(103)는 복수의 입/출력단(200) 각각을 통한 외부 입력 즉, 반도체 장치 외부 기기의 입력에 따라 복수의 입/출력단(200) 중에서 적어도 하나를 선택하고, 선택된 입/출력단(200)에만 특성 조정 신호를 입력시켜 특성 조정이 이루어지도록 하는 독립 조정 모드를 수행할 수 있다.

[0028] 특성 조정신호 생성회로(300)는 복수의 입/출력단(200)의 적어도 하나의 동작 특성 관련 항목들을 조정하기 위한 특성 조정 신호를 입력 신호 예를 들어, 모드 레지스터 셋 신호(MRS)에 따라 생성하여 테스트 신호 라인(400)을 통해 복수의 입/출력단(200)에 공통적으로 제공할 수 있다.

[0029] 이때 동작 특성 관련 항목들은 예를 들어, 송/수신 특성과 관련된 항목들로서, 드라이빙 스트랭스(Driving St), 슬루 레이트(Slew rate) 등을 포함할 수 있다.

[0030] 테스트 신호 라인(400)의 신호 라인 수는 동작 특성 관련 항목의 수 즉, 테스트 신호 라인(400)을 통해 전송될 특성 조정 신호의 비트 수에 따라 달라질 수 있다.

[0031] 예를 들어, 동작 특성 관련 항목의 종류가 '1'이고, 그에 필요한 신호 비트가 '1' 이라면 테스트 신호 라인(400)은 1 비트의 특성 조정 신호를 위한 하나의 신호 라인만을 포함할 수 있다. 동작 특성 관련 항목의 종류가 '10'이고, 각 항목 별로 필요한 신호 비트가 '2' 라면 테스트 신호 라인(400)은 20 비트의 특성 조정 신호를 위한 '20'개의 신호 라인을 포함할 수 있다.

[0032] 복수의 입/출력단(200)은 외부 기기(900)(예를 들어, CPU, GPU 또는 테스터)로부터 어드레스, 커맨드 등을 수신하거나, 외부 기기(900)와의 데이터 송/수신을 위한 최종 단으로서, 예를 들어, 반도체 메모리의 DQ 패드를 포함하는 최종 단에 해당하는 구성일 수 있다.

- [0033] 복수의 입/출력단(200)은 각각 패드(Pad)를 포함할 수 있다.
- [0034] 복수의 입/출력단(200)은 패드를 통한 외부 입력 즉, 외부 기기(900)에서 패드에 입력한 신호에 따라 그들 중 하나 또는 복수개가 선택될 수 있고, 복수의 입/출력단(200) 중에서 선택된 입/출력단(200)만이 특성 조정 신호를 입력 받아 그에 따른 특성 조정이 이루어질 수 있다.
- [0035] 외부 기기(900)는 복수의 입/출력단(200) 중에서 조정하기 원하는 입/출력단(200)의 패드를 통해 정해진 신호 예를 들어, 로우 펄스를 입력함으로써 해당 입/출력단(200)만이 특성 조정신호 생성회로(300)에서 제공된 특성 조정 신호를 입력 받도록 할 수 있다.
- [0036] 메모리 코어(101)는 글로벌 입/출력 라인(102)을 통해 복수의 입/출력단(200)과 연결될 수 있다.
- [0037] 메모리 코어(101)는 메모리 셀 어레이(미 도시) 및 메모리 셀 어레이와 글로벌 입/출력 라인(102) 간의 데이터 입/출력 관련 회로 구성들(미 도시)을 포함할 수 있다.
- [0038] 도 3에 도시된 바와 같이, 본 발명의 실시예에 따른 반도체 장치의 입/출력단 특성 조정 회로(103)에서 복수의 입/출력단(200)은 입/출력단(200) 각각에 포함된 패드들의 배치를 기준으로 상승(UP)과 하측(DN)으로 구분될 수 있다.
- [0039] 도 3은 상승(UP)과 하측(DN)으로 구분된 복수의 입/출력단(200)에 맞도록 테스트 신호 라인(400)을 분배한 예를 도시한 것일 뿐, 상승의 테스트 신호 라인(400)과 하측의 테스트 신호 라인(400)을 통해서 동일한 특성 조정 신호가 전송될 수 있다.
- [0040] 도 4에 도시된 바와 같이, 특성 조정신호 생성회로(300)는 신호 생성 로직(301), 펄스 생성기(PG)(302) 및 복수의 리피터(310, 320, 330, 350)를 포함할 수 있다.
- [0041] 신호 생성 로직(301)은 복수의 입/출력단(200) 각각의 동작 특성 관련 항목들을 조정하기 위한 특성 조정 신호(CTRL<1:m>)를 입력 신호 예를 들어, 모드 레지스터 셋 신호(MRS)에 따라 생성할 수 있다.
- [0042] 신호 생성 로직(301)은 모드 레지스터 셋 신호(MRS)에 따라 제 1 인에이블 신호(DIRECT_SEL_EN) 및 제 2 인에이블 신호(BUF_EN)를 더 생성할 수 있다.
- [0043] 펄스 생성기(302)는 제 1 인에이블 신호(DIRECT_SEL_EN)에 따라 리셋 신호(RSTB)를 생성할 수 있다.
- [0044] 복수의 리피터(310, 320, 330, 350)는 신호 생성 로직(301)에서 생성된 신호들 즉, 특성 조정 신호(CTRL<1:m>), 제 1 인에이블 신호(DIRECT_SEL_EN) 및 제 2 인에이블 신호(BUF_EN)와 펄스 생성기(302)에서 출력되는 리셋 신호(RSTB)를 상승(UP)과 하측(DN)으로 구분되는 복수의 입/출력단(200)(도 2 참조)에 맞게 분배하도록 구성될 수 있다.
- [0045] 복수의 리피터(310)는 특성 조정 신호(CTRL<1:m>)를 CTRL<1:m>_UP 및 CTRL<1:m>_DN으로 분배할 수 있다.
- [0046] 리피터(320)는 제 1 인에이블 신호(DIRECT_SEL_EN)를 DIRECT_SEL_EN_UP 및 DIRECT_SEL_EN_DN으로 분배할 수 있다.
- [0047] 리피터(330)는 리셋 신호(RSTB)를 RSTB_UP 및 RSTB_DN으로 분배할 수 있다.
- [0048] 리피터(350)는 제 1 인에이블 신호(DIRECT_SEL_EN)와 제 2 인에이블 신호(BUF_EN) 중에서 어느 하나라도 활성화 되면 BUF_EN_UP 및 BUF_EN_DN을 활성화시킬 수 있다.
- [0049] 도 5에 도시된 바와 같이, 복수의 리피터(310) 예를 들어, 특성 조정 신호(CTRL<1:m>) 중에서 CTRL1을 입력받는 리피터(310)는 제 1 내지 제 3 로직 게이트(311 - 313)를 포함할 수 있다.
- [0050] 제 1 로직 게이트(311)는 CTRL1을 반전시켜 출력할 수 있다.
- [0051] 제 2 로직 게이트(312)는 제 1 로직 게이트(311)의 출력을 반전시켜 CTRL1_UP으로서 출력할 수 있다.
- [0052] 제 3 로직 게이트(313)는 제 1 로직 게이트(311)의 출력을 반전시켜 CTRL1_DN으로서 출력할 수 있다.
- [0053] 리피터(320) 및 리피터(330)는 도 5와 동일하게 구성될 수 있다.
- [0054] 도 6에 도시된 바와 같이, 리피터(350)는 제 1 내지 제 3 로직 게이트(351 - 353)를 포함할 수 있다.
- [0055] 제 1 로직 게이트(351)는 제 1 인에이블 신호(DIRECT_SEL_EN)와 제 2 인에이블 신호(BUF_EN)를 부정 논리합하여

출력할 수 있다.

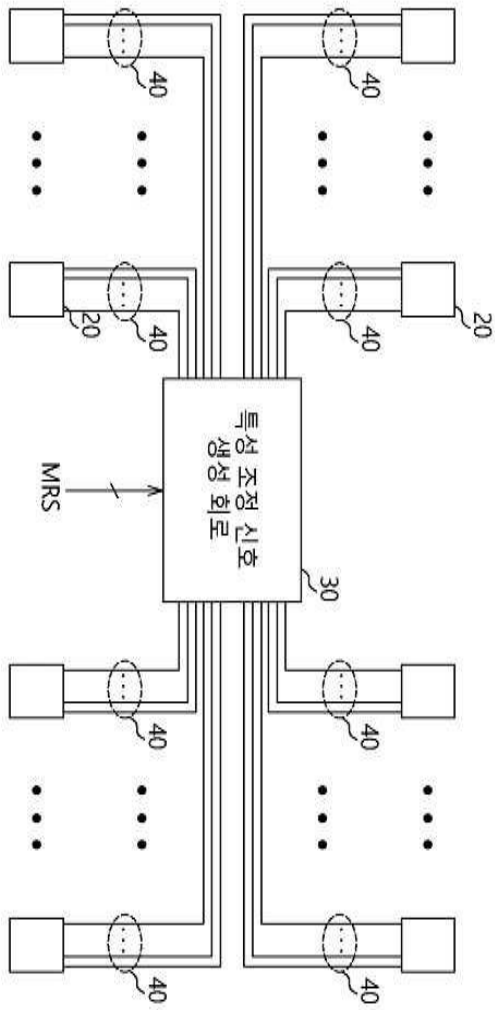
- [0056] 제 2 로직 게이트(352)는 제 1 로직 게이트(351)의 출력 신호를 반전시켜 BUF_EN_UP으로서 출력할 수 있다.
- [0057] 제 3 로직 게이트(353)는 제 1 로직 게이트(351)의 출력 신호를 반전시켜 BUF_EN_DN으로서 출력할 수 있다.
- [0058] 도 7에 도시된 바와 같이, 복수의 입/출력단(200) 예를 들어, 상측(UP)의 입/출력단(200)은 패드(210), 수신기(RX)(220), 송신기(TX)(230) 및 테스트 제어부(240)를 포함할 수 있다.
- [0059] 패드(210)는 수신기(220) 및 송신기(230)와 연결될 수 있다.
- [0060] 수신기(220)는 외부 입력 측, 외부 기기(900)에서 패드(210)를 통해 입력된 신호를 외부 선택 신호(IN_PAD)로서 테스트 제어부(240)에 전송할 수 있다.
- [0061] 수신기(220)는 제 2 인에이블 신호(BUF_EN_UP)에 따라 활성화될 수 있다.
- [0062] 수신기(220)는 래치 신호(SPLIT_CTRL<1:m>) 중에서 일부 SPLIT_CTRL<1:k>에 따라 수신 특성이 조정될 수 있다.
- [0063] 송신기(230)는 래치 신호(SPLIT_CTRL<1:m>) 중에서 나머지 SPLIT_CTRL<k+1:m>에 따라 송신 특성이 조정될 수 있다.
- [0064] 테스트 제어부(240)는 제 1 인에이블 신호(DIRECT_SEL_EN_UP) 및 외부 선택 신호(IN_PAD)에 따라 특성 조정 신호(CTRL<1:m>)를 래치하여 래치 신호(SPLIT_CTRL<1:m>)를 생성할 수 있다.
- [0065] 테스트 제어부(240)는 리셋 신호(RSTB_UP)에 따라 래치 신호(SPLIT_CTRL<1:m>)를 초기화시킬 수 있다.
- [0066] 도 8에 도시된 바와 같이, 테스트 제어부(240)는 제 1 내지 제 6 로직 게이트(241 - 246)를 포함할 수 있다.
- [0067] 제 1 로직 게이트(241)는 제 1 인에이블 신호(DIRECT_SEL_EN_UP)와 외부 선택 신호(IN_PAD)를 부정 논리곱하여 출력할 수 있다.
- [0068] 제 2 로직 게이트(242)는 제 1 로직 게이트(241)의 출력을 반전시켜 출력할 수 있다.
- [0069] 제 3 로직 게이트(243)는 제 1 로직 게이트(241)의 출력이 정해진 로직 레벨 예를 들어, 로직 하이일 경우 특성 조정 신호(CTRL<1:m>)를 통과시킬 수 있다.
- [0070] 제 4 내지 제 6 로직 게이트(244 - 246)는 제 3 로직 게이트(243)의 출력을 래치하여 래치 신호(SPLIT_CTRL<1:m>)로서 출력할 수 있다.
- [0071] 제 4 로직 게이트(244)는 리셋 신호(RSTB_UP)가 활성화(예를 들어, 로직 로우)됨에 따라 래치 신호(SPLIT_CTRL<1:m>)를 예를 들어, 로직 로우로 초기화시킬 수 있다.
- [0072] 이때 도 8에는 설명의 편의를 위하여 제 3 내지 제 6 로직 게이트(243 - 246)를 하나만 도시하였으나, 제 3 내지 제 6 로직 게이트(243 - 246)는 각각 특성 조정 신호(CTRL<1:m>)의 신호 비트 수만큼 구성될 수 있다.
- [0073] 이와 같이 구성된 본 발명의 실시예에 따른 반도체 장치(100)의 입/출력단 특성 조정 방법을 도 2 내지 도 8을 참조하여 설명하면 다음과 같다.
- [0074] 먼저, 제 1 인에이블 신호(DIRECT_SEL_EN_UP)를 비 활성화 레벨 예를 들어, 로직 로우로 유지시킴에 따라 복수의 입/출력단(200)의 특성을 공통적으로 조정하기 위한 공통 조정 모드로 동작할 수 있다.
- [0075] 제 1 인에이블 신호(DIRECT_SEL_EN_UP)가 비 활성화 레벨 예를 들어, 로직 로우이므로 복수의 입/출력단(200)에 특성 조정 신호(CTRL<1:m>)가 공통 제공되고(도 8 참조), 그에 따라 복수의 입/출력단(200)의 특성이 공통적으로 조정될 수 있다.
- [0076] 한편, 제 1 인에이블 신호(DIRECT_SEL_EN_UP)를 로직 하이로 활성화시키고, 복수의 입/출력단(200) 각각의 패드(210)의 레벨 측, 외부 선택 신호(IN_PAD)의 레벨을 조정하여 복수의 입/출력단(200)의 특성을 독립적으로 조정하기 위한 독립 조정 모드로 진입할 수 있다.
- [0077] 이때 복수의 입/출력단(200) 각각에 독립적인 값의 특성 조정 신호(CTRL<1:m>)를 입력시키는 과정에 앞서, 복수의 입/출력단(200)에 이미 저장되어 있는 특성 조정 신호(CTRL<1:m>)의 값을 초기화하는 신호 값 초기화 동작이 수행될 수 있다.
- [0078] 신호 값 초기화 동작은 제 1 인에이블 신호(DIRECT_SEL_EN_UP)를 로직 하이로 활성화시키고, 복수의 입/출력단

(200) 모두를 통해 입력되는 외부 선택 신호(IN_PAD)들을 모두 로직 하이로 유지시켜 특성 조정 신호(CTRL<1:m>)의 입력을 차단한 상태에서, 로우 펄스 형태의 리셋 신호(RSTB_UP)를 생성하여 이루어질 수 있다.

- [0079] 신호 값 초기화 동작이 완료된 후, 제 1 인에이블 신호(DIRECT_SEL_EN_UP)를 로직 하이로 유지시킨 상태에서, 복수의 입/출력단(200) 중에서 조정을 원하는 하나 또는 일부의 입/출력단(200)의 패드(210)에 로우 펄스 형태의 외부 선택 신호(IN_PAD)를 입력시킬 수 있다.
- [0080] 이때 조정을 원하지 않는 입/출력단(200)들의 패드(210)를 통해 입력되는 외부 선택 신호(IN_PAD)들을 로직 하이로 유지될 수 있다.
- [0081] 복수의 입/출력단(200) 중에서 로우 펄스 형태의 외부 선택 신호(IN_PAD)를 입력 받는 입/출력단(200)이 특성 조정 신호(CTRL<1:m>)를 입력 받을 수 있고, 나머지 입/출력단(200)들은 특성 조정 신호(CTRL<1:m>) 입력이 차단될 수 있다.
- [0082] 로우 펄스 형태의 외부 선택 신호(IN_PAD)를 입력 받는 입/출력단(200)은 특성 조정 신호(CTRL<1:m>)를 저장할 수 있다.
- [0083] 이후, 노멀 동작을 진행하고, 그에 따른 반도체 장치(100)의 입/출력 신호를 모니터링하여 복수의 입/출력단(200)의 동작 특성을 평가할 수 있다.
- [0084] 필요에 따라 상술한 과정 즉, 다른 입/출력단(200)을 선택하여 그에 따른 독립적인 값을 갖는 특성 조정 신호(CTRL<1:m>)를 저장한 후, 노멀 동작을 진행하고 모니터링을 통해 동작 특성을 평가하는 과정을 반복할 수 있다.
- [0085] 따라서 복수의 입/출력단(200)에 서로 독립적인 값을 갖는 특성 조정 신호(CTRL<1:m>) 값이 저장되도록 함으로써 복수의 입/출력단(200)에 대한 독립적인 특성 조정을 수행할 수 있다.
- [0086] 이와 같이, 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

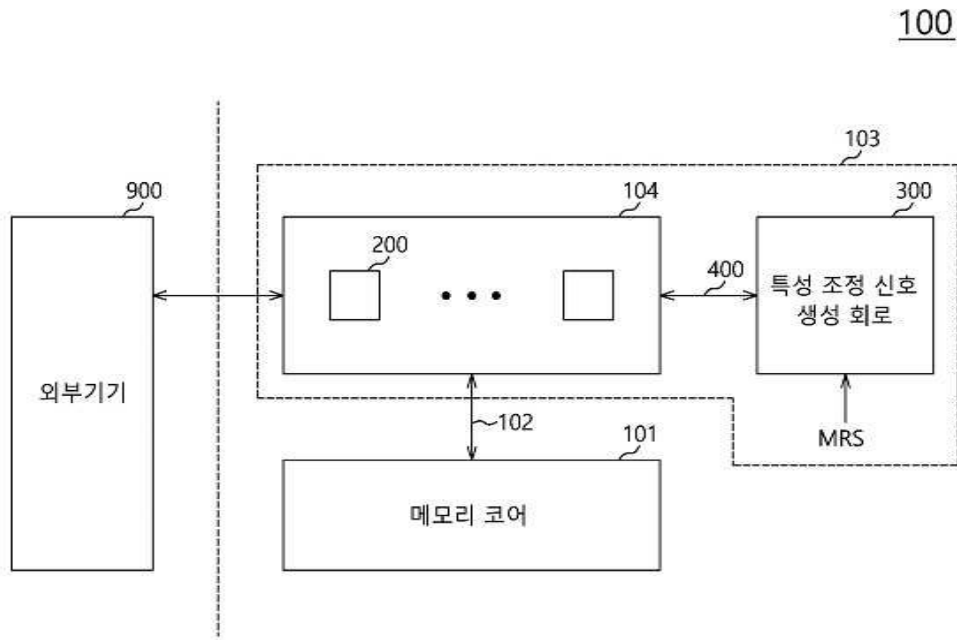
도면

도면1

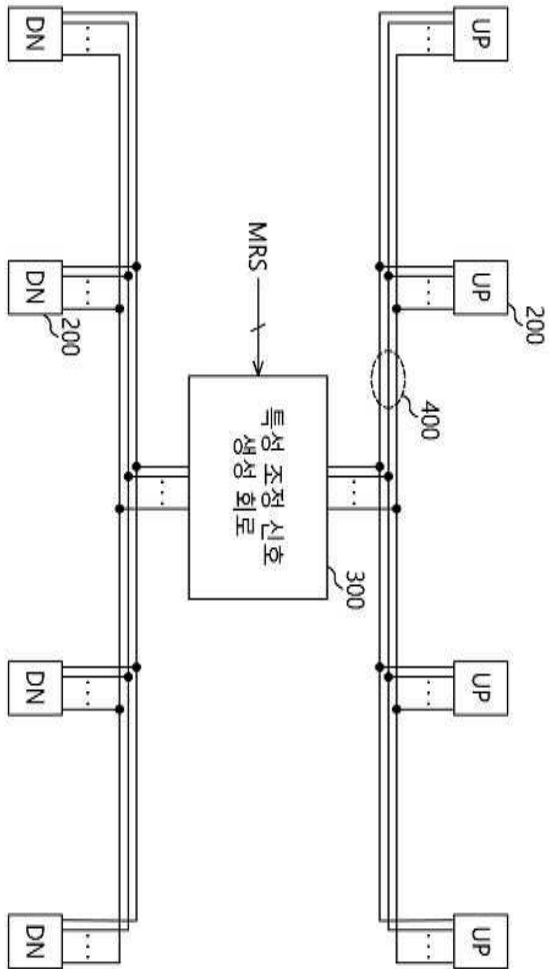


1

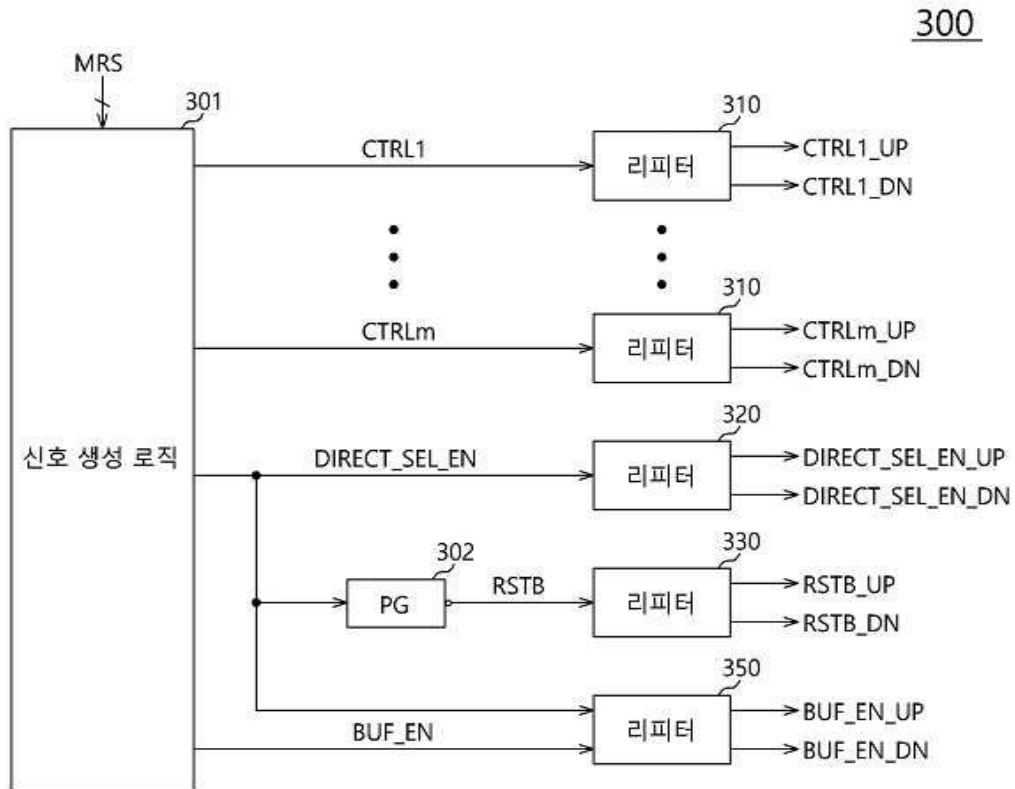
도면2



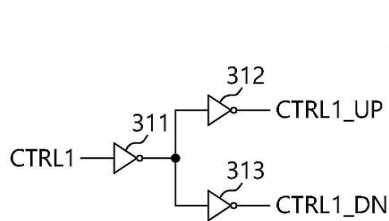
도면3



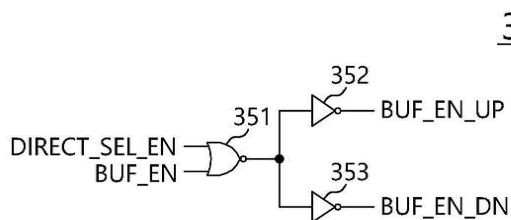
도면4



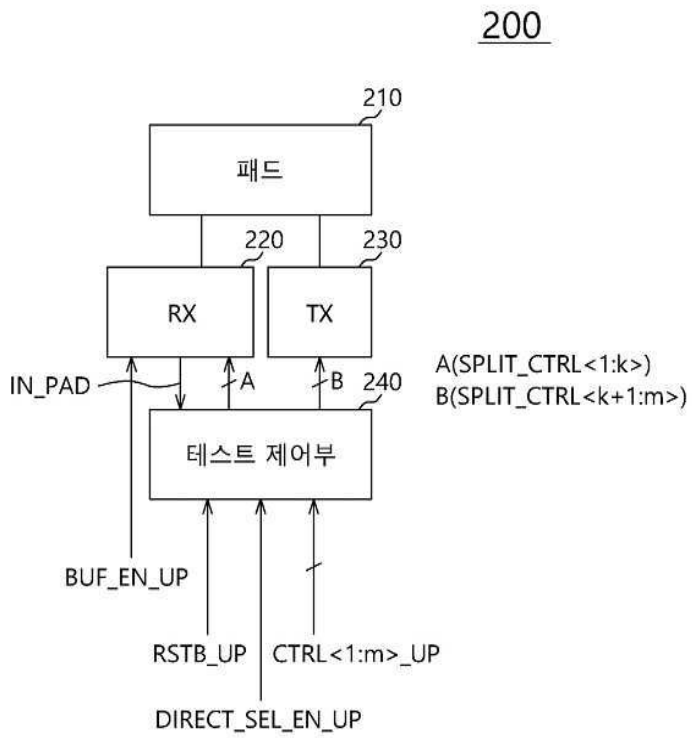
도면5



도면6



도면7



도면8

