

①⑨ RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

①① N° de publication :

2 960 720

(à n'utiliser que pour les
commandes de reproduction)

②① N° d'enregistrement national :

10 54032

⑤① Int Cl⁸ : H 03 K 19/003 (2006.01)

⑫

DEMANDE DE BREVET D'INVENTION

A1

②② Date de dépôt : 25.05.10.

③③ Priorité :

④③ Date de mise à la disposition du public de la
demande : 02.12.11 Bulletin 11/48.

⑤⑥ Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

⑥③ Références à d'autres documents nationaux
apparentés :

⑦① Demandeur(s) : STMICROELECTRONICS SA
Société anonyme — FR.

⑦② Inventeur(s) : CLERC SYLVAIN, FIRMIN FABIAN et
ROCHE PHILIPPE.

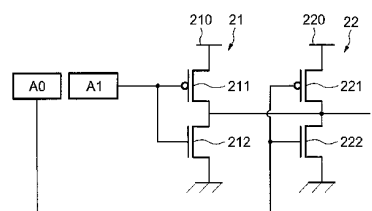
⑦③ Titulaire(s) : STMICROELECTRONICS SA Société
anonyme.

⑦④ Mandataire(s) : BUREAU D.A. CASALONGA &
JOSSE.

⑤④ PROCÉDE DE PROTECTION D'UN CIRCUIT LOGIQUE CONTRE DES RADIATIONS EXTERNES ET
DISPOSITIF ÉLECTRONIQUE ASSOCIÉ.

⑤⑦ Procédé de protection d'un bloc logique (A_0) contre
des radiations externes, ledit circuit électronique (A_0) com-
portant au moins une sortie.

On effectue au moins une duplication du circuit électro-
nique (A_0), la duplication étant une duplication au moins
fonctionnelle du circuit électronique (A_0), et on relie respec-
tivement les sorties des circuit électronique (A_0 , A_1) à des
entrées homologues d'éléments combinatoires ou séquen-
tiels (21, 22) au moins fonctionnellement identiques, et on
relie ensemble les sorties (S) homologues de tous les élé-
ments combinatoires ou séquentiels (21, 22).



FR 2 960 720 - A1



**Procédé de protection d'un circuit logique contre des radiations
externes et dispositif électronique associé.**

5 L'invention concerne la robustesse de composants électroniques tels que des circuits intégrés, et plus particulièrement la robustesse des circuits intégrés dans un environnement radiatif..

10 L'impact d'une particule sur un transistor ou proche d'un transistor peut engendrer un courant parasite dans un circuit intégré, suivant le pouvoir ionisant de cette particule (par exemple caractérisé par son LET : Linear Energy Transfer). En effet, la quantité de charge engendrée par une particule correspond à celle mise en œuvre pendant le changement d'état d'un nœud logique commandé par un transistor. La conséquence de cet impact peut être le changement d'état, ou de
15 niveaux, des signaux logiques, et par conséquent entraîner des erreurs en sortie du circuit.

 Afin de palier aux erreurs engendrées par de tels phénomènes, il est habituel de dupliquer les signaux en dupliquant les circuits générateurs de tels signaux. Une telle redondance permet de réduire la
20 probabilité d'obtenir un signal erroné en sortie. En effet, la probabilité que tous les signaux dupliqués issus d'un même signal soient tous modifiés à la fois, c'est-à-dire que tous les circuits générant ces signaux subissent simultanément une perturbation radiative, est bien plus faible que la probabilité qu'un signal non dupliqué soit perturbé
25 par une radiation externe. De cette manière, une analyse des signaux dupliqués en sortie permet de retrouver la valeur non perturbée de manière plus sûre.

 Certains secteurs d'activités, comme l'aérospatial ou le secteur médical, ont besoin d'une robustesse de composant permettant une
30 fiabilité de réponse proche de 100%, cette caractéristique primant sur les autres facteurs.

 Il est connu, notamment par les documents US 6 703 858 ou US 5 570 313, d'utiliser des composants électriques nommés

« éléments C » pour résoudre ces perturbations. Comme illustré sur la figure 1, ces éléments C comportent par exemple un empilement de quatre transistors, deux transistors PMOS 11 et 12, et deux transistors NMOS 13 et 14, couplés en séries. Le signal de sortie d'un bloc logique A_0 est couplé en entrée du premier transistor PMOS 11 et du premier transistor NMOS 13, et un second signal de sortie du bloc logique A_1 , correspondant à une duplication du premier signal A_0 , est couplé en entrée du second transistor PMOS 12 et du second transistor NMOS 14. La sortie S est prise entre le second transistor PMOS 12 et le premier transistor NMOS 13.

Ces éléments C sont de très bons filtres contre les erreurs induites par les radiations. En effet, si une perturbation intervient sur un seul des deux blocs, les deux signaux seront de valeurs contraires, bloquant ainsi tout signal de sortie. En effet, si les signaux issus des blocs A_0 et A_1 sont différents, aucun signal de sortie ne sera émis.

Cependant, ces éléments C possèdent un courant de sortie faible donc un temps de réponse long pour une surface donnée.

D'autres secteurs d'activités n'ont pas besoin d'une telle fiabilité, mais nécessitent en revanche des critères de rapidité de réponse, d'occupation de surface et de puissance plus optimaux.

Selon un mode de réalisation et un mode de mise en œuvre, il est proposé une architecture de protection visant à améliorer les caractéristiques de vitesse de réponse et de puissance tout en conservant une même surface d'occupation.

Selon un aspect, il est proposé un procédé de protection d'un circuit électronique, par exemple un bloc logique contre les radiations externes, ledit circuit électronique comprenant au moins une sortie.

Selon une caractéristique générale de cet aspect, on effectue au moins une duplication du circuit électronique, la duplication étant une duplication au moins fonctionnelle du circuit électronique, et on peut relier respectivement les sorties des circuits électroniques à des entrées homologues d'éléments combinatoires ou séquentiels au moins fonctionnellement identiques, et on relie ensemble les sorties homologues de tous les éléments combinatoires ou séquentiels.

Ainsi, le principe de protection offert ici est totalement différent de celui de l'art antérieur. En effet, le fait que les sorties homologues des éléments combinatoires ou séquentiels soient reliés ensemble va conduire en cas de perturbation sur l'un des circuits
5 dupliqués à un court-circuit temporaire en sortie (au lieu d'une absence d'émission d'un signal en sortie dans l'art antérieur).

Par ailleurs, comme expliqué ci-après, une duplication fonctionnelle permet de résoudre le problème de la vitesse de réponse, même si une duplication structurelle, conduisant à des circuits
10 structurellement identiques, comme par exemple des blocs logiques structurellement identiques, est préférable en terme de consommation.

De même, il n'est pas nécessaire que les éléments combinatoires ou séquentiels soient structurellement identiques, pour autant qu'ils soient au moins fonctionnellement identiques.

15 Avantageusement, on peut relier respectivement des circuits électroniques supplémentaires à des entrées supplémentaires des éléments combinatoires.

Ainsi, par exemple, si les éléments combinatoires comprennent deux entrées, il est possible de protéger un premier circuit et un
20 second circuit distincts en dupliquant chacun d'eux. Le premier circuit et ses duplicata seront, par exemple, couplés aux premières entrées des éléments combinatoires, et le second circuit et ses duplicata seront, par exemple, couplés aux secondes entrées des éléments combinatoires. La combinaison des signaux de sortie des deux circuits
25 sera alors délivrée en sortie des éléments combinatoires.

Selon un autre aspect, il est proposé un dispositif électronique permettant la protection d'un circuit électronique contre les radiations externes.

Selon une caractéristique générale, le dispositif électronique
30 comprend N circuits électroniques au moins fonctionnellement identiques comportant chacun au moins une sortie et N éléments combinatoires ou séquentiels au moins fonctionnellement identiques possédant au moins une entrée, avec $N > 1$, les sorties des circuits électroniques étant respectivement reliées à des entrées homologues

des éléments combinatoires ou séquentiels, et les sorties homologues des éléments combinatoires ou séquentiels étant respectivement reliées ensemble.

De préférence, les circuits électroniques sont structurellement
5 identiques. En effet, dans le cas où ils ne sont pas structurellement identiques mais fonctionnellement identiques il est possible qu'il y ait un retard temporel entre les signaux de sorties qui augmentera la consommation d'énergie, diminuant par conséquent les performances du dispositif électronique. Mais, le dispositif électronique fonctionne
10 tout de même avec des circuits électroniques fonctionnellement identiques.

Les éléments combinatoires ou séquentiels peuvent comporter une ou plusieurs sorties. Ainsi, par exemple, dans le cas d'un élément combinatoire formé, par exemple, d'un additionneur complet, ou « full
15 adder », comprenant une première sortie pour la somme et une seconde sortie pour la retenue, il est prévu, d'une part, de coupler ensemble les premières sorties des additionneurs complets utilisés, et, d'autre part, de coupler ensemble les secondes sorties des additionneurs complets.

De préférence, le nombre N d'éléments combinatoires ou
20 séquentiels et de circuits électroniques est au moins égal au nombre deux.

En multipliant les duplicata de circuits électroniques et, par correspondance, les éléments combinatoires ou séquentiels, le rapport de force en courant est modifié. En effet, la multiplication des circuits
25 et des éléments permet de diluer l'impact de l'erreur due à la perturbation radiative. Dans un cas où le circuit électronique et l'élément combinatoire sont tripliqués, par exemple, si la perturbation radiative est contenue sur un seul des circuits électroniques, il n'y aura qu'un seul signal qui sera erroné, et deux signaux qui seront
30 correctes. Le court-circuit qui sera alors engendré s'estompera plus rapidement que dans un cas d'une duplication, et l'amplitude de la perturbation sera moins importante. En modifiant ainsi le rapport de force en courant grâce à la multiplication des circuits électroniques, et

des éléments combinatoires en correspondance, les caractéristiques de protection du dispositif électronique sont encore améliorées.

Avantageusement, le dispositif peut comprendre au plus N circuits électroniques supplémentaires au moins fonctionnellement identiques. Les éléments combinatoires ou séquentiels peuvent comprendre une entrée supplémentaire, et les sorties des circuits électroniques supplémentaires peuvent respectivement être reliées à des entrées supplémentaires des éléments combinatoires.

Les éléments combinatoires peuvent comprendre des inverseurs CMOS.

Les transistors PMOS et NMOS d'un élément combinatoire ou séquentiel peuvent préférentiellement avoir des canaux présentant des caractéristiques dimensionnelles sensiblement identiques. Ceci présente l'avantage d'équilibrer les retards entre les éléments dupliqués et de minimiser le temps pendant lequel les éléments en parallèle sur une même sortie donnent lieu à un court-circuit transitoire.

Les éléments combinatoires peuvent aussi comprendre des portes logiques CMOS telles que des portes NAND.

Il est également possible d'utiliser des éléments séquentiels tels que des bascules, ou « latch », en lieu et place et des éléments combinatoires.

D'autres avantages et caractéristiques de l'invention apparaîtront à l'examen de la description détaillée de modes de réalisation, nullement limitatifs, et des dessins annexés sur lesquels :

- La figure 1, déjà citée, représente un dispositif de protection selon l'art antérieur ;
- La figure 2 représente un dispositif électronique selon un premier mode de réalisation ;
- La figure 3 représente un dispositif électronique selon un second mode de réalisation ;
- La figure 4 représente un dispositif électronique selon un troisième mode de réalisation ;

- La figure 5 représente un dispositif électronique selon un quatrième mode de réalisation ;
- La figure 6 représente un dispositif électronique selon un cinquième mode de réalisation ;

5 Dans la description détaillée qui suit, les circuits électroniques à protéger sont des blocs logiques. Cela étant l'invention n'est pas limitée à ce type de circuit électronique mais s'applique à tout type de circuit électronique délivrant en sortie un ou plusieurs signaux que l'on souhaite protéger contre des radiations externes, comme par
10 exemple un capteur.

La figure 2 illustre de manière schématique un dispositif électronique selon un premier mode de réalisation de l'invention.

Dans ce premier mode de réalisation, le dispositif électronique comprend un bloc logique A_0 et un bloc logique A_1 que l'on cherche à
15 protéger d'un environnement radiatif, le bloc logique A_1 étant une duplication du bloc logique A_0 . Le dispositif électronique comprend également deux éléments combinatoires 21 et 22 identiques, tels qu'un inverseur.

Le premier inverseur 21 comprend un transistor PMOS 211
20 couplé en série avec un transistor NMOS 212 entre une borne d'alimentation 210 et la masse. De même, le second inverseur 22 comprend un transistor PMOS 221 couplé en série avec un transistor NMOS 222 entre une borne d'alimentation 220 et la masse.

Les blocs logiques A_0 et A_1 sont respectivement couplés en
25 entrée des deux inverseurs.

Les sorties des inverseurs sont couplées ensemble et constituent la sortie S du dispositif électronique.

Lorsque les signaux issus des blocs logiques A_0 et A_1 diffèrent à l'entrée des éléments combinatoires 21 et 22, par exemple à cause
30 d'une perturbation d'un des blocs par une radiation externe, la sortie S sera en court-circuit, délivrant une tension indéterminée.

Cependant, en comparaison avec un « élément C », un dispositif électronique selon ce premier mode de réalisation de l'invention permet de diviser par quatre le courant de sortie donc le

temps de réponse du circuit, pour une surface donnée, tout en offrant une protection aux radiations externes. En effet, le court-circuit produit lors d'une perturbation d'un des blocs logiques ne dure qu'un temps très court, de l'ordre de la nanoseconde, durée d'évacuation des charges parasites produites par la particule ionisante dans un des deux blocs logiques A0 ou A1, si aucune perturbation ne se produit à nouveau (faible probabilité), le dispositif électronique délivre de nouveau en sortie la valeur du signal souhaitée.

Sur la figure 3 est illustré de manière schématique un dispositif électronique selon un deuxième mode de réalisation de l'invention.

Ce second mode de réalisation diffère du premier mode de réalisation illustré sur la figure 2 en ce que le bloc logique à protéger a été tripliqué de manière à avoir un premier bloc logique A₀, un second bloc logique A₁, et un troisième bloc logique A₂, et en ce qu'il comprend trois inverseurs 21, 22 et 23 comprenant chacun un transistor PMOS couplé en série avec un transistor NMOS entre un potentiel et la masse. Les trois blocs A₀, A₁ et A₂ sont respectivement couplés chacun à l'entrée d'un inverseur 23, 22 et 21.

Un tel dispositif permet d'augmenter la protection d'un bloc logique en modifiant le rapport de force en courant.

En effet, la multiplication des blocs logiques et des inverseurs permet de diluer d'autant plus l'impact de l'erreur due à la perturbation radiative. Dans l'exemple illustré sur cette figure 3, si la perturbation radiative est contenue sur un seul des blocs logiques tripliqués, par exemple le bloc logique A₀, il n'y aura qu'un seul signal erroné pour deux signaux corrects, qui seront délivrés à l'ensemble composé par les inverseurs. Le court-circuit résultant en sortie S des inverseurs sera de moindre amplitude que dans un cas de simple duplication comme par exemple sur la figure 2. En modifiant ainsi le rapport de force en courant grâce à la multiplication des blocs logiques, et des éléments combinatoires en correspondance, les caractéristiques de protection du dispositif électronique sont encore améliorées.

La figure 4 présente schématiquement un troisième mode de réalisation d'un dispositif électronique selon l'invention.

Dans ce troisième mode de réalisation, le dispositif électronique comprend un bloc logique A_0 qu'on cherche à protéger d'un environnement radiatif. Le bloc logique A_0 est dupliqué en un bloc logique dupliqué A_1 .

Le dispositif électronique comprend également un premier élément combinatoire 41 constitué d'une porte logique NOR comprenant un premier transistor PMOS 411 couplé en série avec un deuxième transistor PMOS 412 couplé lui-même en série avec un premier transistor NMOS 413 couplé à la masse, le premier transistor NMOS 413 étant couplé en parallèle avec un second transistor NMOS 414.

Le dispositif électronique comprend un second élément combinatoire 42 fonctionnant comme une porte logique NOR. Le second élément combinatoire 42 comprend un premier transistor PMOS 421 couplé en série avec un deuxième transistor PMOS 422 couplé lui-même en série avec un transistor NMOS 423 couplé à la masse, le transistor NMOS 423 étant couplé en parallèle avec le second transistor NMOS 414 du premier élément combinatoire 41. Cet ensemble de transistors permet un fonctionnement du second élément combinatoire comme une porte logique NOR.

Par conséquent, ici l'élément combinatoire 42 n'est pas structurellement identique à l'élément combinatoire 41 mais seulement fonctionnellement identique.

Le bloc logique dupliqué A_1 est couplé à une première entrée du premier élément combinatoire 41, cette première entrée étant couplée à la grille du second transistor PMOS 412 et à la grille du second transistor NMOS 414 de ce premier élément combinatoire 41. Le bloc logique A_0 est couplé à une première entrée du second élément combinatoire 42, cette première entrée étant couplée à la grille du second transistor PMOS 422 et à la grille du premier transistor NMOS 423 de ce second élément combinatoire 42.

Un signal $\overline{Enable}$ distinct du premier bloc logique A_0 est couplé à une seconde entrée du premier élément combinatoire 41, cette seconde entrée étant couplée à la grille du premier transistor PMOS 411 et à la grille du premier transistor NMOS 413, ainsi qu'à une
5 seconde entrée du second élément combinatoire 42, cette seconde entrée étant couplée à la grille du premier transistor PMOS 421 du second élément combinatoire 42. Ce signal $\overline{Enable}$ ainsi couplé aux secondes entrées des éléments combinatoires 41 et 42 permet d'activer les éléments combinatoires ou de les bloquer, inhibant alors le
10 fonctionnement du dispositif électronique.

Enfin, les sorties des éléments combinatoires sont couplées ensemble formant une sortie S commune.

Sur la figure 5 est représentée un quatrième mode de réalisation d'un dispositif électronique selon l'invention.

15 Dans ce quatrième mode de réalisation, le dispositif électronique comprend, comme précédemment sur la figure 4, un bloc logique A_0 qu'on cherche à protéger des radiations externes et qu'on a dupliqué en un bloc logique dupliqué A_1 . Il comprend également un signal supplémentaire En_0 qu'on cherche également à protéger des
20 radiations externes et qu'on a dupliqué en un signal supplémentaire dupliqué En_1 . Ce signal supplémentaire peut, par exemple, correspondre à un circuit d'activation $Enable$ du dispositif électronique pour lequel une protection a été prévue contre les radiations externes.

25 Le dispositif électronique comprend également deux éléments combinatoires identiques 51 et 52 qui sont chacun constitués d'une porte logique NOR. Ce mode de réalisation permet de protéger deux blocs logiques dont les signaux logiques sont combinés *in fine*.

30 Le premier élément combinatoire 51 comprend un premier transistor PMOS 511 couplé en série avec un deuxième transistor PMOS 512 couplé en série avec un premier transistor NMOS 513 couplé à la masse, le premier transistor NMOS 513 étant couplé en parallèle avec un second transistor NMOS 514. Le second élément combinatoire 52 est constitué de manière identique un premier et un

deuxième transistors PMOS 521 et 522 et un premier et un second transistors NMOS 523 et 524.

Le bloc logique dupliqué A_1 est couplé à une première entrée du premier élément combinatoire 51, cette première entrée étant couplée à la grille du second transistor PMOS 512 et à la grille du second transistor NMOS 514 de ce premier élément combinatoire 51. Le bloc logique A_0 est couplé à une première entrée du second élément combinatoire 52, cette première entrée étant couplée à la grille du second transistor PMOS 522 et à la grille du premier transistor NMOS 523 de ce second élément combinatoire 52.

Le signal supplémentaire En_0 est couplé à une seconde entrée du premier élément combinatoire 51, cette seconde entrée étant couplée à la grille du premier transistor PMOS 511 et à la grille du premier transistor NMOS 513. Le signal supplémentaire dupliqué En_1 est couplé à une seconde entrée du second élément combinatoire 52, cette seconde entrée étant couplée à la grille du premier transistor PMOS 521 du second élément combinatoire et à la grille du second transistor NMOS 524 du second élément combinatoire 52.

Enfin, les sorties des deux éléments combinatoires 51 et 52 sont couplées ensemble formant une sortie S commune.

Sur la figure 6, est illustré un dispositif électronique selon un cinquième mode de réalisation de l'invention.

Comme dans le mode de réalisation précédent illustré sur la figure 5, il est prévu un bloc logique A_0 et un signal En_0 tout deux dupliqués en un bloc logique dupliqué A_1 et un signal supplémentaire dupliqué En_1 .

Dans ce cinquième mode de réalisation, les deux éléments combinatoires 61 et 62 sont cette fois-ci des portes logiques NAND (au lieu des portes logiques NOR) comprenant chacune deux entrées et une sortie. Le premier élément combinatoire 61 comprend un premier transistor PMOS 611 couplé en parallèle avec un second transistor PMOS 612, ce montage en parallèle étant couplé en série avec un premier transistor NMOS 613 et un second transistor NMOS 614. De la

même manière, le second élément combinatoire 62 comprend deux transistors PMOS 621 et 622 et deux transistors NMOS 623 et 624.

5 Le bloc logique A_0 est couplé à une première entrée du premier élément combinatoire 61, cette première entrée étant couplée à la grille du premier transistor PMOS 611 et à la grille du premier transistor NMOS 613 de ce premier élément combinatoire 61. Le bloc logique dupliqué A_1 est couplé à une première entrée du second élément combinatoire 62, cette première entrée étant couplée à la grille du premier transistor PMOS 621 et à la grille du premier transistor NMOS 623 de ce second élément combinatoire 62.

10 Le signal supplémentaire En_0 est couplé à une seconde entrée du premier élément combinatoire 61, cette seconde entrée étant couplée à la grille du premier second PMOS 612 et à la grille du second transistor NMOS 614. Le signal supplémentaire dupliqué En_1 est couplé à une seconde entrée du second élément combinatoire 62, cette seconde entrée étant couplée à la grille du second transistor PMOS 622 et à la grille du second transistor NMOS 624 du second élément combinatoire 62.

20 Enfin, les sorties des deux éléments combinatoires 61 et 62 sont couplées ensemble formant une sortie S commune.

Dans les différents modes de réalisation, il est parfaitement possible de dupliquer les blocs logiques plus d'une fois afin d'augmenter la protection du bloc logique. Dans ce cas les éléments combinatoires permettant la protection doivent également se trouver en un nombre plus important, ce nombre devant correspondre au nombre de circuits identiques pour un bloc logique donné.

REVENDICATIONS

1. Procédé de protection d'un circuit électronique (A_0) contre des radiations externes, ledit circuit électronique (A_0) comportant au moins une sortie, caractérisé en ce qu'on effectue au moins une
5 duplication (A_1) du circuit électronique (A_0), la duplication étant une duplication au moins fonctionnelle du circuit électronique (A_0), et on relie respectivement les sorties des circuits électroniques (A_0 , A_1) à des entrées homologues d'éléments combinatoires ou séquentiels (21,
10 22) au moins fonctionnellement identiques, et on relie ensemble les sorties (S) homologues de tous les éléments combinatoires ou séquentiels (21, 22).

2. Procédé de protection selon la revendication 1, dans lequel on relie respectivement des circuits électroniques supplémentaires à
15 des entrées supplémentaires des éléments combinatoires.

3. Dispositif électronique, caractérisé en ce qu'il comprend N circuits électroniques (A_0) au moins fonctionnellement identiques comportant chacun au moins une sortie et N éléments combinatoires ou séquentiels (21, 22) au moins fonctionnellement identiques possédant
20 au moins une entrée, avec $N > 1$, les sorties des circuits électroniques étant respectivement reliées à des entrées homologues des éléments combinatoires ou séquentiels (A_0), et les sorties (S) homologues des éléments combinatoires ou séquentiels (21, 22) étant respectivement reliées ensemble.

4. Dispositif électronique selon la revendication 3, dans lequel le nombre N est au moins égal au nombre trois.

5. Dispositif de protection selon l'une des revendications 3 ou 4, dans lequel les éléments combinatoires ou séquentiels (21, 22) comprennent des transistors PMOS et NMOS dont les canaux
30 présentent des caractéristiques dimensionnelles sensiblement identiques.

6. Dispositif de protection selon l'une quelconque des revendications 3 à 5, caractérisé en ce qu'il comprend au plus N

circuits électroniques supplémentaires au moins fonctionnellement identiques, en ce que les éléments combinatoires ou séquentiels comprennent une entrée supplémentaire, et en ce que les sorties des circuits électroniques supplémentaires sont respectivement reliées à

5 des entrées supplémentaires homologues des éléments combinatoires ou séquentiels.

7. Dispositif électronique selon l'une quelconque des revendications 3 à 6, dans lequel les éléments combinatoires comportent des portes logiques CMOS.

10 8. Dispositif de protection selon l'une quelconque des revendications 3 à 7, dans lequel les éléments comportent des inverseurs CMOS.

1/3
FIG.1
ART ANTERIEUR

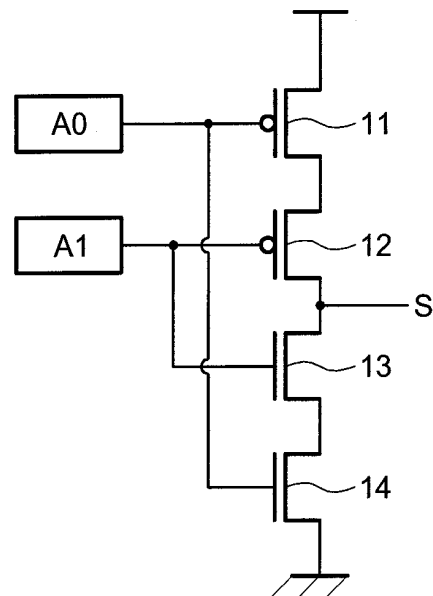
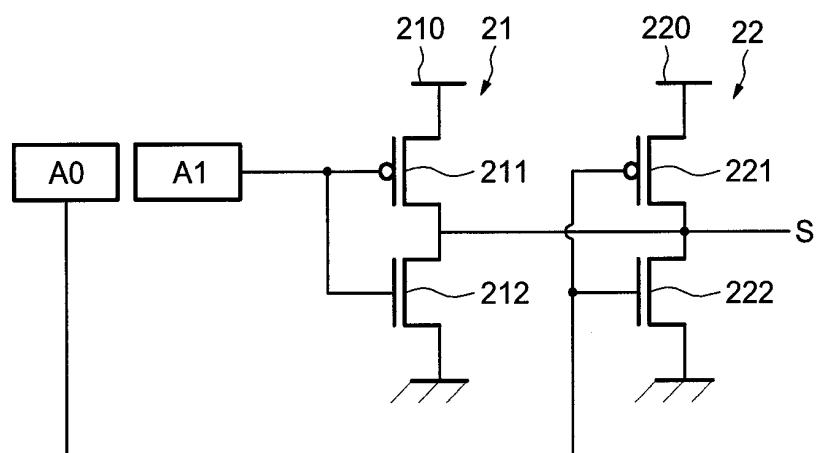


FIG.2



2/3
FIG.3

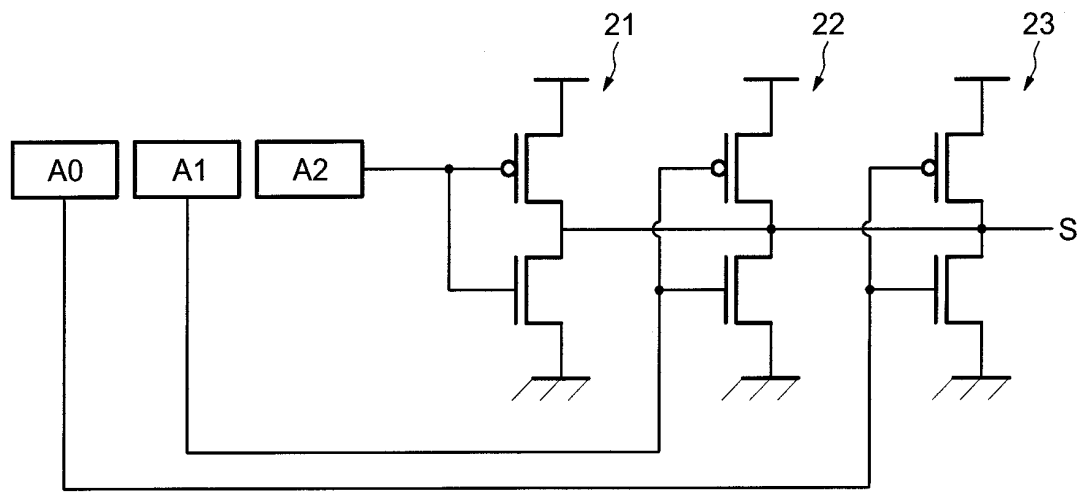
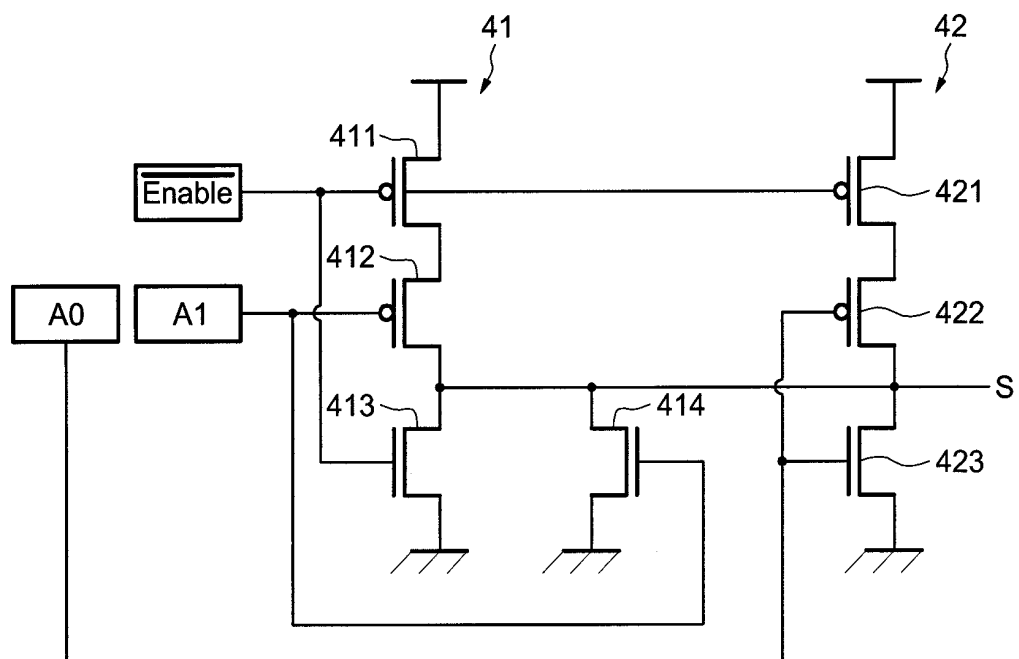
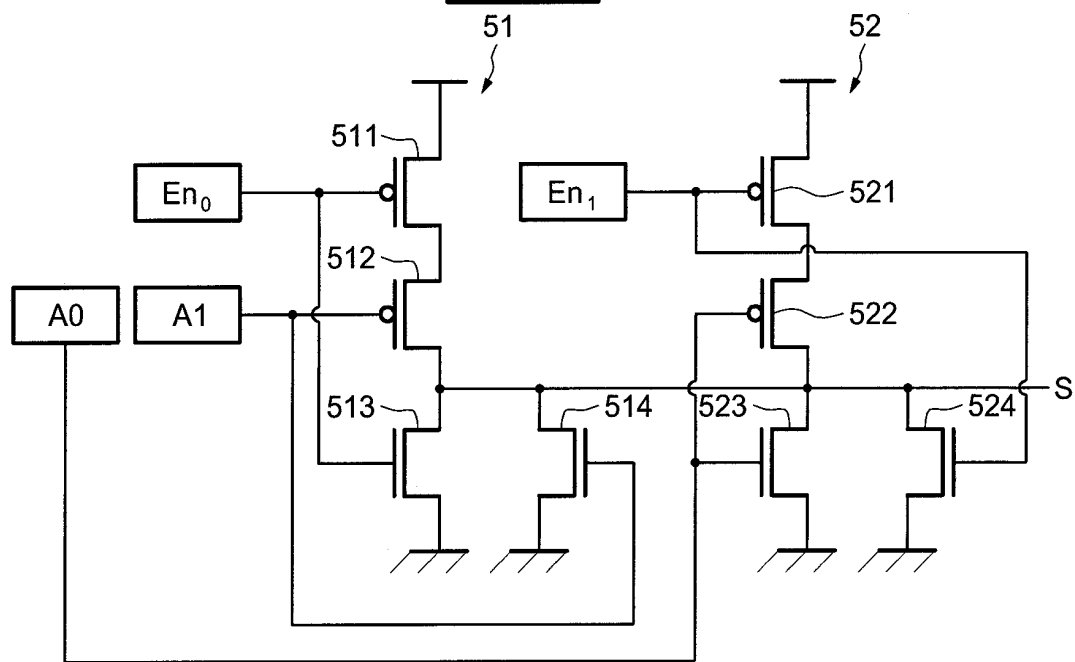
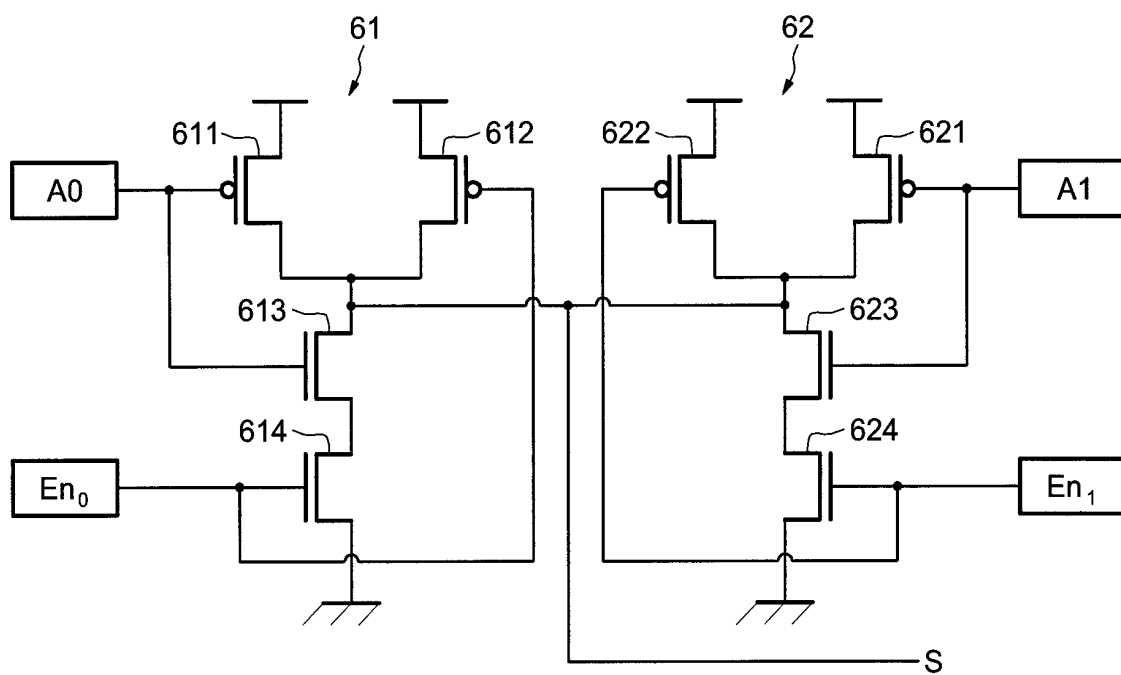


FIG.4



3/3
FIG.5**FIG.6**



RAPPORT DE RECHERCHE PRÉLIMINAIRE

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

N° d'enregistrement
national

FA 741991
FR 1054032

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US 6 667 520 B1 (FULKERSON DAVID E [US]) 23 décembre 2003 (2003-12-23) * figure 1 *	1-8	H03K19/003
X	US 4 091 293 A (ANDO HISASHIGE) 23 mai 1978 (1978-05-23) * figures 3,7 *	1-8	
X	US 6 320 409 B1 (NAKAJIMA KOJI [JP] ET AL) 20 novembre 2001 (2001-11-20) * figure 4 *	1-8	
			DOMAINES TECHNIQUES RECHERCHÉS (IPC)
			H03K
Date d'achèvement de la recherche		Examineur	
17 février 2011		Simon, Volker	
CATÉGORIE DES DOCUMENTS CITÉS X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant			

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1054032 FA 741991**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **17-02-2011**

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 6667520	B1	23-12-2003	AU 2003297962 A1	18-06-2004
			EP 1565987 A1	24-08-2005
			WO 2004049572 A1	10-06-2004
			US 2004099913 A1	27-05-2004

US 4091293	A	23-05-1978	DE 2659199 A1	14-07-1977

US 6320409	B1	20-11-2001	JP 3297738 B2	02-07-2002
			JP 2001230665 A	24-08-2001
