

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 24 年 1 月 19 日 (2012.1.19)

【公開番号】特開 2009-253208 (P2009-253208A)

【公開日】平成 21 年 10 月 29 日 (2009.10.29)

【年通号数】公開・登録公報 2009-043

【出願番号】特願 2008-102556 (P2008-102556)

【国際特許分類】

H 0 1 L 21/8242 (2006.01)

H 0 1 L 27/108 (2006.01)

【F I】

H 0 1 L 27/10 6 2 1 C

【手続補正書】

【提出日】平成 23 年 11 月 24 日 (2011.11.24)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

メモリセル部と、周辺回路部と、を有する半導体記憶装置であって、

前記メモリセル部は、

所定方向に伸張する絶縁部 1 と、前記絶縁部 1 の側面上に順に設けられた下部電極と誘電体膜と上部電極とを備えたキャパシタと、

前記上部電極に電氣的に接続されたプレート電極と、

ソース領域及びドレイン領域を有するトランジスタであって、前記下部電極にソース領域及びドレイン領域の何れか一方が電氣的に接続されたトランジスタと、

を有し、

前記周辺回路部は、

前記所定方向と同じ方向に伸張するプレート電極であって、前記プレート電極の側面は前記所定方向と平行であるプレート電極と、

前記プレート電極の側面上に順に設けられた上部電極と誘電体膜と下部電極とを有するキャパシタと、

ソース領域及びドレイン領域を有するトランジスタであって、前記下部電極にソース領域及びドレイン領域の何れか一方が電氣的に接続されたトランジスタと、

を有し、

前記メモリセル部は、

前記側面上に下部電極及び誘電体膜が設けられた複数の絶縁部 1 が、特定の方向に一定の間隔で配置された配列を複数、有し、

隣り合う配列は、一方の配列中の前記絶縁部 1 が他方の配列中の絶縁部 1 に対して互い違いとなるように配置され、

前記下部電極及び誘電体膜が設けられた絶縁部 1 間に、導電材料を充填することにより前記上部電極が設けられていることを特徴とする半導体記憶装置。

【請求項 2】

前記絶縁部 1 の形状が、円筒形状であることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】

前記周辺回路部は、

前記プレート電極の形状が、直方体状であることを特徴とする請求項 1 又は 2 に記載の半導体記憶装置。

【請求項 4】

前記メモリセル部と周辺回路部の間に更に、

前記所定方向と同じ方向に伸張する開口の内壁上に設けられた導電材料膜と、前記開口内に充填された絶縁部 2 と、を有する境界部を備えることを特徴とする請求項 1 ~ 3 の何れか 1 項に記載の半導体記憶装置。

【請求項 5】

メモリセル部形成領域及び周辺回路部形成領域に、トランジスタと、前記トランジスタのソース領域及びドレイン領域の何れか一方に電氣的に接続されたコンタクトプラグを設ける工程と、

全面に層間絶縁膜を堆積させる工程と、

前記メモリセル部形成領域の層間絶縁膜内に前記コンタクトプラグが露出するように複数の開口 1 を形成し、前記周辺回路部形成領域の層間絶縁膜内に所定領域を囲むと共に前記コンタクトプラグが露出するように開口 2 を形成する開口形成工程と、

開口部分が残るように前記開口 1 及び 2 の内壁上に導電材料を堆積させて下部電極を形成する工程と、

前記下部電極を形成した開口 1 内に絶縁材料を充填して絶縁部 1 を形成すると共に、前記下部電極を形成した開口 2 内に絶縁材料を充填する工程と、

前記メモリセル部形成領域の層間絶縁膜を除去し、前記周辺回路部形成領域内の前記所定領域を構成する層間絶縁膜を除去して開口 3 を形成する工程と、

誘電体膜を堆積させて、前記メモリセル部形成領域の下部電極の表面を誘電体膜で被覆し、前記周辺回路部形成領域の開口 3 の内壁を誘電体膜で被覆する工程と、

前記メモリセル部形成領域において前記誘電体膜及び下部電極を設けた絶縁部 1 間に導電材料を充填して上部電極を形成し、前記周辺回路部形成領域において開口部分が残るように前記開口 3 内に導電材料を堆積させることにより上部電極を形成する工程と、

前記メモリセル部形成領域において前記上部電極に電氣的に接続されるようにプレート電極を形成し、前記周辺回路部形成領域において前記開口 3 の開口部分に導電材料を充填させてプレート電極を形成する工程と、

を有する半導体記憶装置の製造方法。

【請求項 6】

前記開口形成工程において、

円筒形状の前記開口 1 を形成することを特徴とする請求項 5 に記載の半導体記憶装置の製造方法。

【請求項 7】

前記開口形成工程において、

特定の方向に一定の間隔で配置された前記開口 1 の配列を複数、有し、

隣り合う開口 1 の配列において開口 1 が互い違いとなるように、前記開口 1 を形成することを特徴とする請求項 5 又は 6 に記載の半導体記憶装置の製造方法。

【請求項 8】

前記開口形成工程において、

前記所定領域が直方体状となるように、前記開口 2 を形成することを特徴とする請求項 5 ~ 7 の何れか 1 項に記載の半導体記憶装置の製造方法。