

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年7月4日(04.07.2019)



(10) 国際公開番号

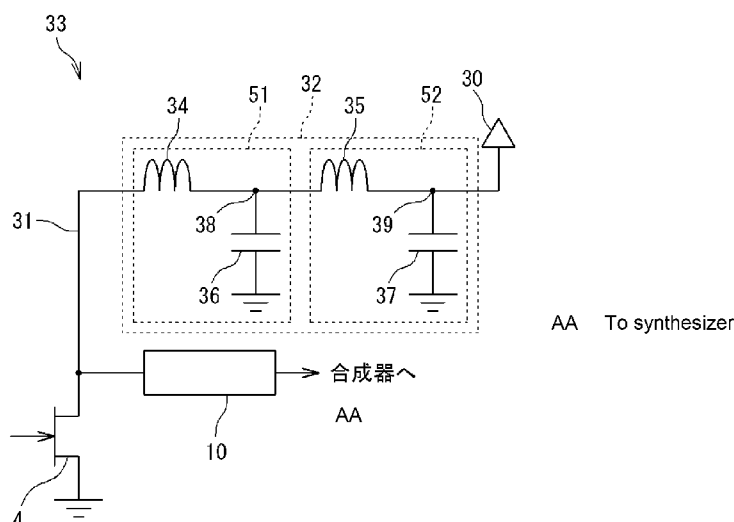
WO 2019/130608 A1

- (51) 国際特許分類:
H03F 1/02 (2006.01) *H03F 3/24* (2006.01)
H01P 1/212 (2006.01)
- (21) 国際出願番号: PCT/JP2018/012041
- (22) 国際出願日: 2018年3月26日(26.03.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2017-254355 2017年12月28日(28.12.2017) JP
- (71) 出願人: 住友電気工業株式会社
(SUMITOMO ELECTRIC INDUSTRIES, LTD.)
[JP/JP]; 〒5410041 大阪府大阪市中央区北浜
四丁目5番33号 Osaka (JP).
- (72) 発明者: 須田 規仁(SUDA, Noriyoshi); 〒5410041
大阪府大阪市中央区北浜四丁目5番33号
住友電気工業株式会社内 Osaka (JP).
- (74) 代理人: 特許業務法人サンクレスト国際特許事
務所(SUNCREST PATENT AND TRADEMARK
ATTORNEYS); 〒6500023 兵庫県神戸市中央区
栄町通四丁目1番11号 Hyogo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,

(54) Title: HARMONIC PROCESSING CIRCUIT AND AMPLIFICATION CIRCUIT

(54) 発明の名称: 高調波処理回路及び増幅回路

図 3



(57) Abstract: A harmonic processing circuit (33) is provided with: a first feed line (31) that diverges from a signal line through which a signal inputted to and outputted from an amplifier (4) is transmitted; and a first setting unit (32) that is connected to the first feed line (31), and sets impedance for harmonics of the signal, wherein at least part of the first setting unit (32) comprises a lumped constant circuit.

QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

(57) 要約: 高調波処理回路 (3 3) は、増幅器 (4) に入出力される信号が伝送される信号線路から分岐した第 1 給電線路 (3 1) と、第 1 給電線路 (3 1) に接続され、前記信号の高調波に対するインピーダンスを設定する第 1 設定部 (3 2) と、を備え、第 1 設定部 (3 2) の少なくとも一部が集中定数回路で構成されている。

明 細 書

発明の名称：高調波処理回路及び増幅回路

技術分野

[0001] 本発明は、高調波処理回路及び増幅回路に関する。

本出願は、2017年12月28日出願の日本出願第2017-254355号に基づく優先権を主張し、前記日本出願に記載された全ての記載内容を援用するものである。

背景技術

[0002] 従来から、増幅器の電力効率を向上させるために行われる高調波処理としては、高調波に対するインピーダンスを適切な値に調整するためのオープンスタブを信号線路に設けることが一般的に行われている（例えば、特許文献1参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2011-66839号公報

発明の概要

[0004] 一実施形態である高調波処理回路は、増幅器に入出力される信号が伝送される信号線路から分岐した分岐線路と、前記分岐線路に接続され、前記信号の高調波に対するインピーダンスを設定する設定部と、を備え、前記設定部の少なくとも一部が集中定数回路で構成されている。

図面の簡単な説明

[0005] [図1]図1は、一実施形態に係るドハティ増幅回路の構成を示すブロック図である。

[図2]図2は、ドハティ増幅回路の平面図である。

[図3]図3は、第1高調波処理回路の構成を示すブロック図である。

[図4]図4は、実施例に係る増幅回路における信号の周波数変化に対する負荷インピーダンスを示すスミスチャートである。

[図5]図5は、ゲート端子側に設けた高調波処理回路の構成を示すブロック図である。

発明を実施するための形態

[0006] [本開示が解決しようとする課題]

高調波処理を行うための回路としての上記オープンスタブは、処理対象となる信号の波長に応じてその大きさが定まる。つまり、上記オープンスタブは、一定の大きさを確保する必要があるため、小型化が困難であるという問題を有している。

[0007] 本開示はこのような事情に鑑みてなされたものであり、小型化が可能な高調波処理回路及び増幅回路の提供を目的とする。

[0008] [本開示の効果]

本開示によれば、高調波処理回路の小型化が可能となる。

[0009] 最初に実施形態の内容を列記して説明する。

[実施形態の概要]

(1) 一実施形態である高調波処理回路は、増幅器に入出力される信号が伝送される信号線路から分岐した分岐線路と、前記分岐線路に接続され、前記信号の高調波に対するインピーダンスを設定する設定部と、を備え、前記設定部の少なくとも一部が集中定数回路で構成されている。

[0010] 上記構成の高調波処理回路によれば、高調波に対するインピーダンスを設定する設定部の少なくとも一部を集中定数回路で構成したので、オープンスタブを用いて高調波処理を行う場合と比較して設定部を小さくすることができ、回路全体の小型化を図ることができる。

[0011] (2) 上記高調波処理回路において、前記分岐線路は、前記増幅器の給電線路であることが好ましい。

この場合、既存の給電線路を分岐線路として用いることで、新たな線路を追加することなく設定部を設けることができる。

これにより、増幅器を有する回路に高調波処理回路を設けたとしても、高調波処理回路の設置によって前記回路が大型化するのを抑制することができ

る。

- [0012] (3) また、上記高調波処理回路において、前記設定部は、前記分岐線路が前記信号の基本波に対してオープンとなるように設定されていることが好ましい。

この場合、設定部が基本波に対して与える影響を抑制することができる。

- [0013] (4) また、上記高調波処理回路において、前記増幅器は、他の増幅器とともに一つのパッケージに收容されていることが好ましい。

この場合、増幅器に接続される信号線路と、他の増幅器の信号線路とが隣り合って並ぶため、信号線路周囲のスペースが制限される。しかし、この場合であっても、高調波処理回路は、回路全体の小型化を図ることができるので、信号線路周囲のスペースが制限されたとしても適切に配置することができる。

- [0014] (5) 上記高調波処理回路において、前記設定部は、並列に接続された複数の容量素子を含み、前記複数の容量素子のうち、前記給電線路に電圧を印加する電圧源に隣接する位置に接続されている容量素子は、前記信号の基本波に対してショートとなる容量に設定されている。

この場合、給電線路の電圧源側へ高周波信号が漏洩するのを防止することができる。

- [0015] (6) また、上記高調波処理回路において、前記設定部は、前記分岐線路に接続された第1インダクタンス素子と、前記第1インダクタンス素子と、前記給電線路に電圧を印加する電圧源との間に接続された第2インダクタンス素子と、一端が前記第1インダクタンス素子と、前記第2インダクタンス素子との間の接続点に接続された第1容量素子と、一端が前記第2インダクタンス素子と、前記電圧源との間の接続点に接続された第2容量素子と、を含み、前記第2インダクタンス素子のインダクタンスは、前記第1インダクタンス素子のインダクタンスよりも大きい値に設定され、前記第2容量素子の容量は、前記第1容量素子の容量よりも大きい値に設定されていることが好ましい。

この場合、各素子の値を適切に設定することができる。

[0016] (7) また、他の実施形態である増幅回路は、増幅器と、前記増幅器に入出力される信号が伝送される信号線路と、上記(1)から(6)に記載された高調波処理回路と、を備えている。

[0017] [実施形態の詳細]

以下、好ましい実施形態について図面を参照しつつ説明する。

なお、以下に記載する各実施形態の少なくとも一部を任意に組み合わせてもよい。

[0018] [ドハティ増幅回路の構成]

図1は、一実施形態に係るドハティ増幅回路の構成を示すブロック図である。

このドハティ増幅回路1は、移動体通信システムにおける基地局装置などの無線通信装置に搭載され、無線周波数の送信信号(RF信号)の増幅を行う。

ドハティ増幅回路1は、入力端子2に与えられるRF信号(入力信号)を増幅し、出力端子3から出力する。

[0019] 図1に示すように、ドハティ増幅回路1は、キャリア増幅器4と、キャリア増幅器4に並列に設けられたピーク増幅器5と、分配器6と、キャリア増幅器4及びピーク増幅器5それぞれの出力を合成する合成器7と、キャリア側入力整合回路8と、ピーク側入力整合回路9と、キャリア側出力整合回路10と、ピーク側出力整合回路11とを備えている。

[0020] 分配器6は、入力端子2の後段に接続され、入力端子2から与えられるRF信号をキャリア増幅器4及びピーク増幅器5へ分配する。

分配器6の出力は、キャリア側入力整合回路8を介してキャリア増幅器4へ与えられるとともに、ピーク側入力整合回路9を介してピーク増幅器5へ与えられる。

キャリア側入力整合回路8は、分配器6側と、キャリア増幅器4側との間において基本波に対するインピーダンス整合を行う。また、ピーク側入力整

合回路 9 は、分配器 6 側と、ピーク増幅器 5 側との間において基本波に対するインピーダンス整合を行う。

[0021] キャリア増幅器 4 は、与えられる入力信号を常に増幅するための増幅器である。一方、ピーク増幅器 5 は、入力信号の電力が所定以上となったときに当該入力信号を増幅するための増幅器である。キャリア増幅器 4 及びピーク増幅器 5 は、例えば、窒化ガリウム (Ga N) を用いた高電子移動度トランジスタ (HEMT: High Electron Mobility Transistor) である。

キャリア増幅器 4、及びピーク増幅器 5 は、一つの集積回路上に実装されており、一つのパッケージ 20 内に収容されている。

[0022] キャリア増幅器 4 の出力は、キャリア側出力整合回路 10 を介して合成器 7 へ与えられる。

また、ピーク増幅器 5 の出力は、ピーク側出力整合回路 11 を介して合成器 7 へ与えられる。

キャリア側出力整合回路 10 は、キャリア増幅器 4 側と、合成器 7 側との間において基本波に対するインピーダンス整合を行う。また、ピーク側出力整合回路 11 は、ピーク増幅器 5 側と、合成器 7 側との間において基本波に対するインピーダンス整合を行う。

[0023] 合成器 7 は、キャリア増幅器 4 の出力とピーク増幅器 5 の出力とを合成する。合成器 7 は、合成した出力を出力信号として出力端子 3 へ与える。

出力端子 3 は、合成器 7 から与えられた出力信号を出力する。

[0024] 図 2 は、ドハティ増幅回路 1 の平面図である。

図 2 に示すように、増幅器 4、5 が収容されたパッケージ 20 や、入出力端子 2、3、分配器 6、合成器 7、整合回路 8、9、10、11 は、回路基板 25 上に実装されている。

[0025] また、ドハティ増幅回路 1 には、回路基板 25 外に設けられた第 1 ドレイン電源 30、第 2 ドレイン電源 40、第 1 ゲート電源 60、及び第 2 ゲート電源 70 が接続されている。

第1ドレイン電源30は、キャリア増幅器4に対して印加されるドレイン電圧を供給するための電源であり、第1給電線路31を介してキャリア増幅器4のドレイン端子に接続されている。

第2ドレイン電源40は、ピーク増幅器5に対して印加されるドレイン電圧を供給するための電源であり、第2給電線路41を介してピーク増幅器5のドレイン端子に接続されている。

[0026] 第1ゲート電源60は、キャリア増幅器4に対して印加されるゲート電圧を供給するための電源であり、第3給電線路61を介してキャリア増幅器4のゲート端子に接続されている。

第2ゲート電源70は、ピーク増幅器5に対して印加されるゲート電圧を供給するための電源であり、第4給電線路71を介してピーク増幅器5のゲート端子に接続されている。

[0027] 第1給電線路31には、キャリア側出力整合回路10に与えられるキャリア増幅器4の出力の高調波処理を行う第1設定部32が接続されている。

また、第2給電線路41には、ピーク側出力整合回路11に与えられるピーク増幅器5の出力の高調波処理を行う第2設定部42が接続されている。

第1設定部32及び第2設定部42は、キャリア側出力整合回路10及びピーク側出力整合回路11における信号の高調波に対するインピーダンスを適切な値に調整する処理（高調波処理）を行う。

[0028] 第1給電線路31及び第1給電線路31に接続された第1設定部32は、第1高調波処理回路33を構成している。

また、第2給電線路41及び第2給電線路41に接続された第2設定部42は、第2高調波処理回路43を構成している。

[0029] 図3は、第1高調波処理回路33の構成を示すブロック図である。なお、第2高調波処理回路43も第1高調波処理回路33の構成と同様である。よって、ここでは、第1高調波処理回路33のみについて説明する。

図3に示すように、第1高調波処理回路33は、第1インダクタンス素子34と、第2インダクタンス素子35と、第1容量素子36と、第2容量素

子 3 7 とを含んで構成されている。

これら各素子 3 4, 3 5, 3 6, 3 7 は集中定数素子であり、第 1 高調波処理回路 3 3 は、集中定数回路として構成されている。

[0030] 第 1 インダクタンス素子 3 4 及び第 2 インダクタンス素子 3 5 は、第 1 給電線路 3 1 に接続されている。

第 1 容量素子 3 6 は、一端が第 1 インダクタンス素子 3 4 と第 2 インダクタンス素子 3 5 との間の接続点 3 8 に接続され、他端が接地されている。

第 2 容量素子 3 7 は、一端が第 2 インダクタンス素子 3 5 と第 1 ドレイン電源 3 0 との間の接続点 3 9 に接続され、他端が接地されている。よって、第 1 容量素子 3 6 及び第 2 容量素子 3 7 は並列に接続されている。

[0031] このような構成によって、第 1 高調波処理回路 3 3 は、第 1 インダクタンス素子 3 4 と、第 1 容量素子 3 6 とからなる第 1 LC 回路 5 1 と、第 2 インダクタンス素子 3 5 と、第 2 容量素子 3 7 とからなる第 2 LC 回路 5 2 とを含んで構成されている。つまり、第 1 高調波処理回路 3 3 は、LC 回路を 2 段に接続して構成されている。

[0032] 本実施形態の第 1 高調波処理回路 3 3 によれば、高調波に対するインピーダンスを設定する第 1 設定部 3 2 (第 2 設定部 4 2) の少なくとも一部を集中定数回路で構成したので、例えば、上記従来例のように、オープンスタブを用いて高調波処理を行う場合と比較して当該第 1 設定部 3 2 (第 2 設定部 4 2) を小さくすることができ、回路全体の小型化を図ることができる。

[0033] また、本実施形態では、第 1 給電線路 3 1 (第 2 給電線路 4 1) に、第 1 設定部 3 2 (第 2 設定部 4 2) を設けることで、第 1 給電線路 3 1 (第 2 給電線路 4 1) を分岐線路として用いた。

この場合、既存の第 1 給電線路 3 1 (第 2 給電線路 4 1) を分岐線路として用いることで、新たな線路を追加することなく第 1 設定部 3 2 (第 2 設定部 4 2) を設けることができる。

これにより、増幅器 4, 5 を有するドハティ増幅回路 1 に高調波処理回路を設けたとしても、高調波処理回路の設置によって当該ドハティ増幅回路 1

が大型化するのを抑制することができる。

[0034] また、本実施形態において、第1設定部32（第2設定部42）は、第1給電線路31（第2給電線路41）がキャリア側出力整合回路10（ピーク側出力整合回路11）における信号の基本波に対してオープンとなるように設定されている。

この場合、第1設定部32（第2設定部42）が基本波に対して与える影響を抑制することができる。

[0035] また、本実施形態において、第1設定部32は、並列に接続された複数（2つ）の容量素子36、37を含み、これら容量素子36、37のうち、第1ドレイン電源30に隣接する位置に接続されている第2容量素子37は、キャリア側出力整合回路10における信号の基本波に対してショートとなる容量に設定されている。

これにより、給電線路の電圧源側へ高周波信号が漏洩するのを防止することができる。

[0036] また、本実施形態では、第2インダクタンス素子35のインダクタンスは、第1インダクタンス素子34のインダクタンスよりも大きい値に設定され、第2容量素子37の容量は、第1容量素子36の容量よりも大きい値に設定されている。

このような関係を満たすように設定することで、第2容量素子37の容量や、その他の条件を満たしつつ、各素子の値を適切に設定することができる。

[0037] なお、第1容量素子36の容量は極めて小さい値に設定されることがある。このため、第1インダクタンス素子34と、第2インダクタンス素子35との間に第1容量素子36を接続しない構成とすることができる場合がある。

[0038] また、本実施形態では、キャリア増幅器4及びピーク増幅器5は、共に一つのパッケージ20に收容されているため、キャリア側出力整合回路10と、ピーク側出力整合回路11とが隣り合って並んでおり（図2）、整合回路

10, 11 周囲のスペースが制限される。しかし、このような場合であっても、本実施形態の高調波処理回路 33 は、回路全体の小型化を図ることができるので、整合回路 10, 11 周囲のスペースが制限されたとしても適切に配置することができる。

[0039] [実施例について]

以下に、高調波処理回路の実施例について説明する。

実施例として、周波数 2.6 GHz の RF 信号を増幅する増幅器と、この増幅器の給電線路に設けられた高調波処理回路とを備えた増幅回路を想定し、この増幅回路の負荷インピーダンスを求めた。

実施例の高調波処理回路は、図 3 に示した第 1 高調波処理回路 33 と同様の構成であり、第 1 インダクタンス素子 34 と、第 2 インダクタンス素子 35 と、第 1 容量素子 36 と、第 2 容量素子 37 とを含み、LC 回路を 2 段接続した構成である。

[0040] この高調波処理回路は、周波数 2.6 GHz の 2 倍波に対する高調波処理を行うように設定した。より具体的には、2 倍波（周波数 5.2 GHz）の位相が約 85 度となるように各素子の値を設定した。なお、第 2 容量素子は、基本波に対してショートとなる容量に設定されている。

[0041] 下記に実施例における各素子の値の設定例を示す。

第 1 インダクタンス素子：2.2 nH

第 2 インダクタンス素子：3.3 nH

第 1 容量素子：0.5 pF

第 2 容量素子：10 pF

[0042] この場合の前記増幅器の負荷インピーダンスをコンピュータを用いたシミュレーションによって求めた。

図 4 は、実施例に係る増幅回路における信号の周波数変化に対する負荷インピーダンスを示すスミスチャートである。

図 4 中、マーカ m1 は、周波数が 2.6 GHz における負荷インピーダンスを示している。また、マーカ m3 は、周波数が 5.2 GHz における負荷

インピーダンスを示している。

マーカ m 1 の負荷インピーダンスは、大きさが 0.978、位相が 2.433 であり、ほぼオープンとなっている。

マーカ m 3 の負荷インピーダンスは、大きさが 0.943、位相が 84.285 であり、ほぼ狙い通りに高調波処理を実行できることが確認できる。

[0043] [その他]

なお、今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。

例えば、上記実施形態では、ドハティ増幅回路 1 の場合について説明したが、単一の増幅器を収容したパッケージを用いた増幅回路であっても適用することができる。

[0044] また、上記実施形態では、LC回路を2段に接続した第1設定部32を例示したが、LC回路を3段、又は4段といったように、より多段に接続してもよい。例えば、LC回路を2段に接続した場合には、2次高調波までの高調波処理が可能となり、LC回路を3段に接続した場合には、3次高調波までの高調波処理が可能となる。このように、LC回路の接続数は、処理対象とする高調波の次数に応じて設定される。

[0045] また、上記実施形態では、各素子34、35、36、37を集中定数素子で構成した第1設定部32を例示したが、例えば、第1インダクタンス素子34及び第2インダクタンス素子は、伝送線路と併用、又は伝送線路と置換してもよい。この場合、第1インダクタンス素子34及び第2インダクタンス素子35は、分布定数素子として構成されるが、第1容量素子36及び第2容量素子37は集中定数素子で構成される。よって、この場合、第1設定部32は、少なくとも一部が集中定数回路で構成される。

[0046] また、上記実施形態では、キャリア増幅器4のドレイン端子に接続される第1給電線路31、及びピーク増幅器5のドレイン端子に接続される第2給電線路41に、第1高調波処理回路33、及び第2高調波処理回路43を設けた場合を例示したが、図5に示すように、第1ゲート電源60からのゲー

ト電圧を供給するための第3給電線路61に、設定部62を設けることで、高調波処理回路63を設けてもよい。設定部62は、上記実施形態にて示した第1設定部32と同様の構成を有しており、LC回路64, 65を2段に接続して構成されている。

また、第2ゲート電源70側も同様であり、第4給電線路71に高調波処理回路を設けてもよい。

[0047] この場合においても、キャリア増幅器4及びピーク増幅器5の信号源側におけるインピーダンスを設定する設定部62を集中定数回路で構成することにより、当該設定部62を小さくすることができ、高調波処理回路63全体の小型化を図ることができ、さらには、ドハティ増幅回路1全体の小型化を図ることができる。

[0048] 本発明の範囲は、上記した意味ではなく、請求の範囲によって示され、請求の範囲と均等の意味、及び範囲内でのすべての変更が含まれることが意図される。

符号の説明

- [0049]
- 1 ドハティ増幅回路
 - 2 入力端子
 - 3 出力端子
 - 4 キャリア増幅器
 - 5 ピーク増幅器
 - 6 分配器
 - 7 合成器
 - 8 キャリア側入力整合回路
 - 9 ピーク側入力整合回路
 - 10 キャリア側出力整合回路
 - 11 ピーク側出力整合回路
 - 20 パッケージ
 - 25 回路基板

- 3 0 第 1 ドレイン電源
- 3 1 第 1 給電線路
- 3 2 第 1 設定部
- 3 3 第 1 高調波処理回路
- 3 4 第 1 インダクタンス素子
- 3 5 第 2 インダクタンス素子
- 3 6 第 1 容量素子
- 3 7 第 2 容量素子
- 3 8 接続点
- 3 9 接続点
- 4 0 第 2 ドレイン電源
- 4 1 第 2 給電線路
- 4 2 第 2 設定部
- 4 3 第 2 高調波処理回路
- 5 1 第 1 L C 回路
- 5 2 第 2 L C 回路
- 6 0 第 1 ゲート電源
- 6 1 第 3 給電線路
- 6 2 設定部
- 6 3 高調波処理回路
- 6 4, 6 5 L C 回路
- 7 0 第 2 ゲート電源
- 7 1 第 4 給電線路

請求の範囲

- [請求項1] 増幅器に入出力される信号が伝送される信号線路から分岐した分岐線路と、
前記分岐線路に接続され、前記信号の高調波に対するインピーダンスを設定する設定部と、を備え、
前記設定部の少なくとも一部が集中定数回路で構成されている高調波処理回路。
- [請求項2] 前記分岐線路は、前記増幅器の給電線路である
請求項1に記載の高調波処理回路。
- [請求項3] 前記設定部は、前記分岐線路が前記信号の基本波に対してオープンとなるように設定されている
請求項1又は請求項2に記載の高調波処理回路。
- [請求項4] 前記増幅器は、他の増幅器とともに一つのパッケージに収容されている
請求項1から請求項3のいずれか一項に記載の高調波処理回路。
- [請求項5] 前記設定部は、並列に接続された複数の容量素子を含み、
前記複数の容量素子のうち、前記給電線路に電圧を印加する電圧源に隣接する位置に接続されている容量素子は、前記信号の基本波に対してショートとなる容量に設定されている
請求項1から請求項4のいずれか一項に記載の高調波処理回路。
- [請求項6] 前記設定部は、
前記分岐線路に接続された第1インダクタンス素子と、
前記第1インダクタンス素子と、前記給電線路に電圧を印加する電圧源との間に接続された第2インダクタンス素子と、
一端が前記第1インダクタンス素子と、前記第2インダクタンス素子との間の接続点に接続された第1容量素子と、
一端が前記第2インダクタンス素子と、前記電圧源との間の接続点に接続された第2容量素子と、を含み、

前記第 2 インダクタンス素子のインダクタンスは、前記第 1 インダクタンス素子のインダクタンスよりも大きい値に設定され、

前記第 2 容量素子の容量は、前記第 1 容量素子の容量よりも大きい値に設定されている

請求項 1 から請求項 4 のいずれか一項に記載の高調波処理回路。

[請求項 7]

増幅器と、

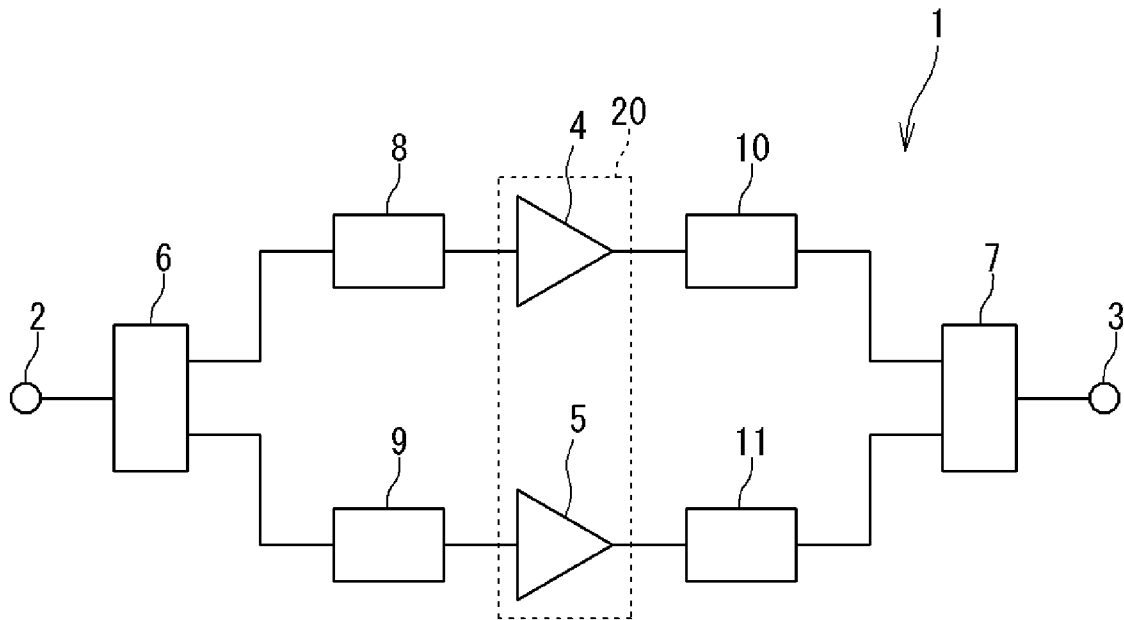
前記増幅器に入出力される信号が伝送される信号線路と、

請求項 1 から請求項 6 のいずれか一項に記載された高調波処理回路と、を備えている

増幅回路。

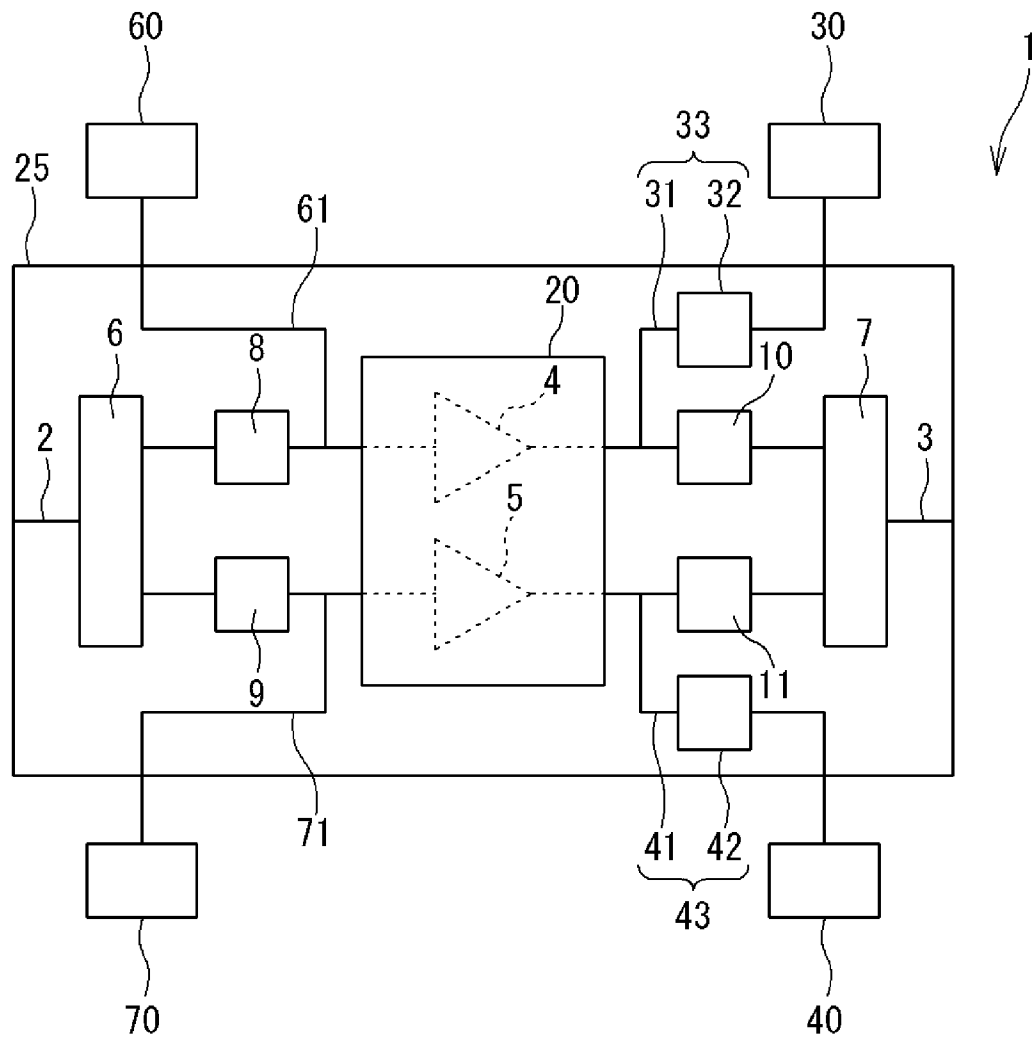
[図1]

図 1



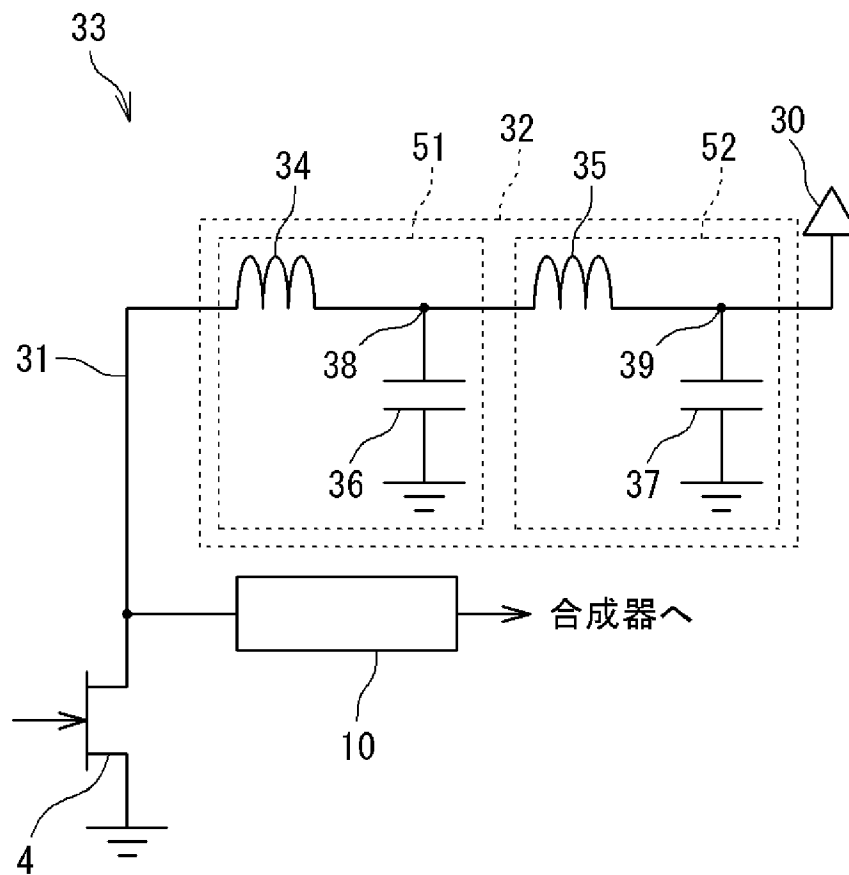
[図2]

図 2



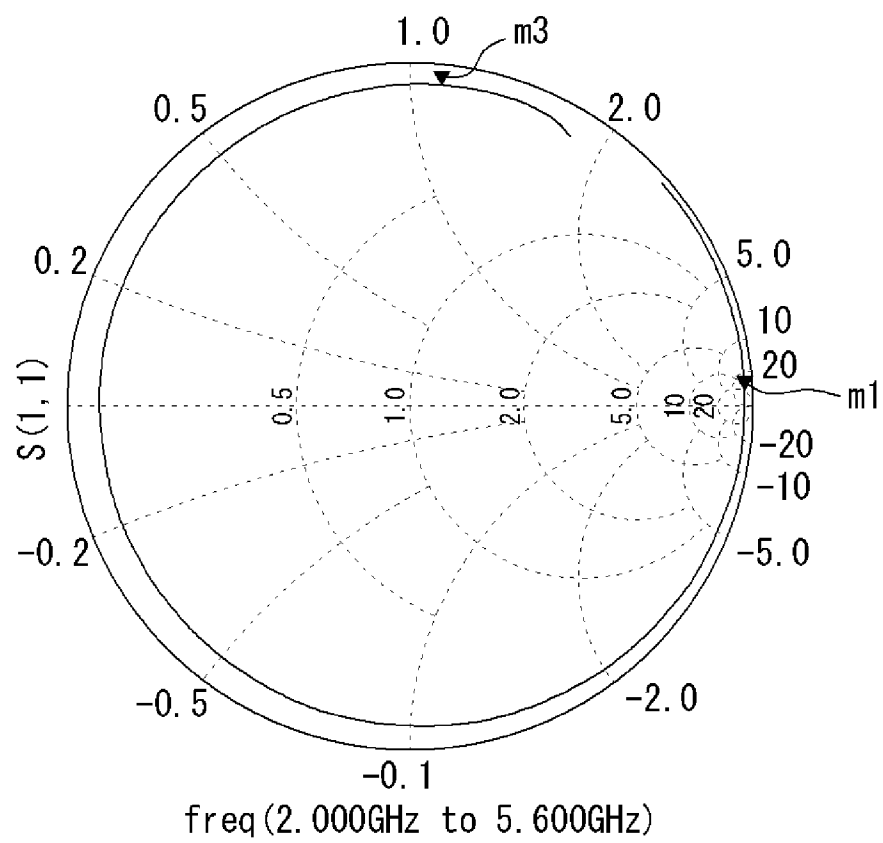
[図3]

図 3



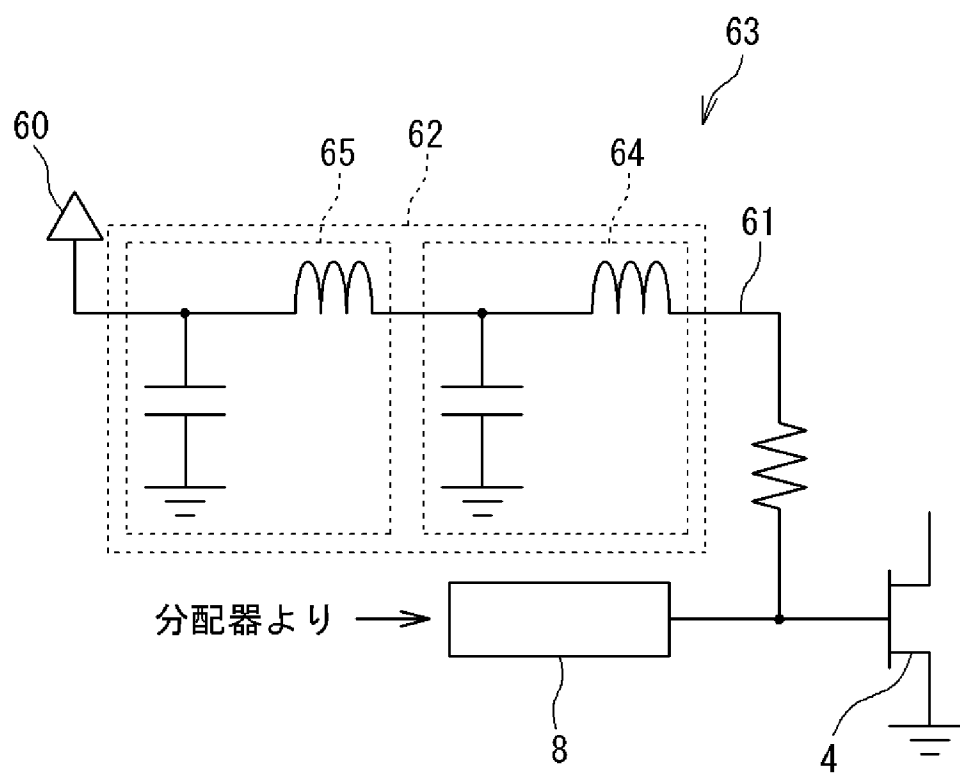
[図4]

図 4



[図5]

図 5



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/012041

A. CLASSIFICATION OF SUBJECT MATTER Int. Cl. H03F1/02 (2006.01) i, H01P1/212 (2006.01) i, H03F3/24 (2006.01) i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int. Cl. H03F1/02, H01P1/212, H03F3/24		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2018 Registered utility model specifications of Japan 1996-2018 Published registered utility model applications of Japan 1994-2018		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) JSTPlus/JMEDPlus/JST7580 (JDreamIII)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2017-041800 A (SHIBAURA INST OF TECH) 23 February 2017, paragraphs [0038], [0052]-[0057], fig. 8 (Family: none)	1-7
Y	JP 2005-236866 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 02 September 2005, paragraphs [0015]-[0023], fig. 1 (Family: none)	1-7
Y	JP 2005-303771 A (MITSUBISHI ELECTRIC CORP.) 27 October 2005, paragraphs [0012], [0013], [0018], [0019], fig. 1 & US 2005/0231286 A1, paragraphs [0051]-[0061], [0075]-[0080], fig. 1	4-7
☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 13.04.2018		Date of mailing of the international search report 24.04.2018
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2018/012041

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-100941 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 05 April 2002, paragraphs [0039]-[0059], fig. 1, 2 (Family: none)	5-7
A	WO 2007/123040 A1 (NEC CORP.) 01 November 2007, paragraphs [0080]-[0090], fig. 8 & US 2009/0072901 A1, paragraphs [0163]-[0173], fig. 8	1-7
A	JP 2008-500778 A (RAYTHEON COMPANY) 10 January 2008, paragraphs [0018]-[0029], fig. 1 & US 2005/0264364 A1, paragraphs [0025]-[0035], fig. 1 & WO 2005/119903 A1 & EP 1749342 A1 & KR 10-2007-0015190 A & TW 200610263 A	1-7
A	JP 2002-290157 A (MOBILE COMM TOKYO INC.) 04 October 2002, paragraphs [0015]-[0020], fig. 1 & US 2002/0140503 A1, paragraphs [0047]-[0058], fig. 1 & CN 1381950 A	1-7

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H03F1/02(2006.01)i, H01P1/212(2006.01)i, H03F3/24(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H03F1/02, H01P1/212, H03F3/24

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

JSTPlus/JMEDPlus/JST7580 (JDreamIII)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2017-041800 A (学校法人 芝浦工業大学) 2017.02.23, 段落 [0038], [0052] - [0057], [図8] (ファミリーなし)	1-7
Y	JP 2005-236866 A (松下電器産業株式会社) 2005.09.02, 段落 [0015] - [0023], [図1] (ファミリーなし)	1-7

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

13.04.2018

国際調査報告の発送日

24.04.2018

国際調査機関の名称及びあて先

日本国特許庁 (I S A/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

齋藤 正貴

電話番号 03-3581-1101 内線 3576

5W

4051

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2005-303771 A (三菱電機株式会社) 2005.10.27, 段落 [0012], [0013], [0018], [0019], [図1] & US 2005/0231286 A1 段落 [0051] - [0061], [0075] - [0080], [図1]	4-7
Y	JP 2002-100941 A (松下電器産業株式会社) 2002.04.05, 段落 [0039] - [0059], [図1], [図2] (ファミリーなし)	5-7
A	WO 2007/123040 A1 (日本電気株式会社) 2007.11.01, 段落 [0080] - [0090], [図8] & US 2009/0072901 A1 段落 [0163] - [0173], [図8]	1-7
A	JP 2008-500778 A (レイセオン・カンパニー) 2008.01.10, 段落 [0018] - [0029], [図1] & US 2005/0264364 A1 段落 [0025] - [0035], [図1] & WO 2005/119903 A1 & EP 1749342 A1 & KR 10-2007-0015190 A & TW 200610263 A	1-7
A	JP 2002-290157 A (株式会社モービルコムトーキョー) 2002.10.04, 段落 [0015] - [0020], [図1] & US 2002/0140503 A1 段落 [0047] - [0058], [図1] & CN 1381950 A	1-7