

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7013839号
(P7013839)

(45)発行日 令和4年2月1日(2022.2.1)

(24)登録日 令和4年1月24日(2022.1.24)

(51)国際特許分類

F I

H 0 1 L	21/8239(2006.01)	H 0 1 L	27/105	4 4 7
H 0 1 L	27/105(2006.01)	H 0 1 L	29/82	Z
H 0 1 L	29/82 (2006.01)	H 0 1 L	43/08	Z
H 0 1 L	43/08 (2006.01)	G 1 1 C	11/16	1 0 0 C
G 1 1 C	11/16 (2006.01)	G 1 1 C	11/56	1 0 0

請求項の数 9 (全24頁) 最終頁に続く

(21)出願番号 特願2017-243187(P2017-243187)
 (22)出願日 平成29年12月19日(2017.12.19)
 (65)公開番号 特開2018-182291(P2018-182291 A)
 (43)公開日 平成30年11月15日(2018.11.15)
 審査請求日 令和2年7月14日(2020.7.14)
 (31)優先権主張番号 特願2017-80414(P2017-80414)
 (32)優先日 平成29年4月14日(2017.4.14)
 (33)優先権主張国・地域又は機関 日本国(JP)

(73)特許権者 000003067
T D K株式会社
東京都中央区日本橋二丁目5番1号
 (74)代理人 100106909
弁理士 棚井 澄雄
 (74)代理人 100163496
弁理士 荒 則彦
 (74)代理人 100188558
弁理士 飯田 雅人
 (74)代理人 100169694
弁理士 荻野 彰広
 (72)発明者 佐々木 智生
東京都港区芝浦三丁目9番1号 T D K
株式会社内
 審査官 小山 満

最終頁に続く

(54)【発明の名称】 磁壁利用型アナログメモリ、不揮発性ロジック回路及び磁気ニューロ素子

(57)【特許請求の範囲】

【請求項1】

複数の磁壁利用型アナログメモリ素子と、第1制御素子と、第2制御素子と、複数のセル選択制御素子と、第1配線と、第2配線と、複数の第3配線と、制御回路を有する電流源とを備え、

前記複数の磁壁利用型アナログメモリ素子はそれぞれ、

第1の方向に磁化が配向した磁化固定層と、

前記磁化固定層の一面に設けられた非磁性層と、

前記第1の方向に磁化が配向した第1領域と、前記第1の方向と反対の第2の方向に磁化が配向した第2領域と、これらの領域の界面をなす磁壁と、を有し、前記磁化固定層に対して前記非磁性層を挟んで設けられた磁壁駆動層と、を有し、

前記第1配線は、前記複数の磁壁利用型アナログメモリ素子のそれぞれの前記磁化固定層と前記第1制御素子とを繋ぎ、

前記第2配線は、前記複数の磁壁利用型アナログメモリ素子のそれぞれの前記第1領域と前記第2制御素子とを電氣的に繋ぐ構成の一部であり、

前記第3配線はそれぞれ、前記複数の磁壁利用型アナログメモリ素子のそれぞれの前記第2領域と前記セル選択制御素子のそれぞれとを電氣的に繋ぐ構成の一部であり、

前記第1制御素子と前記セル選択制御素子とは、電流制御手段の一部であり、読み出し時に前記磁化固定層と前記第2領域との間に電流を流し、

前記磁壁駆動層は、長手方向に並ぶ第1記憶部と、該第1記憶部を挟む第2記憶部および

第 3 記憶部とを有し、

前記第 1 記憶部は、前記磁壁駆動層の平面視して前記磁化固定層と重なる部分であり、
前記第 2 記憶部及び前記第 3 記憶部は、平面視して前記磁化固定層と重ならない部分で
あり、

前記制御回路は、前記第 1 記憶部、前記第 2 記憶部および前記第 3 記憶部のすべての記憶
部に少なくとも一回は留まるように順に磁壁を移動させ得る書き込み電流を制御する、磁
壁利用型アナログメモリ。

【請求項 2】

前記磁壁利用型アナログメモリ素子は、前記磁壁駆動層に前記第 1 の方向に配向した磁化
を供給する第 1 磁化供給手段及び前記第 2 の方向に配向した磁化を供給する第 2 磁化供給
手段をさらに有し、

10

前記第 1 磁化供給手段と前記第 2 磁化供給手段とのうち少なくとも一方は、前記磁壁駆動
層に接し、前記第 1 の方向又は前記第 2 の方向に配向した磁化を有する磁化供給層である
、請求項 1 に記載の磁壁利用型アナログメモリ。

【請求項 3】

前記磁壁利用型アナログメモリ素子は、前記磁壁駆動層に前記第 1 の方向に配向した磁化
を供給する第 1 磁化供給手段及び前記第 2 の方向に配向した磁化を供給する第 2 磁化供給
手段をさらに有し、

前記第 1 磁化供給手段と前記第 2 磁化供給手段とのうち少なくとも一方は、前記磁壁駆動
層と電氣的に絶縁され、前記磁壁駆動層に対して交差する方向に延在する配線である、請
求項 1 に記載の磁壁利用型アナログメモリ。

20

【請求項 4】

前記磁壁利用型アナログメモリ素子は、前記磁壁駆動層に前記第 1 の方向に配向した磁化
を供給する第 1 磁化供給手段及び前記第 2 の方向に配向した磁化を供給する第 2 磁化供給
手段をさらに有し、

前記第 1 磁化供給手段と前記第 2 磁化供給手段とのうち少なくとも一方は、前記磁壁駆動
層に接し、前記磁壁駆動層に対して交差する方向に延在するスピン軌道トルク配線である
、請求項 1 に記載の磁壁利用型アナログメモリ。

【請求項 5】

前記磁壁利用型アナログメモリ素子は、前記磁壁駆動層に前記第 1 の方向に配向した磁化
を供給する第 1 磁化供給手段及び前記第 2 の方向に配向した磁化を供給する第 2 磁化供給
手段をさらに有し、

30

前記第 1 磁化供給手段と前記第 2 磁化供給手段とのうち少なくとも一方は、前記磁壁駆動
層に絶縁層を介して接続された電圧印加手段である、請求項 1 に記載の磁壁利用型アナロ
グメモリ。

【請求項 6】

前記電流制御手段が、読出し時に前記第 2 領域の電位を前記磁化固定層の電位より低く設
定する電位制御手段である、請求項 1 ~ 5 のいずれか一項に記載の磁壁利用型アナログメ
モリ。

【請求項 7】

前記電流制御手段は、電流の流れ方向を制御する整流素子をさらに含む、請求項 1 ~ 5 の
いずれか一項に記載の磁壁利用型アナログメモリ。

40

【請求項 8】

請求項 1 ~ 7 のいずれか一項に記載の磁壁利用型アナログメモリを有し、

前記磁壁利用型アナログメモリにおいて、前記磁壁利用型アナログメモリ素子はアレイ状
に配置され、

前記アレイ内あるいは前記アレイ以外のいずれかに S T T - M R A M を備え、

記憶機能と論理機能を有し、記憶機能として前記磁壁利用型アナログメモリ素子及び前記
S T T - M R A M を備えてなる、不揮発性ロジック回路。

【請求項 9】

50

請求項 1 ~ 7 のいずれか一項に記載の磁壁利用型アナログメモリを備えた磁気ニューロ素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、磁壁利用型アナログメモリ、不揮発性ロジック回路及び磁気ニューロ素子に関する。

【背景技術】

【0002】

微細化に限界が見えてきたフラッシュメモリ等に代わる次世代の不揮発性メモリとして、抵抗変化型素子を利用してデータを記録する抵抗変化型メモリ例えば、MRAM (Magnetoresistive Random Access Memory)、ReRAM (Resistance Random Access Memory)、PCRAM (Phase Change Random Access Memory) などが注目されている。

10

【0003】

メモリの高密度化（大容量化）の方法としては、メモリを構成する素子自体を小さくする方法の他に、メモリを構成する素子一つあたりの記録ビットを多値化する方法があり、様々な多値化方法が提案されている（例えば、特許文献1～3）。

【0004】

また特許文献4や特許文献5には、磁壁利用型MRAMを用いた多値記録やアナログ記録について記載されている。磁壁利用型MRAMは、電流を磁壁駆動層（磁化自由層）の面内方向に流し、強磁性膜の磁化を書き込み電流の方向に応じた向きに反転させることでデータ書き込みを行う。磁壁駆動層の磁壁は、スピン偏極電子によるスピントランスファー効果によって移動する。

20

【0005】

一方で読出し時には、磁壁利用型MRAMは、磁化固定層の磁化方向と、磁化記録層の中央領域の平均的な磁化方向との相対関係に応じて変化する磁気抵抗効果素子の抵抗値変化をデータとして読み出す。磁化記録層の中央領域の平均的な磁化方向は、磁化記録層の中央領域の磁化状態（磁壁の位置）に応じて変化する。さらに、特許文献5には、磁壁利用型MRAMをメモリアレイの電流読みだし回路に使用する例が記載されている。磁壁駆動層の一端は接地され、他方の固定磁化領域にメモリアレイからの電流が入力される。電流の向きによって磁壁層の磁化方向が、磁化固定層と平行、もしくは反平行状態になることで電流モードコンパレータとして機能する。

30

【先行技術文献】

【特許文献】

【0006】

【文献】特開2015-88669号公報

国際公開第2009/072213号

特開2016-4924号公報

国際公開第2009/101827号

40

米国特許第9489618号明細書

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、特許文献4には、磁気抵抗効果素子の抵抗値変化によりデータを読み出すことしか記載されておらず、読出し電流をどのように印加すべきかについては記載されていない。そのため、磁化状態（磁壁の位置）に応じて変化する抵抗値変化が線形にならず、多値的に書き込んだ情報を安定的に読み出すことができない場合があった。特許文献5では、目的が情報の記憶ではなく、ビット線の電流を検出する目的であり、従来型二値メモリの読み出しと同等の機能を提供するのみである。

50

【 0 0 0 8 】

本発明は、上記事情に鑑みてなされたものであり、アナログ記録データを安定的に読み出すことができる磁壁利用型アナログメモリ素子、磁壁利用型アナログメモリ、不揮発性ロジック回路及び磁気ニューロ素子を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 0 9 】

本発明は、上記課題を解決するため、以下の手段を提供する。

【 0 0 1 0 】

(1) 第 1 の態様にかかる磁壁利用型アナログメモリ素子は、第 1 の方向に磁化が配向した磁化固定層と、前記磁化固定層の一面に設けられた非磁性層と、前記第 1 の方向に磁化が配向した第 1 領域と、前記第 1 の方向と反対の第 2 の方向に磁化が配向した第 2 領域と、これらの領域の界面をなす磁壁と、を有し、前記磁化固定層に対して前記非磁性層を挟んで設けられた磁壁駆動層と、読み出し時に前記磁化固定層と前記第 2 領域との間に電流を流す電流制御手段と、を備える。

10

【 0 0 1 1 】

(2) 上記態様にかかる磁壁利用型アナログメモリ素子において、前記磁壁駆動層に前記第 1 の方向に配向した磁化を供給する第 1 磁化供給手段及び前記第 2 の方向に配向した磁化を供給する第 2 磁化供給手段をさらに有し、前記第 1 磁化供給手段と前記第 2 磁化供給手段とのうち少なくとも一方は、前記磁壁駆動層に接し、前記第 1 の方向又は前記第 2 の方向に配向した磁化を有する磁化供給層であってもよい。

20

【 0 0 1 2 】

(3) 上記態様にかかる磁壁利用型アナログメモリ素子において、前記磁壁駆動層に前記第 1 の方向に配向した磁化を供給する第 1 磁化供給手段及び前記第 2 の方向に配向した磁化を供給する第 2 磁化供給手段をさらに有し、前記第 1 磁化供給手段と前記第 2 磁化供給手段とのうち少なくとも一方は、前記磁壁駆動層と電気的に絶縁され、前記磁壁駆動層に対して交差する方向に延在する配線であってもよい。

【 0 0 1 3 】

(4) 上記態様にかかる磁壁利用型アナログメモリ素子において、前記磁壁駆動層に前記第 1 の方向に配向した磁化を供給する第 1 磁化供給手段及び前記第 2 の方向に配向した磁化を供給する第 2 磁化供給手段をさらに有し、前記第 1 磁化供給手段と前記第 2 磁化供給手段とのうち少なくとも一方は、前記磁壁駆動層に接し、前記磁壁駆動層に対して交差する方向に延在するスピン軌道トルク配線であってもよい。

30

【 0 0 1 4 】

(5) 上記態様にかかる磁壁利用型アナログメモリ素子において、前記磁壁駆動層に前記第 1 の方向に配向した磁化を供給する第 1 磁化供給手段及び前記第 2 の方向に配向した磁化を供給する第 2 磁化供給手段をさらに有し、前記第 1 磁化供給手段と前記第 2 磁化供給手段とのうち少なくとも一方は、前記磁壁駆動層に絶縁層を介して接続された電圧印加手段であってもよい。

【 0 0 1 5 】

(6) 上記態様にかかる磁壁利用型アナログメモリ素子において、前記電流制御手段が、読み出し時に前記第 2 の領域の電位を前記磁化固定層の電位より低く設定する電位制御手段であってもよい。

40

【 0 0 1 6 】

(7) 上記態様にかかる磁壁利用型アナログメモリ素子において、前記電流制御手段が、電流の流れ方向を制御する整流素子であってもよい。

【 0 0 1 7 】

(8) 第 2 の態様にかかる磁壁利用型アナログメモリは、上記態様にかかる磁壁利用型アナログメモリ素子を複数備える。

【 0 0 1 8 】

(9) 第 3 の態様にかかる不揮発性ロジック回路は、上記態様にかかる磁壁利用型アナロ

50

グメモリがアレイ状に配置され、前記アレイ内あるいは前記アレイ以外のいずれかに S T T - M R A M を備え、記憶機能と論理機能を有し、記憶機能として前記磁壁利用型アナログメモリ及び前記 S T T - M R A M を備えてなる。

【 0 0 1 9 】

(1 0) 第 4 の態様にかかる磁気ニューロ素子は、上記態様にかかる磁壁利用型アナログメモリ素子を備え、前記磁壁駆動層は、長手方向に並ぶ第 1 記憶部と、該第 1 記憶部を挟む第 2 記憶部および第 3 記憶部とを有し、前記第 1 記憶部、前記第 2 記憶部および前記第 3 記憶部のすべての記憶部に少なくとも一回は留まるように順に磁壁を移動させ得る書き込み電流を制御する制御回路を有する電流源を備える。

【 発明の効果 】

【 0 0 2 0 】

本発明の磁壁利用型アナログメモリ素子によれば、データを多値又はアナログで記録でき、かつこれらのデータを安定的に読み出すことができる。

【 図面の簡単な説明 】

【 0 0 2 1 】

【 図 1 】 第 1 実施形態に係る磁壁利用型アナログメモリ素子の一例の断面模式図である。

【 図 2 】 第 1 実施形態にかかる磁壁利用型アナログメモリ素子の書き込み動作を示す図である。

【 図 3 】 第 1 実施形態にかかる磁壁利用型アナログメモリ素子の読み出し動作を示す図である。

【 図 4 】 データの読み出し時の回路の一部を模式的に示した図であり、(a) は本実施形態にかかる磁壁利用型アナログメモリ素子のように磁化固定層の磁化と配向方向が反対の磁化が存在する方向に読み出し電流を流した場合の回路図であり、(b) は磁化固定層の磁化と配向方向が同一の磁化が存在する方向に読み出し電流を流した場合の回路図である。

【 図 5 】 第 2 実施形態にかかる磁壁利用型アナログメモリ素子の斜視模式図である。

【 図 6 】 第 2 実施形態にかかる磁壁利用型アナログメモリ素子の別の例の斜視模式図である。

【 図 7 】 第 3 実施形態にかかる磁壁利用型アナログメモリ素子の斜視模式図である。

【 図 8 】 第 4 実施形態にかかる磁壁利用型アナログメモリ素子の斜視模式図である。

【 図 9 】 第 4 実施形態にかかる磁壁利用型アナログメモリ素子の別の例の斜視模式図である。

【 図 1 0 】 本実施形態にかかる磁壁利用型アナログメモリの回路構造の一例を模式的に示した図である。

【 図 1 1 】 本実施形態にかかる磁気ニューロ素子の一例の断面模式図である。

【 図 1 2 】 本実施形態にかかる磁気ニューロ素子を用いた人工的な脳概念を示す図である。

【 図 1 3 】 本実施形態にかかる磁気ニューロ素子をアレイ配置した積和演算回路である。

【 発明を実施するための形態 】

【 0 0 2 2 】

以下、本実施形態について、図面を用いてその構成を説明する。以下の説明で用いる図面は、特徴をわかりやすくするために便宜上特徴となる部分を拡大して示している場合があり、各構成要素の寸法比率などは実際と同じであるとは限らない。また、以下の説明において例示される材料、寸法等は一例であって、本発明はそれらに限定されるものではない。

【 0 0 2 3 】

「 第 1 実施形態 」

(磁壁利用型アナログメモリ素子)

図 1 は、第 1 実施形態に係る磁壁利用型アナログメモリ素子の一例の断面模式図である。

図 1 に示す磁壁利用型アナログメモリ素子は、磁化固定層 1 と、非磁性層 2 と、磁壁駆動層 3 と、第 1 磁化供給層 4 と、第 2 磁化供給層 5 と、電流制御手段 (図示略) とを備える。

【 0 0 2 4 】

10

20

30

40

50

図 1 において、各層の積層方向すなわち、各層の主面に直交する方向（面直方向）を Z 方向として定義している。各層は Z 方向に直交する X Y 面に平行に形成されている。

【 0 0 2 5 】

「磁化固定層」

磁化固定層 1 は、磁化 M 1 が第 1 の方向に配向し、固定された層である。ここで、磁化が固定されるとは、書き込み電流を用いた書き込み前後において磁化方向が変化しない（磁化が固定されている）ことを意味する。

【 0 0 2 6 】

図 1 に示す例では、磁化固定層 1 は磁化 M 1 が面内磁気異方性（面内磁化容易軸）を有する面内磁化膜である。磁化固定層 1 は、面内磁化膜に限られず、垂直磁気異方性（垂直磁化容易軸）を有する垂直磁化膜であってもよい。

10

【 0 0 2 7 】

磁化固定層 1 が面内磁化膜であると、高い MR 比を有し、読み込み時にスピントランスファートルク（STT）による影響を受けにくく、読み取り電圧を大きくできる。一方、素子を微小化したい場合には磁気異方性が大きく、反磁界が小さい、垂直磁化膜を用いることが好ましい。垂直磁化膜は、熱擾乱に対する耐性が大きいいため、データが消去されにくい。

【 0 0 2 8 】

磁化固定層 1 には、公知の材料を用いることができる。例えば、Cr、Mn、Co、Fe 及び Ni からなる群から選択される金属及びこれらの金属を 1 種以上含み強磁性を示す合金を用いることができる。またこれらの金属と、B、C、及び N の少なくとも 1 種以上の元素とを含む合金を用いることもできる。具体的には、Co - Fe や Co - Fe - B が挙げられる。

20

【 0 0 2 9 】

また磁化固定層 1 には、Co₂FeSi などのホイスラー合金を用いることもできる。ホイスラー合金は、X₂YZ の化学組成をもつ金属間化合物を含み、X は、周期表上で Co、Fe、Ni、あるいは Cu 族の遷移金属元素または貴金属元素であり、Y は、Mn、V、Cr あるいは Ti 族の遷移金属であり X の元素種をとることもでき、Z は、III 族から V 族の典型元素である。例えば、Co₂FeSi、Co₂MnSi や Co₂Mn_{1-a}Fe_aAl_bSi_{1-b}などが挙げられる。

30

【 0 0 3 0 】

また磁化固定層 1 は反強磁性層、強磁性層、非磁性層から成るシンセティック構造であってもよい。シンセティック構造において磁化固定層 1 の磁化方向は反強磁性層によって強く保持される。そのため、磁化固定層 1 の磁化が外部からの影響を受けにくくなる。

【 0 0 3 1 】

磁化固定層 1 の磁化を X Y 面に配向させる（磁化固定層 1 を面内磁化膜にする）場合は、例えば、NiFe を用いることが好ましい。一方で磁化固定層 1 の磁化を Z 方向に配向させる（磁化固定層 1 を垂直磁化膜にする）場合は、例えば、Co / Ni 積層膜、Co / Pt 積層膜等を用いることが好ましい。例えば、磁化固定層 1 を [Co (0.24 nm) / Pt (0.16 nm)]₆ / Ru (0.9 nm) / [Pt (0.16 nm) / Co (0.16 nm)]₄ / Ta (0.2 nm) / FeB (1.0 nm) とすると、垂直磁化膜となる。

40

【 0 0 3 2 】

「非磁性層」

非磁性層 2 は、磁化固定層 1 の一面に設けられている。磁壁利用型アナログメモリ素子 100 は、非磁性層 2 を介して磁化固定層 1 に対する磁壁駆動層 3 の磁化状態の変化を抵抗値変化として読み出す。すなわち、磁化固定層 1、非磁性層 2 及び磁壁駆動層 3 は磁気抵抗効果素子として機能し、非磁性層 2 が絶縁体からなる場合はトンネル磁気抵抗（TMR）素子と似た構成であり、非磁性層 2 が金属からなる場合は巨大磁気抵抗（GMR）素子と似た構成である。

50

【0033】

非磁性層2の材料としては、磁気抵抗効果素子の非磁性層に用いることができる公知の材料を用いることができる。非磁性層2が絶縁体からなる場合(トンネルバリア層である場合)、その材料として Al_2O_3 、 SiO_2 、 MgO 、 $MgAl_2O_4$ 、 $ZnAl_2O_4$ 、 $MgGa_2O_4$ 、 $ZnGa_2O_4$ 、 $MgIn_2O_4$ 、 $ZnIn_2O_4$ 、及び、これらの材料の多層膜や混合組成膜等を用いることができる。またこれらの他にも、Al、Si、Mgの一部が、Zn、Be等に置換された材料等も用いることができる。これらの中でも、 MgO や $MgAl_2O_4$ はコヒーレントトンネルが実現できる材料であるため、スピンを効率よく注入できる。一方で、非磁性層2が金属からなる場合は、その材料としてCu、Al、Ag等を用いることができる。

10

【0034】

「磁壁駆動層3」

磁壁駆動層3は強磁性体材料からなる磁化自由層であり、その内部の磁化の向きは反転可能である。磁壁駆動層3は、磁化M3aが磁化固定層1と同じ第1の方向に配向した第1領域3aと、磁化M3bが第1の方向と反対の第2の方向に配向した第2領域3bと、これらの領域の界面をなす磁壁DWとを有する。磁壁DWを挟んで第1領域3aと第2領域3bの磁化の向きは反対である。磁壁DWは、磁壁駆動層3における第1領域3aと第2領域3bの構成比率が変化することで移動する。

【0035】

磁壁駆動層3の材料には、磁気抵抗効果素子の磁化自由層に用いることができる公知の材料を用いることができ、特に軟磁性材料を適用できる。例えば、Cr、Mn、Co、Fe及びNiからなる群から選択される金属、これらの金属を1種以上含む合金、これらの金属とB、C、及びNの少なくとも1種以上の元素とが含まれる合金等を用いることができる。具体的には、Co-Fe、Co-Fe-B、Ni-Feが、磁壁駆動層3の材料として挙げられる。

20

【0036】

磁壁駆動層3の材料には、飽和磁化が小さい材料を用いることもできる。例えば、 $MnGaAs$ や $InFeAs$ のように飽和磁化が小さい材料を用いると、小さい電流密度で磁壁駆動層3の磁壁DWを駆動させることができる。また、これらの材料を用いると、磁壁DWの駆動速度が遅くなり、アナログメモリとして好適に用いることができる。

30

【0037】

NiFeのような磁気異方性が弱い材料は、磁壁DWの駆動速度が速く、 100 m/sec 以上の速度で磁壁DWが動作する。つまり、磁壁DWは 10 nsec のパルスで、 $1\text{ }\mu\text{ m}$ の距離を移動する。したがって、磁壁駆動層3を素子内でアナログ的に動かす場合には、高価な半導体回路を用いて微小なパルスを印可するか、集積度を犠牲にして磁壁駆動層を十分長くするなどの対応が必要となる。これに対し、磁壁DWの駆動速度が遅い材料の場合には、十分長いパルス電流を印加する場合や磁壁駆動層3の長さが短い場合でも、アナログメモリを形成することが可能である。

【0038】

磁壁駆動層3には、 Mn_3X ($X = Ga, Ge$)の垂直磁化膜やCo/Ni、Co/Ptなどの多層膜による垂直磁化膜を用いることが好ましい。これらの材料は磁壁駆動のための電流密度が小さくても磁壁DWを駆動させることが可能である。

40

【0039】

磁壁駆動層3がX方向に延在する長さは 60 nm 以上であることが好ましい。 60 nm 未満では単磁区になりやすく、磁壁駆動層3内に磁壁DWが形成されにくい。

【0040】

磁壁駆動層3の厚さは磁壁駆動層として機能する限り、特に制限はないが、例えば、 $2\sim 60\text{ nm}$ とすることができる。磁壁駆動層3の厚さが 60 nm 以上になると、積層方向に磁壁が形成される可能性が高まる。ただし、積層方向に磁壁が形成されるか否かは、磁壁駆動層3の形状異方性とのバランスによって生じる。磁壁駆動層3の厚さが 60 nm 未満

50

であれば、磁壁 DW ができることは考えにくい。

【 0 0 4 1 】

磁壁駆動層 3 は、層の側面に磁壁 DW の移動を止める磁壁ピン止め部を有してもよい。例えば、磁壁駆動層 3 の磁壁 DW の移動を止めたい位置に、凹凸、溝、膨らみ、くびれ、切り欠きなどを設けると、磁壁の移動を止める（ピンする）ことができる。磁壁ピン止め部を有すると、閾値以上の電流を流さないとそれ以上磁壁が移動しない構成とすることができ、出力信号をアナログ的ではなく、多値化し易くなる。

【 0 0 4 2 】

例えば、磁壁ピン止め部を所定の距離ごとに形成することにより、磁壁 DW をより安定的に保持することができ、安定的な多値記録を可能にし、より安定的に多値化された出力信号を読み出すことを可能にする。

10

【 0 0 4 3 】

「第 1 磁化供給層、第 2 磁化供給層」

第 1 磁化供給層 4 及び第 2 磁化供給層 5 は、磁壁駆動層 3 に磁化を供給する磁化供給手段の一態様である。磁化固定層 1 と第 1 磁化供給層 4 または第 2 磁化供給層 5 との間に書込み電流が流れることで、第 1 磁化供給層 4 または第 2 磁化供給層 5 から磁壁駆動層 3 に磁化が供給される。

【 0 0 4 4 】

第 1 磁化供給層 4 及び第 2 磁化供給層 5 は、いずれも磁化が固定された強磁性体材料からなる層（強磁性層）である。第 1 磁化供給層 4 の磁化 M 4 は、第 1 磁化供給層 4 が接する磁壁駆動層 3 の第 1 領域 3 a の磁化 M 3 a と同一方向に配向している。すなわち、第 1 磁化供給層 4 の磁化 M 4 は、磁化固定層 1 の磁化 M 1 と同一方向に配向している。これに対し、第 2 磁化供給層 5 の磁化 M 5 は、第 2 磁化供給層 5 が接する磁壁駆動層 3 の第 2 領域 3 b の磁化 M 3 b と同一方向に配向している。すなわち、第 2 磁化供給層 5 の磁化 M 5 は、磁化固定層 1 の磁化 M 1 と反対方向に配向している。

20

【 0 0 4 5 】

図 1 において第 1 磁化供給層 4 及び第 2 磁化供給層 5 は、磁壁駆動層 3 を基準に磁化固定層 1 と反対側に配設されている。第 1 磁化供給層 4 及び第 2 磁化供給層 5 は、磁壁駆動層 3 を基準に磁化固定層 1 と同一面側に配設されていてもよい。

【 0 0 4 6 】

第 1 磁化供給層 4 及び第 2 磁化供給層 5 が磁壁駆動層 3 を基準に磁化固定層 1 と反対側に配設されている場合は、磁化固定層 1 の磁化 M 1 が第 1 磁化供給層 4 の磁化 M 4 及び第 2 磁化供給層 5 の磁化 M 5 により受ける影響を少なくできる。これに対し、第 1 磁化供給層 4 及び第 2 磁化供給層 5 が磁壁駆動層 3 を基準に磁化固定層 1 と同一面側に配設されている場合は、第 1 磁化供給層 4 及び第 2 磁化供給層 5 の磁壁駆動層 3 が形成される面の高さを一致させる必要が無く、磁壁利用型アナログメモリ素子 1 0 0 の製造が容易になる。

30

【 0 0 4 7 】

また磁壁駆動層 3 の第 1 磁化供給層 4 及び第 2 磁化供給層 5 と接している部分の磁化の向きは、原則書き換わらない。第 1 磁化供給層 4 及び第 2 磁化供給層 5 と磁壁駆動層 3 が磁氣的に結合し、安定化するためである。そのため、第 1 磁化供給層 4 及び第 2 磁化供給層 5 を磁化供給手段として用いると、磁壁 DW を移動させても、磁壁 DW は第 1 磁化供給層 4 及び第 2 磁化供給層 5 と接する部分より外側（X 方向）に移動することは、原則ない。磁壁 DW の移動可能範囲が制限されることで、動作中に磁壁 DW が無くなり単磁区化することを抑制できる。

40

【 0 0 4 8 】

第 1 磁化供給層 4 及び第 2 磁化供給層 5 には、磁化固定層 1 と同様の材料を用いることができる。第 1 磁化供給層 4 の磁化 M 4 及び第 2 磁化供給層 5 の磁化 M 5 の配向方向は、外部磁場等により事前に設定する。

【 0 0 4 9 】

「電流制御手段」

50

電流制御手段は、読出し時に磁化固定層 1 から磁壁駆動層 3 の第 2 領域 3 b 側に電流が流れるように制御する制御手段である。

【 0 0 5 0 】

電流制御手段の一つとして、読出し時に磁化固定層 1、第 1 領域 3 a 及び第 2 領域 3 b の電位を調整する電位制御手段がある。例えば、磁化固定層 1 と第 1 領域 3 a とを等電位とし、第 2 領域 3 b の電位を磁化固定層 1 の電位より低く設定する。このように設定すると、読出し時には磁化固定層 1 から第 2 領域 3 b に向かって電流が流れる。

【 0 0 5 1 】

またこの他に、電流制御手段としてダイオード等の整流素子を用いてもよい。ダイオード等を用いて、読出し時には磁化固定層 1 から第 2 領域 3 b に向かって電流が流れるように制御してもよい。

10

【 0 0 5 2 】

(磁壁利用型アナログメモリ素子の動作)

次いで、本実施形態にかかる磁壁利用型アナログメモリ素子のデータの書き込み、及び読出しの動作原理を説明する。

【 0 0 5 3 】

「書き込み動作」

まず書き込み動作について説明する。磁壁利用型アナログメモリ素子では、GMR (Giant Magneto Resistance) 効果や TMR (Tunnel Magneto Resistance) 効果などの磁気抵抗効果を利用して書き込みを行う。磁気抵抗効果は、例えば、非磁性層を介して積層された 2 層の強磁性層の磁化の向きが平行又は反平行であることにより生じる抵抗値状態を “ 0 ” 又は “ 1 ” として対応付けることで記録する。磁化の向きは外力を加えないと変動しないため、データは不揮発的に記録される。

20

【 0 0 5 4 】

書き込み時には、磁化固定層 1 の磁化 M 1 に対する磁壁駆動層 3 の磁化 M 3 a、M 3 b の配向方向を変えることでデータを記録する。そのため書き込み時には磁壁駆動層 3 の磁化の状態を書き換える。磁壁駆動層 3 も磁化の状態は、書き込み電流を磁壁駆動層 3 の一端から他端に向けて流すことで書き換わる。磁壁 DW を貫通する方向 (X 方向) に閾値以上の電流を流すと、磁壁駆動層 3 のドメイン (磁区) 中にスピン偏極電流が生成され、磁壁駆動層 3 内の磁壁 DW は伝導電子が流れる方向に移動する。

30

【 0 0 5 5 】

図 2 は、本実施形態にかかる磁壁利用型アナログメモリ素子 1 0 0 の書き込み動作を示す図である。

例えば、図 2 (a) の点線で示す向きに、第 1 磁化供給層 4 から磁壁駆動層 3 を介して第 2 磁化供給層 5 へと電流 I_{W1} を流すと、伝導電子 e_1 は電流 I_{W1} の向きとは逆に実線で示す向きに流れる。第 2 磁化供給層 5 から伝導電子 e_1 が磁壁駆動層 3 へ入ると、伝導電子 e_1 は第 2 磁化供給層 5 及び磁壁駆動層 3 の第 2 磁化供給層 5 と磁気結合したドメインの磁化 M 3 b の向きに対応したスピン偏極電子となる。このスピン偏極電子が磁壁 DW に到達すると、磁壁 DW においてスピン偏極電子が持つスピンの磁壁 DW に対してスピントランスファーを起こし、磁壁 DW は伝導電子 e_1 の流れる向きと同じ向きに移動する。すなわち、磁壁 DW は、図 2 (a) における左から右へ向かって移動する。

40

【 0 0 5 6 】

同様に、図 2 (b) の点線で示す向きに、第 2 磁化供給層 5 から磁壁駆動層 3 を介して第 1 磁化供給層 4 へと電流 I_{W2} を流すと、伝導電子 e_2 は電流 I_{W2} の向きとは逆に実線で示す向きに流れる。第 1 磁化供給層 4 から伝導電子 e_2 が磁壁駆動層 3 へ入ると、伝導電子 e_2 は第 1 磁化供給層 4 及び磁壁駆動層 3 の第 1 磁化供給層 4 と磁気結合したドメインの磁化 M 3 a の向きに対応したスピン偏極電流となる。このスピン偏極電子が磁壁 DW に到達すると、磁壁 DW においてスピン偏極電子が持つスピンの磁壁 DW に対してスピントランスファーを起こし、磁壁 DW は伝導電子 e_2 の流れる向きと同じ向きに移動する。すなわち、磁壁 DW は、図 2 (b) における右から左へ向かって移動する。

50

【 0 0 5 7 】

磁壁 DW の位置が変動すると、磁壁駆動層 3 の磁化固定層 1 と接触する部分の磁化状態が変化する。例えば、図 2 (a) に示すように磁壁駆動層 3 の磁化固定層 1 と接触する部分の磁化状態が、磁化固定層 1 の磁化 M 1 と反平行の場合を “ 0 ”、図 2 (a) に示すように磁壁駆動層 3 の磁化固定層 1 と接触する部分の磁化状態が、磁化固定層 1 の磁化 M 1 と平行の場合を “ 1 ” とすることでデータを 2 値で記録できる。また磁壁駆動層 3 の磁化固定層 1 と接触する部分に磁壁 DW がある場合において、磁壁駆動層 3 における磁化 M 3 a と磁化 M 3 b の構成比率が変化することで変動する抵抗値に複数の閾値を設けることで、データを多値で記録できる。

【 0 0 5 8 】

また、磁壁 DW の移動量 (移動距離) は、書き込み電流の大きさ、時間を調整することによって可変に制御することができる。書き込み電流の大きさ、時間は例えば、パルス数あるいはパルス幅によって磁壁 DW の移動量 (移動距離) を設定してもよい。

【 0 0 5 9 】

「読み出し動作」

次いで、データの読み出し動作について説明する。図 3 は、本実施形態にかかる磁壁利用型アナログメモリ素子 1 0 0 の読み出し動作を示す図である。

【 0 0 6 0 】

図 3 に示すように、データの読み出し時には、磁化固定層 1 と磁壁駆動層 3 の第 2 領域 3 b との間に電流 I_R を流す。電流 I_R の流れ方向は、電流制御手段によって制御する。磁化固定層 1 の磁化 M 1 と配向方向が反対の磁化 M 3 b が存在する方向に電流 I_R を流すことで、磁壁利用型アナログメモリ素子 1 0 0 の抵抗値変化が線形になり、データをより正確に多値で読み出すことができる。

【 0 0 6 1 】

磁壁駆動層 3 の第 1 領域 3 a の磁化 M 3 a は、磁化固定層 1 の磁化 M 1 と平行に配向している。これに対し、磁壁駆動層 3 の第 2 領域 3 b の磁化 M 3 b は、磁化固定層 1 の磁化 M 1 と反平行に配向している。すなわち、磁化固定層 1 と第 1 領域 3 a の界面は低抵抗であり、磁化固定層 1 と第 2 領域 3 b の界面は高抵抗である。

【 0 0 6 2 】

図 4 は、データの読み出し時の回路の一部を模式的に示した図であり、(a) は本実施形態にかかる磁壁利用型アナログメモリ素子のように磁化固定層 1 の磁化 M 1 と配向方向が反対の磁化 M 3 b が存在する方向に読み出し電流 I_R を流した場合の回路図であり、(b) は磁化固定層 1 の磁化 M 1 と配向方向が同一の磁化 M 3 a が存在する方向に読み出し電流 I_R を流した場合の回路図である。

【 0 0 6 3 】

磁化固定層 1 の磁化 M 1 と配向方向が反対の磁化 M 3 b が存在する第 2 領域 3 b 側に読み出し電流 I_R を流す場合、図 4 (a) に示すように、磁化固定層 1 と第 1 領域 3 a との界面における抵抗 R_{3a} を有する電流経路 I_{3a} と、磁化固定層 1 と第 2 領域 3 b の界面における抵抗 R_{3b} を有する電流経路 I_{3b} と、を有する並列回路が形成される。磁化固定層 1 と第 1 領域 3 a との界面における抵抗 R_{3a} 及び磁化固定層 1 と第 2 領域 3 b の界面における抵抗 R_{3b} は、磁化固定層 1 と接する磁壁駆動層 3 における磁壁 DW の位置により変化する可変抵抗とみなせる。

【 0 0 6 4 】

また読み出し電流 I_R は最終的に第 2 領域 3 b 側に流れるため、磁化固定層 1 と第 1 領域 3 a との界面に流れる電流は、第 1 領域 3 a と第 2 領域 3 b の間の磁壁 DW を通過する。すなわち、電流経路 I_{3a} には磁壁 DW 界面における抵抗 R_{DW} が重畳される。磁壁 DW は位置が変動するだけで抵抗状態は大きく変動しないため、抵抗 R_{DW} は固定抵抗とみなせる。

【 0 0 6 5 】

これに対し、磁化固定層 1 の磁化 M 1 と配向方向が同一の磁化 M 3 a が存在する第 1 領域

10

20

30

40

50

3 a 側に読み出し電流 I_R を流す場合も、図 4 (b) に示すように、磁化固定層 1 と第 1 領域 3 a との界面における抵抗 R_{3a} を有する電流経路 I_{3a} と、磁化固定層 1 と第 2 領域 3 b の界面における抵抗 R_{3b} を有する電流経路 I_{3b} と、を有する並列回路が形成される。一方で、最終的に読み出し電流 I_R は第 1 領域 3 a 側に流れるため、磁化固定層 1 と第 2 領域 3 b との界面に流れた電流は、第 1 領域 3 a と第 2 領域 3 b の間の磁壁 DW を通過する必要がある。すなわち、電流経路 I_{3b} に磁壁 DW 界面における抵抗 R_{DW} が重畳される。

【 0 0 6 6 】

ここで上述のように、磁化固定層 1 と第 1 領域 3 a の界面の抵抗 R_{3a} は、磁化固定層 1 と第 2 領域 3 b の界面の抵抗 R_{3b} より低抵抗である。図 4 (b) に示すように、磁壁 DW の界面における抵抗 R_{DW} が高抵抗な抵抗 R_{3b} が存在する電流経路 I_{3b} に存在すると、電流経路 I_{3b} の総抵抗が大きくなり、読み出し電流の多くは電流経路 I_{3a} を流れる。そのため、磁化固定層 1 の磁化 M_1 と配向方向が同一の磁化 M_{3a} が存在する第 1 領域 3 a 側に読み出し電流 I_R を流す場合、磁壁利用型アナログメモリ素子 1 0 0 の抵抗値変化として主として読み出されるのは、磁化固定層 1 と第 1 領域 3 a の界面の抵抗 R_{3a} の抵抗値変化であり、磁化固定層 1 と第 2 領域 3 b の界面の抵抗 R_{3b} の抵抗値変化は大きな寄与を与えない。

【 0 0 6 7 】

これに対し、図 4 (a) に示すように、磁壁 DW の界面における抵抗 R_{DW} が低抵抗な抵抗 R_{3a} が存在する電流経路 I_{3a} に存在すると、電流経路 I_{3a} の総抵抗が大きくなり、電流経路 I_{3a} に流れる読み出し電流と電流経路 I_{3b} に流れる読み出し電流の分配比率は平均化される。そのため、磁化固定層 1 の磁化 M_1 と配向方向が反対の磁化 M_{3b} が存在する第 2 領域 3 b 側に読み出し電流 I_R を流す場合、読み出し電流は電流経路 I_{3a} 及び電流経路 I_{3b} のいずれにも流れ、磁化固定層 1 と第 1 領域 3 a の間の抵抗 R_{3a} の抵抗値変化と、磁化固定層 1 と第 2 領域 3 b の間の抵抗 R_{3b} の抵抗値変化とを重畳したものが磁壁利用型アナログメモリ素子 1 0 0 の抵抗値変化として読み出される。

【 0 0 6 8 】

このように読み出し時の電流 I_R の流れ方向を電流制御手段によって制御することで、回路上二つの抵抗 R_{3a} 、 R_{3b} (可変抵抗) の抵抗値変化を磁壁利用型アナログメモリ素子 1 0 0 の抵抗値変化として読み出すことができ、データの読み出しをより精密に行うことができる。

【 0 0 6 9 】

データの読み出し時において電流の空間的な分布を考える必要がある。図 3 において、磁化固定層 1 と磁壁駆動層 3 の間の抵抗は磁化固定層 1 と磁壁駆動層 3 の磁化方向によって異なる。図 3 において、第 1 領域 3 a と磁化固定層 1 の向きは平行であり、抵抗が低い。第 2 領域 3 b と磁化固定層 1 の向きは反平行であり、抵抗が高い。すなわち、電流は第 1 領域 3 a に流れ込みやすくなる。第 1 領域 3 a に流れた電流は、第 2 領域 3 b を経て、第 2 磁化供給層 5 に流れる。しかしながら、電流が磁化固定層 1 から第 1 磁化供給層 4 に流れる場合、第 1 領域 3 a に流れた電流はそのまま第 1 磁化供給層 4 に流れてしまうため、高抵抗である磁化固定層 1 から第 2 磁化供給層 5 を流れる電流が減少して高抵抗の領域を経路の抵抗として十分活用できない。したがって、磁化固定層 1 から第 1 磁化供給層 4 に電流が流れるよりも、磁化固定層 1 から第 2 磁化供給層 5 に電流が流れる場合の方が磁壁の動きに対しての読み込み抵抗の線形性が良くなる。

【 0 0 7 0 】

なお、読み出し時の電流 I_R の一部は、磁壁 DW を貫通する方向 (X 方向) に流れる。この際に磁壁 DW が移動し、読み出し時に書き込み状態が変わることも想定されるが、読み出し時に印加する電流 I_R は、書き込み時に印加する電流 I_{W1} 、 I_{W2} より小さい。そのため、読み出し時に印加する電流 I_R を調整することで、磁壁 DW の移動は抑制できる。

【 0 0 7 1 】

上述のように、第 1 実施形態にかかる磁壁利用型アナログメモリ素子 1 0 0 は、書き込み

10

20

30

40

50

時に磁壁駆動層 3 の磁化固定層 1 と接触する部分における第 1 領域 3 a と第 2 領域 3 b の構成比率を調整し、磁壁 DW を移動させることで、データを多値で記録できる。また読み出し時の電流 I_R の流れ方向を電流制御手段によって制御することで、磁壁利用型アナログメモリ素子 100 の抵抗値変化が磁壁駆動により線形に変化し、アナログ値をより正確に測定できる。

【0072】

(その他の構成)

磁壁駆動層 3 と非磁性層 2 の間に磁気結合層を設置してもよい。磁気結合層とは、磁壁駆動層 3 の磁化状態を転写する層である。磁壁駆動層 3 の主たる機能は磁壁を駆動させるための層であり、磁化固定層 1 と非磁性層 2 を介して生じる磁気抵抗効果に適した材料を選択できるとは限らない。一般的に、非磁性層 2 を用いたコヒーレントトンネル効果を生じさせるためには、磁化固定層 1 や磁気結合層は BCC 構造の強磁性材料が良いことが知られている。特に、磁化固定層 1 や磁気結合層の材料として、Co-Fe-B の組成の材料がスパッタによって作成した際に大きな出力が得られることが知られている。

10

【0073】

また磁壁駆動層 3 のうち平面視して磁化固定層 1 と重なる部分の厚さは他の部分よりも厚くてもよい。磁壁 DW が非磁性層 2 の下部を移動する際、磁壁 DW の断面積が増大することで電流密度が減少し、磁壁 DW の移動速度が遅くなる。磁壁 DW の移動速度が遅くなると、磁壁駆動層 3 の磁化固定層 1 と接する部分における第 1 領域 3 a と第 2 領域 3 b の構成比率を制御しやすく、出力データをアナログ値として読み出しやすくなる。

20

【0074】

このような構造は、磁壁駆動層 3、非磁性層 2 及び磁化固定層 1 を連続成膜で成膜し、余計な部分を削り取ることによって作製できる。連続成膜を実施した場合には接合する層の間の結合が強くなり、より効率の高い磁気結合や出力が得られる。

【0075】

またこの他、磁気抵抗効果素子に用いられる構成と同等の構成を用いることができる。例えば、各層は複数の層からなるものでもよいし、磁化固定層 1 の磁化方向を固定するための反強磁性層等の他の層を備えてもよい。

【0076】

「第 2 実施形態」

図 5 は、第 2 実施形態にかかる磁壁利用型アナログメモリ素子 101 の斜視模式図である。第 2 実施形態にかかる磁壁利用型アナログメモリ素子 101 は、磁化供給手段が異なる点が第 1 実施形態にかかる磁壁利用型アナログメモリ素子 100 と異なる。その他の構成は、第 1 実施形態にかかる磁壁利用型アナログメモリ素子 100 と同一であり、同一の構成には同一の符号を付している。

30

【0077】

第 2 実施形態にかかる磁壁利用型アナログメモリ素子 101 において磁化供給手段は、磁壁駆動層 3 と電氣的に絶縁され、磁壁駆動層 3 に対して交差する方向に延在する第 1 配線 14 と第 2 配線 15 である。

【0078】

第 2 実施形態にかかる磁壁利用型アナログメモリ素子 101 は磁化供給手段が異なるため、書き込み時の動作が異なる。磁壁利用型アナログメモリ素子 101 を書き込む際には、第 1 配線 14 と第 2 配線 15 の少なくとも一方に電流 I_{14} 、 I_{15} を流す。第 1 配線 14 及び第 2 配線 15 は、電流 I_{14} 、 I_{15} が流れるとアンペールの法則から磁場 M_{14} 、 M_{15} が発生する。

40

【0079】

第 1 配線 14 に流す電流 I_{14} と第 2 配線 15 に流す電流 I_{15} との向きは反対とする。電流の向きを反対にすることで、それぞれの配線の周囲に生じる磁場 M_{14} 、 M_{15} の向きが反対となる。第 1 配線 14 が生み出す磁場 M_{14} は磁壁駆動層 3 に + X の磁場 M_{14} を与え、第 2 配線 15 が生み出す磁場 M_{15} は、磁壁駆動層 3 に - X の磁場 M_{15} を与え

50

る。すなわち、第 1 配線 1 4 及び第 2 配線 1 5 に流すことで、磁壁駆動層 3 の第 1 領域 3 a と第 2 領域 3 b の構成比率を変更し、磁壁 DW の位置が移動を動かすことができ、データを多値で記録できる。

【 0 0 8 0 】

データの読み出し時は、第 1 実施形態にかかる磁壁利用型アナログメモリ素子 1 0 0 と同様に、電流の流れ方向を磁化固定層 1 と磁壁駆動層 3 の第 2 領域 3 b との間に制御することで、データを正確に読み出すことができる。

【 0 0 8 1 】

第 1 配線 1 4 及び第 2 配線 1 5 に用いられる材料は導電性に優れるものであれば特に問わない。例えば、金、銀、銅、アルミニウム等を用いることができる。

10

【 0 0 8 2 】

また図 6 に示す磁壁利用型アナログメモリ素子 1 0 2 のように、磁化固定層 1 及び磁壁駆動層 3 の磁化の向きが Z 方向に配向している場合は、第 1 配線 1 4 及び第 2 配線 1 5 の位置関係及び電流 I_{14} 、 I_{15} を流す方向を調整することで、磁壁 DW の位置を移動させることができる。

【 0 0 8 3 】

「第 3 実施形態」

図 7 は、第 3 実施形態にかかる磁壁利用型アナログメモリ素子 1 0 3 の斜視模式図である。第 3 実施形態にかかる磁壁利用型アナログメモリ素子 1 0 3 は、磁化供給手段が異なる点が第 1 実施形態にかかる磁壁利用型アナログメモリ素子 1 0 0 と異なる。その他の構成は、第 1 実施形態にかかる磁壁利用型アナログメモリ素子 1 0 0 と同一であり、同一の構成には同一の符号を付している。

20

【 0 0 8 4 】

第 3 実施形態にかかる磁壁利用型アナログメモリ素子 1 0 3 において磁化供給手段は、磁壁駆動層 3 に接し、磁壁駆動層 3 に対して交差する方向に延在する第 1 スピン軌道トルク配線 2 4 と第 2 スピン軌道トルク配線 2 5 である。以下、第 1 スピン軌道トルク配線 2 4 及び第 2 スピン軌道トルク配線 2 5 をまとめてスピン軌道トルクと言う場合がある。

【 0 0 8 5 】

第 3 実施形態にかかる磁壁利用型アナログメモリ素子 1 0 3 は磁化供給手段が異なるため、書き込み時の動作が異なる。磁壁利用型アナログメモリ素子 1 0 3 を書き込む際には、第 1 スピン軌道トルク配線 2 4 と第 2 スピン軌道トルク配線 2 5 の少なくとも一方に電流 I_{24} 、 I_{25} を流す。

30

【 0 0 8 6 】

第 1 スピン軌道トルク配線 2 4 及び第 2 スピン軌道トルク配線 2 5 に電流 I_{24} 、 I_{25} が流れると、スピン軌道相互作用に由来するスピンの磁壁駆動層 3 へ供給される。スピン軌道相互作用に由来するスピンは、スピン軌道トルク配線に電流が流れることによって生じるスピンのホール効果及び異種元素界面間での界面ラッシュバ効果によって発生する。

【 0 0 8 7 】

スピンのホール効果は、材料に電流を流した場合にスピン軌道相互作用に基づき、電流の向きと直交する方向に純スピン流が誘起される現象である。スピン軌道トルク配線の延在方向に電流を流すと、一方向に配向した第 1 スピンと反対方向に配向した第 2 スピンとがそれぞれ電流と直交する方向に曲げられる。通常のホール効果とスピンのホール効果とは運動（移動）する電荷（電子）が運動（移動）方向を曲げられる点で共通するが、通常のホール効果は磁場中で運動する荷電粒子がローレンツ力を受けて運動方向を曲げられるのに対して、スピンのホール効果では磁場が存在しないのに電子が移動するだけ（電流が流れるだけ）で移動方向が曲げられる点で大きく異なる。

40

【 0 0 8 8 】

非磁性体（強磁性体ではない材料）では第 1 スピンの電子数と第 2 スピンの電子数とが等しい。そのため、例えば図中で上方向に向かう第 1 スピンの電子数と下方向に向かう第 2 スピンの電子数は等しい。第 1 スピンの電子の流れを J_1 、第 2 スピンの電子の流れを J_2

50

、スピン流を J_S と表すと、 $J_S = J - J$ で定義される。 J_S は分極率が 100% の電子の流れである。すなわち、スピン軌道トルク配線内において、電荷の正味の流れとしての電流はゼロであり、この電流を伴わないスピン流は特に純スピン流と呼ばれる。

【0089】

純スピン流が生じているスピン軌道トルク配線を磁壁駆動層 3 に接合すると、所定の方向に配向したスピンの磁壁駆動層 3 に拡散して流れ込む。

【0090】

界面ラシュバ効果は、異種元素間の界面の影響を受けて、スピンの所定の方向に配向しやすくなり、所定の方向に配向したスピンの界面近傍に蓄積する現象をいう。

【0091】

例えば、図 7 においてスピン軌道トルク配線と磁壁駆動層 3 の界面は異種元素間の界面に対応する。そのため、スピン軌道トルク配線の磁壁駆動層 3 側の面には所定の方向に配向したスピンの蓄積する。蓄積したスピンは、エネルギー的な安定を得るために、磁壁駆動層 3 に拡散し流れ込む。

【0092】

磁壁駆動層 3 に拡散し流れ込むスピンの向きは、第 1 スピン軌道トルク配線 2 4 及び第 2 スピン軌道トルク配線 2 5 に流す電流の向きで変更できる。磁壁駆動層 3 の第 1 領域 3 a には磁化 M_{3a} と同一方向のスピンの供給されるようにする。

【0093】

このように、第 1 スピン軌道トルク配線 2 4 と第 2 スピン軌道トルク配線 2 5 の少なくとも一方に電流 I_{24} 、 I_{25} を流すことで、磁壁駆動層 3 に所定の方向のスピンの供給することができる。その結果、磁壁駆動層 3 の第 1 領域 3 a と第 2 領域 3 b の構成比率が変更され、磁壁 DW の位置が移動することで、データを多値で記録できる。

【0094】

データの読み出し時は、第 1 実施形態にかかる磁壁利用型アナログメモリ素子 100 と同様に、電流の流れ方向を磁化固定層 1 と磁壁駆動層 3 の第 2 領域 3 b との間に制御することで、データを正確に読み出すことができる。

【0095】

スピン軌道トルク配線は、電流が流れるとスピンホール効果によって純スピン流が生成される材料からなる。スピン軌道トルク配線を構成する材料は、単体の元素からなる材料に限らないし、純スピン流が生成される材料で構成される部分と純スピン流が生成されない材料で構成される部分とからなるもの等であってもよい。

【0096】

スピン軌道トルク配線は、非磁性の重金属を含んでもよい。ここで、重金属とは、イットリウム以上の比重を有する金属の意味で用いている。スピン軌道トルク配線は、非磁性の重金属だけからなってもよい。

【0097】

この場合、非磁性の重金属は最外殻に d 電子又は f 電子を有する原子番号 39 以上の原子番号が大きい非磁性金属であることが好ましい。かかる非磁性金属は、スピンホール効果を生じさせるスピン軌道相互作用が大きいからである。スピン軌道トルク配線は、最外殻に d 電子又は f 電子を有する原子番号 39 以上の原子番号が大きい非磁性金属だけからなってもよい。

【0098】

通常、金属に電流を流すとすべての電子はそのスピンの向きに関わりなく、電流とは逆向きに動くのに対して、最外殻に d 電子又は f 電子を有する原子番号が大きい非磁性金属はスピン軌道相互作用が大きいためにスピンホール効果によって電子の動く方向が電子のスピンの向きに依存し、純スピン流が発生しやすい。また、スピン軌道トルク配線は金属の合金であることが好ましい。合金は異なる金属元素が一つの構造内に存在するため、結晶構造の対称性が低下し、純スピン流が発生しやすくなる。また合金を構成する金属元素の

10

20

30

40

50

原子番号は、十分異なることがさらに好ましい。この場合、電子を感じる金属元素の軌道が大きく変化するため、より純スピンの流が発生しやすくなる。

【0099】

また、スピン軌道トルク配線は、磁性金属を含んでもよい。磁性金属とは、強磁性金属、あるいは、反強磁性金属を指す。非磁性金属に微量な磁性金属が含まれるとスピン軌道相互作用が増強され、スピン軌道トルク配線に流す電流に対するスピン流生成効率を高くできるからである。スピン軌道トルク配線は、反強磁性金属だけからなってもよい。

【0100】

スピン軌道相互作用はスピン軌道トルク配線材料の物質の固有の内場によって生じるため、非磁性材料でも純スピン流が生じる。スピン軌道トルク配線材料に微量の磁性金属を添加すると、磁性金属自体が流れる電子スピンを散乱するためにスピン流生成効率が向上する。ただし、磁性金属の添加量が増大し過ぎると、発生した純スピン流が添加された磁性金属によって散乱されるため、結果としてスピン流が減少する作用が強くなる。したがって、添加される磁性金属のモル比はスピン軌道トルク配線の主成分のモル比よりも十分小さい方が好ましい。目安で言えば、添加される磁性金属のモル比は3%以下であることが好ましい。

【0101】

また、スピン軌道トルク配線は、トポロジカル絶縁体を含んでもよい。スピン軌道トルク配線は、トポロジカル絶縁体だけからなってもよい。トポロジカル絶縁体とは、物質内部が絶縁体、あるいは、高抵抗体であるが、その表面にスピン偏極した金属状態が生じている物質である。物質にはスピン軌道相互作用という内部磁場のようなものがある。そこで外部磁場が無くてもスピン軌道相互作用の効果で新たなトポロジカル相が発現する。これがトポロジカル絶縁体であり、強いスピン軌道相互作用とエッジにおける反転対称性の破れにより純スピン流を高効率に生成することができる。

【0102】

トポロジカル絶縁体としては例えば、 SnTe 、 $\text{Bi}_{1.5}\text{Sb}_{0.5}\text{Te}_{1.7}\text{Se}_{1.3}$ 、 TlBiSe_2 、 Bi_2Te_3 、 $(\text{Bi}_{1-x}\text{Sb}_x)_2\text{Te}_3$ などが好ましい。これらのトポロジカル絶縁体は、高効率にスピン流を生成することが可能である。

【0103】

「第4実施形態」

図8は、第4実施形態にかかる磁壁利用型アナログメモリ素子104の斜視模式図である。第4実施形態にかかる磁壁利用型アナログメモリ素子104は、磁化供給手段が異なる点が第1実施形態にかかる磁壁利用型アナログメモリ素子100と異なる。その他の構成は、第1実施形態にかかる磁壁利用型アナログメモリ素子100と同一であり、同一の構成には同一の符号を付している。

【0104】

第4実施形態にかかる磁壁利用型アナログメモリ素子104において磁化供給手段は、磁壁駆動層3に絶縁層36、37を介して接続された第1電圧印加端子34と第2電圧印加端子35である。以下、第1電圧印加端子34と第2電圧印加端子35をまとめて電圧印加端子と言う場合がある。

【0105】

第4実施形態にかかる磁壁利用型アナログメモリ素子104は磁化供給手段が異なるため、書き込み時の動作が異なる。磁壁利用型アナログメモリ素子104を書き込む際には、磁化固定層1と第1電圧印加端子34又は第2電圧印加端子35の間に電圧を印加する。

【0106】

例えば、磁化固定層1と第1電圧印加端子34の間に電圧を印加すると、第1領域3aの磁化 M_{3a} の一部が電圧の影響を受ける。電圧をパルスで印加すると磁化 M_{3a} の一部は、電圧印加時にはZ方向に配向し、電圧印加が止まったタイミングで磁化容易方向+X方向又は-X方向に配向する。このZ方向に配向した磁化が+X方向又は-X方向に倒れるかは等確率であり、パルス電圧を印加するタイミング、回数、周期を調整することで、磁

10

20

30

40

50

化 M_{3a} の一部を+X方向から-X方向に配向させることができる。

【0107】

このように、磁壁駆動層3に電圧をパルスで印加することで、磁壁駆動層3に所定の方向のスピンを供給することができる。その結果、磁壁駆動層3の第1領域3aと第2領域3bの構成比率が変更され、磁壁DWの位置が移動することで、データを多値で記録できる。

【0108】

一方で、絶縁層36、37は読み込み時の電流の流れを阻害する。そのため、絶縁層36、37の存在は、磁壁利用型アナログメモリ素子104の出力特性を小さくするおそれがある。この場合は、図9に示す磁壁利用型アナログメモリ素子104のように、読み出し電流が流れる読み出し用配線38を設けてもよい。

10

【0109】

以上、本発明の実施形態について図面を参照して詳述したが、各実施形態における各構成及びそれらの組み合わせ等は一例であり、本発明の趣旨から逸脱しない範囲内で、構成の付加、省略、置換、及びその他の変更が可能である。

【0110】

磁化供給手段は、第1領域3aに磁化を供給する手段と、第2領域3bに磁化を供給する手段とが異なってもよい。例えば、第1領域3aに磁化を供給する手段が第1磁化供給層4であり、第2領域3bに磁化を供給する手段が第2配線15でもよい。このように、第1実施形態から第4実施形態にかかる磁化供給手段をそれぞれ組み合わせて配置してもよい。また磁化供給手段として、磁壁駆動層3に流す書き込み電流そのものをスピンの極電流としてもよい。

20

【0111】

(磁壁利用型アナログメモリ)

本実施形態にかかる磁壁利用型アナログメモリは、上述の実施形態にかかる磁壁利用型アナログメモリ素子を複数備える。

【0112】

図10に、本実施形態に係る磁壁利用型アナログメモリ200の回路構造の一例を模式的に示した図である。磁壁利用型アナログメモリ200は、複数の磁壁利用型アナログメモリ素子100と、第1配線201と、第1制御素子202と、第2配線203と、第2制御素子204と、第3配線205と、セル選択制御素子206と、を有する。

30

【0113】

第1配線201は、それぞれの磁壁利用型アナログメモリ素子100の磁化固定層1に接続され、それぞれの磁化固定層1と第1制御素子202とを繋ぐ。第2配線203は、それぞれの磁壁利用型アナログメモリ素子100の第1磁化供給層4に接続され、それぞれの第1磁化供給層4と第2制御素子204とを繋ぐ。第3配線205は、それぞれの磁壁利用型アナログメモリ素子100の第2磁化供給層5に接続され、それぞれの第1磁化供給層4とセル選択制御素子206とを繋ぐ。

【0114】

第1配線201、第2配線203及び第3配線205は、通常の配線の材料として用いられる材料を用いることができる。例えば、アルミニウム、銀、銅、金等を用いることができる。

40

【0115】

第1制御素子202は、第1配線201に流れる電流を制御する。第2制御素子204は、第2配線203に流れる電流を制御する。セル選択制御素子206は、書き込み及び読み出し時にいずれの磁壁利用型アナログメモリ素子100に電流を流すかを制御する。

【0116】

第1制御素子202、第2制御素子204及びセル選択制御素子206は、公知のスイッチング素子を用いることができる。例えば、電界効果トランジスタ等に代表されるトランジスタ素子等を用いることができる。

【0117】

50

磁壁利用型アナログメモリ 200 にデータを書き込む際は、第 2 制御素子 204 とデータを書き込みたい磁壁利用型アナログメモリ素子 100 に接続されたセル選択制御素子 206 を開放する。これにより所定の磁壁利用型アナログメモリ素子 100 の磁壁駆動層 3 の磁壁 DW が移動し、データが書き込まれる。

【0118】

磁壁利用型アナログメモリ 200 からデータを読み出す際は、第 1 制御素子 202 とデータを書き込みたい磁壁利用型アナログメモリ素子 100 に接続されたセル選択制御素子 206 を開放する。これにより所定の磁壁利用型アナログメモリ素子 100 のデータが読み出される。

【0119】

(不揮発性ロジック回路)

本実施形態にかかる不揮発性ロジック回路は、本実施形態にかかる磁壁利用型アナログメモリ素子がアレイ状に配置され、アレイ内あるいはアレイ以外のいずれかに STT-MRAM を備え、記憶機能と論理機能を有し、記憶機能として磁壁利用型アナログメモリ素子及び STT-MRAM を備えてなる。

磁壁利用型アナログメモリ素子と STT-MRAM は同一の工程で作製することが可能であるため、コストの削減が可能である。また、デジタル的である STT-MRAM がアレイ状に配置された磁壁利用型アナログメモリ素子と同一回路に設置されることで、入出力をデジタル化し、内部ではアナログで処理することが可能なロジックを形成することができる。

【0120】

(磁気ニューロ素子)

図 11 は、本実施形態に係る磁気ニューロ素子の一例の断面模式図である。本実施形態にかかる磁気ニューロ素子 300 は、上述の磁壁利用型アナログメモリ素子と、制御回路を有する電流源(図示略)とを備える。磁壁利用型アナログメモリ素子の磁壁駆動層 3 の長手方向には、第 1 記憶部 301 と該第 1 記憶部 301 を挟む第 2 記憶部 302 および第 3 記憶部 303 とがある。制御回路は、第 1 記憶部 301、第 2 記憶部 302 および第 3 記憶部 303 のすべての記憶部に少なくとも一回は留まるように順に磁壁を移動させ得る書き込み電流を流す。

【0121】

第 1 記憶部 301 は、磁壁駆動層 3 の平面視して磁化固定層 1 と重なる部分である。第 2 記憶部 302 は、平面視して磁化固定層 1 及び第 2 磁化供給層 5 と重なる部分の間の部分で(磁化固定層 1 及び第 2 磁化供給層 5 のいずれとも重ならない部分)ある。また、第 3 記憶部 303 は、平面視して磁化固定層 1 と第 1 磁化供給層 4 との間の部分(磁化固定層 1 及び第 1 磁化供給層 4 のいずれとも重ならない部分)である。

【0122】

磁気ニューロ素子はシナプスの動作を模擬する素子であり、本実施形態にかかる磁壁利用型アナログメモリ素子に制御回路を設けることで磁気ニューロ素子として利用できる。

【0123】

シナプスは、外部からの刺激に対して線形な出力を持ち、また、逆向きの負荷が与えられた際にはヒステリシスがなく、可逆的に出力する。磁壁 DW の駆動(移動)によって磁化固定層 1 と磁壁駆動層 3 のそれぞれの磁化方向が平行な部分の面積が連続的に変化すると、磁化固定層 1 と磁壁駆動層 3 のそれぞれの磁化方向が平行な部分に形成される電流経路と反平行な部分に形成される電流経路とによる並列回路が形成される。

【0124】

磁壁駆動層 3 の磁壁 DW が移動すると、磁化方向が平行な部分の面積率と磁化方向が反平行な部分の面積率との比が変化し、比較的線形な抵抗変化が得られる。また磁壁 DW の移動は電流の大きさと印可される電流パルスの時間に依存する。そのため電流の大きさと向き、さらに、印可される電流パルスの時間を外部からの負荷として見なすことができる。

【0125】

10

20

30

40

50

(記憶の初期段階)

例えば、磁壁駆動層 3 の磁壁が - X 方向に最大に移動した場合、磁壁 DW は第 2 磁化供給層 5 の磁化固定層 1 側の端部 3 0 2 a で安定化する。電流を第 1 磁化供給層 4 から第 2 磁化供給層 5 に流すと、電子が第 2 磁化供給層 5 から第 1 磁化供給層 4 に流れ、第 2 磁化供給層 5 及び磁壁駆動層 3 の内部でスピン偏極した電子がスピントランスファーを起こし、磁壁 DW が + X 方向に移動する。磁壁 DW が磁化固定層 1 の第 2 磁化供給層 5 側の端部 3 0 2 b に達するまでは磁壁 DW が移動しても、読み出しの抵抗は変化しない。この状態 (第 2 記憶部 3 0 2 内に磁壁 DW が配置する場合) を記憶の初期段階と呼ぶ。記憶の初期段階ではデータとしての記録はされていないが、データを記録するための準備が整えられている状態である。

10

【 0 1 2 6 】

(主記憶段階)

磁壁 DW が磁化固定層 1 の下部 (平面視して重なる部分、第 1 記憶部 3 0 1) を通過している間は、読み出し時の抵抗が変化する。電流を第 1 磁化供給層 4 から第 2 磁化供給層 5 に流すことを外部からの負荷とし、負荷にある程度比例した線形の抵抗値変化を読み出すことができる。これが主記憶段階である。すなわち、第 1 記憶部 3 0 1 内に磁壁 DW が配置する場合を記憶の主記憶段階と呼ぶ。磁壁 DW が磁化固定層 1 の一方の X 方向の端部より外側にいる状態を記憶、あるいは、無記憶と定義し、磁壁 DW が磁化固定層 1 の他方の端部より外側にいる状態を無記憶、あるいは、記憶と定義する。磁壁駆動層 3 に流れる電流の向きを逆にすると、逆の作用となる。

20

【 0 1 2 7 】

(記憶の深層化段階)

磁壁 DW が磁化固定層 1 の第 1 磁化供給層 4 側の端部 3 0 3 b に達して、磁化固定層 1 から離れる方向に磁壁 DW が移動する際には、読み込みの出力は変化しない。しかしながら、磁壁 DW が磁化固定層 1 から十分離れた後は、逆向きの負荷が印可されても、磁壁 DW が磁化固定層 1 の端部 3 0 3 b に達するまでは読み込み時の出力は変化しない。すなわち、第 3 記憶部 3 0 3 に磁壁 DW がいる際は、外部からの負荷が与えられても記憶を失わず、記憶が深層化されている。すなわち、第 3 記憶部 3 0 3 内に磁壁 DW が配置する場合を記憶の深層化段階と呼ぶ。

【 0 1 2 8 】

なお、磁壁駆動層 3 に流れる電流の向きを逆向きにすると、記憶の初期段階、主記憶段階および記憶の深層化段階と各記憶部との対応は逆となる。

30

【 0 1 2 9 】

このように磁壁利用型アナログメモリをシナプスの動作を模擬する磁気ニューロ素子として用いるためには、磁壁 DW の移動を記憶の初期段階、主記憶段階および記憶の深層化段階を順に経る必要がある。磁壁 DW の移動は、書き込み電流を流す電流源によって制御される。すなわち磁壁利用型アナログメモリは、少なくとも第 1 記憶部、第 2 記憶部および第 3 記憶部のすべての記憶部に少なくとも一回は留まるように順に磁壁を移動させ得る書き込み電流を流すように制御する制御回路を有する電流源 (図示略) を備えることで、磁気ニューロ素子として機能する。第 1 記憶部 3 0 1、第 2 記憶部 3 0 2 および第 3 記憶部 3 0 3 のそれぞれを何回の移動で磁壁が通過し切るかは、書き込み電流の条件によって決める。

40

【 0 1 3 0 】

(記憶の忘却段階)

無記憶状態に磁壁駆動層 3 の磁壁を移動させることによって、記憶を忘却することができる。また、外部磁場、熱、及び物理的な歪みを与えることによって、磁壁の駆動や消失を生じさせることができる。磁壁利用型アナログメモリは、出力が一定の低抵抗と高抵抗の値を示すため、記憶と無記憶は定義によって決定される。また、磁壁駆動層 3 に電流を流す以外の方法で磁壁を移動や消失させる場合にはランダムとなるため、複数の磁壁利用型アナログメモリ間での情報の相関が失われる。これらを記憶の忘却段階と呼ぶ。

50

【 0 1 3 1 】

(磁気ニューロ素子を用いた人工的な脳)

本実施形態にかかる磁気ニューロ素子はシナプスの動きを模擬し、記憶の初期段階、主記憶段階、そして、記憶の深層化段階を経ることができるメモリである。すなわち、磁壁利用型アナログメモリを複数回路上に設置することで、脳の模擬をすることが可能である。一般的なメモリのように縦横に均等にアレイさせた配置では集積度が高い脳を形成することが可能である。

【 0 1 3 2 】

図 1 2 に示したように特定の回路を持った複数の磁気ニューロ素子を一つの塊として、これらを一列に配置することで、外部負荷からの認識度が異なる脳を形成することが可能である。図 1 3 は、磁気ニューロ素子をアレイ配置した積和演算回路である。図 1 3 では、図視左方向からそれぞれの配線に同時にデータが入力される。入力されたデータは、磁気ニューロ素子が記録している重み（記憶の初期段階、主記憶段階および記憶の深層化段階）に基づいてデータを出力する。それぞれの磁気ニューロ素子から出力された各データは、列方向に束ねられて出力される。図 1 3 に示す積和演算回路を備えるニューロモロフィックコンピュータは、脳のように例えば、色について感度の良い脳や言語の理解度が高い脳などの個性を生むことができる。つまり、外部のセンサから入手された情報を、視覚、味覚、触覚、嗅覚及び聴覚認識に最適化された五感領域で認識の処理を行い、さらに、論理的思考領域で判断することによって、次の行動を決定するというプロセスを形成させることが可能である。さらに、磁壁駆動層 3 の材料を変化させると、負荷に対する磁壁の駆動速度や磁壁の形成方法が変化するため、その変化を個性とした人工的な脳を形成することが可能となる。

10

20

【 符号の説明 】

【 0 1 3 3 】

1 ... 磁化固定層、 2 ... 非磁性層、 3 ... 磁壁駆動層、 3 a ... 第 1 領域、 3 b ... 第 2 領域、 4 ... 第 1 磁化供給層、 5 ... 第 2 磁化供給層、 1 4 ... 第 1 配線、 1 5 ... 第 2 配線、 2 4 ... 第 1 スピン軌道トルク配線、 2 5 ... 第 2 スピン軌道トルク配線、 3 4 ... 第 1 電圧印加端子、 3 5 ... 第 2 電圧印加端子、 3 6 , 3 7 ... 絶縁層、 3 8 ... 読み出し用配線、 1 0 0 , 1 0 1 , 1 0 2 ... 磁壁利用型アナログメモリ素子、 2 0 0 ... 磁壁利用型アナログメモリ、 2 0 1 ... 第 1 配線、 2 0 2 ... 第 1 制御素子、 2 0 3 ... 第 2 配線、 2 0 4 ... 第 2 制御素子、 2 0 5 ... 第 3 配線、 2 0 6 ... セル選択制御素子、 3 0 0 ... 磁気ニューロ素子、 3 0 1 ... 第 1 記憶部、 3 0 2 ... 第 2 記憶部、 3 0 3 ... 第 3 記憶部、 M 1 , M 3 a , M 3 b , M 4 , M 5 ... 磁化、 I W 1 , I W 2 , I R , I 1 4 , I 1 5 , I 2 4 , I 2 5 ... 電流、 e 1 , e 2 ... 伝導電子、 R 3 a , R 3 b , R D W ... 抵抗、 D W ... 磁壁

30

40

50

【図面】

【図 1】

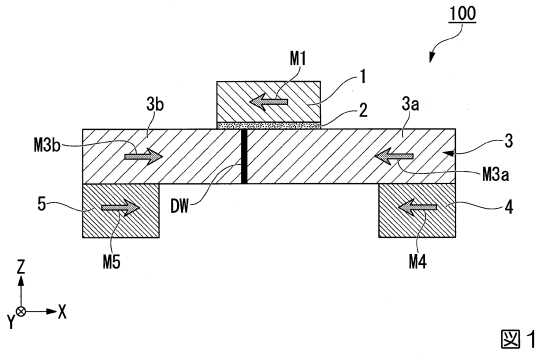
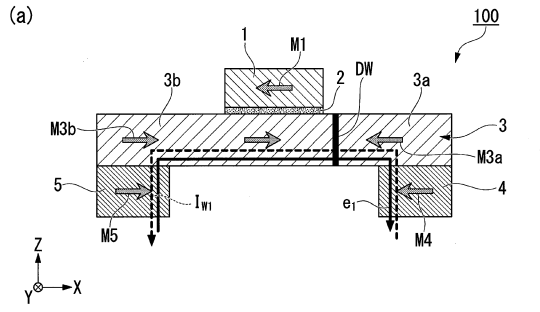
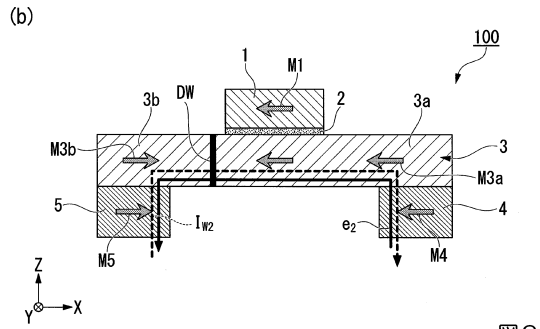


図 1

【図 2】



10



20

図 2

【図 3】

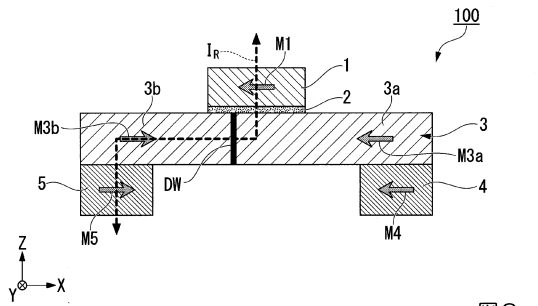
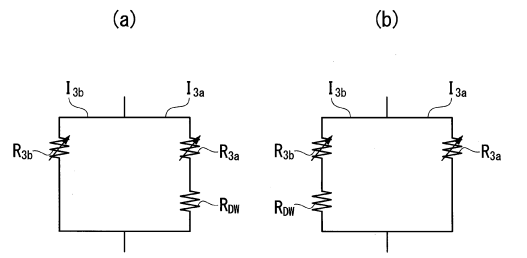


図 3

【図 4】



30

図 4

40

50

【図5】

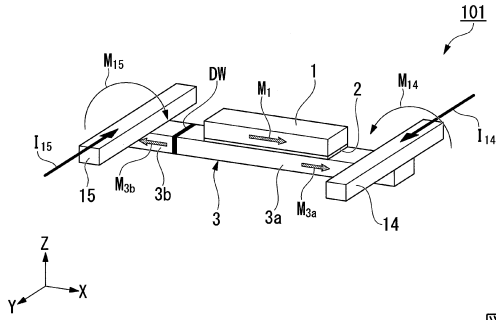


図5

【図6】

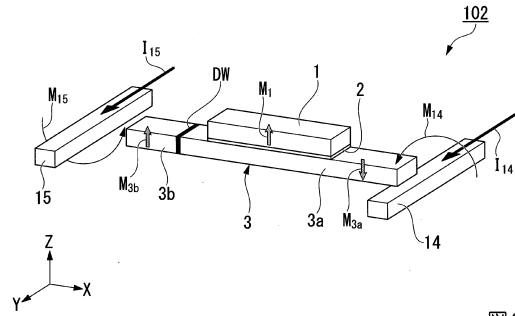


図6

10

【図7】

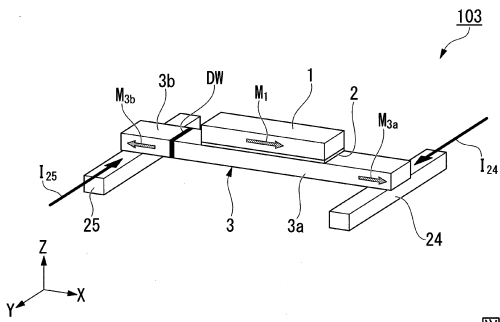


図7

【図8】

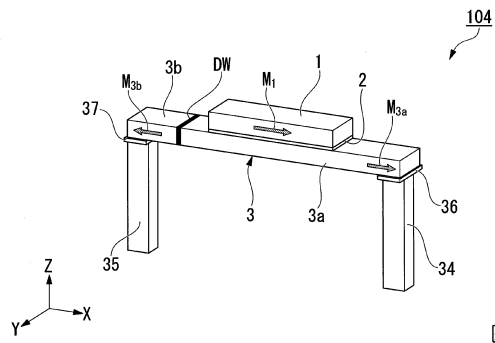


図8

20

30

40

50

【 図 9 】

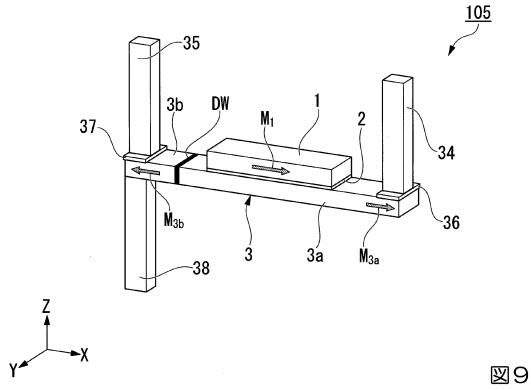


図 9

【 図 10 】

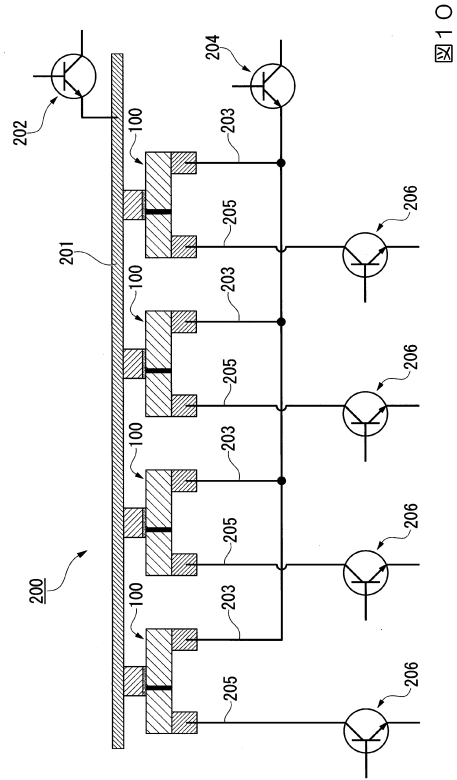


図 10

【 図 11 】

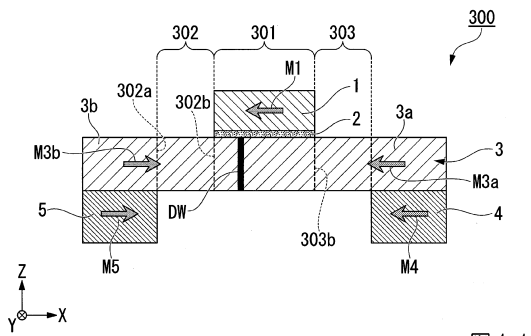


図 11

【 図 12 】

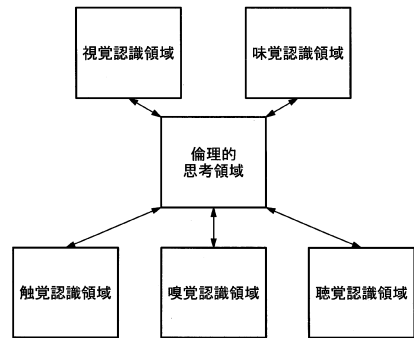


図 12

10

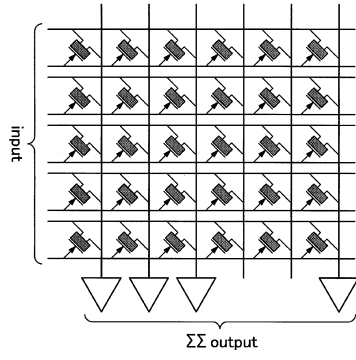
20

30

40

50

【 13 】



10

13

20

30

40

50

フロントページの続き

(51)国際特許分類

F I

G 1 1 C 11/56 (2006.01)

(56)参考文献

国際公開第 2 0 0 9 / 1 0 1 8 2 7 (W O , A 1)

特開 2 0 0 6 - 2 7 0 0 6 9 (J P , A)

特開 2 0 0 7 - 2 0 1 0 5 9 (J P , A)

特開 2 0 1 4 - 0 4 5 1 9 6 (J P , A)

特開 2 0 1 7 - 0 1 1 1 3 5 (J P , A)

特表 2 0 1 3 - 5 3 0 4 7 9 (J P , A)

米国特許出願公開第 2 0 1 1 / 0 1 2 9 6 9 1 (U S , A 1)

国際公開第 2 0 0 6 / 0 9 0 6 5 6 (W O , A 1)

米国特許出願公開第 2 0 1 4 / 0 0 5 6 0 6 0 (U S , A 1)

米国特許出願公開第 2 0 1 1 / 0 2 7 3 9 2 6 (U S , A 1)

国際公開第 2 0 1 1 / 1 4 0 4 7 1 (W O , A 1)

米国特許出願公開第 2 0 1 2 / 0 1 6 3 0 6 9 (U S , A 1)

国際公開第 2 0 1 6 / 1 8 2 0 8 5 (W O , A 1)

SENGUPTA Abhronil et al. , A Vision for All-Spin Neural Networks: A Device to System Perspective , IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS-I , 2016年 , Vol.63, No.12 , p. 2267-2277

(58)調査した分野 (Int.Cl. , D B 名)

H 0 1 L 2 7 / 1 0 5

H 0 1 L 2 1 / 8 2 3 9

H 0 1 L 2 9 / 8 2

H 0 1 L 4 3 / 0 8

G 1 1 C 1 1 / 1 6

G 1 1 C 1 1 / 5 6