

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5381721号
(P5381721)

(45) 発行日 平成26年1月8日(2014.1.8)

(24) 登録日 平成25年10月11日(2013.10.11)

(51) Int.Cl.

F 1

G09G	3/30	(2006.01)	G09G	3/30	Z
G09G	3/20	(2006.01)	G09G	3/20	624B
H01L	51/50	(2006.01)	G09G	3/20	642P
			G09G	3/20	670J
			G09G	3/20	680G

請求項の数 9 (全 55 頁) 最終頁に続く

(21) 出願番号

特願2010-1877 (P2010-1877)

(22) 出願日

平成22年1月7日(2010.1.7)

(65) 公開番号

特開2011-141417 (P2011-141417A)

(43) 公開日

平成23年7月21日(2011.7.21)

審査請求日

平成24年11月26日(2012.11.26)

(73) 特許権者 000002185

ソニー株式会社

東京都港区港南1丁目7番1号

(74) 代理人 100086841

弁理士 脇 篤夫

(74) 代理人 100167704

弁理士 中川 裕人

(74) 代理人 100114122

弁理士 鈴木 伸夫

(72) 発明者 山本 哲郎

東京都港区港南1丁目7番1号 ソニー株式会社内

(72) 発明者 内野 勝秀

東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

(54) 【発明の名称】表示装置、光検出方法、電子機器

(57) 【特許請求の範囲】

【請求項 1】

信号線と所要数の走査線が交差する部分にマトリクス状に配置され、それぞれが発光素子を有する画素回路と、

上記各画素回路に信号値を与えて、各画素回路で信号値に応じた輝度の発光を行わせる発光駆動部と、

オン状態及びオフ状態とされてスイッチ素子として機能するとともにオフ状態において上記画素回路の上記発光素子からの光を検出する光センサとして機能するセンサ・スイッチ兼用素子、及び光検出線に接続され上記センサ・スイッチ兼用素子のオフ状態での電流の変動分に応じた光検出情報を上記光検出線に出力する検出信号出力用トランジスタとを有する光検出部とを備え、

上記光検出部は、

上記センサ・スイッチ兼用素子がオン状態とされることで、上記検出信号出力用トランジスタのゲートノードに、所定の基準電位を供給し、

上記センサ・スイッチ兼用素子がオフ状態とされているときに、上記発光素子からの光を受光することに応じた電流を上記検出信号出力用トランジスタのゲートノードに与えて上記検出信号出力用トランジスタのゲート電位を変化させ、上記検出信号出力用トランジスタが上記ゲート電位の変化に応じた光検出情報を出力する構成とされ、

上記光検出部に対しては、所定の動作電源電位と上記基準電位が切り換えられる電源線が導入され、

10

上記電源線に、上記センサ・スイッチ兼用素子及び上記検出信号出力用トランジスタが接続されており、

上記電源線が上記基準電位とされているときに上記センサ・スイッチ兼用素子がオン状態とされることで、上記検出信号出力用トランジスタのゲートノードに、上記基準電位が供給され、

上記センサ・スイッチ兼用素子がオフ状態とされ、また上記電源線が上記動作電源電位とされることで、上記センサ・スイッチ兼用素子が上記発光素子からの光を受光することに応じた電流を上記検出信号出力用トランジスタのゲートノードに与えて上記検出信号出力用トランジスタのゲート電位を変化させ、上記検出信号出力用トランジスタが上記ゲート電位の変化に応じた光検出情報を出力し、

10

上記光検出部にはさらに、

上記検出信号出力用トランジスタのゲートと固定電位の間に接続された第1の容量と、上記検出信号出力用トランジスタのゲートと上記電源線の間に接続された第2の容量とを備えている

表示装置。

【請求項2】

上記センサ・スイッチ兼用素子がオフ状態とされ、さらに上記電源線が上記動作電源電位とされることで、上記第2の容量を介して、上記センサ・スイッチ兼用素子としてのトランジスタのゲート・ドレイン間電圧に電位差を発生させ、また上記検出信号出力用トランジスタのゲート電位を上昇させて光検出情報を出力を開始させる構成である

20

請求項1に記載の表示装置。

【請求項3】

上記検出信号出力用トランジスタが光検出情報を出力を開始する前の検出準備動作において、上記光検出線を上記基準電位に充電する動作が行われる請求項2に記載の表示装置。

【請求項4】

上記センサ・スイッチ兼用素子としてのトランジスタのゲートには、上記電源線が上記基準電位であるときにセンサ・スイッチ兼用素子がオンとなり、上記電源線が上記動作電源電位であるときにセンサ・スイッチ兼用素子がオフとなる、上記固定電位が与えられる請求項1に記載の表示装置。

30

【請求項5】

信号線と所要数の走査線が交差する部分にマトリクス状に配置され、それぞれが発光素子を有する画素回路と、

上記各画素回路に信号値を与えて、各画素回路で信号値に応じた輝度の発光を行わせる発光駆動部と、

オン状態及びオフ状態とされてスイッチ素子として機能するとともにオフ状態において上記画素回路の上記発光素子からの光を検出する光センサとして機能するセンサ・スイッチ兼用素子、及び光検出線に接続され上記センサ・スイッチ兼用素子のオフ状態での電流の変動分に応じた光検出情報を上記光検出線に出力する検出信号出力用トランジスタとを有する光検出部とを備え、

40

上記光検出部は、

上記センサ・スイッチ兼用素子がオン状態とされることで、上記検出信号出力用トランジスタのゲートノードに、所定の基準電位を供給し、

上記センサ・スイッチ兼用素子がオフ状態とされているときに、上記発光素子からの光を受光することに応じた電流を上記検出信号出力用トランジスタのゲートノードに与えて上記検出信号出力用トランジスタのゲート電位を変化させ、上記検出信号出力用トランジスタが上記ゲート電位の変化に応じた光検出情報を出力する構成とされ、

上記光検出部に対しては、所定の動作電源電位と上記基準電位が切り換えられる電源線が導入され、

上記電源線に、上記センサ・スイッチ兼用素子及び上記検出信号出力用トランジスタが

50

接続されており、

上記電源線が上記基準電位とされているときに上記センサ・スイッチ兼用素子がオン状態とされることで、上記検出信号出力用トランジスタのゲートノードに、上記基準電位が供給され、

上記センサ・スイッチ兼用素子がオフ状態とされ、また上記電源線が上記動作電源電位とされることで、上記センサ・スイッチ兼用素子が上記発光素子からの光を受光することに応じた電流を上記検出信号出力用トランジスタのゲートノードに与えて上記検出信号出力用トランジスタのゲート電位を変化させ、上記検出信号出力用トランジスタが上記ゲート電位の変化に応じた光検出情報を出力し、

上記センサ・スイッチ兼用素子としてのトランジスタのゲートは、上記光検出線に接続されているとともに、10

上記光検出線は、少なくとも 2 つの固定電位に充電できる構成である
表示装置。

【請求項 6】

上記光検出部にはさらに、

上記検出信号出力用トランジスタのゲートと固定電位の間に接続された第 1 の容量と、
上記検出信号出力用トランジスタのゲートと上記電源線の間に接続された第 2 の容量と
を備えており、

上記光検出線に充電する上記 2 つの固定電位のうち、高電位の方は、上記センサ・スイッチ兼用素子をオンさせる電位であり、低電位の方は、上記第 2 の容量を介して上記電源線からのカッピングが入力される上記検出信号出力用トランジスタをオンとさせるために設定された電位である20

請求項 5 に記載の表示装置。

【請求項 7】

上記 2 つの固定電位のうちの低電位の方は、上記基準電位である

請求項 6 に記載の表示装置。

【請求項 8】

発光素子を有する画素回路と、上記画素回路の上記発光素子からの光を検出して光検出情報を出力する光検出部とを有し、上記光検出部に、オン状態及びオフ状態とされてスイッチ素子として機能するとともにオフ状態において上記画素回路の上記発光素子からの光を検出する光センサとして機能するセンサ・スイッチ兼用素子と、光検出線に接続され上記センサ・スイッチ兼用素子のオフ状態での電流の変動分に応じた光検出情報を上記光検出線に出力する検出信号出力用トランジスタとを設け、所定の動作電源電位と基準電位が切り換えられる電源線が導入され、上記電源線に、上記センサ・スイッチ兼用素子及び上記検出信号出力用トランジスタが接続されており、上記検出信号出力用トランジスタのゲートと固定電位の間に接続された第 1 の容量と、上記検出信号出力用トランジスタのゲートと上記電源線の間に接続された第 2 の容量とを備えた表示装置における光検出方法として、30

上記電源線が上記基準電位とされているときに上記センサ・スイッチ兼用素子がオン状態とされることで、上記検出信号出力用トランジスタのゲートノードに、上記基準電位が供給され、40

上記センサ・スイッチ兼用素子がオフ状態とされ、また上記電源線が上記動作電源電位とされることで、上記センサ・スイッチ兼用素子が上記発光素子からの光を受光することに応じた電流を上記検出信号出力用トランジスタのゲートノードに与えて上記検出信号出力用トランジスタのゲート電位を変化させ、上記検出信号出力用トランジスタが上記ゲート電位の変化に応じた光検出情報を出力する

光検出方法。

【請求項 9】

信号線と所要数の走査線が交差する部分にマトリクス状に配置され、それぞれが発光素子を有する画素回路と、50

上記各画素回路に信号値を与えて、各画素回路で信号値に応じた輝度の発光を行わせる発光駆動部と、

オン状態及びオフ状態とされてスイッチ素子として機能するとともにオフ状態において上記画素回路の上記発光素子からの光を検出する光センサとして機能するセンサ・スイッチ兼用素子、及び光検出線に接続され上記センサ・スイッチ兼用素子のオフ状態での電流の変動分に応じた光検出情報を上記光検出線に出力する検出信号出力用トランジスタとを有する光検出部とを備え、

上記光検出部は、

上記センサ・スイッチ兼用素子がオン状態とされることで、上記検出信号出力用トランジスタのゲートノードに、所定の基準電位を供給し、

上記センサ・スイッチ兼用素子がオフ状態とされているときに、上記発光素子からの光を受光することに応じた電流を上記検出信号出力用トランジスタのゲートノードに与えて上記検出信号出力用トランジスタのゲート電位を変化させ、上記検出信号出力用トランジスタが上記ゲート電位の変化に応じた光検出情報を出力する構成とされ、

上記光検出部に対しては、所定の動作電源電位と上記基準電位が切り換えられる電源線が導入され、

上記電源線に、上記センサ・スイッチ兼用素子及び上記検出信号出力用トランジスタが接続されており、

上記電源線が上記基準電位とされているときに上記センサ・スイッチ兼用素子がオン状態とされることで、上記検出信号出力用トランジスタのゲートノードに、上記基準電位が供給され、

上記センサ・スイッチ兼用素子がオフ状態とされ、また上記電源線が上記動作電源電位とされることで、上記センサ・スイッチ兼用素子が上記発光素子からの光を受光することに応じた電流を上記検出信号出力用トランジスタのゲートノードに与えて上記検出信号出力用トランジスタのゲート電位を変化させ、上記検出信号出力用トランジスタが上記ゲート電位の変化に応じた光検出情報を出力し、

上記光検出部にはさらに、

上記検出信号出力用トランジスタのゲートと固定電位の間に接続された第1の容量と、上記検出信号出力用トランジスタのゲートと上記電源線の間に接続された第2の容量とを備えている

電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば有機エレクトロルミネッセンス素子（有機EL素子）等の自発光素子を画素回路に用いた表示装置と、その画素回路に対して設けられる光検出部の光検出方法、さらに電子機器に関する。

【先行技術文献】

【特許文献】

【0002】

【特許文献1】特表2007-501953号公報

【特許文献2】特表2008-518263号公報

【背景技術】

【0003】

有機エレクトロルミネッセンス（EL：Electroluminescence）発光素子を画素に用いたアクティブマトリクス方式の表示装置では、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子（一般には薄膜トランジスタ：TFT）によって制御する。有機ELは電流発光素子のため、EL素子に流れる電流量をコントロールすることで発色の階調を得ている。

即ち有機EL素子を有する画素回路では、与えられた信号値電圧に応じた電流を有機E

10

20

30

40

50

L素子に流すことで、信号値に応じた階調の発光が行われるようにしている。

【0004】

このような有機EL素子を用いた表示装置など、自発光素子を用いた表示装置では、画素間の発光輝度のばらつきを無くして画面上に生じるムラを無くすことが重要である。

画素の発光輝度のばらつきは、パネル製造時の初期状態でも生じるが、経時変化によっても生じる。

有機EL素子は時間経過によって発光効率が低下してしまう。つまり同じ電流を流してもその発光輝度が時間と共に低下してしまうこととなる。

その結果、例えば図59(a)のように、黒表示に白いWINDOWパターンを表示した後再び白表示に戻すとWINDOWパターンを表示した部分の輝度が暗くなるという焼き付きが発生してしまう。

10

【0005】

このような状況に対処するものとして、上記特許文献1,2では、各画素回路内に光センサを配置して、光センサの検出値をパネル内でフィードバックして発光輝度を補正する方式や、光センサからシステムにフィードバックして補正する方式が開示されている。

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明は、画素回路に対して、画素回路の発光素子による光を検出する光検出部を備えた表示装置を対象とする。例えば光検出部で検出された光量情報に応じて信号値を補正することで、上記のような焼き付きが発生しないようにする表示装置を実現する。そして、その場合に、光検出部が精度良く検出を行うことができ、かつ少ない素子数や制御ライン数等で構成できる光検出部を提供することを目的とする。

20

【課題を解決するための手段】

【0007】

本発明の表示装置は、信号線と所要数の走査線が交差する部分にマトリクス状に配置され、それぞれが発光素子を有する画素回路と、上記各画素回路に信号値を与えて、各画素回路で信号値に応じた輝度の発光を行わせる発光駆動部と、オン状態及びオフ状態とされてスイッチ素子として機能するとともにオフ状態において上記画素回路の上記発光素子からの光を検出する光センサとして機能するセンサ・スイッチ兼用素子、及び光検出線に接続され上記センサ・スイッチ兼用素子のオフ状態での電流の変動分に応じた光検出情報を上記光検出線に出力する検出信号出力用トランジスタとを有する光検出部とを備えている。

30

特に、上記光検出部は、上記センサ・スイッチ兼用素子がオン状態とされることで、上記検出信号出力用トランジスタのゲートノードに、所定の基準電位を供給し、上記センサ・スイッチ兼用素子がオフ状態とされているときに、上記発光素子からの光を受光することに応じた電流を上記検出信号出力用トランジスタのゲートノードに与えて上記検出信号出力用トランジスタのゲート電位を変化させ、上記検出信号出力用トランジスタが上記ゲート電位の変化に応じた光検出情報を出力する構成とされている。

また、上記光検出部に対しては、所定の動作電源電位と上記基準電位が切り換えられる電源線が導入され、上記電源線に、上記センサ・スイッチ兼用素子及び上記検出信号出力用トランジスタが接続されており、上記電源線が上記基準電位とされているときに上記センサ・スイッチ兼用素子がオン状態とされることで、上記検出信号出力用トランジスタのゲートノードに、上記基準電位が供給され、上記センサ・スイッチ兼用素子がオフ状態とされ、また上記電源線が上記動作電源電位とされることで、上記センサ・スイッチ兼用素子が上記発光素子からの光を受光することに応じた電流を上記検出信号出力用トランジスタのゲートノードに与えて上記検出信号出力用トランジスタのゲート電位を変化させ、上記検出信号出力用トランジスタが上記ゲート電位の変化に応じた光検出情報を出力する。

40

【0008】

また、上記光検出部にはさらに、上記検出信号出力用トランジスタのゲートと固定電位

50

の間に接続された第1の容量と、上記検出信号出力用トランジスタのゲートと上記電源線の間に接続された第2の容量とを備えている。

またこの場合において、上記センサ・スイッチ兼用素子がオフ状態とされ、さらに上記電源線が上記動作電源電位とされることで、上記第2の容量を介して、上記センサ・スイッチ兼用素子としてのトランジスタのゲート・ドレイン間電圧に電位差を発生させ、また上記検出信号出力用トランジスタのゲート電位を上昇させて光検出情報の出力を開始させる構成である。

また上記センサ・スイッチ兼用素子としてのトランジスタのゲートには、上記電源線が上記基準電位であるときにセンサ・スイッチ兼用素子がオンとなり、上記電源線が上記動作電源電位であるときにセンサ・スイッチ兼用素子がオフとなる、固定のゲート電位が与えられる。

或いは、上記センサ・スイッチ兼用素子としてのトランジスタのゲートは、上記光検出線に接続されているとともに、上記光検出線は、少なくとも2つの固定電位に充電できる構成である。

【0009】

また、本発明の光検出方法は発光素子を有する画素回路と、上記画素回路の上記発光素子からの光を検出して光検出情報を出力する光検出部とを有し、上記光検出部に、オン状態及びオフ状態とされてスイッチ素子として機能するとともにオフ状態において上記画素回路の上記発光素子からの光を検出する光センサとして機能するセンサ・スイッチ兼用素子と、光検出線に接続され上記センサ・スイッチ兼用素子のオフ状態での電流の変動分に応じた光検出情報を上記光検出線に出力する検出信号出力用トランジスタとを設け、所定の動作電源電位と基準電位が切り換えられる電源線が導入され、上記電源線に、上記センサ・スイッチ兼用素子及び上記検出信号出力用トランジスタが接続されており、上記検出信号出力用トランジスタのゲートと固定電位の間に接続された第1の容量と、上記検出信号出力用トランジスタのゲートと上記電源線の間に接続された第2の容量とを備えた表示装置における光検出方法として、上記電源線が上記基準電位とされているときに上記センサ・スイッチ兼用素子がオン状態とされることで、上記検出信号出力用トランジスタのゲートノードに、上記基準電位が供給され、上記センサ・スイッチ兼用素子がオフ状態とされ、また上記電源線が上記動作電源電位とされることで、上記センサ・スイッチ兼用素子が上記発光素子からの光を受光することに応じた電流を上記検出信号出力用トランジスタのゲートノードに与えて上記検出信号出力用トランジスタのゲート電位を変化させ、上記検出信号出力用トランジスタが上記ゲート電位の変化に応じた光検出情報を出力する。

【0010】

本発明の電子機器は、信号線と所要数の走査線が交差する部分にマトリクス状に配置され、それぞれが発光素子を有する画素回路と、上記各画素回路に信号値を与えて、各画素回路で信号値に応じた輝度の発光を行わせる発光駆動部と、オン状態及びオフ状態とされてスイッチ素子として機能するとともにオフ状態において上記画素回路の上記発光素子からの光を検出する光センサとして機能するセンサ・スイッチ兼用素子、及び光検出線に接続され上記センサ・スイッチ兼用素子のオフ状態での電流の変動分に応じた光検出情報を上記光検出線に出力する検出信号出力用トランジスタとを有する光検出部とを備え、上記光検出部は、上記センサ・スイッチ兼用素子がオン状態とされることで、上記検出信号出力用トランジスタのゲートノードに、所定の基準電位を供給し、上記センサ・スイッチ兼用素子がオフ状態とされているときに、上記発光素子からの光を受光することに応じた電流を上記検出信号出力用トランジスタのゲートノードに与えて上記検出信号出力用トランジスタのゲート電位を変化させ、上記検出信号出力用トランジスタが上記ゲート電位の変化に応じた光検出情報を出力する構成とされ、上記光検出部に対しては、所定の動作電源電位と上記基準電位が切り換えられる電源線が導入され、上記電源線に、上記センサ・スイッチ兼用素子及び上記検出信号出力用トランジスタが接続されており、上記電源線が上記基準電位とされているときに上記センサ・スイッチ兼用素子がオン状態とされることで、上記検出信号出力用トランジスタのゲートノードに、上記基準電位が供給され、上記セ

10

20

30

40

50

ンサ・スイッチ兼用素子がオフ状態とされ、また上記電源線が上記動作電源電位とされることで、上記センサ・スイッチ兼用素子が上記発光素子からの光を受光することに応じた電流を上記検出信号出力用トランジスタのゲートノードに与えて上記検出信号出力用トランジスタのゲート電位を変化させ、上記検出信号出力用トランジスタが上記ゲート電位の変化に応じた光検出情報を出力し、上記光検出部にはさらに、上記検出信号出力用トランジスタのゲートと固定電位の間に接続された第1の容量と、上記検出信号出力用トランジスタのゲートと上記電源線の間に接続された第2の容量とを備えている。

【0011】

このような本発明では、光検出素子を、オン状態及びオフ状態とされてスイッチ素子として機能し、かつオフ状態において発光素子からの光を検出する光センサとして機能するセンサ・スイッチ兼用素子を用いる。これによって光検出部による検出のための準備動作と検出動作を1つの素子で実現できるようとする。

また、光検出情報の出力を、光検出線に直接接続された検出信号出力用トランジスタによって行う。

これらの構成により光検出部を構成する素子数の削減や、動作制御のためのラインやドライバの削減を図る。

【発明の効果】

【0012】

本発明によれば、光検出素子をセンサ・スイッチ兼用素子を用い、オン状態ではスイッチング素子、オフ状態では光検出素子として用いることや、検出信号出力用トランジスタを光検出線に直接接続することで光検出部の構成を簡略化を図ることができる。即ち光検出部を構成するトランジスタ数及びその制御線を削減することができる。

その結果、高歩留まり化が実現可能であり、尚且つ焼き付き等の発光素子の効率劣化による画質不良を対策することができる。

【図面の簡単な説明】

【0013】

【図1】本発明の実施の形態の表示装置のブロック図である。

【図2】実施の形態の光検出部の配置の他の例の説明図である。

【図3】本発明に至る過程で検討された構成例1の回路図である。

【図4】本発明に至る過程で検討された構成例1の回路での動作波形図である。

【図5】本発明に至る過程で検討された構成例2の回路図である。

【図6】本発明に至る過程で検討された構成例2の回路での動作波形図である。

【図7】本発明に至る過程で検討された構成例2の動作の等価回路図である。

【図8】本発明に至る過程で検討された構成例2の動作の等価回路図である。

【図9】本発明に至る過程で検討された構成例2の動作の等価回路図である。

【図10】本発明に至る過程で検討された構成例3の回路図である。

【図11】本発明に至る過程で検討された構成例3の回路での動作波形図である。

【図12】本発明に至る過程で検討された構成例3の動作の等価回路図である。

【図13】本発明に至る過程で検討された構成例3の動作の等価回路図である。

【図14】本発明に至る過程で検討された構成例3の動作の等価回路図である。

【図15】本発明に至る過程で検討された構成例3の動作の等価回路図である。

【図16】第1の実施の形態の回路図である。

【図17】実施の形態の光検出動作期間の説明図である。

【図18】実施の形態の光検出動作期間の説明図である。

【図19】第1の実施の形態の動作波形の説明図である。

【図20】第1の実施の形態の光検出動作の説明図である。

【図21】第1の実施の形態の光検出時の動作の等価回路図である。

【図22】第1の実施の形態の光検出時の動作の等価回路図である。

【図23】第1の実施の形態の光検出時の動作の等価回路図である。

【図24】第1の実施の形態の光検出時の動作の等価回路図である。

10

20

30

40

50

【図25】第1の実施の形態の光検出時の動作の等価回路図である。

【図26】第2の実施の形態の回路図である。

【図27】第2の実施の形態の動作波形の説明図である。

【図28】第2の実施の形態の光検出動作の説明図である。

【図29】第2の実施の形態の光検出時の動作の等価回路図である。

【図30】第2の実施の形態の光検出時の動作の等価回路図である。

【図31】第2の実施の形態の光検出時の動作の等価回路図である。

【図32】第2の実施の形態の光検出時の動作の等価回路図である。

【図33】第2の実施の形態の光検出時の動作の等価回路図である。

【図34】第3の実施の形態の回路図である。

10

【図35】第3の実施の形態の光検出動作の説明図である。

【図36】第3の実施の形態の光検出時の動作の等価回路図である。

【図37】第3の実施の形態の光検出時の動作の等価回路図である。

【図38】第3の実施の形態の光検出時の動作の等価回路図である。

【図39】第3の実施の形態の光検出時の動作の等価回路図である。

【図40】第3の実施の形態の光検出時の動作の等価回路図である。

【図41】第4の実施の形態の回路図である。

【図42】第4の実施の形態の光検出動作の説明図である。

【図43】第5の実施の形態の回路図である。

【図44】第5の実施の形態の動作波形の説明図である。

20

【図45】第6, 第7の実施の形態の表示装置のブロック図である。

【図46】第6の実施の形態の回路図である。

【図47】第6の実施の形態の動作波形の説明図である。

【図48】第6の実施の形態の光検出動作の説明図である。

【図49】第7の実施の形態の回路図である。

【図50】第7の実施の形態の動作波形の説明図である。

【図51】第7の実施の形態の光検出動作の説明図である。

【図52】第7の実施の形態の光検出時の動作の等価回路図である。

【図53】第7の実施の形態の光検出時の動作の等価回路図である。

【図54】第7の実施の形態の光検出時の動作の等価回路図である。

【図55】第7の実施の形態の光検出時の動作の等価回路図である。

【図56】第7の実施の形態の光検出時の動作の等価回路図である。

【図57】本発明の変形例の説明図である。

30

【図58】本発明の応用例の説明図である。

【図59】焼き付き補正の説明図である。

【発明を実施するための形態】

【0014】

以下、本発明の実施の形態について次の順序で説明する。

<1. 表示装置の構成>

<2. 本発明に至る過程で考慮された構成：構成例1～3>

40

<3. 第1の実施の形態>

[3-1 回路構成]

[3-2 光検出動作期間]

[3-3 光検出動作]

<4. 第2の実施の形態>

<5. 第3の実施の形態>

<6. 第4の実施の形態>

<7. 第5の実施の形態>

<8. 第6の実施の形態>

<9. 第7の実施の形態>

50

< 10. 変形例、応用例 >

【0015】

< 1. 表示装置の構成 >

図1に実施の形態の有機EL表示装置の構成を示す。この有機EL表示装置は各種電子機器において表示デバイスとして搭載される。例えばテレビジョン受像器、モニタ装置、記録再生装置、通信機器、コンピュータ機器、オーディオ機器、ビデオ機器、ゲーム機、家電機器等の電子機器である。

なお、この図1に示す構成は、後述する第1～第4の実施の形態に対応するものとしている。

10

【0016】

この有機EL表示装置は、有機EL素子を発光素子とし、アクティブマトリクス方式で発光駆動を行う画素回路10を含むものである。

図示のように、有機EL表示装置は、多数の画素回路10が列方向と行方向(m 行 $\times n$ 列)にマトリクス状に配列された画素アレイ20を有する。なお、画素回路10のそれぞれは、R(赤)、G(緑)、B(青)のいずれかの発光画素となり、各色の画素回路10が所定規則で配列されてカラー表示装置が構成される。

【0017】

各画素回路10を発光駆動するための構成として、水平セレクタ11、ライトスキャナ12を備える。

20

また水平セレクタ11により選択され、表示データとしての輝度信号の信号値(階調値)に応じた電圧を画素回路10に供給する信号線DTL(DTL1, DTL2, ...,)が、画素アレイ上で列方向に配されている。信号線DTL1, DTL2, ..., は、画素アレイ20においてマトリクス配置された画素回路10の列数分だけ配される。

【0018】

また画素アレイ20上において、行方向に書き制御線WSL(WSL1, WSL2, ...,)が配されている。書き制御線WSLは、画素アレイ20においてマトリクス配置された画素回路10の行数分だけ配される。

書き制御線WSL(WSL1, WSL2, ...,)はライトスキャナ12により駆動される。ライトスキャナ12は、設定された所定のタイミングで、行状に配設された各書き制御線WSL1, WSL2, ..., に順次、走査パルスWSを供給して、画素回路10を行単位で線順次走査する。

30

【0019】

水平セレクタ11は、ライトスキャナ12による線順次走査に合わせて、列方向に配された信号線DTL1, DTL2, ..., に対して、画素回路10に対する入力信号としての信号値電位(Vsig)を供給する。

【0020】

各画素回路10に対応して、光検出部30が設けられる。光検出部30は、内部に光センサとして機能する素子(後述するセンサ兼用トランジスタT10)と、検出信号出力用トランジスタ(後述するT5)を有する検出信号出力回路構成を有しており、対応する画素回路10の発光素子の発光光量の検出情報を出力する。

40

また、光検出部30の動作を制御する検出動作制御部21が設けられる。検出動作制御部21からは制御線TLb(TLb1, TLb2, ...,)が、各光検出部30に対して配されている。

光検出部30内の回路構成については後述するが、制御線TLbは、光検出部30内のセンサ兼用トランジスタT10に対して、そのオン/オフ制御のための制御パルスpT10を供給する制御線となる。

また、光検出部30の動作電源電圧を供給する電源線VL(VL1, VL2, ...,)が各光検出部30に対して配されている。この電源線VL(VL1, VL2, ...,)に対しては、検出動作制御部21が動作電源電圧Vccと基準電圧Vinから成るパルス電圧

50

を与える。

【0021】

また各光検出部30に対応して、例えば列方向に、光検出線D E T L (D E T L 1、D E T L 2 . . .)が配設されている。この光検出線D E T Lは、光検出部30が、検出情報としての電圧を出力するラインとされる。

各光検出線D E T L (D E T L 1、D E T L 2 . . .)は、光検出ドライバ22に導入されている。光検出ドライバ22は、各光検出線D E T Lについての電圧検出を行うことで、各光検出部30による光量検出情報を検出する。

【0022】

光検出ドライバ22は、各光検出部30による各画素回路10についての光量検出情報を、水平セレクタ11内の信号値補正部11aに与える。

信号値補正部11aは、光量検出情報により、各画素回路10内の有機EL素子の発光効率の劣化具合を判定し、それに応じて、各画素回路10に与える信号値V sigの補正処理を行う。

【0023】

有機EL素子は時間経過によって発光効率が低下してしまう。つまり同じ電流を流してもその発光輝度が時間と共に低下してしまうこととなる。そこで本例の表示装置は、各画素回路10の発光光量を検出し、これによって発光輝度の劣化を判定する。そして劣化具合に応じて信号値V sig自体を補正する。例えば或る電圧値V1としての信号値V sigを与える場合に、発光輝度の低下具合に応じた補正值を設定し、電圧値V1+としての信号値V sigを与えるように補正する。

このように検出した各画素回路10の発光輝度の劣化を、信号値V sigにフィードバックする補正を行うことで焼き付きを減少させる。

例えば図59(a)のように焼き付きが発生してしまう状況で、図59(b)のように焼き付きを低減するものである。

【0024】

なお図1には示していないが、画素回路10及び光検出部30には、所要の固定電位としてのカソード電位V catを供給する電位線が接続される(図17等に示す)。

また、この図1は第1～第4の実施の形態に対応する構成としているが、第2、第3の実施の形態の場合、破線で示すように、検出動作制御部21は光検出ドライバ22に対して制御信号p SW1を供給する構成が加わる。

【0025】

ところで図1では、画素回路10のそれぞれに対して光検出部30が1つ設けられるように図示しているが、必ずしも画素回路10の1つに対応して光検出部30が1つ設けられるようにしなくてもよい。

例えば図2に示すように4つの画素回路10に対して1つの光検出部30を配置するなどのように、1つの光検出部30が複数の画素回路10に対応して光検出を行うような構成も考えられる。例えば、図2の画素回路10a、10b、10c、10dについての光検出を行う場合、画素回路10a、10b、10c、10dを順番に発光させながら順次光検出部30aで光検出を行うなどの手法を用いればよい。また、これら複数の画素回路10について同時に発光させ、例えば画素回路10a、10b、10c、10dから成る画素ブロック単位で光量を検出するという手法をとってもよい。

【0026】

<2. 本発明に至る過程で考慮された構成：構成例1～3>

ここで、本発明の実施の形態の回路構成及び動作を説明するのに先立って、本実施の形態の理解のため、本発明に至る過程で考慮された光検出部についての構成例1～3を述べておく。なお、構成例1～3はいわゆる公知発明ではないと出願人が認識するものである。

【0027】

10

20

30

40

50

まず構成例 1 として、図 3 は、画素回路 10 と、焼き付きの低減のために考えられた光検出部 100 を示している。

画素回路 10 は、駆動トランジスタ Td、サンプリングトランジスタ Ts、保持容量 Cs、及び有機 EL 素子 1 から成る。このような構成の画素回路 10 については第 1 の実施の形態において後述する。

このような画素回路 10 の有機 EL 素子 1 の発光効率の低下を補正するために、固定の電源電圧 (Vcc) と光検出線 D E T L 間に光検出素子 (光センサ) S1 とスイッチングトランジスタ T1 が挿入された構成の光検出部 100 を設ける。

【0028】

この場合、例えばフォトダイオードによる光センサ S1 は、有機 EL 素子 1 の発光光量に応じたリーク電流を流すことになる。 10

一般に光を検出するダイオードは光を検出するとその電流が増加する。また、電流の増加量はダイオードに入射する光量によって変化する。具体的には光量が多ければ電流増加量は大きく、少なければ電流増加量は小さくなる。

この光センサ S1 を流れる電流は、スイッチングトランジスタ T1 が導通されることで光検出線 D E T L に流れる。

光検出線 D E T L に接続された外部ドライバ 101 は、光センサ S1 によって光検出線 D E T L に与えられた電流量を検出する。

外部ドライバ 101 が検出した電流値は検出情報信号に変換されて水平セレクタ 11 に供給される。水平セレクタ 11 では、検出情報信号から、画素回路 10 に与えた信号値 Vsig に対応する検出電流値となっているか否かを判別する。もし有機 EL 素子 1 の発光輝度が劣化していると、検出電流量が減少する。そのような場合は、信号値 Vsig を補正するようする。 20

【0029】

図 4 に光検出動作波形を示す。ここでは、光検出部 100 が検出電流を外部ドライバ 101 に出力する期間 (光検出期間) を 1 フレームとしている。

図 4 の信号書込期間において、画素回路 10 は走査パルス WS によってサンプリングトランジスタ Ts がオンとされ、水平セレクタ 11 によって信号線 D T L に与えられている信号値 Vsig が入力される。この信号値 Vsig は駆動トランジスタ Td のゲートに入力され、容量 Cs に保持される。このため駆動トランジスタ Td は、そのゲート・ソース間電圧に応じた電流を有機 EL 素子 1 に流し、有機 EL 素子 1 を発光させる。例えば現フレームは、白表示のための信号値 Vsig が与えられたとすると、有機 EL 素子 1 は現フレームにおいて白レベルの発光を行う。 30

この白レベルの発光が行われるフレームにおいて、光検出部 100 では制御パルス pT1 によってスイッチングトランジスタ T1 が導通される。このため有機 EL 素子 1 の光を受けた光センサ S1 の電流変化が、光検出線 D E T L に反映される。

例えばその際の光センサ S1 に流れる電流量は、本来の発光光量であれば、図 4 に実線で示すものである場合、有機 EL 素子 1 の劣化によって発光光量が低下していれば、例えば点線で示すようになる。

【0030】

このような発光輝度の劣化に応じた電流変化が光検出線 D E T L に現れるため、外部ドライバ 101 では、この電流量を検出し、劣化具合の情報を得ることができる。そしてそれを水平セレクタ 11 にフィードバックし、信号値 Vsig を補正して、輝度劣化の補正を行う。このようにすれば、焼き付きを低減させることができる。 40

【0031】

しかしながら、このような光検出方式では、次のような不都合な点が生じた。

光センサ S1 は、有機 EL 素子 1 の発光を受光してその電流を増加させる。この光センサ S1 としてのダイオードは、電流変化が大きいオフ領域 (印加電圧 : 負で 0 V 付近) を用いるのが望ましい。電流変化を的確に検知するためである。

ところが、このときの電流値は増加しているといつても、オン電流に対しては非常に小 50

さいために精度よく輝度変化を検出するためには光検出線 D E T L の寄生容量を充電する時間が大きくなってしまう。例えば 1 フレームで精度良く電流変化を検出することは難しい。

この対策として光センサ S 1 のサイズを大きくして電流量を大きくするということが考えられるが、サイズが大きくなるとそれだけ画素アレイ 20 内での画素レイアウトに対して光検出部 100 の占める割合は大きくなってしまう。

【 0 0 3 2 】

そこで、次に図 5 のような構成例 2 としての光検出部 200 が考えられた。

この光検出部 200 としての検出信号出力回路は、光センサ S 1 と、容量 C 1 と、n チャネル TFT による検出信号出力用トランジスタ T 5 , スイッチングトランジスタ T 3 , T 4 、トランジスタのダイオード接続によるダイオード D 1 を備える。

【 0 0 3 3 】

光センサ S 1 は、電源電圧 Vcc と検出信号出力用トランジスタ T 5 のゲートの間に接続されている。

この光センサ S 1 は一般的には PIN ダイオードやアモルファスシリコンを用いて作成される。

この光センサ S 1 は、有機 EL 素子 1 で発光される光を検出するように配置されている。そして検出光量に応じて、その電流が増減する。具体的には有機 EL 素子 1 の発光光量が多ければ電流増加量は大きく、少なければ電流増加量は小さくなる。

【 0 0 3 4 】

容量 C 1 は、電源電圧 Vcc と検出信号出力用トランジスタ T 5 のゲートの間に接続されている。

検出信号出力用トランジスタ T 5 は、ドレインが電源電圧 Vcc に接続されている。そしてソースがスイッチングトランジスタ T 3 と接続されている。

スイッチングトランジスタ T 3 は、検出信号出力用トランジスタ T 5 のソースと光検出線 D E T L の間に接続されている。このスイッチングトランジスタ T 3 のゲートは制御線 T L x から与えられる制御パルス p T 3 によってオン / オフされる。スイッチングトランジスタ T 3 がオンとされることで、検出信号出力用トランジスタ T 5 のソース電位が光検出線 D E T L に出力される構成となっている。

ダイオード D 1 は、検出信号出力用トランジスタ T 5 のソースとカソード電位 Vcat の間に接続されている。

スイッチングトランジスタ T 4 は、そのドレイン及びソースが検出信号出力用トランジスタ T 5 のゲートと基準電位 Vini の間に接続されている。このスイッチングトランジスタ T 4 のゲートは、制御線 T Ly から与えられる制御パルス p T 4 によってオン / オフされる。

スイッチングトランジスタ T 4 がオンとされることで、検出信号出力用トランジスタ T 5 のゲートに基準電位 Vini が入力される構成となっている。

【 0 0 3 5 】

光検出ドライバ 201 には、各光検出線 D E T L について、その電位を検出する電圧検出部 201a が設けられている。この電圧検出部 201a によって、光検出部 200 が output した検出信号電圧を検出し、これを有機 EL 素子 1 の発光光量情報（輝度劣化の情報）として、水平セレクタ 11 に供給する。

【 0 0 3 6 】

図 6 は光検出動作時の動作波形を示している。

ここでは、画素回路 10 に信号値 Vsig を書き込むための走査パルス WS 、光検出部 200 に対する制御パルス p T 4 , p T 3 、検出信号出力用トランジスタ T 5 のゲート電圧、光検出線 D E T L に表れる電圧を示している。

【 0 0 3 7 】

光検出部 200 では、まず検出準備期間として、制御パルス p T 4 , p T 3 によってスイッチングトランジスタ T 3 , T 4 がオンとされる。このときの状態を図 7 に示す。

10

20

30

40

50

スイッチングトランジスタ T 4 がオンとされることで、基準電圧 V_{in i} が検出信号出力用トランジスタ T 5 のゲートに入力する。

ここで基準電圧 V_{in i} は検出信号出力用トランジスタ T 5 、及びダイオード D 1 をオンする電圧とされている。つまり基準電圧 V_{in i} は、検出信号出力用トランジスタ T 5 の閾値電圧 V_{th T 5} 、ダイオード D 1 の閾値電圧 V_{th D 1} 、カソード電圧 V_{cat} の和である V_{th T 5} + V_{th D 1} + V_{cat} より大きい。このため図 7 のように電流 I_{in i} が流れ、スイッチングトランジスタ T 3 もオンとされているため、光検出線 D E T L に電位 V_x が出力される。

検出準備期間は、このような動作で、図 6 に示すように、検出信号出力用トランジスタ T 5 のゲート電位 = V_{in i} 、光検出線 D E T L の電位 = V_x となる。

【 0 0 3 8 】

1 フレーム期間の表示のために、画素回路 1 0 では信号書きが行われる。即ち図 6 の信号書き期間において、走査パルス W S が H レベルとされ、サンプリングトランジスタ T s が導通される。このとき水平セレクタ 1 1 は信号線 D T L に白表示階調の信号値 V_{sig} を与えている。これによって当該画素回路 1 0 において有機 E L 素子 1 で信号値 V_{sig} に応じた発光が行われる。図 8 にこのときの状態を示す。

このとき、光センサ S 1 は有機 E L 素子 1 の発光を受光し、そのリーク電流が変化するが、スイッチングトランジスタ T 4 がオンしているため、検出信号出力用トランジスタ T 5 のゲート電圧は基準電圧 V_{in i} のままである。

【 0 0 3 9 】

信号書き終了後、画素回路 1 0 ではサンプリングトランジスタ T s がオフとされる。

また光検出部 2 0 0 では、制御パルス p T 4 が L レベルとされて、スイッチングトランジスタ T 4 がオフとされる。この状態を図 9 に示す。

スイッチングトランジスタ T 4 がオフとなることで、光センサ S 1 が有機 E L 素子 1 の発光を受光し、電源電圧 V_{cc} からリーク電流を検出信号出力用トランジスタ T 5 のゲートに流す。

この動作によって検出信号出力用トランジスタ T 5 のゲート電圧は、図 6 に示すように基準電圧 V_{in i} から上昇してゆき、それに伴って光検出線 D E T L の電位も電位 V_x から増加してゆく。この光検出線 D E T L の電位変化を、電圧検出部 2 0 1 a が検出する。この検出電位は、有機 E L 素子 1 の発光光量に応じたものとなる。換言すれば、特定の階調表示（例えば白表示）を画素回路 1 0 で実行させているのであれば、検出電位は、有機 E L 素子 1 の劣化具合を表すものとなる。例えば光検出線 D E T L の電位変化として図 6 の実線は劣化がないとき、破線は劣化が生じているときとしている。

一定時間経過後、制御パルス p T 3 が L レベルとされ、スイッチングトランジスタ T 3 がオフとされて検出動作を終了する。

例えば 1 フレームでの該当ラインの各画素回路 1 0 についての検出が以上のように行われる。

【 0 0 4 0 】

この光検出部 2 0 0 の検出信号出力回路構成は、ソースフォロワ回路となっており、検出信号出力用トランジスタ T 5 のゲート電圧が変動すればその変動分がソースに出力される構成となっている。つまり光センサ S 1 のリーク電流変化による検出信号出力用トランジスタ T 5 のゲート電圧の変化がソースから光検出線 D E T L に出力される。

また、検出信号出力用トランジスタ T 5 のゲート・ソース間電圧 V_{gs} は、その閾値電圧 V_{th} よりも大きくなるように設定されている。このため、出力される電流値は先に図 3 に示した回路構成と比較して非常に大きく、光センサ S 1 の電流値が小さくても検出信号出力用トランジスタ T 5 を介することで、発光光量の検出情報を光検出ドライバ 2 0 1 に出力することが可能となっている。

【 0 0 4 1 】

このため、精度の良い光検出動作が可能であるが、光検出部 2 0 0 は、その素子数が多くなってしまう。即ちセンサ S 1 、4 つのトランジスタ (T 3 , T 4 , T 5 , D 1) 、容

10

20

30

40

50

量 C 1 が必要であり、画素回路 1 0 も含めて、画素当たりの素子数の増大、トランジスタの割合の増大が生じ、低歩留まりの原因となってしまう。

【 0 0 4 2 】

さらに構成例 3 を図 1 0 に示す。

図 1 0 の光検出部 3 0 0 は、センサ兼用トランジスタ T 1 0 と、容量 C 2 と、n チャネル T F T による検出信号出力用トランジスタ T 5 , スイッチングトランジスタ T 3 を備える。

【 0 0 4 3 】

センサ兼用トランジスタ T 1 0 は、電源線 V L と検出信号出力用トランジスタ T 5 のゲートの間に接続されている。

このセンサ兼用トランジスタ T 1 0 は、上記図 5 の構成のダイオードによる光センサ S 1 に代えるものであり、オン状態及びオフ状態とされてスイッチ素子として機能とともにオフ状態において光センサとして機能する。

T F T は、その構造としてチャネル層に対してゲートメタル、ソースメタル等が配されて形成される。センサ兼用トランジスタ T 1 0 は、例えばソース、ドレインを形成するメタル層がチャネル層の上方においてチャネル層を比較的遮光しない構造とすることで形成できる。つまり外光がチャネル層に入射されるように T F T を形成すればよい。

このセンサ兼用トランジスタ T 1 0 は、有機 E L 素子 1 で発光される光を検出するように配置されている。そしてオフ状態において、受光光量に応じて、そのリーク電流が増減する。具体的には有機 E L 素子 1 の発光光量が多ければリーク電流の増加量は大きく、少なければリーク電流の増加量は小さくなる。

またセンサ兼用トランジスタ T 1 0 のゲートは、制御線 T L b に接続され、制御パルス p T 1 0 によってオン / オフされる。センサ兼用トランジスタ T 1 0 がオンとされることで、検出信号出力用トランジスタ T 5 のゲートに電源線 V L の電位が入力される構成となっている。

【 0 0 4 4 】

電源線 V L には、電源電圧 V c c と基準電圧 V i n i という 2 つの値を持つパルス電圧が、検出動作制御部 2 1 によって与えられる。

容量 C 2 は、カソード電位 V c a t と検出信号出力用トランジスタ T 5 のゲートの間に接続されている。この容量 C 2 は検出信号出力用トランジスタ T 5 のゲート電圧を保持するために設けられる。

【 0 0 4 5 】

検出信号出力用トランジスタ T 5 は、ドレインが電源線 V L に接続されている。そしてソースがスイッチングトランジスタ T 3 と接続されている。

スイッチングトランジスタ T 3 は、検出信号出力用トランジスタ T 5 のソースと光検出線 D E T L の間に接続されている。このスイッチングトランジスタ T 3 のゲートは制御線 T L a に接続され、制御パルス p T 3 によってオン / オフされる。スイッチングトランジスタ T 3 がオンとされることで、検出信号出力用トランジスタ T 5 を流れる電流が光検出線 D E T L に出力される構成となっている。

【 0 0 4 6 】

光検出ドライバ 3 0 1 には、各光検出線 D E T L について、その電位を検出する電圧検出部 3 0 1 a が設けられている。この電圧検出部 3 0 1 a によって、光検出部 3 0 0 がに出力した検出信号電圧を検出する。

なお、光検出線 D E T L には、例えばダイオード接続のトランジスタによるダイオード D 1 が接続され、固定電位（例えばカソード電位 V c a t ）への電流経路を設けている。

【 0 0 4 7 】

図 1 1 ~ 図 1 6 で光検出部 3 0 0 による光検出動作について説明する。

図 1 1 に光検出部 3 0 0 の動作に関する波形を示す。ここではライトスキャナ 1 2 が画素回路 1 0 (サンプリングトランジスタ T s) に与える走査パルス W S を示している。また、制御線 T L b , T L a に与えられる制御パルス p T 1 0 , p T 3 、電源線 V L の電源

10

20

30

40

50

パルスも示している。また検出信号出力用トランジスタT5のゲート電圧、光検出線DET_Lに表れる電圧も示している。

そして1つの光検出部300は、対応する画素回路10についての光量検出を、図11のように1フレームの期間で行う例とする。

【0048】

まず検出準備期間を含む時点tm0～tm6の間、電源線VLは基準電圧Vin_iとされる。そして、時点tm1～tm5で制御パルスpT10がHレベルとされ、センサ兼用トランジスタT10がオンとされて検出準備が行われる。

このときの状態を図12に示す。電源線VLが基準電圧Vin_iとされている時点tm1でセンサ兼用トランジスタT10がオンすることで、検出信号出力用トランジスタT5のゲートに基準電圧Vin_iが入力される。また時点tm2で制御パルスpT3によりスイッチングトランジスタT3がオンされることで、検出信号出力用トランジスタT5のソースが光検出線DET_Lに接続される。10

ここで基準電圧Vin_iは検出信号出力用トランジスタT5をオンする電圧とされている。このため図12のように電流Iin_iが流れ、光検出線DET_Lは或る電位Vxとなる。検出準備期間ではこのような動作が行われることで、図11に示すように、検出信号出力用トランジスタT5のゲート電位=Vin_i、光検出線DET_Lの電位=Vxとなる。。

【0049】

図11の時点tm3～tm4は、1フレーム期間の表示のために、画素回路10に対し信号値Vsigの書きが行われる。即ち信号書き期間において、走査パルスWSがHレベルとされ、サンプリングトランジスタTsが導通される。このとき水平セレクタ11は信号線DT_Lに例えば白表示階調の信号値Vsigを与えていた。これによって当該画素回路10において有機EL素子1で信号値Vsigに応じた発光が行われる。図13にこのときの状態を示す。20

このときセンサ兼用トランジスタT10がオンしているため、検出信号出力用トランジスタT5のゲート電圧は基準電圧Vin_iのままである。

【0050】

信号書き終了後、時点tm4で画素回路10ではサンプリングトランジスタTsがオフとされる。30

また光検出部300では、時点tm5で制御パルスpT10がLレベルとされて、センサ兼用トランジスタT10がオフとされる。この状態を図14に示す。

センサ兼用トランジスタT10をオフすることで、検出信号出力用トランジスタT5のゲートには、容量C2とセンサ兼用トランジスタT10の寄生容量との容量比に応じたVa' というカッピング量が入力される。このため光検出線DET_Lの電圧もVx-Vaという電位に変化する。

カッピングによってセンサ兼用トランジスタT10のソース・ドレイン間には電位差が生じ、受光した光量によってそのリーク量を変化させる。しかしこのときのリーク電流によっては、検出信号出力用トランジスタT5のゲート電圧は殆ど変化しない。これはセンサ兼用トランジスタT10のソース・ドレイン間の電位差が小さいのと、次動作である電源線VLを基準電圧Vin_iから電源電圧Vccへ変化させる動作までの時間が短いことによる。40

【0051】

一定時間経過した時点tm6で、電源線VLは基準電圧Vin_iから電源電圧Vccとされる。

この動作によって、検出信号出力用トランジスタT5のゲートに電源線VLからのカッピングが入力され、検出信号出力用トランジスタT5のゲート電位は上昇する。また、電源線VLが高電位へ変化することで、センサ兼用トランジスタT10のソース・ドレイン間に大きな電位差が生じ、受光した光量によって電源線VLから検出信号出力用トランジスタT5のゲートにリーク電流が流れる。50

この状態を図15に示す。この動作によって、検出信号出力用トランジスタT5のゲート電圧は $V_{ini} - V_a'$ から、 $V_{ini} - V_a' + V'$ となる。図11には、検出信号出力用トランジスタT5のゲート電圧が、時点 $t m 6$ 以降、 $V_{ini} - V_a'$ から、 $V_{ini} - V_a' + V'$ に上昇していく様子を示している。

また、それに伴って光検出線DET Lの電位も電位 $V_x - V_a$ から上昇していき、 $V_0 + V$ となる。なお、 V_0 とは、低階調表示（黒表示）のときの光検出線DET Lの電位としている。センサ兼用トランジスタT10が受光する光量が多いほど、そこに流れる電流量は多くなるため、高階調表示時における光検出線DET Lの電圧は、低階調表示時における電圧よりも大きくなる。

【0052】

10

この光検出線DET Lの電位変化を、電圧検出部301aが検出する。この検出電圧は、有機EL素子1の発光光量に応じたものとなる。換言すれば、特定の階調表示（例えば白表示）を画素回路10で実行させているのであれば、検出電位は、有機EL素子1の劣化具合を表すものとなる。

一定時間経過後、時点 $t m 7$ で制御パルスpT3がLレベルとされ、スイッチングトランジスタT3がオフとされて検出動作を終了する。これにより光検出線には電流が供給されなくななり、その電位は $V_{cat} + V_{thD1}$ という電位になる。なお V_{thD1} はダイオードD1の閾値電圧である。

例えば1フレームでの該当ラインの各画素回路10についての検出が以上のように行われる。

20

【0053】

以上のような光検出動作を行う光検出部300では、図5で述べた光検出部200と同様に精度の良い光検出動作が可能である。

そしてセンサ兼用トランジスタT10を用いることで、素子数の削減を行うことができる。しかしながら、2つのトランジスタT10、T3に対する制御線TLb, TLaが必要であること、及び電源線VLをパルス電圧電源として、1つの光検出部300に対して3系統の制御系が必要になる。

【0054】

例えば以上の構成例2, 3では、高精度の検出が可能ではあるが、構成例2の場合、光検出部200の素子数が多くなり、構成例3では、素子数は減少するものの、制御線が3系統（つまり制御線を駆動するドライバの増加）という短所がある。

30

本発明の実施の形態では、このような点を踏まえ、構成例2、構成例3のように精度良く光検出を行うことができるこを維持しながら、光検出部やその制御系の構成を簡易化し、高歩留まりを実現できるようにする。

【0055】

<3. 第1の実施の形態>

[3-1 回路構成]

図1に示した実施の形態の画素回路10及び光検出部30の構成を図16に示す。

なお、ここでは同じ信号線DTLに接続される2つの画素回路10（10-1、10-2）、及び各画素回路10-1、10-2に対応し、同じ光検出線DET Lに接続される2つの光検出部30（30-1、30-2）を示している。以下、特に区別が必要な場合を除いては、まとめて「画素回路10」「光検出部30」と表記する。

40

【0056】

図16の画素回路10は、nチャネルTFTによるサンプリングトランジスタTs、保持容量Cs、pチャネルTFTによる駆動トランジスタTd、有機EL素子1を有する。

図1で示したように各画素回路10は、信号線DTLと書き制御線WSLとの交差部に配される。信号線DTLはサンプリングトランジスタTsのドレインに接続され、書き制御線WSLはサンプリングトランジスタTsのゲートに接続されている。

【0057】

50

駆動トランジスタ T d 及び有機 E L 素子 1 は、電源電位 V c c とカソード電位 V c a t の間で直列に接続されている。

またサンプリングトランジスタ T s 及び保持容量 C s は、駆動トランジスタ T d のゲートに接続されている。駆動トランジスタ T d のゲート・ソース間電圧を V g s で表わしている。

【 0 0 5 8 】

この画素回路 1 0 では、水平セレクタ 1 1 が信号線 D T L に輝度信号に応じた信号値を印加するときに、ライトスキャナ 1 2 が書き制御線 W S L の走査パルス W S を H レベルとすると、サンプリングトランジスタ T s が導通して信号値が保持容量 C s に書き込まれる。保持容量 C s に書き込まれた信号値電位が駆動トランジスタ T d のゲート電位となる。 10

ライトスキャナ 1 2 が書き制御線 W S L の走査パルス W S を L レベルとすると、信号線 D T L と駆動トランジスタ T d とは電気的に切り離されるが、駆動トランジスタ T d のゲート電位は保持容量 C s によって安定に保持される。

そして電源電位 V c c からカソード電位 V c a t に向かって駆動電流 I d s が駆動トランジスタ T d 及び有機 E L 素子 1 に流れる。

このとき電流 I d s は、駆動トランジスタ T d のゲート・ソース間電圧 V g s に応じた値となり、有機 E L 素子 1 はその電流値に応じた輝度で発光する。

つまりこの画素回路 1 0 では、保持容量 C s に信号線 D T L からの信号値電位を書き込むことによって駆動トランジスタ T d のゲート印加電圧を変化させ、これにより有機 E L 素子 1 に流れる電流値をコントロールして発色の階調を得る。 20

【 0 0 5 9 】

p チャネル T F T による駆動トランジスタ T d のソースは電源電圧 V c c に接続されており、常に飽和領域で動作するように設計されているので、駆動トランジスタ T d は次の式 1 に示した値を持つ定電流源となる。

$$I_{d s} = (1/2) \cdot \mu \cdot (W/L) \cdot C_{o x} \cdot (V_{g s} - V_{t h})^2 \dots \text{ (式 1)}$$

但し、I d s は飽和領域で動作するトランジスタのドレイン・ソース間に流れる電流、 μ は移動度、W はチャネル幅、L はチャネル長、 $C_{o x}$ はゲート容量、 $V_{t h}$ は駆動トランジスタ T d の閾値電圧を表している。

この式 1 から明らかな様に、飽和領域ではトランジスタのドレイン電流 I d s はゲート・ソース間電圧 V g s によって制御される。駆動トランジスタ T d は、ゲート・ソース間電圧 V g s が一定に保持される為、定電流源として動作し、有機 E L 素子 1 を一定の輝度で発光させることができる。 30

【 0 0 6 0 】

ここで一般的に、有機 E L 素子 1 の電流 - 電圧特性は時間が経過すると劣化してしまう。そして画素回路 1 0 においては、有機 E L 素子 1 の経時変化とともに、駆動トランジスタ T d のドレイン電圧が変化してゆく。ところが画素回路 1 0 ではゲート・ソース間電圧 V g s が一定であるので、有機 E L 素子 1 には一定量の電流が流れ、発光輝度は変化しない。つまり安定した階調制御ができる。

【 0 0 6 1 】

しかしながら、有機 E L 素子 1 は時間変化と共にその駆動電圧だけでなく、発光効率も低下してしまう。つまり同じ電流を流してもその発光輝度が時間と共に低下してしまうこととなる。その結果、上述した図 5 9 (a) のように焼き付きが発生してしまう。

そこで光検出部 3 0 を設け、発光輝度の劣化に応じた補正が行われるようにしている。

本例の光検出部 3 0 は、図 1 6 に示すようにセンサ兼用トランジスタ T 1 0 と、容量 C 2 と、n チャネル T F T による検出信号出力用トランジスタ T 5 のみで構成される。

【 0 0 6 2 】

センサ兼用トランジスタ T 1 0 は、電源線 V L と検出信号出力用トランジスタ T 5 のゲートの間に接続されている。

このセンサ兼用トランジスタ T 1 0 は、上記図 5 の構成のダイオードによる光センサ S 1 に代えるものであり、オン状態及びオフ状態とされてスイッチ素子として機能するとと 50

もにオフ状態において光センサとして機能する。

このセンサ兼用トランジスタT10は、有機EL素子1で発光される光を検出するよう配置されている。そしてオフ状態において、受光光量に応じて、そのリーク電流が増減する。具体的には有機EL素子1の発光光量が多ければリーク電流の増加量は大きく、少なければリーク電流の増加量は小さくなる。

またセンサ兼用トランジスタT10のゲートは、制御線TLbに接続されている。従って図1に示した検出動作制御部21の制御パルスpT10によってオン／オフされる。センサ兼用トランジスタT10がオンとされることで、検出信号出力用トランジスタT5のゲートに電源線VLの電圧が入力される構成となっている。

なお、図1で述べたように、電源線VLには、電源電圧Vccと基準電圧Viniという2つの値を持つパルス電圧が、検出動作制御部21によって与えられる。 10

【0063】

容量C2は、カソード電位Vcatと検出信号出力用トランジスタT5のゲートの間に接続されている。この容量C2は検出信号出力用トランジスタT5のゲート電圧を保持するために設けられる。

検出信号出力用トランジスタT5は、ドレインが電源線VLに接続されている。そしてソースが光検出線DETlに接続されている。

【0064】

光検出ドライバ22には、各光検出線DETlについて、その電位を検出する電圧検出部22aが設けられている。この電圧検出部22aによって、光検出部30が出力した検出信号電圧を検出し、これを有機EL素子1の発光光量情報（輝度劣化の情報）として、図1の水平セレクタ11（信号値補正部11a）に供給する。 20

なお、光検出線DETlには、例えばダイオード接続のトランジスタによるダイオードD1が接続され、固定電位（例えばカソード電位Vcat）への電流経路を設けている。

これは、図5における光検出部200内のダイオードD1を画素アレイ20の外部（光検出ドライバ22側）に配置するものであり、本例の光検出部30の素子数の削減のための一要素となっている。

【0065】

このように本例の光検出部30では、センサ兼用トランジスタT10を設けること、及びダイオードD1を外部配置すること、検出信号出力用トランジスタT5を光検出線DETlに直接接続することで、2つのトランジスタ（T5, T10）と容量C2によって構成されるようにしている。さらに、1つの光検出部30に対する制御線は、センサ兼用トランジスタT10をオン／オフ制御するための制御パルスpT10を与える制御線TLbと、パルス電圧を与える電源線VLの2系統のみとなる。 30

【0066】

[3-2 光検出動作期間]

図16に示した光検出部30によって、画素回路10の有機EL素子1の発光光量を検出する光検出動作が行われるが、まずここで、光検出部30の光検出動作等の実行期間について説明する。 40

なお、ここで説明する光検出動作期間は、後述する第2～第7の実施の形態でも同様となる。

【0067】

図17(a)は、通常映像表示終了後に光検出動作を行う例を示している。

なお、「通常映像表示」とは、表示装置に供給された映像信号に基づく信号値Vsigを各画素回路10に与えて、通常の動画や静止画としての映像表示を行っている状態を言うこととする。

【0068】

図17(a)の場合、時点t0で表示装置の電源がオンとされたとする。

ここで時点t1までに電源投入時の各種初期動作が行われ、時点t1から通常映像表示 50

を開始するとする。そして時点 t_1 以降、通常映像表示として、映像のフレーム $F_1, F_2 \dots$ の表示が実行される。

この間、光検出部 30 は光検出動作は行わない。

時点 t_2 で通常映像表示が終了されるとする。例えば電源オフ操作が行われた場合などである。

この図 17 (a) の例の場合、この時点 t_2 以降で光検出部 30 が光検出動作を実行する。

この場合、例えば 1 フレーム期間に 1 ライン分の画素についての光検出動作を行う。

例えば光検出動作を開始する場合、水平セレクタ 11 は最初のフレーム F_a では、図 17 (b) に示すように 1 ライン目を白表示とするような表示を各画素回路 10 に実行させる。つまり 1 ライン目の画素回路 10 のみ白表示（高輝度階調表示）を行わせ、他の全ての画素回路 10 には黒表示を実行させるように、各画素回路 10 に信号値 V_{sig} を与える。

このフレーム F_a の期間において、1 ライン目の画素に対応する各光検出部 30 は、対応する画素の発光光量を検出する。光検出ドライバ 22 は、各列の光検出線 DET_L の電圧検出を行い、1 ライン目の各画素の発光輝度情報を得る。そして、それを水平セレクタ 11 にフィードバックする。

【0069】

次のフレーム F_b では、水平セレクタ 11 は図 17 (b) に示すように 2 ライン目を白表示とするような表示を各画素回路 10 に実行させる。つまり 2 ライン目の画素回路 10 のみ白表示（高輝度階調表示）を行わせ、他の全ての画素回路 10 には黒表示を実行させる。

このフレーム F_b の期間において、2 ライン目の画素に対応する光検出部 30 は、対応する画素の発光光量を検出する。光検出ドライバ 22 は、各列の光検出線 DET_L の電圧検出を行い、2 ライン目の各画素の発光輝度情報を得る。そして、それを水平セレクタ 11 にフィードバックする。

このような動作を、最終ラインまで続けていく。最終ラインの各画素の発光輝度情報を検出し、水平セレクタ 11 にフィードバックした段階で、光検出動作は終了する。

水平セレクタ 11 は、各画素の発光輝度情報に基づいて信号値補正処理を行う。

時点 t_3 で以上の光検出動作が完了したら、例えば表示装置の電源をオフにするなど、所要の処理を行う。

【0070】

なお、各ラインの光検出動作において、該当ラインの画素に対応する光検出部 30 が選択されるが、その選択は、検出動作制御部 21 が電源線 V_L に与える電源パルスと、センサ兼用トランジスタ T_{10} に対する制御パルス p_{T10} によって行われる。

即ち各フレームで、該当ラインの画素に対応する光検出部 30 のみによる光検出に応じた電圧変化が光検出線 DET_L 上に表れるように、各光検出部 30 の動作が制御される。

【0071】

図 18 (a) は、通常映像表示実行中に、或る周期で光検出動作を行う例である。

例えば時点 t_{10} で通常映像表示が開始されたとする。光検出部 30 による光検出動作は、この通常映像表示の開始とともに、1 フレームの期間に 1 ライン毎行われる。即ち上記図 17 の時点 $t_2 \sim t_3$ で示した動作と同様の検出動作を行う。但し、各画素回路 10 の表示は通常の映像表示の状態であり、図 17 (b) のような光検出動作用の表示ではない。

1 ライン目～最終ラインまでについての光検出動作を完了したら、一旦、光検出部 30 は光検出動作を終了する。

【0072】

光検出動作は、所定周期毎に行うものとし、ある時点 t_{12} で、その検出動作周期のタイミングに至ったとすると、その時点 t_{12} から、同様に 1 ライン目～最終ラインまでの光検出動作を行う。そして光検出動作を完了したら、その後所定期間、光検出動作を行わ

10

20

30

40

50

ない。

例えばこのように、通常映像表示実行中に並行して、所定周期で光検出動作を行うことも考えられる。

【0073】

図18(b)は、電源オン時に光検出動作を行う例である。

時点t20で表示装置の電源がオンとされたとする。ここで電源投入時の立ち上げ等の各種初期動作が行われた直後、時点t21から光検出動作を行う。即ち上記図17(a)の時点t2~t3で示した動作と同様の検出動作を行う。各画素回路10についても、図17(b)のように、各フレーム毎に、1ラインのみ白表示とする光検出動作用の表示を実行させる。

10

【0074】

1ライン目~最終ラインまでについての光検出動作を完了したら、時点t22で、水平セレクタ11は各画素回路10に対して通常映像表示を開始させる。光検出部30では光検出動作を行わない。

【0075】

例えは以上のように、通常映像表示終了後、通常映像表示実行中、通常の映像表示開始前などに、光検出動作を行い、その検出に基づいて信号値補正処理を行うことで、発光輝度劣化に対応できる。

なお、例えは通常映像表示終了後と通常の映像表示開始前の両方で光検出動作を行うような例も考えられる。

20

【0076】

通常映像表示終了後と通常の映像表示開始前の方、又は両方で光検出動作を行う場合は、図17(b)に示したような光検出動作用の表示を実行できるので、その白表示などの高い階調の発光で検出ができるという利点がある。また任意の階調の表示を実行させて階調毎の劣化具合を検出するようにもできる。

一方、通常映像表示実行中に行う場合、実際に表示中の映像内容は不定であるため、階調を特定して光検出動作を行うことができない。このため、検出値は、発光階調(その際に検出対象画素に与えた信号値Vsig)を考慮したものとして判定し、信号値補正処理を行う必要がある。但し、通常映像表示実行中に繰り返し光検出動作及び補正処理ができることで、有機EL素子1の輝度劣化に対して、ほぼ常時対応できるという利点がある。

30

【0077】

[3-3 光検出動作]

図19~図25で第1の実施の形態の光検出部30による光検出動作について説明する。例えは上記図17の通常映像表示終了後などに実行する動作である。

【0078】

図19には、画素回路10-1, 10-2に対する走査パルスWS、光検出部30-1に対する制御パルスpT10、光検出部30-2に対する制御パルスpT10をそれぞれ示している。例えは図17のよう、通常映像表示終了後などに1ライン毎に光検出を行うものとし、1回の検出は1フレームで行うとした例である。

40

即ち、画素回路10-1において、或るタイミングで信号値Vsigの書込が行われ1フレームの発光が行われるが、そのときに光検出部30-1では、制御パルスpT10及び電源線VLのパルス電圧に応じて光検出動作が行われる。

次のフレーム期間では、画素回路10-2において、或るタイミングで信号値Vsigの書込が行われ1フレームの発光が行われ、そのときに光検出部30-2では制御パルスpT10及び電源線VLのパルス電圧に応じて光検出動作が行われる。

【0079】

画素回路10-1、光検出部30-1側に注目して、図20~図25により、光検出動作を詳しく述べる。

図20には、光検出部30-1の動作に関する波形として、ライトスキャナ12が画素

50

回路 10 - 1 (サンプリングトランジスタ T_s) に与える走査パルス W_S を示している。

また、電源線 V_L の電源パルスも示している。図のように検出動作制御部 21 は、光検出期間に先立つ検出準備期間に、電源線 V_L に基準電圧 V_{ini} を与えており、光検出を実行する期間には電源線 V_L に電源電圧 V_{cc} を与える。

また、検出動作制御部 21 が、制御線 T_{Lb1} に与える制御パルス p_{T10} を示している。制御パルス p_{T10} によって光検出部 30 のセンサ兼用トランジスタ T₁₀ がオン/オフされる。

また検出信号出力用トランジスタ T₅ のゲート電圧、及び光検出線 D_{ETL} に表れる電圧も示している。

【0080】

10

上記図 19 にも示したように、各光検出部 30 に対して、光検出を行う期間以外は、検出動作制御部 21 は、制御パルス p_{T10} を H レベルとし、また電源線 V_L を基準電位 V_{ini} としている。

図 20 でいえば、光検出部 30 - 1 に対しては、検出動作制御部 21 は、時点 t_{m22} に至るまでは、制御線 T_{Lb1} の制御パルス p_{T10} を H レベルとし、センサ兼用トランジスタ T₁₀ をオンとさせている。また時点 t_{m23} に至るまで、電源線 V_{L1} を基準電位 V_{ini} としている。

センサ兼用トランジスタ T₁₀ がオンとされている期間が検出準備期間となる。

【0081】

20

図 21 に時点 t_{m20} に至るまでの状態の等価回路を示している。

光検出部 30 - 1、30 - 2 共に、センサ兼用トランジスタ T₁₀ はオン状態であり、電源線 V_{L1}、V_{L2} は基準電位 V_{ini} である。このため光検出部 30 - 1、30 - 2 の各検出信号出力用トランジスタ T₅ のゲートには、基準電位 V_{ini} が入力される。

各検出信号出力用トランジスタ T₅ のソースは光検出線 D_{ETL} に接続されているため、各検出信号出力用トランジスタ T₅ を通って電流 I_{ini} が光検出線 D_{ETL} に流れる。これにより光検出線 D_{ETL} は或る電位 V_x となる。

【0082】

但し、基準電圧 V_{ini} は検出信号出力用トランジスタ T₅ をオンする電圧とされていることが必要である。具体的には、基準電位 V_{ini} が、検出信号出力用トランジスタ T₅ の閾値電圧 V_{thT5} と、光検出線 D_{ETL} に接続されたダイオード D₁ の閾値電圧 V_{thD1} と、ダイオード D₁ のソースに接続されている電源の和より大きいことが必要である。図の例ではダイオード D₁ のソースに接続されている電源を、例えば有機 EL 素子 1 のカソード電圧 V_{cat} としているが、すると、

基準電圧 V_{ini} > V_{thT5} + V_{thD1} + V_{cat}
であることが必要となる。

なお、ダイオード D₁ のソースに接続される電源は、カソード電圧 V_{cat} に限定されるものではない。

【0083】

30

図 20 の時点 t_{m20} ~ t_{m21} では、1 フレーム期間の表示のために、画素回路 10 - 1 に対して信号値 V_{sig} の書きが行われる。

40

即ち、この信号書き期間において、走査パルス W_S が H レベルとされ、サンプリングトランジスタ T_s が導通される。このとき水平セレクタ 11 は信号線 D_{TL} に例えば白表示階調の信号値 V_{sig} を与えている。これによって当該画素回路 10 において有機 EL 素子 1 で信号値 V_{sig} に応じた発光が行われる。図 22 にこのときの状態を示す。

このときセンサ兼用トランジスタ T₁₀ がオンしているため、検出信号出力用トランジスタ T₅ のゲート電圧は基準電圧 V_{ini} のままであり、光検出線 D_{ETL} の電位も電位 V_x のままである。

【0084】

信号書き終了後、時点 t_{m21} で画素回路 10 - 1 ではサンプリングトランジスタ T_s がオフとされる。

50

また光検出部 30-1 では、時点 t_{m22} で制御パルス p_{T10} が L レベルとされて、センサ兼用トランジスタ $T10$ がオフとされる。この状態を図 23 に示す。

センサ兼用トランジスタ $T10$ をオフすることで、検出信号出力用トランジスタ $T5$ のゲートには、容量 $C2$ とセンサ兼用トランジスタ $T10$ の寄生容量との容量比に応じた V_a' というカップリング量が入力される。これにより検出信号出力用トランジスタ $T5$ のゲート電位は $V_{ini} - V_a'$ に低下する。そして光検出線 DET_L の電圧も $V_x - V_a$ という電位に変化する。「 $- V_a'$ 」は、検出信号出力用トランジスタ $T5$ のゲート電位の低下分「 $- V_a'$ 」に応じた検出線 DET_L の電位変化を示している。

【0085】

上記カップリングによってセンサ兼用トランジスタ $T10$ のソース・ドレイン間には電位差が生じ、受光した光量によってそのリーク量を変化させる。しかしこのときのリーク電流によっては、検出信号出力用トランジスタ $T5$ のゲート電圧はほとんど変化しない。これはセンサ兼用トランジスタ $T10$ のソース・ドレイン間の電位差が小さいのと、次動作として電源線 $VL1$ を基準電位 V_{ini} から電源電位 V_{cc} へ変化させる動作までの時間 ($t_{m22} \sim t_{m23}$) が短いことによる。

【0086】

一定時間経過した時点 t_{m23} で、検出動作制御部 21 は、電源線 $VL1$ を基準電圧 V_{ini} から電源電圧 V_{cc} へと変化させる。

この動作によって、検出信号出力用トランジスタ $T5$ のゲートに電源線 $VL1$ からのカップリングが入力され、検出信号出力用トランジスタ $T5$ のゲート電位は上昇する。また、電源線 $VL1$ が高電位へ変化することで、センサ兼用トランジスタ $T10$ のソース・ドレイン間に大きな電位差が生じ、受光した光量によって電源線 $VL1$ から検出信号出力用トランジスタ $T5$ のゲートにリーク電流が流れる。

この状態を図 24 に示す。この動作によって、検出信号出力用トランジスタ $T5$ のゲート電圧は $V_{ini} - V_a'$ から、 $V_{ini} - V_a' + V'$ となる。 V' はセンサ兼用トランジスタ $T10$ のリーク電流による検出信号出力用トランジスタ $T5$ のゲート電圧の上昇分である。

図 20 には、検出信号出力用トランジスタ $T5$ のゲート電圧が、時点 t_{m23} 以降、 $V_{ini} - V_a'$ から、 $V_{ini} - V_a' + V'$ に上昇していく様子を示している。

また、それに伴って光検出線 DET_L の電位も電位 $V_x - V_a$ から上昇していく、 $V_0 + V$ となる。なお、 V_0 とは、低階調表示（黒表示）のときの光検出線 DET_L の電位としている。また V は、検出信号出力用トランジスタ $T5$ のゲート電圧の上昇 (V') に伴った電位上昇分である。

センサ兼用トランジスタ $T10$ が受光する光量が多いほど、そこに流れる電流量は多くなるため、高階調表示時における光検出線 DET_L の電圧は、低階調表示時における電圧よりも大きくなる。

【0087】

この光検出線 DET_L の電位変化を、電圧検出部 22a が検出する。この検出電圧は、有機 EL 素子 1 の発光光量に応じたものとなる。換言すれば、特定の階調表示（例えば白表示）を画素回路 10 で実行させているのであれば、検出電位は、有機 EL 素子 1 の劣化具合を表すものとなる。

一定時間経過後、時点 t_{m24} で、検出動作制御部 21 は電源線 $VL1$ を基準電位 V_{ini} とする。このとき、検出信号出力用トランジスタ $T5$ のゲート電位が基準電位 V_{ini} より大きければ、検出信号出力用トランジスタ $T5$ のゲートから電源線 $VL1$ に電流が流れ、検出信号出力用トランジスタ $T5$ のゲート電位は低下する。

その後時点 t_{m25} で、検出動作制御部 21 により制御パルス p_{T10} が H レベルとされ、センサ兼用トランジスタ $T10$ がオンとされる。これにより検出信号出力用トランジスタ $T5$ のゲートに基準電位 V_{ini} が入力される。図 25 にこのときの状態を示している。

光検出線 DET_L の電位は、電源線 $VL1$ を基準電位 V_{ini} としたとき（時点 t_{m2} 10

10

20

30

40

50

4) に低下し、その後、時点 t_{m25} でセンサ兼用トランジスタ T10 がオンされることで電位 V_{X} となる。

例えば 1 フレームでの該当ラインの各画素回路 10 についての検出が以上のように行われる。

【0088】

以上のような光検出動作を行う本実施の形態の光検出部 30 では、図 5 で述べた光検出部 200 や図 10 で述べた光検出部 300 と同様に精度の良い光検出動作が可能である。

つまり光検出部 30 の検出信号出力回路構成は、ソースフォロワ回路となっており、検出信号出力用トランジスタ T5 のゲート電圧が変動すればその変動分がソースに出力される。このためセンサ兼用トランジスタ T10 のリーク電流変化による検出信号出力用トランジスタ T5 のゲート電圧の変化がソースから光検出線 D E T L に出力される。10

また、検出信号出力用トランジスタ T5 のゲート・ソース間電圧 V_{gs} は、その閾値電圧 V_{th} よりも大きくなるように設定されている。このため、出力される電流値は先に図 3 に示した回路構成と比較して非常に大きく、センサ兼用トランジスタ T10 の電流値が小さくても検出信号出力用トランジスタ T5 を介することで、発光光量の検出情報を適切に光検出ドライバ 22 に出力できる。

【0089】

その上で、光検出部 30 を、2 つのトランジスタ (T10, T5) と 1 つの容量 C2、更に 2 つの制御線 (VL, TLb) で構成することができる。即ち光検出部 30 の構成の簡略化が実現でき、また制御線を用いた制御も複雑とならない。20

つまり、図 5 の光検出部 200 と比べて、光検出部 30 は構成素子数を大きく削減できる。これにより光検出部 30 自体の構成の簡略化が実現できる。

また図 10 で述べた光検出部 300 と比べて、制御線数を 3 つ (VL, TLa, TLb) から 2 つ (VL, TLb) に削減でき、制御線の配線や、検出動作制御部 21 における制御線駆動のためのドライバを大幅に削減できる。

従ってパネル構成の簡略化、低コスト化、高歩留まり化が実現可能である。

また画素アレイ 20 上の素子の配置にも余裕が生じ、設計に好適である。

そして、光検出ドライバ 22 が、検出した光量情報を水平セレクタ 11 に対して、信号値 V_{sig} の補正のための情報としてフィードバックすることで、焼き付き等の画質不良を対策することができる。30

【0090】

なお、図 16 では、映像信号書き込みと同時に有機 EL 素子 1 が発光する画素回路 10 を示しているが、発光 / 非発光をスイッチや電源ラインで制御する画素回路を採用する場合も本実施の形態は適用可能である。この場合、非発光時に光検出準備動作を行い、電源線 VL を低電位から高電位に変化させた後に画素回路 10 で発光動作を開始させ、光検出動作を行っても問題なく光検出を行うことができる。このような点は後述の各実施の形態でも同様である。

【0091】

<4. 第 2 の実施の形態>

第 2 実施の形態を図 26 ~ 図 33 で説明する。

図 26 では、光検出部 30 の構成は上記第 1 の実施の形態と同様であり、同一符号を付して重複説明を避ける。

また、この第 2 の実施の形態から第 7 の実施の形態まで、画素回路 10 については同一の構成の例で述べ、改めて説明しないものとする。

【0092】

この図 26 の構成は、光検出ドライバ 22 内において光検出線 D E T L に接続されたダイオード D1 をスイッチ SW1 と固定電源 (例えばカソード電位 V_{cat}) に置き換えたものである。

スイッチ SW1 は、例えば検出動作制御部 21 からの制御信号 p_{SW1} によってオン / 50

オフされる。

この構成の場合も、同様に光量検出を行うことができる。

【0093】

図27には、上記図19と同様に、画素回路10-1, 10-2に対する走査パルスWS、光検出部30-1に対する制御パルスpT3、pT10、光検出部30-2に対する制御パルスpT3、pT10をそれぞれ示している。これらの波形は図19と同様であるが、加えてスイッチSW1に対する制御信号pSW1を示している。

即ち、画素回路10-1において、或るタイミングで信号値Vsigの書きが行われ1フレームの発光が行われるが、そのときに光検出部30-1では、制御パルスpT10及び電源線VLのパルス電圧に応じて光検出動作が行われる。

10

次のフレーム期間では、画素回路10-2において、或るタイミングで信号値Vsigの書きが行われ1フレームの発光が行われ、そのときに光検出部30-2では制御パルスpT10及び電源線VLのパルス電圧に応じて光検出動作が行われる。

制御信号pSW1は、各光検出部30での光検出期間に先立って所定期間のみHレベルとされ、スイッチSW1がオンとされる。光検出期間はスイッチSW1はオフとされることになる。

【0094】

画素回路10-1、光検出部30-1側に注目して、図28～図33により、光検出動作を詳しく述べる。

図28には、光検出部30-1の動作に関する波形として、上記図20と同様に、走査パルスWS、電源線VL1の電源パルス、制御線TLb1に与える制御パルスpT10、検出信号出力用トランジスタT5のゲート電圧、光検出線DETlの電圧を示している。これらに加え、制御信号pSW1を示している。

20

【0095】

上記図27にも示したように、各光検出部30に対して、光検出を行う期間以外は、検出動作制御部21は、制御パルスpT10をHレベルとし、また電源線VLを基準電位Vinjとしている。

図28でいえば、光検出部30-1に対しては、検出動作制御部21は、時点tm33に至るまでは、制御線TLb1の制御パルスpT10をHレベルとし、センサ兼用トランジスタT10をオンとさせている。また時点tm35に至るまで、電源線VL1を基準電位Vinjとしている。センサ兼用トランジスタT10がオンとされている期間が検出準備期間となる。

30

【0096】

図29に時点tm30～31の状態の等価回路を示している。

光検出部30-1、30-2共に、センサ兼用トランジスタT10はオン状態であり、電源線VL1, VL2は基準電位Vinjである。従って各検出信号出力用トランジスタT5のゲート電圧は基準電位Vinjとなる。

時点tm30で制御信号pSW1がHレベルとされ、光検出線DETlに接続されたスイッチSW1がオンする。

このとき、スイッチSW1のオン抵抗が無視できるぐらい小さければ、検出信号出力用トランジスタT5のゲート・ソース間電圧VgsはVinj-Vcatとなる。この値が検出信号出力用トランジスタT5の閾値電圧VthT5よりも大きければ、図29に示すように電流Iinjが流れる。

40

なお、ここでは一例として光検出線DETlの初期化電位を有機EL素子1のカソード電源Vcatとしているが、これに限定するものではなく、例えば別電源としてもよい。

【0097】

時点tm31～tm32に、ライトスキャナ12が画素回路10-1に対する走査パルスWSをHレベルとし、サンプリングトランジスタTsをオンする。図30に示すように、信号線DTLから信号値Vsigが駆動トランジスタTdのゲートに入力される。

このとき水平セレクタ11は信号線DTLに例えれば白表示階調の信号値Vsigを与える。

50

ている。これによって当該画素回路 10において有機EL素子1で信号値 V_{sig} に応じた発光が行われる。

このときセンサ兼用トランジスタ T10がオンしているため、検出信号出力用トランジスタ T5のゲート電圧は基準電圧 V_{ini} のままであり、光検出線 D E T L の電位もカソード電位 V_{cat} のままである。

【0098】

一定時間経過後の時点 t_{m33} で、光検出部 30-1 では、制御パルス p_{T10} が L レベルとされて、センサ兼用トランジスタ T10 がオフとされる。この状態を図 31 に示す。センサ兼用トランジスタ T10 をオフすることで、検出信号出力用トランジスタ T5 のゲートには、容量 C2 とセンサ兼用トランジスタ T10 の寄生容量との容量比に応じた V_a' というカップリング量が入力される。これにより検出信号出力用トランジスタ T5 のゲート電位は $V_{ini} - V_a'$ に低下する。

このとき、光検出線 D E T L に流れる電流値は、検出信号出力用トランジスタ T5 のゲート電圧変化に応じて「 I_{ini} 」から「 I_{ini2} 」へ変化する。前述のようにスイッチ SW1 のオン抵抗が無視できるぐらい小さければ、光検出線 D E T L の電位は殆ど V_{cat} のままである。

【0099】

上記カップリングによってセンサ兼用トランジスタ T10 のソース・ドレイン間には電位差が生じ、受光した光量によってそのリーコンデンサ量を変化させる。しかしこのときのリーコンデンサ量によっては、検出信号出力用トランジスタ T5 のゲート電圧はほとんど変化しない。これはセンサ兼用トランジスタ T10 のソース・ドレイン間の電位差が小さいのと、次動作として電源線 VL1 を基準電圧 V_{ini} から電源電圧 V_{cc} へ変化させる動作までの時間 ($t_{m33} \sim t_{m35}$) が短いことによる。

【0100】

そして更に一定時間経過後の時点 t_{m34} で、制御信号 p_{SW1} によりスイッチ SW1 がオフされ、また時点 t_{m35} で電源線 VL1 を基準電圧 V_{ini} から電源電圧 V_{cc} へ変化させる。このときの状態を図 32 に示す。

スイッチ SW1 をオフすることで、光検出線 D E T L の電位は検出信号出力用トランジスタ T5 の閾値補正を行う方向に徐々に上昇を開始する。また電源線 VL を高電位 (V_{cc}) に変化することで、検出信号出力用トランジスタ T5 のゲートに電源線 VL からのカップリングが入力され、更にセンサ兼用トランジスタ T10 のソース・ドレイン間電圧は大きくなる。

【0101】

ここで光検出線 D E T L の電位について考える。

光検出線 D E T L の電位は前述のようにスイッチ SW1 をオフした直後から上昇していく（図 28 参照）。

光検出動作を行う或るラインの光検出部 30（例えば光検出部 30-1）以外、例えば光検出部 30-2 では、検出信号出力用トランジスタ T5 のゲートは、センサ兼用トランジスタ T10 がオンとされており、基準電圧 V_{ini} となっている。

このため、光検出線 D E T L の電位が $V_{ini} - V_{thT5}$ 以下である場合には電流値は大きくなる。逆に $V_{ini} - V_{thT5}$ 以上となれば、光検出動作を行う或るラインの光検出部 30（光検出部 30-1）の検出信号出力用トランジスタ T5 のゲート電圧の値によって流れる電流が決定される。

つまり光検出部 30-1 の検出信号出力用トランジスタ T5 のゲート電圧が V_{ini} 以上となれば、光検出線 D E T L には電位が outputされるということである。

【0102】

上記の一連の動作によって、図 32 のように、最終的に光検出部 30-1 の検出信号出力用トランジスタ T5 のゲート電圧は、 $V_{ini} - V_a'$ から、 $V_{ini} - V_a' + V'$ となる。 V' はセンサ兼用トランジスタ T10 のリーコンデンサ量による検出信号出力用トランジスタ T5 のゲート電圧の上昇分である。

10

20

30

40

50

それに伴って光検出線 D E T L の電位も $V_0 + V$ となる。なお V_0 は低階調表示時の光検出線 D E T L の電位としている。また V は、上記 V' に応じた変動分である。

センサ兼用トランジスタ T 1 0 が受光する光量が多いほど、そこに流れる電流量は多くなるため、高階調表示時における検出電圧が低階調表示時における電圧よりも大きくなつて外部に出力される。

【 0 1 0 3 】

この光検出線 D E T L の電位変化を、電圧検出部 2 2 a が検出する。この検出電圧は、有機 E L 素子 1 の発光光量に応じたものとなる。特定の階調表示（例えば白表示）を画素回路 1 0 で実行させているのであれば、検出電位は、有機 E L 素子 1 の劣化具合を表すものとなる。

10

【 0 1 0 4 】

一定時間経過後、時点 $t_m 3 6$ で、検出動作制御部 2 1 は電源線 $V_L 1$ を基準電位 $V_{in i}$ とする。このとき、検出信号出力用トランジスタ T 5 のゲート電位が基準電位 $V_{in i}$ より大きければ、検出信号出力用トランジスタ T 5 のゲートから電源線 $V_L 1$ に電流が流れ、検出信号出力用トランジスタ T 5 のゲート電位は低下する。

その後時点 $t_m 3 7$ で、検出動作制御部 2 1 により制御パルス $p_T 1 0$ が H レベルとされ、センサ兼用トランジスタ T 1 0 がオンとされる。これにより検出信号出力用トランジスタ T 5 のゲートに基準電位 $V_{in i}$ が入力される。さらに時点 $t_m 3 8$ で制御信号 $p_{SW 1}$ によりスイッチ SW 1 がオンとされる。図 3 3 にこのときの状態を示している。

光検出線 D E T L の電位は、スイッチ SW 1 がオンとされることで、カソード電位 V_{cat} となる。

20

【 0 1 0 5 】

例えば 1 フレームでの該当ラインの各画素回路 1 0 についての検出が以上のように行われる。

この第 2 の実施の形態でも、第 1 の実施の形態と同様の効果を得ることができる。

また、第 2 の実施の形態では、スイッチ SW 1 がオフしているときは、電源線 V_L から固定電源（例えばカソード電位 V_{cat} ライン）への貫通電流は流れないため、消費電力は第 1 の実施の形態と比較して小さく抑えることができるという利点がある。

【 0 1 0 6 】

< 5 . 第 3 の実施の形態 >

30

第 3 の実施の形態を図 3 4 ~ 図 4 0 で説明する。

図 3 4 において、光検出部 3 0 は、上記各実施の形態のと同様に、センサ兼用トランジスタ T 1 0 と、検出信号出力用トランジスタ T 5 を有する。

そしてこの場合、検出信号出力用トランジスタ T 5 のゲートと固定電位 V_{cat} の間に接続された第 1 の容量 C 2 と、検出信号出力用トランジスタ T 5 のゲートと電源線 V_L の間に接続された第 2 の容量 C 3 とを備えている。

電源線 V_L ($V_L 1$ 、 $V_L 2$) には、検出動作制御部 2 1 によって、電源電位 V_{cc} と基準電位 $V_{in i}$ としてのパルス電圧が与えられる。

【 0 1 0 7 】

光検出ドライバ 2 2 は、上記第 2 の実施の形態と同様、検出動作制御部 2 1 からの制御信号 $p_{SW 1}$ によってオン／オフされるスイッチ SW 1 と、電圧検出部 2 2 a を備えている。但しこの場合、スイッチ SW 1 が接続される固定電位は、基準電位 $V_{in i}$ のラインとされている。

40

【 0 1 0 8 】

画素回路 1 0 - 1、光検出部 3 0 - 1 側に注目して、図 3 5 ~ 図 4 0 により、光検出動作を詳しく述べる。

図 3 5 には、光検出部 3 0 - 1 の動作に関する波形として、上記図 2 8 と同様、走査パルス W_S 、制御信号 $p_{SW 1}$ 、電源線 $V_L 1$ の電源パルス、制御線 $T_L b 1$ に与える制御パルス $p_T 1 0$ 、検出信号出力用トランジスタ T 5 のゲート電圧、光検出線 D E T L の電

50

圧を示している。

検出信号出力用トランジスタ T 5 のゲート電圧と光検出線 D E T L の電圧については、太線と細線により区別できるように示している。

【 0 1 0 9 】

なお、この図 3 5 では 1 フレーム期間での波形を示しているが、2 フレーム期間で光検出部 3 0 - 1、3 0 - 2 に対する制御パルス p T 1 0、電源線 V L の電圧パルス、制御信号 p S W 1、走査パルス W S を見た場合は、第 2 の実施の形態の図 2 7 と同様の波形となる。

【 0 1 1 0 】

各光検出部 3 0 に対して、光検出を行う期間以外は、検出動作制御部 2 1 は、制御パルス p T 1 0 を H レベルとし、また電源線 V L を基準電位 V i n i としている（図 2 7 参照）。

10

図 3 5 でいえば、光検出部 3 0 - 1 に対しては、検出動作制御部 2 1 は、時点 t m 4 3 に至るまでは、制御線 T L b 1 の制御パルス p T 1 0 を H レベルとし、センサ兼用トランジスタ T 1 0 をオンとさせている。また時点 t m 4 5 に至るまで、電源線 V L 1 を基準電位 V i n i としている。センサ兼用トランジスタ T 1 0 がオンとされている期間が検出準備期間となる。

【 0 1 1 1 】

図 3 6 に時点 t m 4 0 ~ 4 1 の状態を示している。

まず光検出部 3 0 - 1、3 0 - 2 共に、センサ兼用トランジスタ T 1 0 はオン状態であり、電源線 V L 1、V L 2 は基準電位 V i n i である。これにより検出信号出力用トランジスタ T 5 のゲートに基準電位 V i n i が入力される。

20

また時点 t m 4 0 で制御信号 p S W 1 が H レベルとされ、光検出線 D E T L に接続されたスイッチ S W 1 がオンする。これにより光検出線 D E T L の電位も基準電位 V i n i に充電される。

このとき、検出信号出力用トランジスタ T 5 のゲート・ソース間電圧は 0 V となり、検出信号出力用トランジスタ T 5 はオフ状態となる。

なお、ここでは一例として光検出線 D E T L の初期化電位を基準電位 V i n i としているが、これに限定するものではなく、検出信号出力用トランジスタ T 5 がオフ状態となるならば基準電位 V i n i とは別電源でも問題ない。

30

【 0 1 1 2 】

時点 t m 4 1 ~ t m 4 2 で、走査パルス W S により画素回路 1 0 - 1 のサンプリングトランジスタ T s をオンして、その駆動トランジスタ T d のゲートに信号値電圧 V s i g を入力する。この動作によって E L 素子は発光を開始する。このときの状態を図 3 7 に示している。

このとき、光検出部 3 0 - 1 では、センサ兼用トランジスタ T 1 0 はオンしているので、検出信号出力用トランジスタ T 5 のゲート電圧は V i n i のままであり、光検出線 D E T L の電位も同じく基準電位 V i n i のままである。

【 0 1 1 3 】

一定時間経過後、時点 t m 4 3 で、検出動作制御部 2 1 は制御パルス p T 1 0 を L レベルとし、センサ兼用トランジスタ T 1 0 をオフする。図 3 8 に示す。

40

センサ兼用トランジスタ T 1 0 をオフすることで、検出信号出力用トランジスタ T 5 のゲートには ' V a ' というカップリング量が入力される。

このときもスイッチ S W 1 はオン状態であるので、光検出線 D E T L の電位に変化はない。

また、センサ兼用トランジスタ T 1 0 のソース・ドレイン間には、カップリングによって電位差が生じ、受光した光量によってそのリーク量を変化させる。しかしこのときはセンサ兼用トランジスタ T 1 0 のリーク電流によっては検出信号出力用トランジスタ T 5 のゲート電圧は殆ど変化しない。この時点では、センサ兼用トランジスタ T 1 0 のソース・ドレイン間の電位差が小さいのと、次動作であるスイッチ S W 1 のオフ、及び電源線 V L

50

1を基準電位 V_{ini} から電源電位 V_{ccc} へ変化させる動作までの時間が短いためである。

【0114】

そして更に一定時間経過後の時点 t_{m44} で、検出動作制御部21は制御信号 p_{SW1} によりスイッチ $SW1$ をオフし、さらに時点 t_{m45} で、電源線 $VL1$ を基準電位 V_{ini} から電源電位 V_{ccc} へ変化させる。このときの状態を図39に示す。

電源線 $VL1$ を基準電位 V_{ini} から電源電位 V_{ccc} へ変化させることで、検出信号出力用トランジスタ $T5$ のゲートには、容量 $C3$ を介した電源線 $VL1$ からのカッピング量 Vb が入力される。

このカッピング量 Vb は容量 $C3$ に依存した値となるため、容量 $C3$ の値によって検出信号出力用トランジスタ $T5$ のゲート電位を $V_{ini} + V_{thT5}$ (V_{thT5} は検出信号出力用トランジスタの閾値電圧)より大きくすることが可能である。10

検出信号出力用トランジスタ $T5$ のゲート電位を $V_{ini} + V_{thT5}$ よりも大きくできれば、検出信号出力用トランジスタ $T5$ はオンし、電源線 VL (電源電位 V_{ccc})から光検出線 DET_L へ電流が流れ始める。

また、容量 $C3$ を介したカッピングによってセンサ兼用トランジスタ $T10$ のソース・ドレイン間電圧も大きくなり、受光した光量によって電源線 VL (電源電位 V_{ccc})から検出信号出力用トランジスタ $T5$ のゲートに光リーク電流が流れれる。10

【0115】

この動作によって一定時間後、検出信号出力用トランジスタ $T5$ のゲート電圧は $V_{ini} - Va' + Vb$ から、 $V_{ini} - Va' + Vb + V'$ という電位になり、それに伴って光検出線 DET_L の電位も $V0 + V$ となる。 V' はリーク電流によるゲート電圧の上昇分、 V はゲート電圧の上昇分 V' に応じた光検出線 DET_L の電位上昇分である。20

一般に光検出素子は受光する光量が多いほどその光リーク量は多くなるため、高階調表示時における検出電圧が低階調表示時における電圧よりも大きくなつて外部に出力される。この光検出線 DET_L の電位変化を、電圧検出部22aが検出する。この検出電圧は、有機EL素子1の発光光量に応じたものとなる。

【0116】

一定時間経過後の時点 t_{m46} で、検出動作制御部21は、電源線 VL を基準電位 V_{ini} とする。このとき、再び容量 $C3$ を介して検出信号出力用トランジスタ $T5$ のゲートに電源線 $VL1$ (基準電位 V_{ini})からのカッピング量 Vb が入力される。図40に示す。30

この動作により検出信号出力用トランジスタ $T5$ のゲート・ソース間電圧 Vgs はその閾値電圧以下となつてしまつたため、検出信号出力用トランジスタ $T5$ はオフする。

その後、時点 t_{m47} で、検出動作制御部21は制御パルス p_{T10} をHレベルとし、センサ兼用トランジスタ $T10$ をオンする。検出信号出力用トランジスタ $T5$ のゲートには基準電位 V_{ini} が入力される。

時点 t_{m48} で検出動作制御部21は制御信号 p_{SW1} によりスイッチ $SW1$ をオンする。この動作により検出信号出力用トランジスタ $T5$ のゲート電位及び光検出線 DET_L の電位は V_{ini} となる。40

【0117】

例えば1フレームでの該当ラインの各画素回路10についての検出が以上のように行われる。

即ちこの第3の実施の形態では、検出信号出力用トランジスタ $T5$ が光検出情報の出力を開始する前の検出準備動作において、光検出線 DET_L を基準電位 V_{ini} に充電する動作が行われる。

そして、センサ兼用トランジスタ $T10$ がオフ状態とされ、さらに電源線 VL が電源電位 V_{ccc} とされる。これにより第2の容量 $C3$ を介して、センサ兼用トランジスタ $T10$ のゲート・ドレイン間電圧に電位差を発生させ、また検出信号出力用トランジスタ $T5$ の50

ゲート電位を上昇させて光検出情報の出力を開始させるものである。

【0118】

この第3の実施の形態でも、第1、第2の実施の形態と同様、精度の良い光検出動作が可能であり、尚且つ焼き付き等の画質不良を対策することができる。また光検出部30に対する制御系は2系統(VL、TLb)でよくパネル構成的に有利である。

その上で、光検出動作時に電源線VLからの貫通電流をなくすことができる。このため著しい低消費電力化が実現できる。特に上記第2の実施の形態では、スイッチSW1がオンするときは、検出信号出力用トランジスタT5のゲートが基準電位Vin_iに充電されているので全ライン分の貫通電流が流れている。本例では、スイッチSW1がオンのときでも貫通電流は流れない。

10

【0119】

<6. 第4の実施の形態>

第4の実施の形態を図41、図42で説明する。

図41において光検出部30の構成は上記第3の実施の形態と同様である。この図41では、光検出ドライバ22が、電圧検出部22aとダイオードD1による構成とされている。ダイオードD1は、基準電位Vin_iのラインに接続されている。

【0120】

画素回路10-1、光検出部30-1側に注目して、図42により光検出動作を述べる。図42には、光検出部30-1の動作に関する波形として、走査パルスWS、電源線VL1の電源パルス、制御線TLb1に与える制御パルスpT10、検出信号出力用トランジスタT5のゲート電圧、光検出線DET_Lの電圧を示している。検出信号出力用トランジスタT5のゲート電圧と光検出線DET_Lの電圧については、太線と細線により区別できようとしている。

20

なお、この図42では1フレーム期間での波形を示しているが、2フレーム期間で光検出部30-1、30-2に対する制御パルスpT10、電源線VLの電圧パルス、走査パルスWSを見た場合は、第1の実施の形態の図19と同様の波形となる。

【0121】

各光検出部30に対して、光検出を行う期間以外は、検出動作制御部21は、制御パルスpT10をHレベルとし、また電源線VLを基準電位Vin_iとしている(図19参照)。図42でいえば、光検出部30-1に対しては、検出動作制御部21は、時点tm52に至るまでは、制御線TLb1の制御パルスpT10をHレベルとし、センサ兼用トランジスタT10をオンとさせている。また時点tm53に至るまで、電源線VL1を基準電位Vin_iとしている。センサ兼用トランジスタT10がオンとされている期間が検出準備期間となる。

30

この検出準備期間では、光検出部30-1、30-2共に、センサ兼用トランジスタT10はオン状態であり、電源線VL1、VL2は基準電位Vin_iである。このため光検出部30-1、30-2の各検出信号出力用トランジスタT5のゲートには、基準電位Vin_iが入力される。

光検出線DET_Lの電位は、Vin_i + VthD1となっている。VthD1はダイオードD1の閾値電圧である。

40

【0122】

時点tm50～tm51で、走査パルスWSにより画素回路10-1のサンプリングトランジスタTsをオンして、その駆動トランジスタTdのゲートに信号値電圧Vsigを入力する。この動作によってEL素子は発光を開始する。

このとき、光検出部30-1では、センサ兼用トランジスタT10はオンしているので、検出信号出力用トランジスタT5のゲート電圧はVin_iのままであり、光検出線DET_Lの電位はVin_i + VthD1のままである。

【0123】

時点tm52で、検出動作制御部21は制御パルスpT10をLレベルとし、センサ兼

50

用トランジスタT10をオフする。

センサ兼用トランジスタT10をオフすることで、検出信号出力用トランジスタT5のゲートには $V_{a'}$ というカッピング量が入力され、ゲート電圧は $V_{ini} - V_{a'}$ となる。

【0124】

時点 t_{m53} で、検出動作制御部21は電源線 V_L1 を基準電位 V_{ini} から電源電位 V_{cc} へ変化させる。

上記第3の実施の形態の場合と同様、電源線 V_L1 を基準電位 V_{ini} から電源電位 V_{cc} へ変化することで、検出信号出力用トランジスタT5のゲートには、容量C3を介した電源線 V_L1 からのカッピング量 V_b が入力される。

10

容量C3の値の設定により、このカッピング量 V_b の入力で、検出信号出力用トランジスタT5のゲート電位を $V_{ini} + V_{thT5} + V_{thD1}$ より大きくすることができる。(V_{thT5} は検出信号出力用トランジスタの閾値電圧)

これにより検出信号出力用トランジスタT5はオンし、電源線 V_L (電源電位 V_{cc}) から光検出線 DET_L へ電流が流れ始める。

また、容量C3を介したカッピングによってセンサ兼用トランジスタT10のソース・ドレイン間電圧も大きくなり、受光した光量によって電源線 V_L (電源電位 V_{cc}) から検出信号出力用トランジスタT5のゲートに光リーク電流が流れれる。

【0125】

この動作によって一定時間後、検出信号出力用トランジスタT5のゲート電圧は $V_{ini} - V_{a'} + V_b$ から、 $V_{ini} - V_{a'} + V_b + V'$ という電位になり、それに伴って検出線の電位も $V_0 + V$ となる。 V' はリーク電流によるゲート電圧の上昇分、 V はゲート電圧の上昇分 V' に応じた光検出線 DET_L の電位上昇分である。

20

光検出素子は受光する光量が多いほどその光リーク量は多くなるため、高階調表示時における検出電圧が低階調表示時における電圧よりも大きくなつて外部に出力される。この光検出線 DET_L の電位変化を、電圧検出部22aが検出する。この検出電圧は、有機EL素子1の発光光量に応じたものとなる。

【0126】

一定時間経過後の時点 t_{m54} で、検出動作制御部21は、電源線 V_L を基準電位 V_{ini} とする。このとき、再び容量C3を介して検出信号出力用トランジスタT5のゲートに電源線 V_L1 (基準電位 V_{ini}) からのカッピング量 V_b が入力される。

30

この動作により検出信号出力用トランジスタT5のゲート・ソース間電圧 V_{gs} はその閾値電圧以下となり、検出信号出力用トランジスタT5はオフする。

時点 t_{m55} で、検出動作制御部21は制御パルス p_{T10} をHレベルとし、センサ兼用トランジスタT10をオンする。検出信号出力用トランジスタT5のゲートには基準電位 V_{ini} が入力される。

その後、光検出線 DET_L の電位は $V_{ini} + V_{thD1}$ に戻る。

【0127】

例えば1フレームでの該当ラインの各画素回路10についての検出が以上のように行われる。

40

この第4の実施の形態でも、第3の実施の形態と同様の効果が得られる。

【0128】

<7. 第5の実施の形態>

第5の実施の形態を図43、図44で説明する。

この第5の実施の形態は、第3の実施の形態(図34)に対し、スイッチングトランジスタT3を加えたものである。

【0129】

この場合、検出信号出力用トランジスタT5は、ドレインが電源線 V_L に接続されている。そしてソースがスイッチングトランジスタT3と接続されている。

50

スイッチングトランジスタ T 3 は、検出信号出力用トランジスタ T 5 のソースと光検出線 D E T L の間に接続されている。このスイッチングトランジスタ T 3 のゲートは制御線 T L a (T L a 1 , T L a 2) に接続されている。

例えば図 1 に示した検出動作制御部 2 1 が、制御線 T L a に制御パルス p T 3 を与えることで、スイッチングトランジスタ T 3 をオン / オフ制御する。スイッチングトランジスタ T 3 がオンとされることで、検出信号出力用トランジスタ T 5 を流れる電流が光検出線 D E T L に出力される構成となっている。

【 0 1 3 0 】

2 フレーム期間で示した動作波形を図 4 4 に示す。この図 4 4 は、上記図 2 7 と同様の各信号波形に、光検出部 3 0 - 1 、 3 0 - 2 の各スイッチングトランジスタ T 3 に対する制御パルス p T 3 を示したものである。

この場合、光検出線 D E T L に、センサ兼用トランジスタ T 1 0 の光リーキ電流に応じた電位変化が現れ、電圧検出部 2 2 a が電圧検出を行う光検出期間は、制御パルス p T 3 と電源線 V L の電位によって決まる。

上述の第 3 の実施の形態の場合、1 フレーム内の光検出期間は電源線 V L が電源電位 V c c となっている期間であった（図 3 5 、図 2 7 参照）。

これに対して、図 4 3 の例の光検出部 3 0 の場合、スイッチングトランジスタ T 3 がオンとされることで光検出線 D E T L への出力が行われる。従って図 4 4 に示すように、光検出期間は、制御パルス p T 3 が H レベルでスイッチングトランジスタ T 3 がオンであり、かつ電源線 V L が電源電位 V c c となっている期間となる。

【 0 1 3 1 】

このため光検出期間を電源線 V L のパルス電圧のみでなく、電源線 V L の電位の立ち上がりとスイッチングトランジスタ T 3 のオフで決めることができる。さらに電源線 V L が電源電位 V c c となっている期間内で、スイッチングトランジスタ T 3 を制御して、光検出期間を短く設定することもできる。

【 0 1 3 2 】

< 8 . 第 6 の実施の形態 >

第 6 の実施の形態について図 4 5 ~ 図 4 8 で説明する。

なお、第 6 及び後述する第 7 の実施の形態の場合、有機 E L 表示装置の構成は図 4 5 に示すようになる。上述した図 1 の構成と異なる点を述べる。図 1 と同一部分は同一符号を付し、各部の詳細な説明は省略する。

図 4 5 の場合、検出動作制御部 2 1 から各光検出部 3 0 に対しては、電源線 V L (V L 1 、 V L 2 、 V L 3) により電源パルスを与えるのみとなる。即ち検出動作制御部 2 1 が電源線 V L によって各光検出部 3 0 に対して電源電圧 V c c と基準電圧 V i n i としてのパルス電圧を与える。

【 0 1 3 3 】

そして上述した第 1 ~ 第 4 の実施の形態では、検出動作制御部 2 1 は図 1 に示した制御線 T L b によって制御パルス p T 1 0 を各光検出部 3 0 に与えていたが、第 6 , 第 7 の実施の形態では、この制御パルス p T 1 0 による制御は行われない。つまり光検出部 3 0 内のセンサ兼用トランジスタ T 1 0 のオン / オフ制御は検出動作制御部 2 1 によっては行われない。

これは、検出動作制御部 2 1 内において制御パルス p T 1 0 を発生させるドライバは不要となることを意味する。

【 0 1 3 4 】

なお、第 6 の実施の形態の場合、検出動作制御部 2 1 は光検出ドライバ 2 2 に対して制御信号 p S W 1 を供給する。

また、第 7 の実施の形態の場合、検出動作制御部 2 1 は光検出ドライバ 2 2 に対して制御信号 p S W 1 、 p S W 2 を供給する。

【 0 1 3 5 】

10

20

30

40

50

図46に第6の実施の形態の画素回路10及び光検出部30の構成を示す。

光検出部30は、センサ兼用トランジスタT10、検出信号出力用トランジスタT5、第1の容量C2、第2の容量C3が設けられること、電源線VLが導入されること、及び上記各素子間の接続構成は、上記第3の実施の形態と同様である。

但し、センサ兼用トランジスタT10のゲートは固定電位Vcc2のラインに接続される。さらに、第1の容量C2の一端も、固定電位Vcc2のラインに接続される。

画素回路10及び光検出ドライバ22の構成は図34(第3の実施の形態)と同様としている。

【0136】

図47に2フレーム期間での各信号波形を示している。基本的には第3の実施の形態の場合(第3の実施の形態で参照する図27)と同様であるが、この図47の場合、制御パルスpT10は存在しない。10

そして、各光検出部30では、電源線VLが基準電位Vin1であるときに検出準備が行われ、電源線VLが電源電位Vccとなっている期間が光検出期間となる。

【0137】

この第6の実施の形態の場合、センサ兼用トランジスタT10のゲートが固定電位Vcc2という電源に接続されていることを特徴としている。

この固定電位Vcc2は、基準電位Vin1とセンサ兼用トランジスタT10の閾値電圧VthT10の和よりも大きい。さらに固定電位Vcc2は、電源線VLが基準電位Vin1から電源電位Vccへ変化した後の検出信号出力用トランジスタT5のゲート電位と、センサ兼用トランジスタT10の閾値電圧VthT10の和よりも小さく設定されている。20

つまり固定電位Vcc2は、電源線VLの電位が基準電位Vin1の時にはセンサ兼用トランジスタT10をオンし、かつ電源線VLの電位が基準電位Vin1から電源電位Vccへ変化した時は、センサ兼用トランジスタT10をオフする電位に設定されている。

【0138】

固定電位Vcc2をこのような電源設定として、センサ兼用トランジスタT10のゲートに入力することで、電源線VLが基準電位Vin1のときは、センサ兼用トランジスタT10はスイッチとして検出信号出力用トランジスタT5のゲートに基準電位Vin1を充電できる。また電源線VLが電源電位Vccとなったときはセンサ兼用トランジスタT10を光検出素子として検出信号出力用トランジスタT5のゲートに光リーク電流を流し、受光した光量によって検出信号出力用トランジスタT5のゲート電位を変化させることができる。30

その結果、光検出動作時に電源線VLからの貫通電流をなくし、焼き付き等の画質不良を対策できることに加えて制御線数を削減することができる。従って検出動作制御部21内に設ける駆動回路(ドライバ)の個数を削減することが可能となり、低コスト化に貢献できる。

【0139】

図48で光検出部30-1に注目して光検出動作を説明する。

図48には、光検出部30-1の動作に関する波形として、走査パルスWS、電源線VL1の電源パルスを示している。また検出信号出力用トランジスタT5のゲート電圧、光検出線DET1の電圧を、太線と細線により区別して示している。さらに固定電位Vcc2を一点鎖線で示している。40

各光検出部30に対して、光検出を行う期間以外は、検出動作制御部21は、図47に示したように電源線VLを基準電位Vin1としている。

図48でいえば、光検出部30-1に対しては、検出動作制御部21は、時点tm64に至るまで、電源線VL1を基準電位Vin1としている。

上述の通り、電源線VL1が基準電位Vin1であるときは、センサ兼用トランジスタT10がオンとされている。この期間(時点tm64まで)が検出準備期間となる。

【0140】

検出準備期間において、光検出部 30-1、30-2 共に、センサ兼用トランジスタ T10 はオン状態であり、電源線 VL1, VL2 は基準電位 Vini である。これにより検出信号出力用トランジスタ T5 のゲートに基準電位 Vini が入力される。

また時点 tm60 で制御信号 pSW1 が H レベルとされ、光検出線 DETL に接続されたスイッチ SW1 がオンとされ、光検出線 DETL の電位は基準電位 Vini に初期化される。

この状態で、検出信号出力用トランジスタ T5 のゲート・ソース間電圧は 0V となり、検出信号出力用トランジスタ T5 はオフ状態となる。

【0141】

時点 tm61 ~ tm62 で、走査パルス WS により画素回路 10-1 のサンプリングトランジスタ Ts をオンして、その駆動トランジスタ Td のゲートに信号値電圧 Vsig を入力する。この動作によって 有機 EL 素子 1 は発光を開始する。 10

このとき、光検出部 30-1 では、センサ兼用トランジスタ T10 はオンしているので、検出信号出力用トランジスタ T5 のゲート電圧は Vini のままであり、光検出線 DETL の電位も同じく基準電位 Vini のままである。

【0142】

検出動作制御部 21 は時点 tm63 で制御信号 pSW1 によりスイッチ SW1 をオフとした後、時点 tm64 で電源線 VL1 を電源電位 Vcc とする。

電源線 VL1 を基準電位 Vini から電源電位 Vcc へ変化させることで、センサ兼用トランジスタ T10 がオフとなる。 20

そして検出信号出力用トランジスタ T5 のゲートには、容量 C3 を介した電源線 VL1 からのカッピング量 Vb が入力される。図 48 のように検出信号出力用トランジスタ T5 のゲート電圧は Vini + Vb に上昇する。

カッピング量 Vb は容量 C3 に依存した値となるため、容量 C3 の値によって検出信号出力用トランジスタ T5 のゲート電位を Vini + VthT5 (VthT5 は検出信号出力用トランジスタの閾値電圧) より大きくすることが可能である。

検出信号出力用トランジスタ T5 のゲート電位が Vini + VthT5 よりも大きくなることで、検出信号出力用トランジスタ T5 はオンし、電源線 VL (電源電位 Vcc) から光検出線 DETL へ電流が流れ始める。

また、容量 C3 を介したカッピングによってセンサ兼用トランジスタ T10 のソース・ドレイン間電圧も大きくなり、受光した光量によって電源線 VL (電源電位 Vcc) から検出信号出力用トランジスタ T5 のゲートに光リーク電流が流れれる。 30

【0143】

この動作によって一定時間後、検出信号出力用トランジスタ T5 のゲート電圧は Vini + Vb から、 Vini + Vb + V' という電位になり、それに伴って 光検出線 DETL の電位も V0 + V' となる。 V' はリーク電流によるゲート電圧の上昇分、 V はゲート電圧の上昇分 V' に応じた光検出線 DETL の電位上昇分である。

一般に光検出素子は受光する光量が多いほどその光リーク量は多くなるため、高階調表示時における検出電圧が低階調表示時における電圧よりも大きくなつて外部に出力される。この光検出線 DETL の電位変化を、電圧検出部 22a が検出する。この検出電圧は、有機 EL 素子 1 の発光光量に応じたものとなる。 40

【0144】

一定時間経過後の時点 tm65 で、検出動作制御部 21 は、電源線 VL を基準電位 Vini とする。このとき、再び容量 C3 を介して検出信号出力用トランジスタ T5 のゲートに電源線 VL1 (基準電位 Vini) からのカッピング量 Vb が入力される。

この動作により検出信号出力用トランジスタ T5 のゲート・ソース間電圧 Vgs はその閾値電圧以下となつてしまつため、検出信号出力用トランジスタ T5 はオフする。

またこのときセンサ兼用トランジスタ T10 はオンとなるため、検出信号出力用トランジスタ T5 のゲートには基準電位 Vini が入力される。

時点 tm66 で検出動作制御部 21 は制御信号 pSW1 によりスイッチ SW1 をオンす 50

る。この動作により光検出線 D E T L の電位は V i n i となる。

【 0 1 4 5 】

例えは 1 フレームでの該当ラインの各画素回路 1 0 についての検出が以上のように行われる。

以上のようにこの第 6 の実施の形態では、センサ兼用トランジスタ T 1 0 には固定電位 V c c 2 がゲート電圧として与えられている。そしてセンサ兼用トランジスタ T 1 0 は、電源線 V L が基準電位 V i n i であるときにオンとなり、電源線 V L が電源電位 V c c であるときにオフとなる。

そして、電源線 V L が電源電位 V c c とされ、センサ兼用トランジスタ T 1 0 がオフ状態とされることで、第 2 の容量 C 3 を介して、センサ兼用トランジスタ T 1 0 のゲート・ドレイン間電圧に電位差を発生させ、また検出信号出力用トランジスタ T 5 のゲート電位を上昇させて光検出情報の出力を開始させるものである。

【 0 1 4 6 】

センサ兼用トランジスタ T 1 0 のオン / オフ制御系が不要となることで、各光検出部 3 0 のセンサ兼用トランジスタ T 1 0 のゲートラインを共通化できる。

また特に図 4 6 の例の場合、第 1 の容量 C 2 の一端も固定電位 V c c 2 としており、C 2 の接続点も共通化できる。

これにより、光検出部 3 0 に対する制御線数の削減、検出動作制御部 2 1 における制御線ドライバの削減等で、パネル構成を著しく簡略化でき、高歩留まり化が実現できる。

また、光検出動作時に電源線 V L からの貫通電流をなくし、消費電力の削減を図ることができる。

【 0 1 4 7 】

< 9 . 第 7 の実施の形態 >

第 7 の実施の形態を図 4 9 ~ 図 5 6 で説明する。

この場合、図 4 9 に示すように、光検出部 3 0 は、センサ兼用トランジスタ T 1 0 、検出信号出力用トランジスタ T 5 、第 1 の容量 C 2 、第 2 の容量 C 3 が設けられること、電源線 V L が導入されること、及び上記各素子間の接続構成は、上記第 6 の実施の形態と同様である。

但し、各光検出部 3 0 においてセンサ兼用トランジスタ T 1 0 のゲートが光検出線 D E T L に接続されている点、及び容量 C 2 の一端はカソード電位 V c a t に接続されている点が上記第 6 の実施の形態と異なる。

また光検出ドライバ 2 2 では、光検出線 D E T L に接続されたスイッチ S W 1 , S W 2 が設けられている。

スイッチ S W 1 は、他端が基準電位 V i n i のラインに接続され、図 4 5 に示した検出動作制御部 2 1 からの制御信号 p S W 1 によってオン / オフされる。

スイッチ S W 2 は、他端が固定電位 V d d のラインに接続され、検出動作制御部 2 1 からの制御信号 p S W 2 によってオン / オフされる。

【 0 1 4 8 】

図 5 0 に 2 フレーム期間の信号波形を示す。

先の第 6 の実施の形態と同様、各光検出部 3 0 では、電源線 V L が電源電位 V c c とされている期間が光検出期間となる。

そして制御信号 p S W 2 によってスイッチ S W 2 がオンとされた時点から、制御信号 p S W 1 によってスイッチ S W 1 がオフとされるまでの時点が検出準備の期間となる。

即ちスイッチ S W 1 , S W 2 については、検出準備のためにまずスイッチ S W 2 が一定期間オンとされる。そしてスイッチ S W 2 をオフした後、スイッチ S W 1 を一定期間オンとすることになる。

【 0 1 4 9 】

図 5 1 ~ 図 5 6 で光検出部 3 0 - 1 に注目して光検出動作を説明する。

図 5 1 には、光検出部 3 0 - 1 の動作に関する波形として、走査パルス W S 、電源線 V

10

20

40

50

L 1 の電源パルス、制御信号 p SW 1 、 p SW 2 を示している。また検出信号出力用トランジスタ T 5 のゲート電圧、光検出線 D E T L の電圧を、太線と細線により区別して示している。

各光検出部 3 0 に対して、光検出を行う期間以外は、検出動作制御部 2 1 は、図 5 0 に示したように電源線 V L を基準電位 V in i としている。

図 5 1 でいえば、光検出部 3 0 - 1 に対しては、検出動作制御部 2 1 は、時点 t m 7 6 に至るまで、電源線 V L 1 を基準電位 V in i としている。

上述の通り、検出準備期間はスイッチ SW 1 , SW 2 により規定される。時点 t m 7 0 ~ t m 7 3 で制御信号 p SW 2 によりスイッチ SW 2 がオンとされ、また時点 t m 7 4 ~ t m 7 5 で制御信号 p SW 1 によりスイッチ SW 1 がオンとされる。

【 0 1 5 0 】

まず光検出準備のため、検出動作制御部 2 1 は時点 t m 7 0 でスイッチ SW 2 をオンする。図 5 2 に示すが、スイッチ SW 2 がオンとされることで、光検出線 D E T L の電位は電位 V dd とされる。

ここで固定電位 V dd は、基準電位 V in i とセンサ兼用トランジスタ T 1 0 の閾値電圧 V th T 1 0 の和以上の値となっている。またこの時点、電源線 V L は基準電位 V in i とされている。

センサ兼用トランジスタ T 1 0 のゲートは光検出線 D E T L に接続されているため、光検出線 D E T L が電位 V dd となることで、センサ兼用トランジスタ T 1 0 はオンとなる。これにより検出信号出力用トランジスタ T 5 のゲート電位が基準電位 V in i に充電される。

このとき、検出信号出力用トランジスタ T 5 のソースは電源線 V L となり、そのゲート・ソース間電圧は 0 V となる。その結果、検出信号出力用トランジスタ T 5 はオフ状態となっている。

【 0 1 5 1 】

次に時点 t m 7 1 ~ t m 7 2 で、走査パルス W S により画素回路 1 0 - 1 のサンプリングトランジスタ T s をオンして、その駆動トランジスタ T d のゲートに信号値電圧 V s i g を入力する。この動作によって有機 EL 素子 1 は発光を開始する。このときの状態を図 5 3 に示す。

このとき、スイッチ SW 2 がオンしており、従って検出部 3 0 - 1 では、センサ兼用トランジスタ T 1 0 はオンしているので、検出信号出力用トランジスタ T 5 のゲート電圧は V in i のままであり、光検出線 D E T L の電位も固定電位 V dd のままである。

【 0 1 5 2 】

検出動作制御部 2 1 は時点 t m 7 3 でスイッチ SW 2 をオフし、また時点 t m 7 4 に制御信号 p SW 1 によりスイッチ SW 1 をオンする。このときの状態を図 5 4 に示す。

スイッチ SW 1 をオンすることで光検出線 D E T L の電位は固定電位 V dd から基準電位 V in i に変化する。

このためセンサ兼用トランジスタ T 1 0 のゲート電位も基準電位 V in i となり、センサ兼用トランジスタ T 1 0 はオフする。

このとき、センサ兼用トランジスタ T 1 0 のゲート電圧の変化（光検出線 D E T L の電位変化）によって、検出信号出力用トランジスタ T 5 のゲートには ' V a ' というカップリング量が入力される。

センサ兼用トランジスタ T 1 0 のソース・ドレイン間にはカップリングによって電位差が生じ、受光した光量によってそのリーク量を変化させる。しかし、センサ兼用トランジスタ T 1 0 の光リーク電流によっては検出信号出力用トランジスタ T 5 のゲート電圧は殆ど変化しない。これはセンサ兼用トランジスタ T 1 0 のソース・ドレイン間の電位差が小さいのと、次動作であるスイッチ SW 1 のオフ及び電源線 V L が電源電位 V cc へ変化するまでの時間が短いことによる。

【 0 1 5 3 】

そして更に一定時間経過後の時点 t m 7 5 で、検出動作制御部 2 1 はスイッチ SW 1 を

10

20

30

40

50

オフし、また時点 t_{m76} で、電源線 V_L1 を基準電位 V_{ini} から電源電位 V_{cc} へ変化させる。このときの状態を図 5 5 に示す。

電源線 V_L を基準電位 V_{ini} から電源電位 V_{cc} へ変化させることで、検出信号出力用トランジスタ T 5 のゲートには容量 C 3 を介した電源線 V_L1 からのカップリング量 V_b が入力される。

このカップリング量 V_b は容量 C 3 に依存した値となるため、容量 C 3 の値によって検出信号出力用トランジスタ T 5 のゲート電位を $V_{ini} + V_{thT5}$ より大きくすることができる。 V_{thT5} は検出信号出力用トランジスタの閾値電圧である。

検出信号出力用トランジスタ T 5 のゲート電位が $V_{ini} + V_{thT5}$ よりも大きくなることで、検出信号出力用トランジスタ T 5 はオンする。従って電源線 V_L (電源電位 V_{cc}) から光検出線 D E T L へ電流が流れ始める。 10

【0154】

このとき、光検出線 D E T L の電位は、基準電位 V_{ini} から徐々に増加することになるが、基本的に光検出線 D E T L の電位は、光検出部 30-1 の検出信号出力用トランジスタ T 5 のゲートの増加によって上昇する。従って、光検出線 D E T L の電位は検出信号出力用トランジスタ T 5 のゲート電位からその閾値電圧を引いた値よりも小さくなっている。

これより光検出期間において光検出部 30-1 のセンサ兼用トランジスタ T 10 のゲート・ソース間電位は常に負となる。またカップリングによってソース・ドレイン間電位も大きくなる。このため、光検出部 30-1 のセンサ兼用トランジスタ T 10 は、受光した光量によって電源線 V_L1 から検出信号出力用トランジスタ T 5 のゲートに光リーク電流を流すこととなる。 20

【0155】

この動作によって一定時間後、検出信号出力用トランジスタ T 5 (N) のゲート電圧は $V_{ini} - V_a' + V_b$ から $V_{ini} - V_a' + V_b + V'$ という電位になり、それに伴って光検出線の電位も $V_0 + V$ となる。

また検出線 D E T L の電位が、基準電位 V_{ini} と光検出部 30-2 のセンサ兼用トランジスタ T 10 の閾値電圧の和を超えた時、光検出部 30-2 のセンサ兼用トランジスタ T 10 はオンし、光検出部 30-2 の検出信号出力用トランジスタ T 5 のゲート電位は基準電位 V_{ini} となる。 30

【0156】

一般に光検出素子は受光する光量が多いほどその光リーク量は多くなるため、高階調表示時における検出電圧が低階調表示時における電圧よりも大きくなつて外部に出力される。図 5 1 に示す光検出線 D E T L の電位変化を、電圧検出部 22a が検出する。この検出電圧は、有機 E L 素子 1 の発光光量に応じたものとなる。

【0157】

一定時間経過した時点 t_{m77} で、検出動作制御部 21 は光検出動作終了として電源線 V_L1 を基準電位 V_{ini} とする。

このとき再び容量 C 3 を介して検出信号出力用トランジスタ T 5 のゲートに電源線 V_L1 からのカップリング量 V_b が入力される。この動作により検出信号出力用トランジスタ T 5 のゲート・ソース間電圧 V_{gs} はその閾値電圧以下となつてしまつたため、検出信号出力用トランジスタ T 5 はオフする。このときの状態を図 5 6 に示す。 40

ここで、カップリングによって検出信号出力用トランジスタ T 5 のゲート電圧とセンサ兼用トランジスタ T 10 の閾値電圧の和より光検出線 D E T L の電位が大きくなつた場合、センサ兼用トランジスタ T 10 はオンし、検出信号出力用トランジスタ T 5 のゲート電位を基準電位 V_{ini} に充電する。

なお、大きくなれば検出信号出力用トランジスタ T 5 の電位は保持される。しかしその後、時点 t_{m78} でスイッチ SW 2 がオンすることで光検出線 D E T L の電位が固定電位 V_{dd} となるため、センサ兼用トランジスタ T 10 はオンし検出信号出力用トランジスタ T 5 のゲート電位は V_{ini} に充電される。 50

【0158】

例えば1フレームでの該当ラインの各画素回路10についての検出が以上のように行われる。

以上のように第7の実施の形態では、センサ兼用トランジスタT10はゲートが光検出線DET Lに接続されるとともに、光検出線DET Lは、スイッチSW1, SW2により2つの固定電位(Vdd, Vin i)に充電できる構成とされている。

また光検出部30は、検出信号出力用トランジスタT5のゲートと固定電位(Vcat)の間に接続された第1の容量C2と、検出信号出力用トランジスタT5のゲートと電源線VLの間に接続された第2の容量C3とを備えている。

そして光検出線DET Lに充電する2つの固定電位のうち、高電位の方(Vdd)は、センサ兼用トランジスタT10をオンさせる電位である。また低電位の方は、第2の容量C3を介して電源線VLからのカップリングが入力される検出信号出力用トランジスタT5をオンとさせるために設定された電位である。低電位の方は例えば基準電位Vin iとされる。

【0159】

この第7の実施の形態の場合、センサ兼用トランジスタT10のゲートに与える固定電源を削減することができる点で、第6の実施の形態よりも構成の簡略化、高歩留まり化が実現できる。

また、第6の実施の形態と同様、光検出動作時に電源線VLからの貫通電流をなくし、焼き付き等の画質不良を対策できることに加えて制御線数を削減することができる、検出動作制御部21に設ける駆動回路(ドライバ)の個数を削減できる。このため低コスト化に貢献できる。

【0160】

なお上記例では、スイッチSW1, SW2を設けて光検出線DET Lに2つの固定電位(Vdd, Vin i)を充電する構成とした。これに代えて、電位Vdd, Vin iのパルス電圧を発生させるようにし、1つのスイッチを介してそれぞれ所定タイミングで光検出線DET Lに与える構成としてもよい。

【0161】

<10. 变形例、応用例>

以上、第1～第7の実施の形態を説明してきたが、ここで各実施の形態に適用できる変形例を説明する。

【0162】

まず、異なる波長の光を検出する光検出部30において、光検出線DET Lに出力される電圧レベルを一定とするために、光検出部30内におけるセンサ兼用トランジスタT10の感度を変えることが考えられる。

【0163】

具体的にはエネルギーが高い光を検出するセンサ兼用トランジスタT10の感度を低く、逆にエネルギーが低い光を検出するセンサ兼用トランジスタT10の感度を高く設定する。一例として、光感度を変えるにはセンサ兼用トランジスタT10としてのトランジスタのチャネル長、チャネル幅で決定されるトランジスタサイズや、チャネル材料の膜厚を変更すればよい。

即ち、エネルギーの強い光(例えばB光)を検出する光検出部30におけるセンサ兼用トランジスタT10のチャネル膜厚は薄く、トランジスタのチャネル幅は小さいものとする。また逆にエネルギーの弱い光を検出する光検出部30におけるセンサ兼用トランジスタT10のチャネル膜厚は厚く、トランジスタのチャネル幅は大きくする。

例えばB光画素、G光画素、R光画素に対応する各光検出部30において、B光を検出するセンサ兼用トランジスタT10のチャネル膜厚は最も薄く、R光を検出するセンサ兼用トランジスタT10のチャネル膜厚は最も厚くする。或いはB光を検出するセンサ兼用トランジスタT10のチャネル幅は最も小さく、R光を検出するセンサ兼用トランジスタ

10

20

30

40

50

T 1 0 のチャネル幅は最も大きくする。或いはこの両方を行う。

【 0 1 6 4 】

一般的には光検出素子は受光する光の波長が短いほど、つまり光のエネルギーが大きいほど多くのリーク電流を流すこととなる。このため、受光する光の波長に応じて、センサ兼用トランジスタ T 1 0 の感度設定を行っておくことで、受光する光のエネルギーによらず、各光検出部 3 0 についての検出信号出力用トランジスタ T 5 のゲート電位の変化を一定値とすることができます。その結果、光検出線 D E T L に出力される電圧を同じ電圧（発光波長によっては異なる電圧）とすることができる。それによって、光検出ドライバ 2 2 の簡略化が可能となる。

【 0 1 6 5 】

また、画素回路 1 0 の構成については全く上記例に限定されず、他にも多様な構成が採用できる。即ち図 1 6 等に示した画素回路 1 0 の構成にかかわらず、発光動作を行う画素回路を採用する表示装置であって、画素回路の外部に、その画素回路の発光光量を検出する光検出部を設ける表示装置に、各実施の形態は広く採用できる。

【 0 1 6 6 】

また、各実施の形態において、光検出部 3 0 や光検出ドライバ 2 2 においてカソード電位 V c a t を利用している例があるが、それらはカソード電位 V c a t に限らず、他の固定電位を用いてもよい。

【 0 1 6 7 】

また、複数ラインでの光検出を同一タイミングで行ったり、若しくは複数ラインの光検出期間を時間的にオーバーラップさせる例も考えられる。このようなタイミングを採る事で光検出素子数を増加させることができるために、光検出精度を増加させ、更に光検出期間を短くすることが可能となる。

【 0 1 6 8 】

例えはある特定のラインにおいて E L 素子の発光輝度を検出する際に複数ラインでの光検出期間を同時とするか、或いはオーバーラップさせる。つまり複数の光検出部 3 0 で、同時に 1 つの画素回路 1 0 の有機 E L 素子 1 の光を検出する期間が得られるようにする。

図 5 7 は、第 1 の実施の形態で図 1 9 に示した各波形を示している。図 5 7 (a) は光検出部 3 0 - 1 、 3 0 - 2 に対しての、電源線 V L 1 、 V L 2 の電源パルス、及び制御線 T L b 1 、 T L b 2 の制御パルス p T 1 0 を、同時のタイミングで与える例である。光検出部 3 0 - 1 、 3 0 - 2 における光検出期間が同一期間となる。

即ち、図 1 6 の画素回路 1 0 - 1 を発光させたときに、2 つの光検出部 3 0 - 1 で、同時に光検出動作を行うことになる。

また図 5 7 (b) は、光検出部 3 0 - 1 、 3 0 - 2 に対しての、電源線 V L 1 、 V L 2 の電源パルス、及び制御線 T L b 1 、 T L b 2 の制御パルス p T 1 0 により、光検出期間がオーバーラップしている例である。この場合、光検出部 3 0 - 1 、 3 0 - 2 における光検出期間が同時に行われる期間が生ずる。つまりオーバーラップ期間では、図 1 6 の画素回路 1 0 - 1 を発光させたときに、2 つの光検出部 3 0 - 1 で、同時に光検出動作を行うことになる。

なお、ここでは 2 ラインの画素の例のみで示しているが、複数ラインの光検出部 3 0 が同時にオーバーラップして光検出情報を出力する例としては、もちろん 3 ライン以上の光検出部 3 0 に適用しても良い。

【 0 1 6 9 】

例えはこのように光検出期間を同時とするか、オーバーラップさせることにより光検出感度を増加させることができ、また光検出線 D E T L へのリークに応じた電圧上昇を早めることができる。すると、光検出期間を短くしたり光検出素子を小さくしたりすることも可能となる。その結果、高歩留まり化が実現可能であり、尚且つ焼き付き等の発光素子の効率劣化による画質不良を対策することができる。

図 5 7 では第 1 の実施の形態に準じて示したが、第 2 ~ 第 7 の実施の形態でも、それぞ

10

20

30

40

50

れ光検出期間を設定するパルスのタイミング設定により、光検出期間を複数のラインの光検出部 30 で同時又はオーバラップさせることで、同様の効果が得られる。

【0170】

次に本発明の応用例について述べる。

これは画面に対して外部から光を照射して情報入力を行う電子機器としての例である。

例えば図 58 (a) は、ユーザがレーザポインタ 100 によって表示パネル 101 に光を当てている状態を示している。

表示パネル 101 は、上述した図 1, 図 45 の有機 EL 表示パネルである。

表示パネル 101 上で、例えば全画面を黒表示している状態で、レーザポインタ 100 の光で例えば円形を描く。すると、その円形が表示パネル 101 の画面上に表示されるよ 10 うな装置である。

つまり、レーザポインタ 100 の光を、画素アレイ 20 上の光検出部 30 で検出する。そして光検出部 30 はレーザ光の検出情報を水平セレクタ 11 (信号補正部 11a) に伝達する。

水平セレクタ 11 はレーザ光を検出した光検出部 30 に対応する画素回路 10 に対して、所定の輝度の信号値 V_{sig} を与えるようとする。

すると、表示パネル 101 の画面上でのレーザ光の照射位置のみ、高輝度の発光を行わせることができ、つまりレーザ照射によりパネル上に図形、文字、記号等の描画を行うよ うな表示が可能となる。

【0171】

20

また図 58 (b) は、レーザポインタ 100 による方向の入力を検出する例である。

レーザポインタ 100 によってレーザ光を例えば右から左に移動するように照射する。表示パネル 101 内の各光検出部 30 による検出結果として、画面上のレーザ照射位置の変化を検出できるため、ユーザがどのような方向性でレーザ光を当てたかが検出できる。

この方向を操作入力として認識するようにし、例えば表示内容の切り換えなどを行う。

もちろん画面上に表示させた操作アイコン等にレーザを当てることで、操作内容を認識するといったことも可能である。

【0172】

これらのように、外部からの光を表示パネル 101 上の座標入力の形で認識し、各種の動作、アプリケーションに適用することが可能である。

30

また、このような描画や操作入力に適用する場合、上述した図 57 の例のように、複数の光検出部 30 が同時にオーバラップして光検出情報を出力するようになると、外部光の検出能力を上げることができ、好適である。

例えば外部から与えられる光を検出する際に複数ラインで光検出期間をオーバーラップさせることで光検出感度を増加させることができ、光検出期間を短くしたり光検出素子を小さくしたりすることが可能となる。その結果、高歩留まり化が実現可能であり、尚且つ焼き付き等の発光素子の効率劣化による画質不良を対策することができる。

【符号の説明】

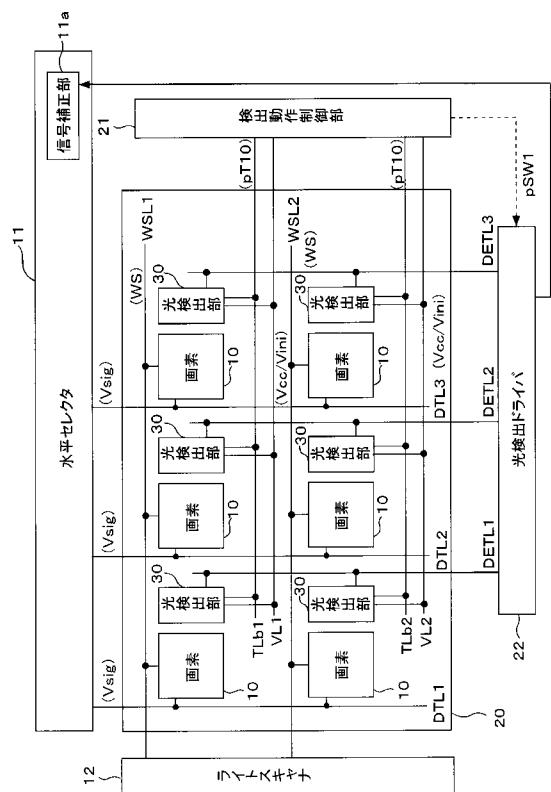
【0173】

40

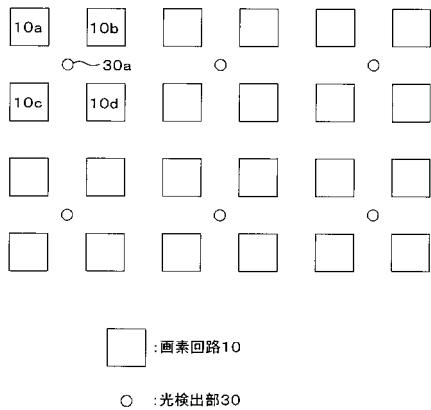
1 有機 EL 素子、10 画素回路、11 水平セレクタ、11a 信号値補正部、1

2 ライトスキャナ、20 画素アレイ、21 検出動作制御部、22 光検出ドライバ、22a 電圧検出部、30 光検出部、T10 センサ兼用トランジスタ、C2, C3 容量、T5 検出信号出力用トランジスタ、DET L 光検出線、VL 電源線

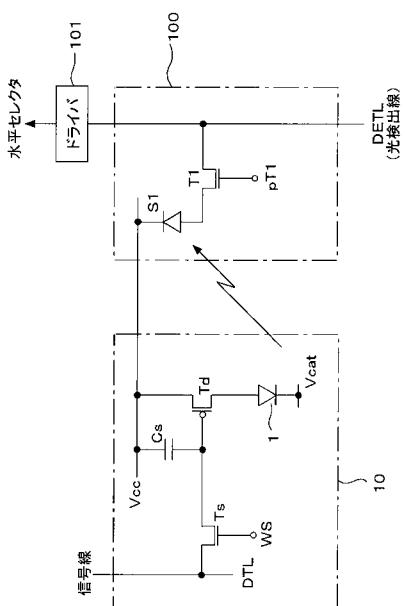
【 図 1 】



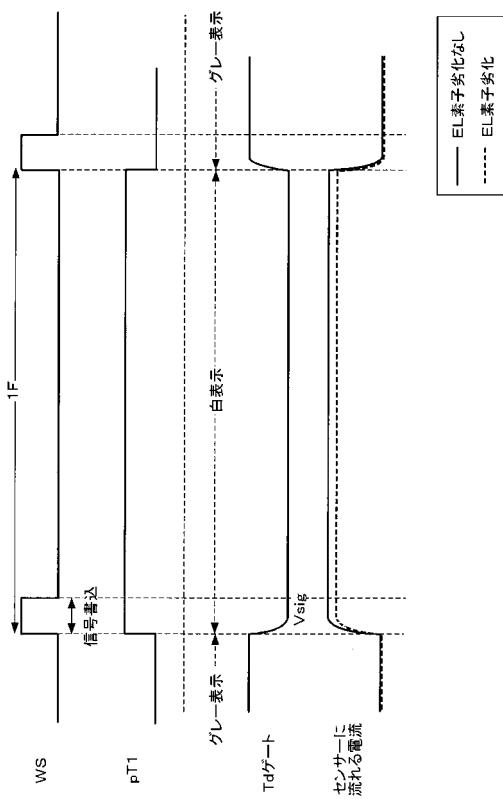
【 図 2 】



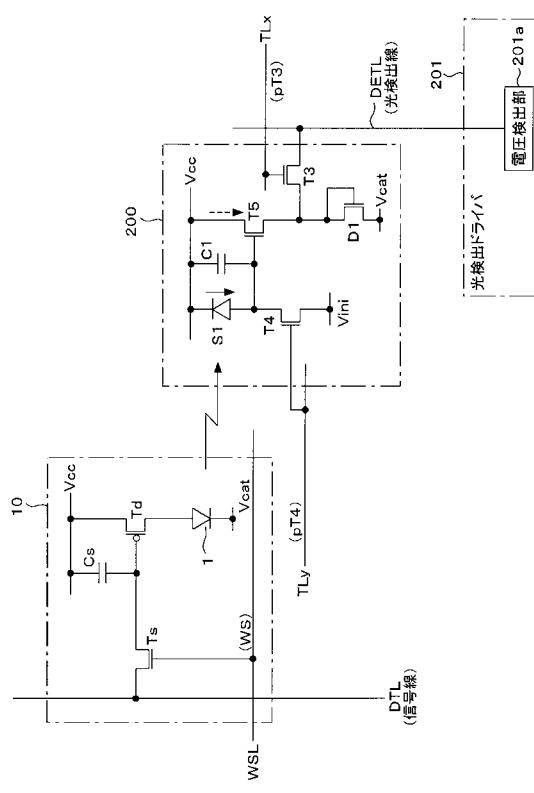
【 义 3 】



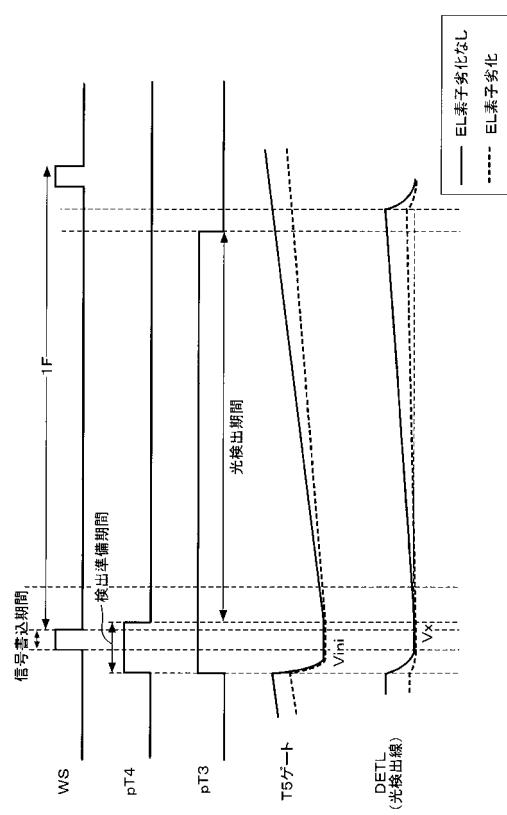
【 図 4 】



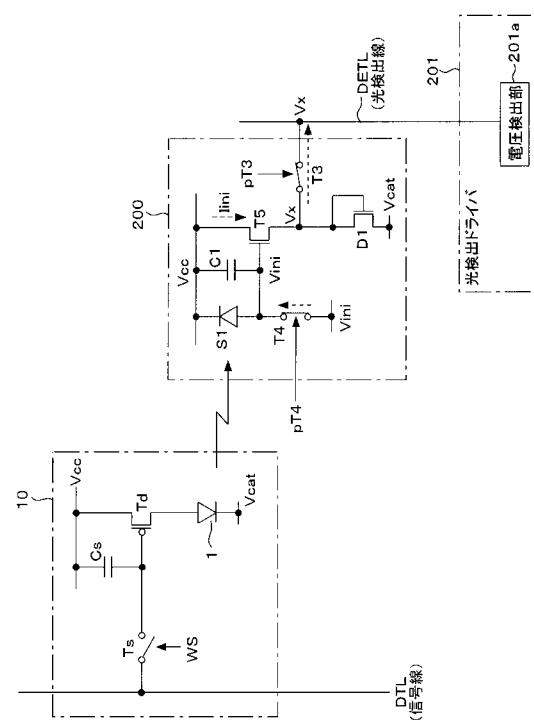
【図5】



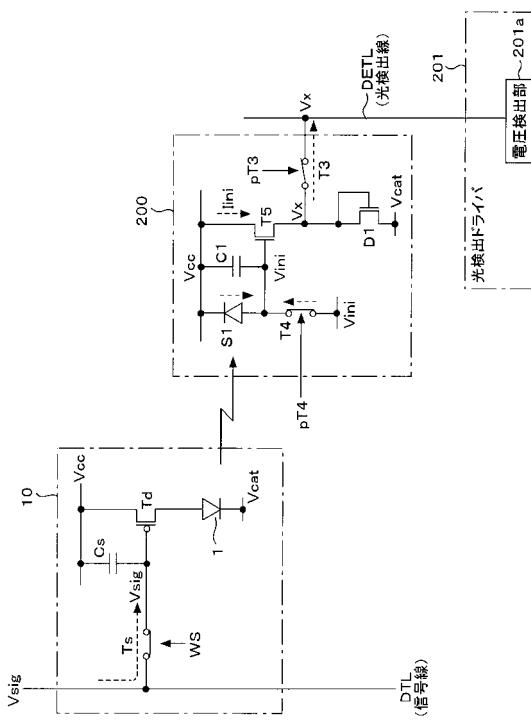
【図6】



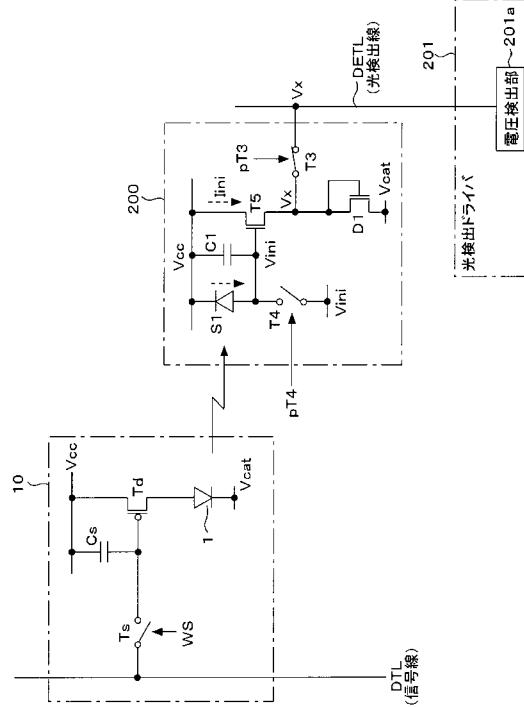
【図7】



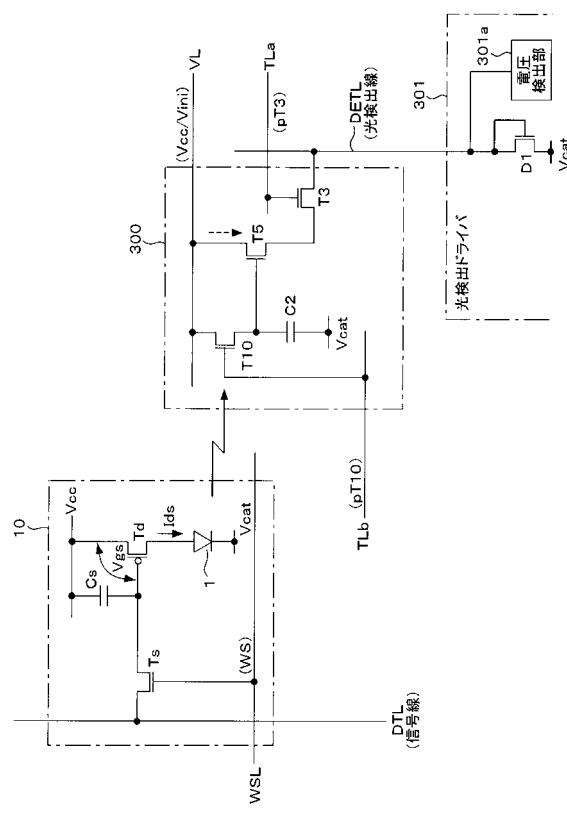
【図8】



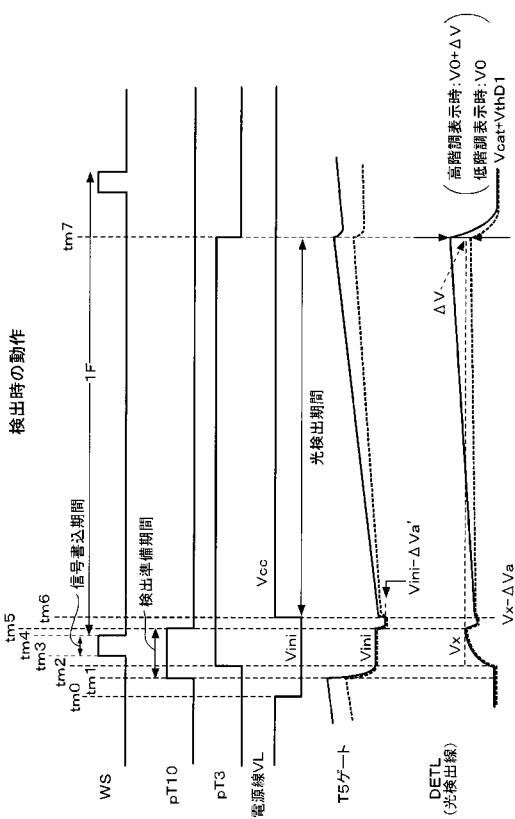
【図 9】



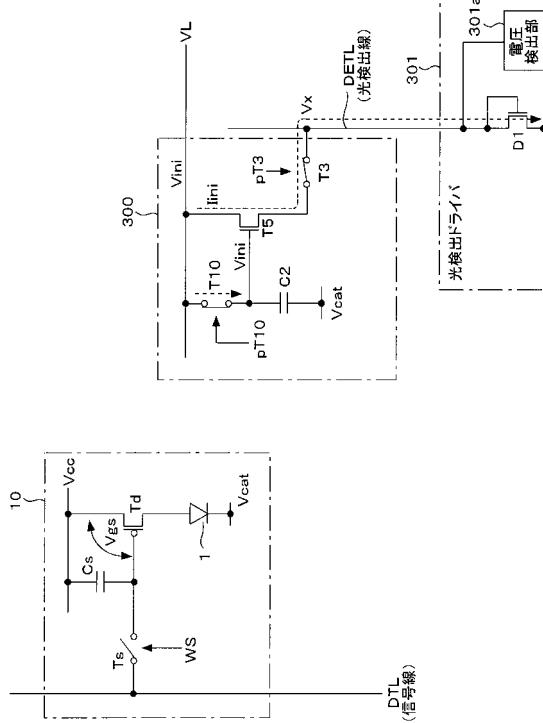
【図 10】



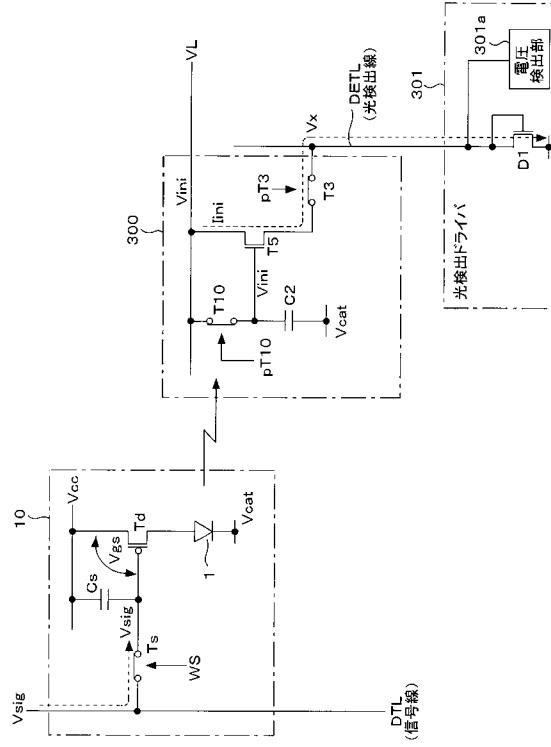
【図 11】



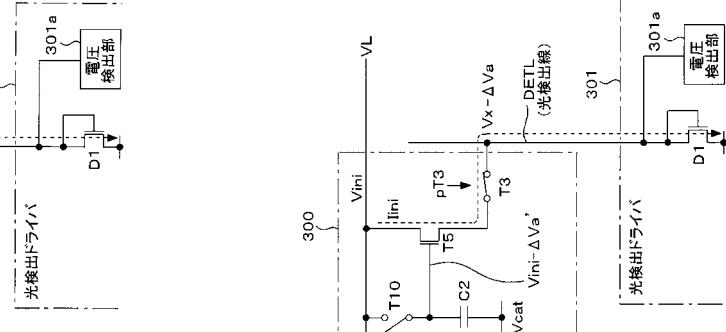
【図 12】



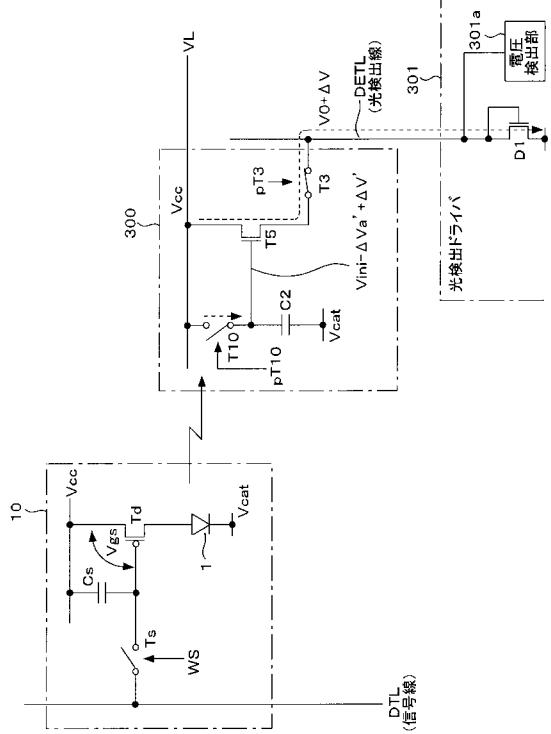
【図 1 3】



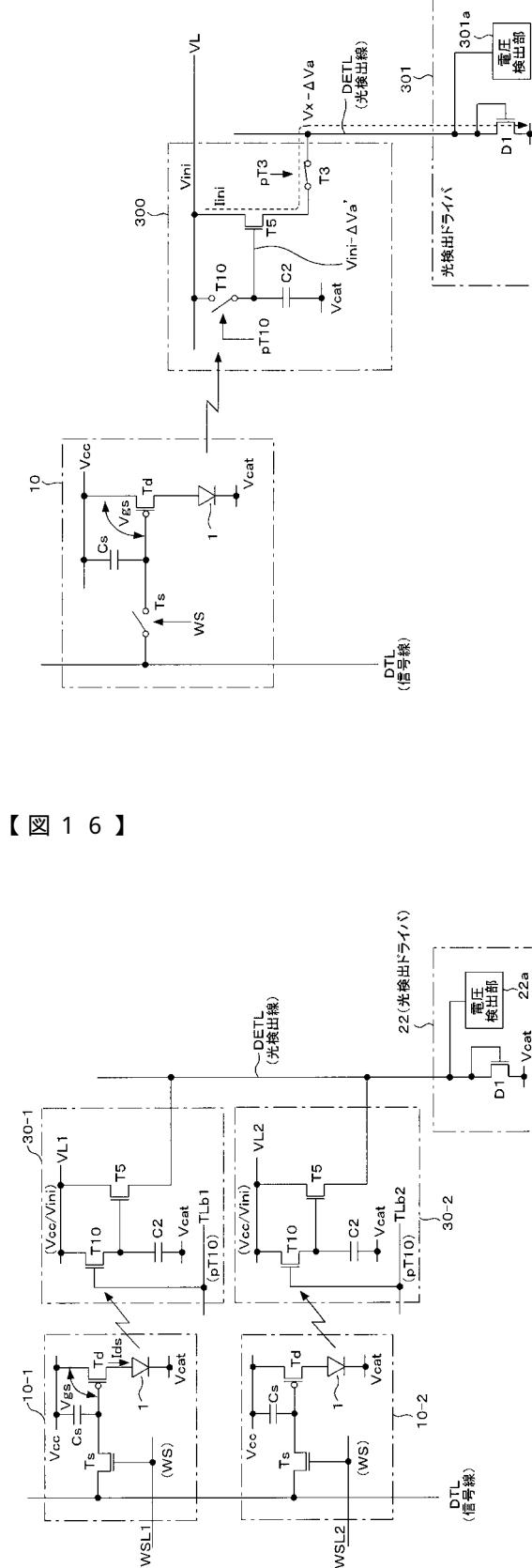
【図 1 4】



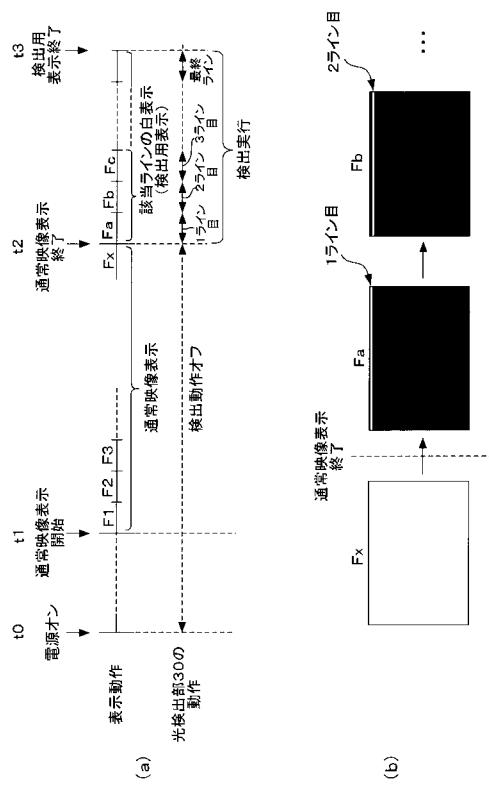
【図 1 5】



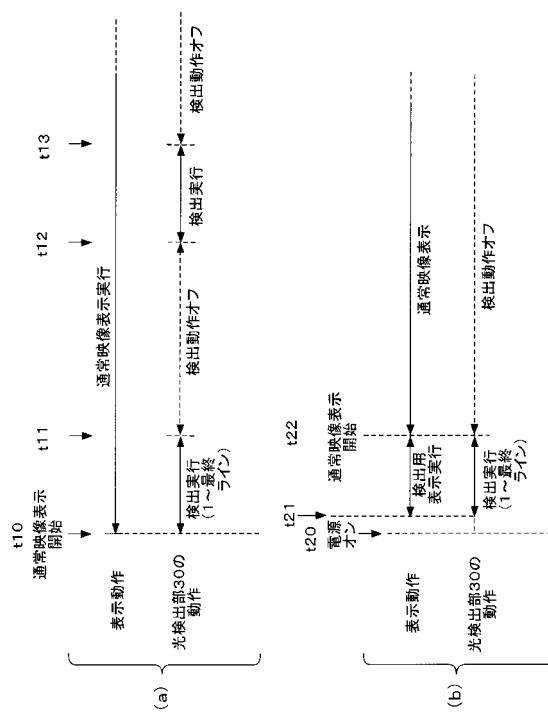
【図 1 6】



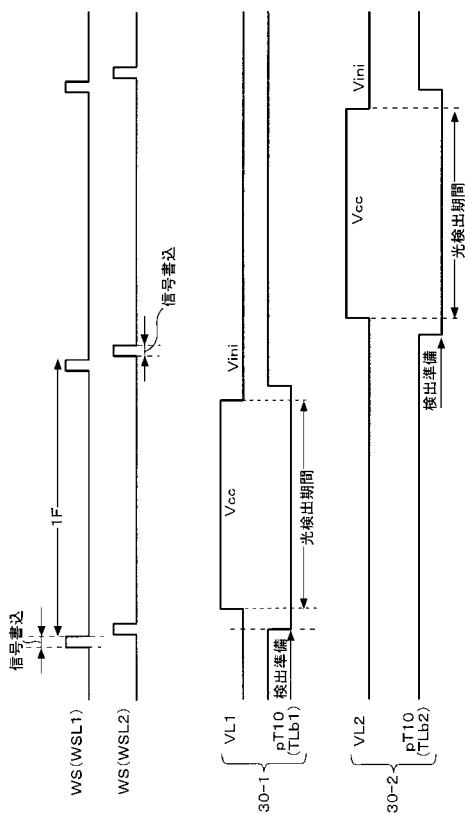
【図 17】



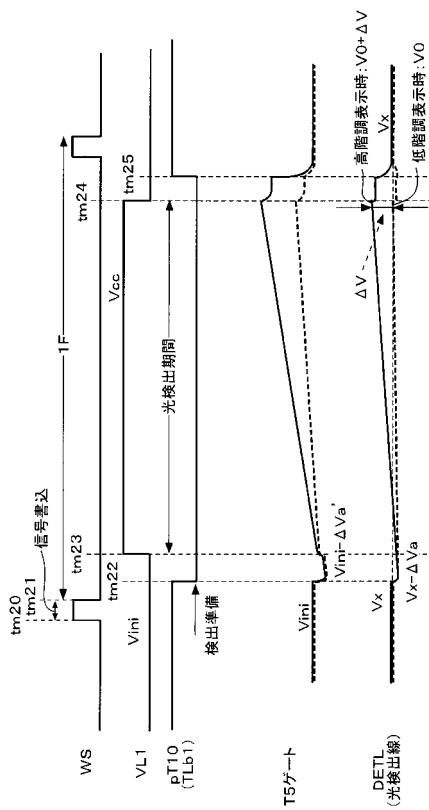
【図 18】



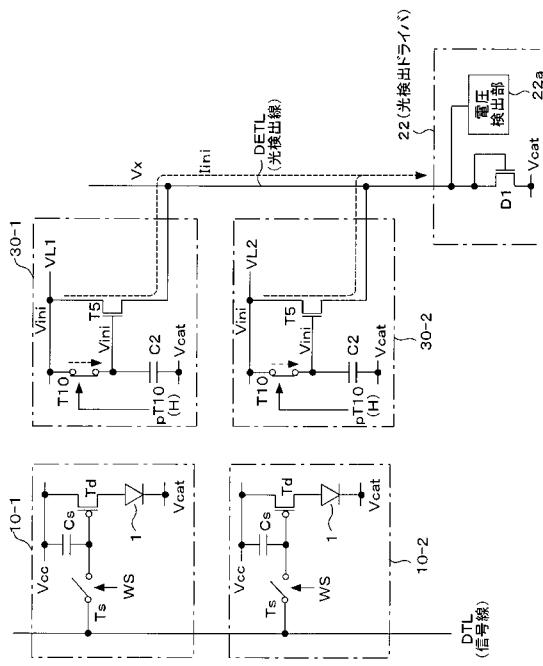
【図 19】



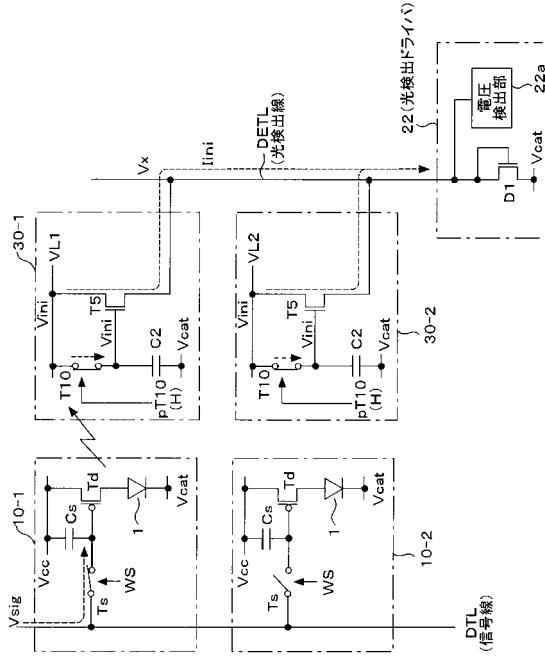
【図 20】



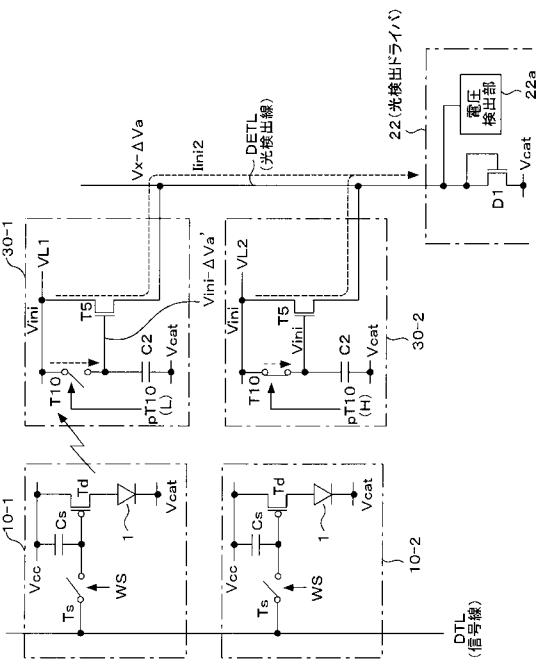
【図 2 1】



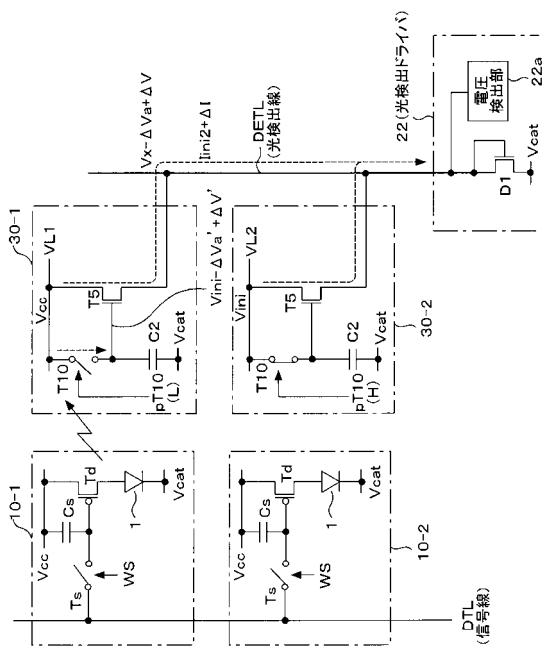
【図 2 2】



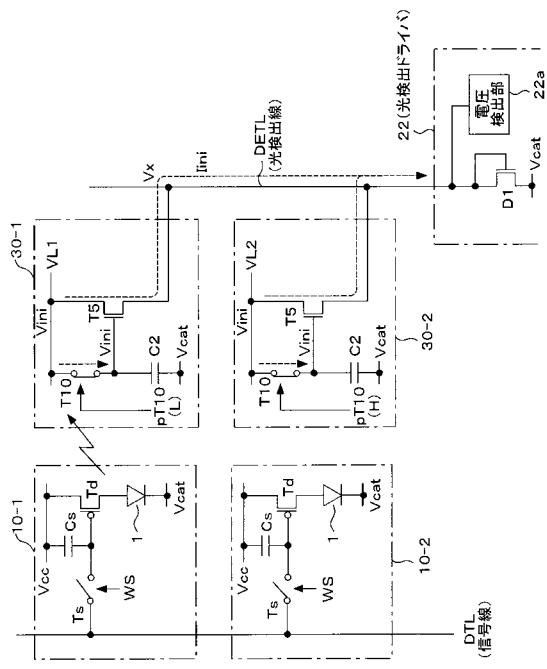
【図 2 3】



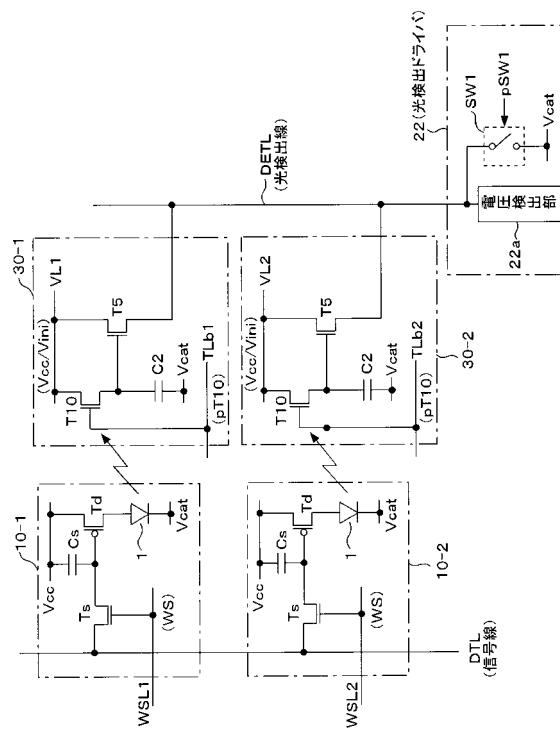
【図 2 4】



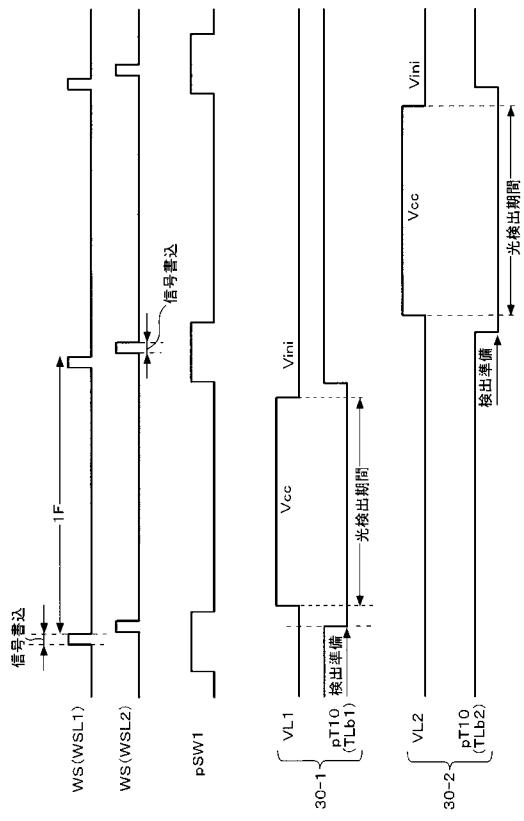
【図25】



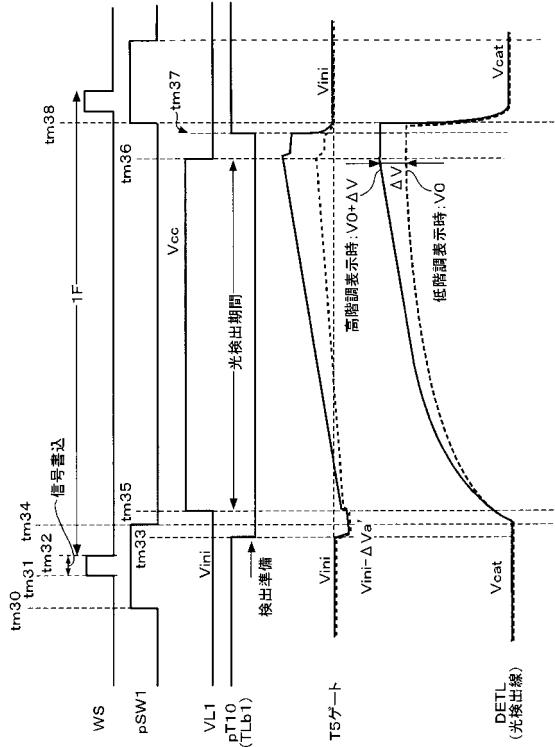
【図26】



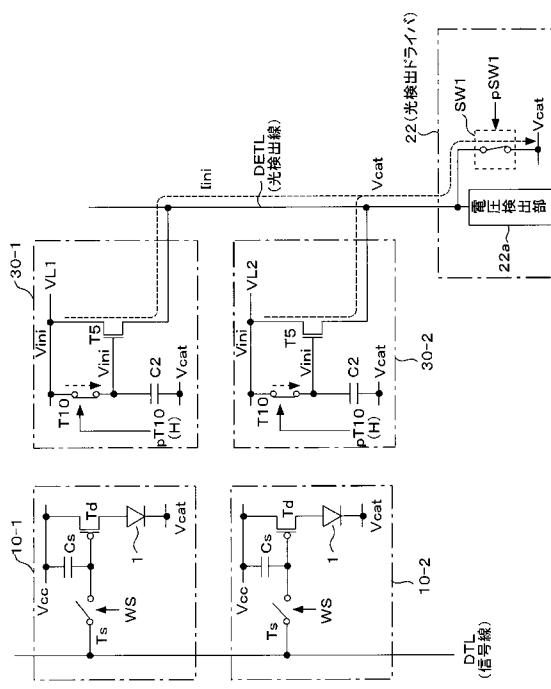
【図27】



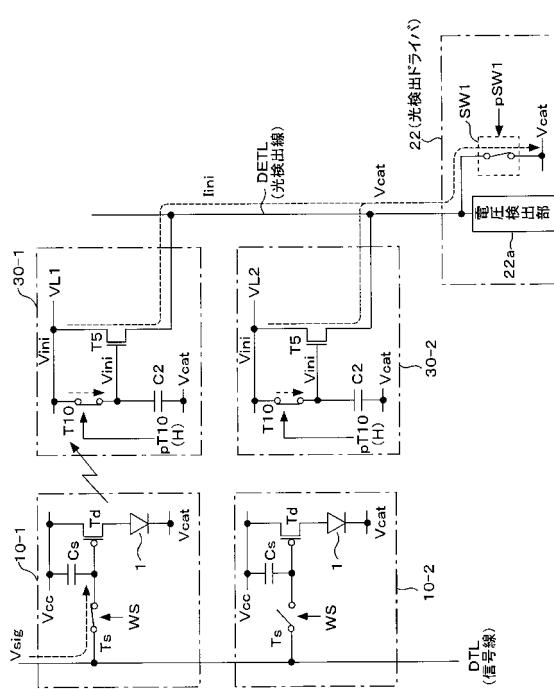
【図28】



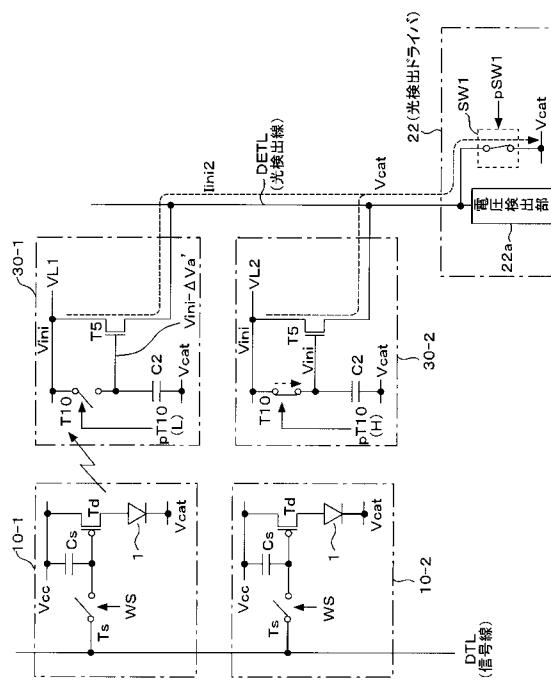
【図29】



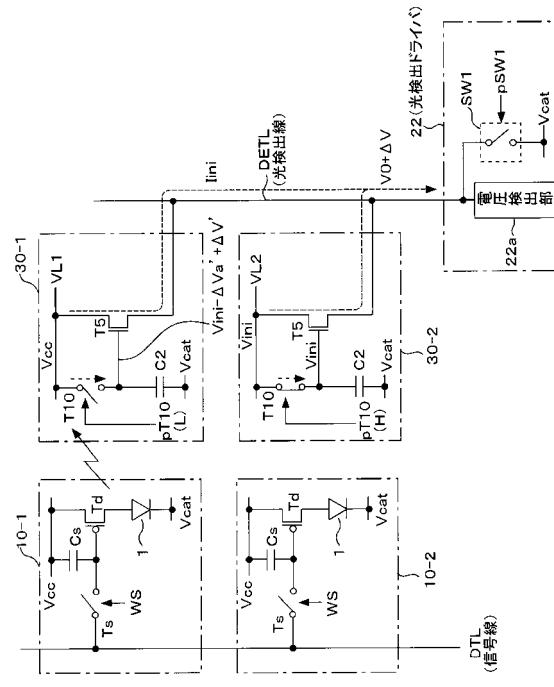
【図30】



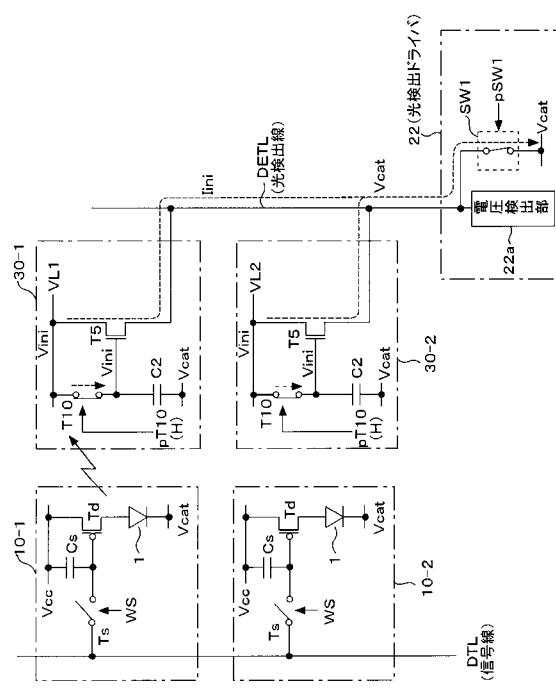
【図31】



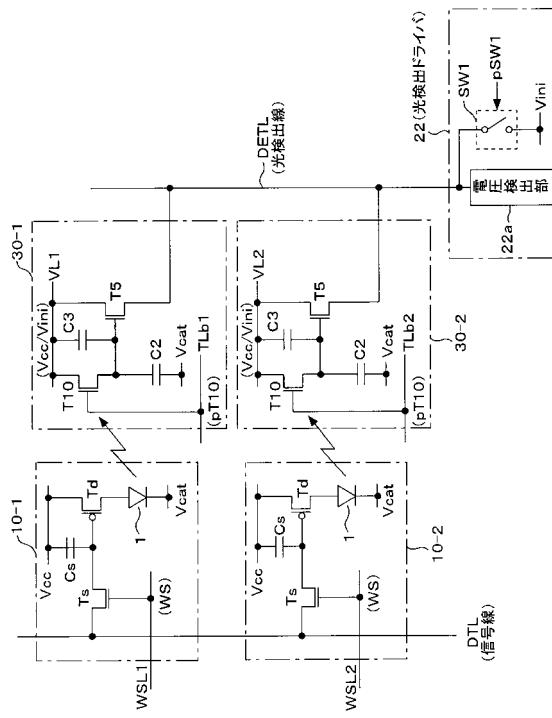
【図32】



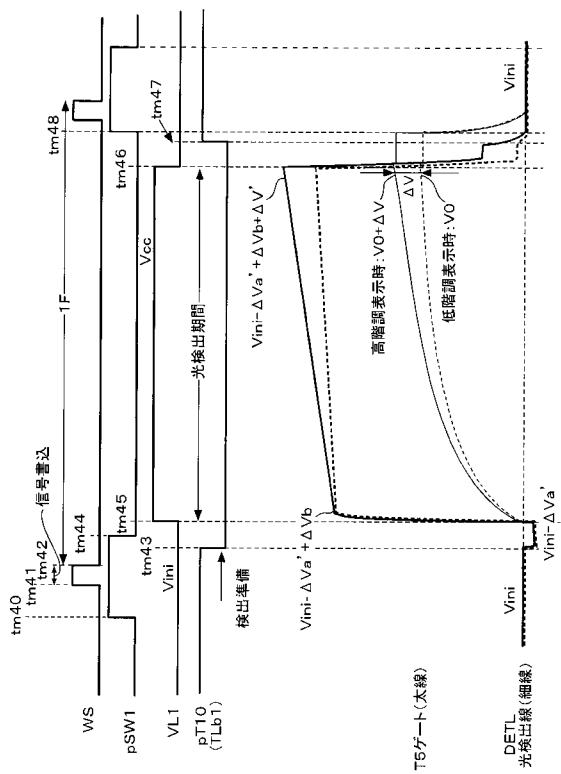
【図3-3】



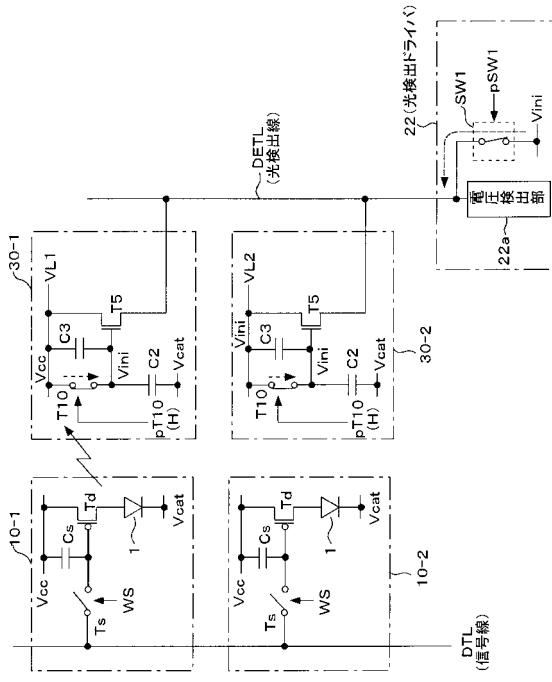
【図3-4】



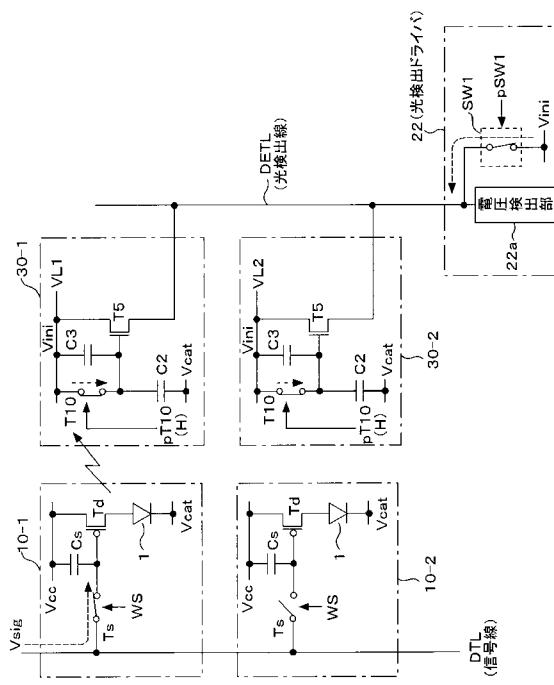
【図3-5】



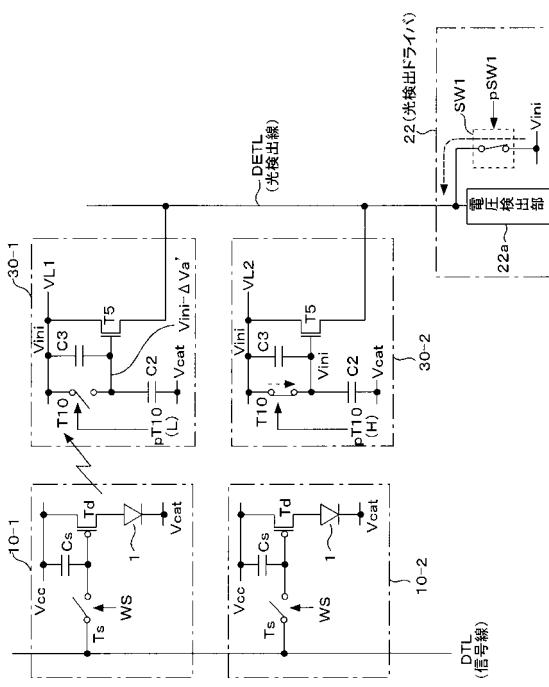
【図3-6】



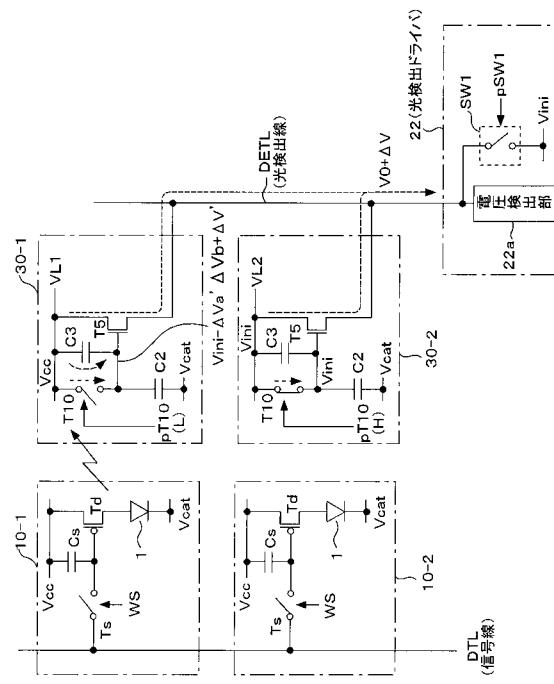
【図 3 7】



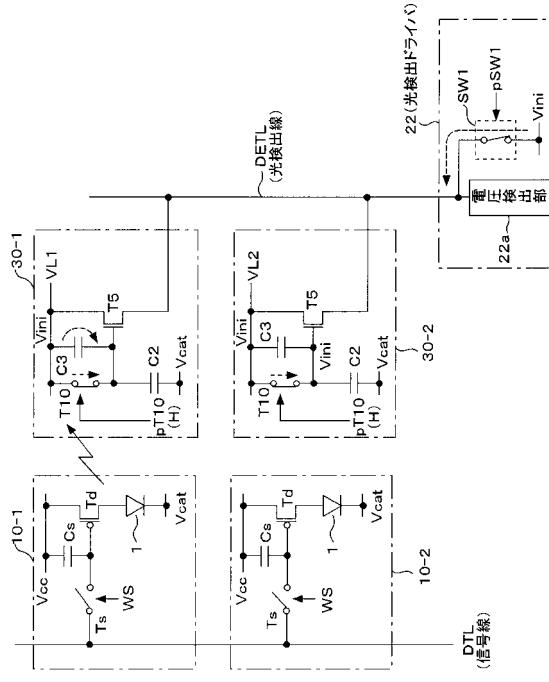
【図 3 8】



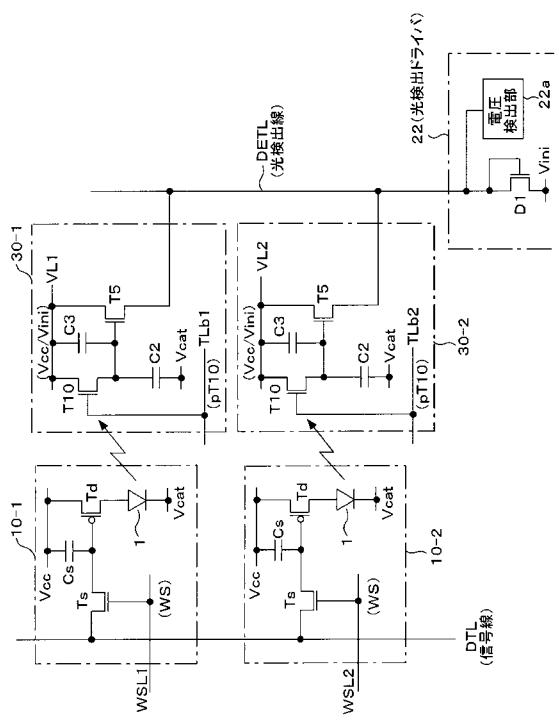
【図 3 9】



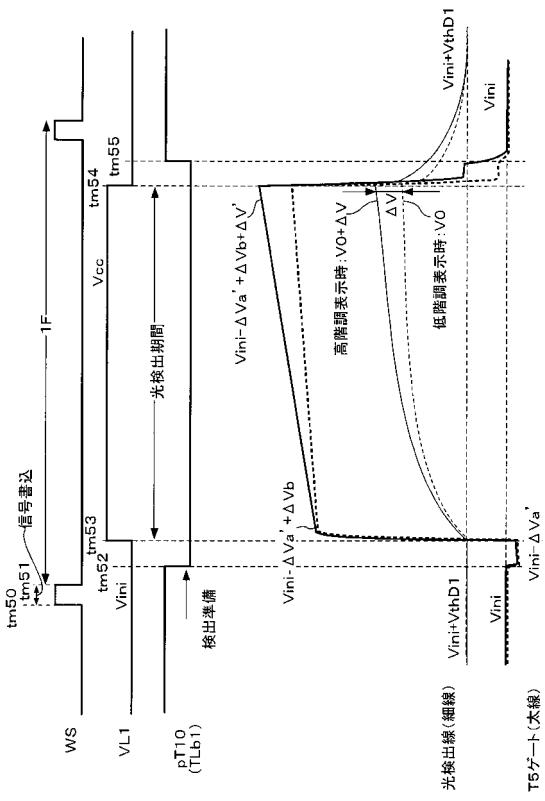
【図 4 0】



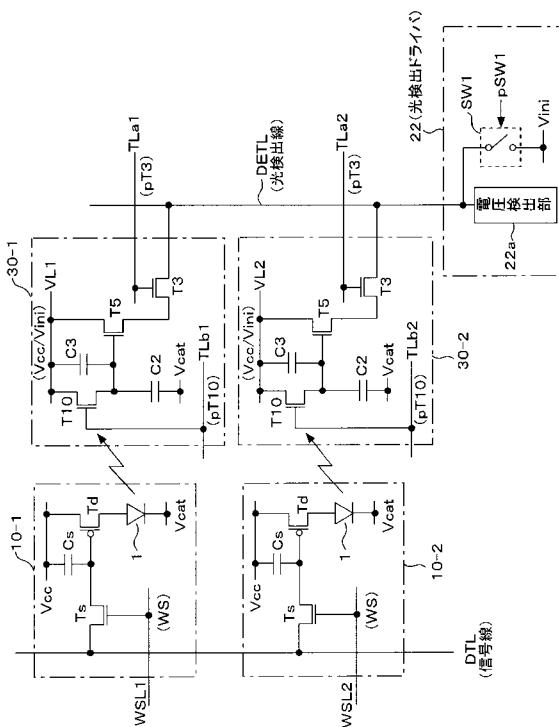
【図4-1】



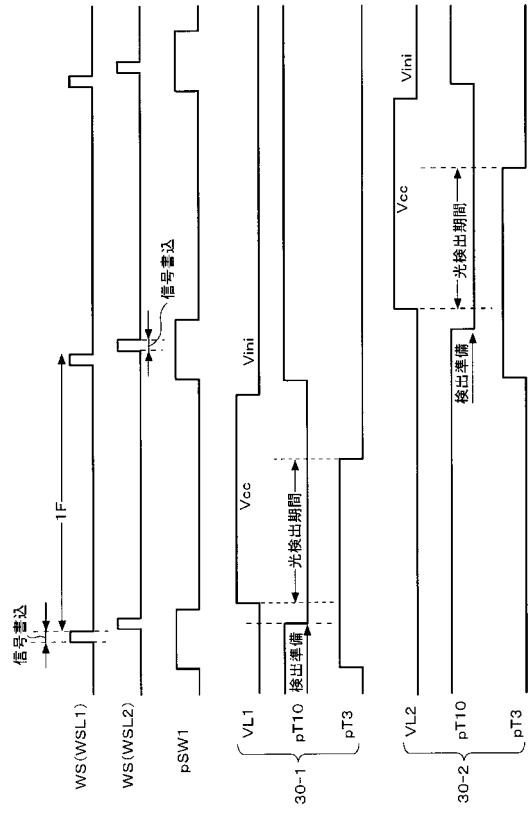
【図4-2】



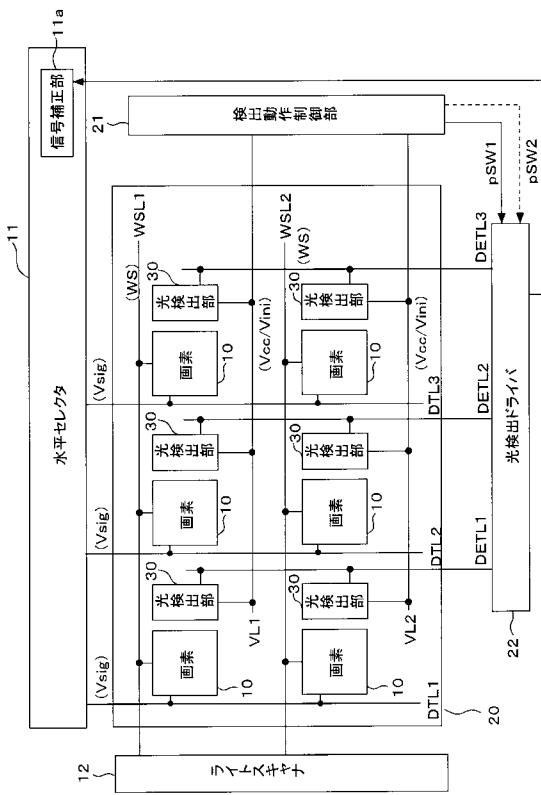
【図4-3】



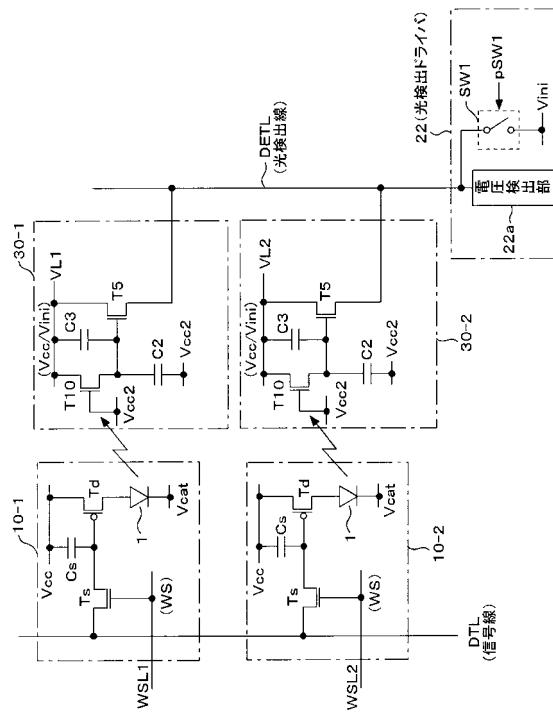
【図4-4】



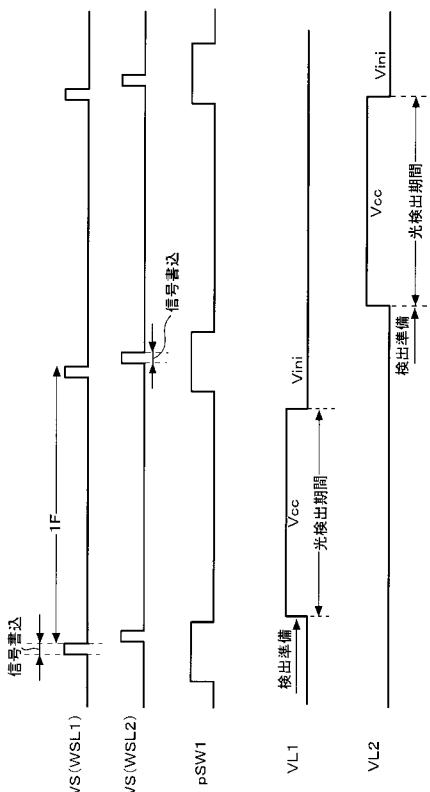
【図45】



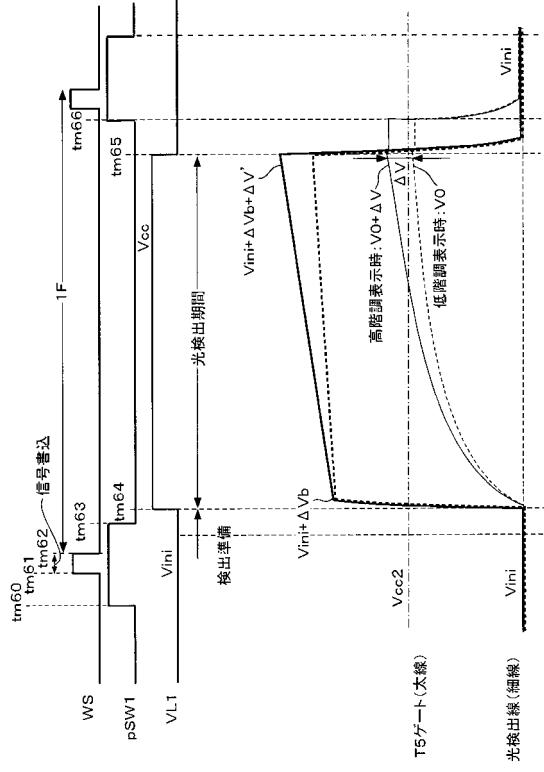
【図46】



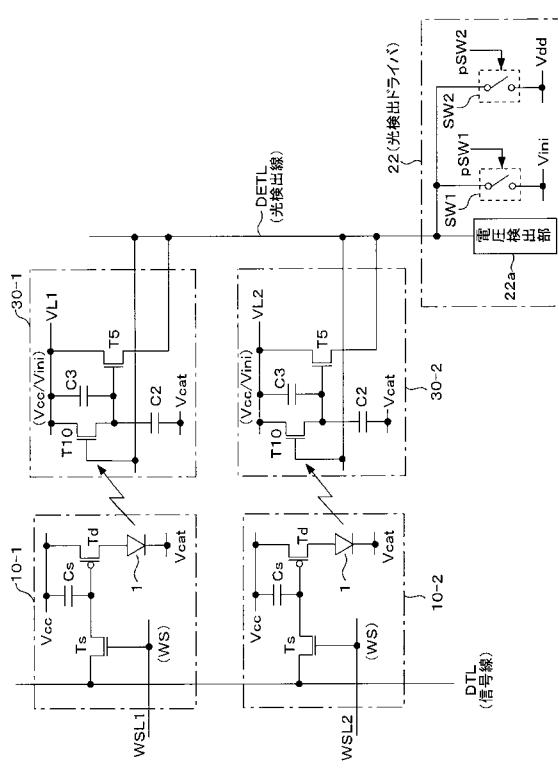
【図47】



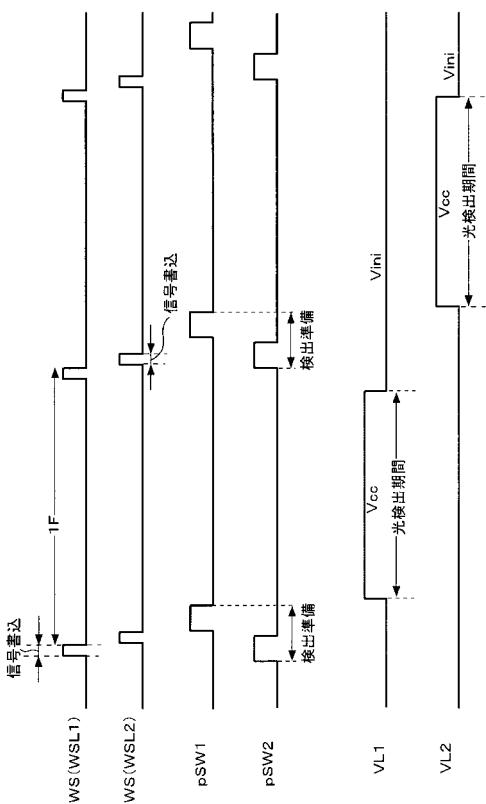
【図48】



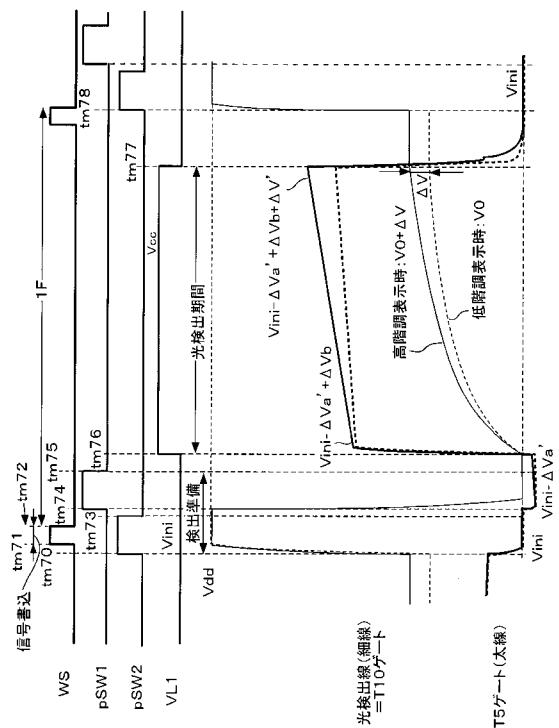
【図 4 9】



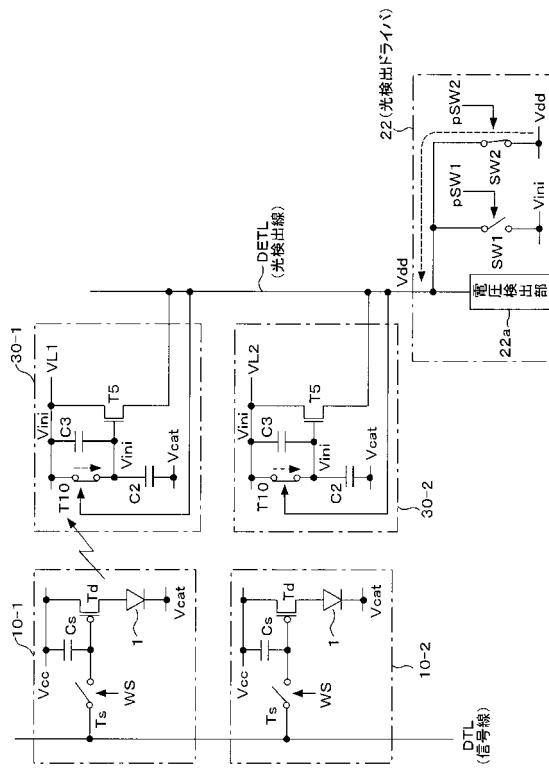
【図 5 0】



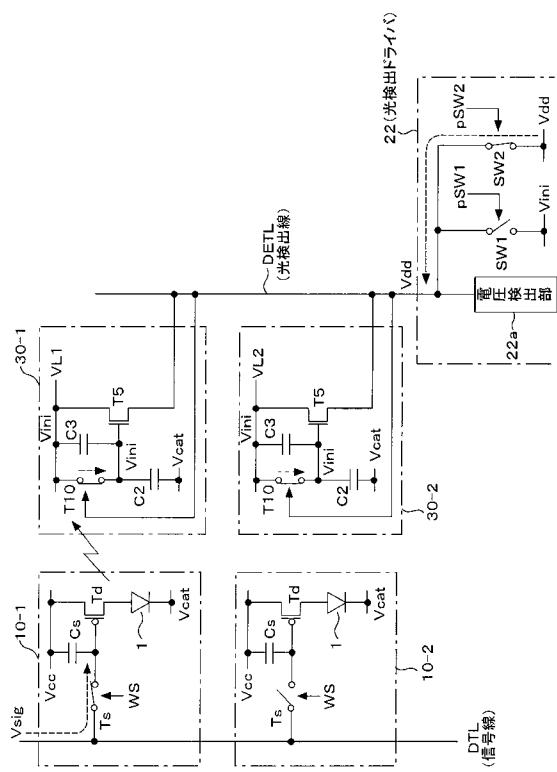
【図 5 1】



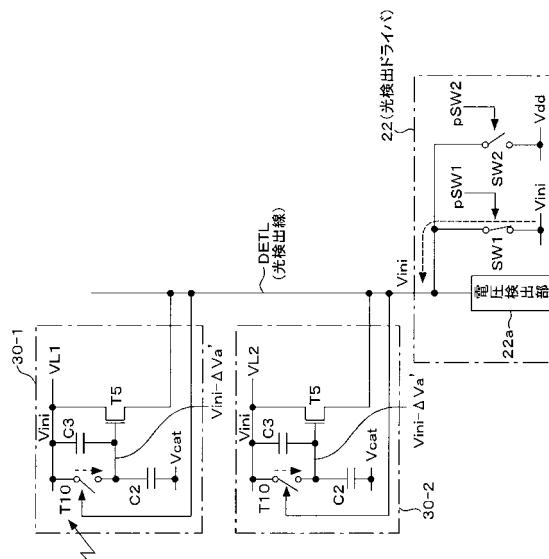
【図 5 2】



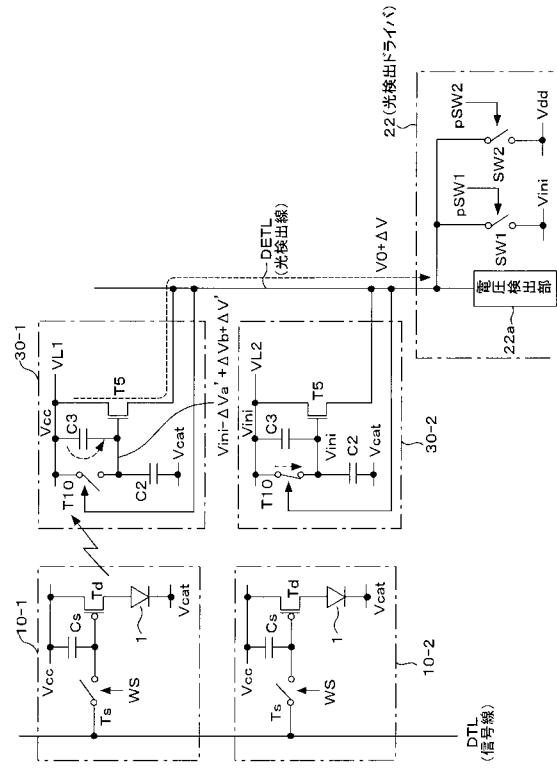
【図 5 3】



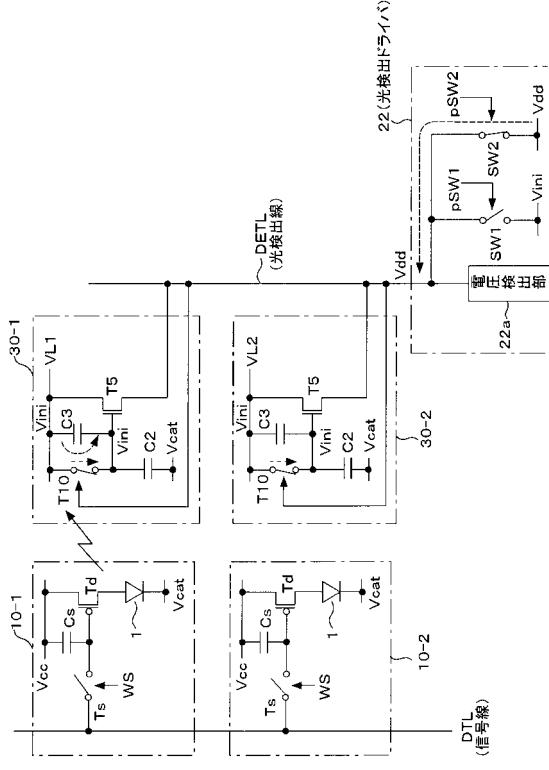
【図 5 4】



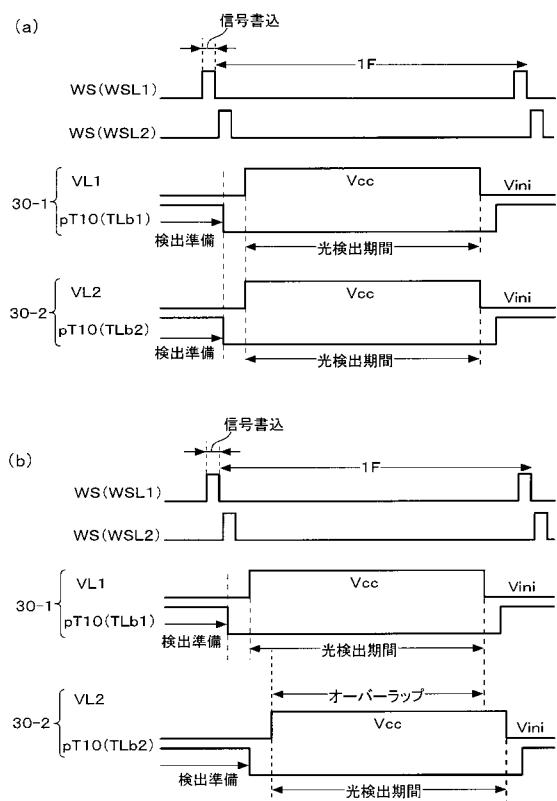
【図 5 5】



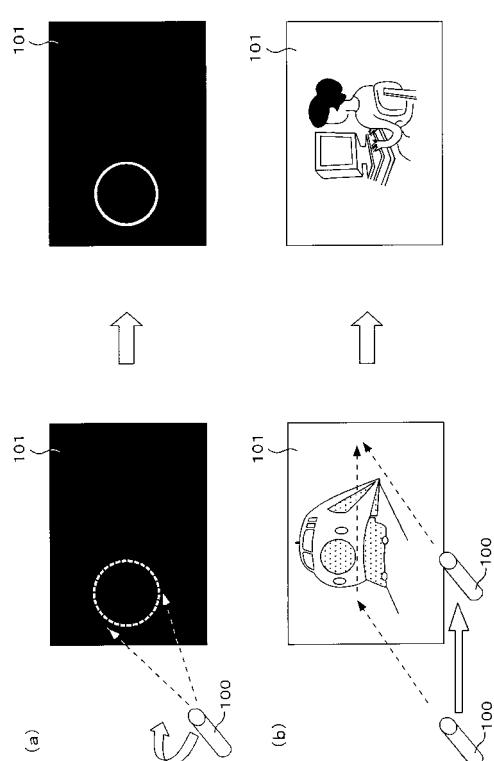
【図 5 6】



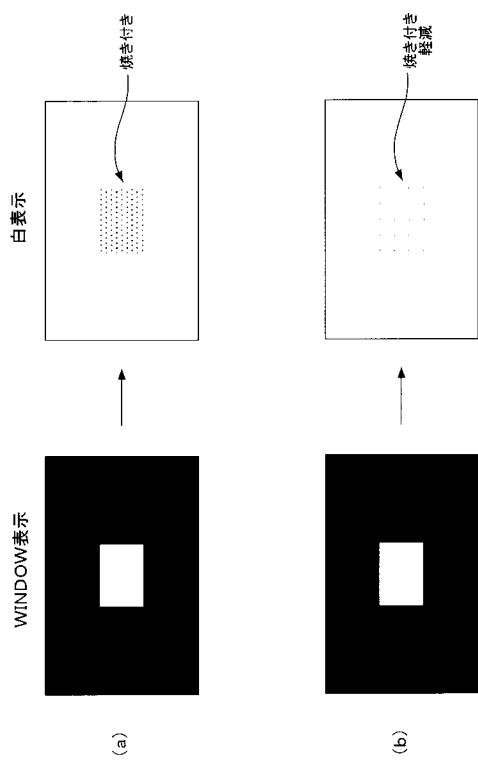
【図 5 7】



【図 5 8】



【図 5 9】



フロントページの続き

(51)Int.Cl.

F I

H 05B 33/14

A

(72)発明者 中村 和夫

東京都港区港南1丁目7番1号 ソニー株式会社内

審査官 森口 忠紀

(56)参考文献 特開2006-030317 (JP, A)

特開2006-253236 (JP, A)

特表2007-516459 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 09 G 3/00 - 3/38

H 05 B 33/00 - 33/28