

(12) 发明专利申请

(10) 申请公布号 CN 102163559 A

(43) 申请公布日 2011.08.24

(21) 申请号 201010246686.4

(22) 申请日 2010.08.04

(30) 优先权数据

12/707,752 2010.02.18 US

(71) 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹市

(72) 发明人 吴文进 邱文智 眭晓林

(74) 专利代理机构 隆天国际知识产权代理有限公司

公司 72003

代理人 姜燕 陈晨

(51) Int. Cl.

H01L 21/50 (2006.01)

H01L 21/98 (2006.01)

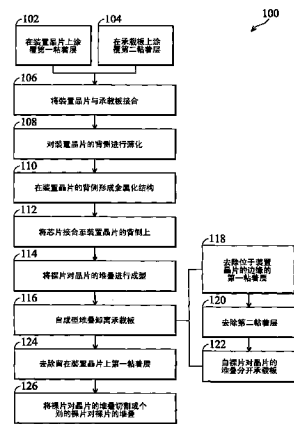
权利要求书 2 页 说明书 7 页 附图 12 页

(54) 发明名称

堆叠装置的制造方法及装置晶片处理方法

(57) 摘要

本发明揭示一种堆叠装置的制造方法及装置晶片处理方法,该堆叠装置的制造方法包括经由第一粘着层及第二粘着层而将一晶片接合至一承载板,其中晶片与承载板的边缘区被第一粘着层覆盖,但未被第二粘着层覆盖。进行晶片边缘清洁工艺,以去除邻近晶片边缘的第一粘着层而露出承载板的边缘区,接着自承载板处去除第二粘着层。自晶片卸离承载板之后,去除余留在晶片上的第一粘着层。本发明容易在不发生损害的情形下自薄化的装置晶片卸离承载板。



1. 一种堆叠装置的制造方法,包括:
  - 提供一晶片,其具有一第一表面及与其相对的一第二表面,其中该第一表面上涂覆了一第一粘着层;
  - 提供涂覆了一第二粘着层的一承载板,而露出该承载板的一边缘区;
  - 经由该第一粘着层及该第二粘着层将该晶片的该第一表面接合至该承载板,其中该承载板的该边缘区被该第一粘着层覆盖;
  - 自该第二表面薄化该晶片,以形成一薄化的晶片;
  - 将多个裸片接合至该薄化的晶片上;
  - 去除邻近于该薄化的晶片边缘的该第一粘着层,而露出该承载板的该边缘区以及邻近于该承载板的该边缘区的该第二粘着层;
  - 施加一光能或热能,以分解该第二粘着层;
  - 自该晶片卸离该承载板;以及
  - 去除余留于该晶片的该第一表面上的该第一粘着层。
2. 如权利要求 1 所述的堆叠装置的制造方法,其中该光能包括红外光、激光、或紫外光。
3. 如权利要求 1 所述的堆叠装置的制造方法,其中该第一粘着层由湿化学去除型粘着材料所构成。
4. 如权利要求 1 所述的堆叠装置的制造方法,其中该第二粘着层由光分解型或热分解型或溶剂分解型粘着材料所构成。
5. 一种堆叠装置的制造方法,包括:
  - 提供一晶片,其具有一第一表面及与其相对的一第二表面,其中该第一表面上涂覆了一第一粘着层;
  - 提供涂覆了一第二粘着层的一承载板,而露出该承载板的一边缘区;
  - 经由该第一粘着层及该第二粘着层将该晶片的该第一表面接合至该承载板,其中该承载板的该边缘区被该第一粘着层覆盖;
  - 自该第二表面薄化该晶片,以形成一薄化的晶片;
  - 将多个裸片接合至该薄化的晶片上,以形成一裸片对晶片的堆叠;
  - 在该裸片对晶片的堆叠上形成一成型材料;
  - 在邻近该成型材料的边缘形成一通道,其中该通道穿过该成型材料、该晶片的边缘以及一部分的该第一粘着层;
  - 去除该成型材料、该晶片的边缘以及该第一粘着层中环绕该通道的部分,而露出该承载板的该边缘区以及邻近于该承载板的该边缘区的该第二粘着层;
  - 去除该第二粘着层;
  - 自该晶片卸离该承载板;以及
  - 去除余留于该晶片的该第一表面上的该第一粘着层。
6. 如权利要求 5 所述的堆叠装置的制造方法,其中该通道的直径小于 5 毫米。
7. 如权利要求 5 所述的堆叠装置的制造方法,其中去除该第二粘着层的步骤包括施加一光能或热能或溶剂以分解该第二粘着层。
8. 如权利要求 5 所述的堆叠装置的制造方法,其中该第一粘着层由湿化学去除型粘着

材料所构成。

9. 一种装置晶片的处理方法,包括:

提供一装置晶片,其包括具有一前表面及一背表面的一半导体基底,其中一填有导电材料的通孔电极形成于该半导体基底内且从该前表面往该背表面延伸入该半导体基底至一深度;

在该半导体基底的该前表面形成一第一粘着层,以覆盖该装置晶片的边缘;

提供涂覆了一第二粘着层的一承载板,而露出该承载板的一边缘区;

经由该第一粘着层及该第二粘着层将该装置晶片接合至该承载板,其中该承载板的该边缘区被该第一粘着层覆盖;

自该半导体基底的该背表面薄化该装置晶片,以露出该通孔电极的一端点;

在该半导体基底的该背表面上方形成一金属化结构,以电性连接至该通孔电极的该露出的端点;

将一裸片接合至该装置晶片上,以电性连接该金属化结构;

去除邻近该装置晶片边缘的该第一粘着层,以露出该承载板的该边缘区;

去除该第二粘着层;

自该晶片卸离该承载板;以及

去除该第一粘着层。

10. 如权利要求 9 所述的装置晶片的处理方法,其中去除该第二粘着层的步骤为施加一光能或热能以分解该第二粘着层。

## 堆叠装置的制造方法及装置晶片处理方法

### 技术领域

[0001] 本发明涉及一种半导体装置的制作,特别涉及一种半导体装置制造期间处理(handle)薄化的晶片所使用的临时承载板的接合与卸离(detaching)方法。

### 背景技术

[0002] 由于各个电子部件(即,晶体管、二极管、电阻、电容等等)的集成度(integration density)持续不断的改进,使半导体业持续快速成长发展。主要来说,集成度的改进来自于最小特征尺寸(minimum feature size)不断缩小而容许更多的部件整合至既有的晶片面积内。因此创造出三维集成电路(three-dimensional integrated circuit,3DIC)来解决装置数量增加时,存在于装置之间内连线长度及数量的限制因素。裸片对晶片(die to wafer)堆叠接合为形成3DIC的一种方式,其中一或一个以上的裸片接合至一晶片上,而裸片的尺寸可小于晶片上的芯片(chip)。为了减少半导体封装的厚度、增加芯片的速度,以及高密度元件制作,因而致力于缩减半导体晶片的厚度。因此,重要的3D技术工艺其中之一在于如何处理晶片薄化。用于临时性接合的典型工艺包括在承载晶片及/或装置晶片上涂覆一粘着剂、将装置晶片与承载板接合、对装置晶片进行加工以及接着去除承载板。

[0003] 厚度缩减即为对背向于半导体晶片中含有电路图案(pattern-formed circuitry)的表面进行所谓的晶背研磨,半导体晶片上通常通过一粘着材料来贴附一载板,以协助晶片的处理。由于薄化的晶片强度不足且较容易发生变形,例如弯曲(bending)及/或翘曲(warping),因此在利用切割工艺使晶片分割成个别的芯片封装之前,晶片表面先以成型材料(molding compound)进行封胶(例如,热固型环氧树脂)。传统成型工艺中晶片边缘会露出一部分的粘着材料,使晶片边缘在进行后续工艺(例如时蚀刻或干蚀刻)期间容易受损,例如在卸离承载板之后发生破片(chipped)。特别是使用热固性(thermosetting)的粘着材料时,装置晶片所进行的高温背侧工艺,使粘着强度大于装置晶片中的低介电常数材料层而在承载板卸离工艺期间造成低介电常数材料层的损害。同样地,在进行背侧工艺期间,粘着材料的粘度降低,使粘着材料流入玻璃承载板而引发其他的问题。

### 发明内容

[0004] 本发明的目的在于克服现有技术中的缺陷。

[0005] 本发明一实施例中,一种堆叠装置的制造方法,包括:提供一晶片,其具有一第一表面及与其相对的一第二表面,其中第一表面上涂覆了一第一粘着层;提供涂覆了一第二粘着层的一承载板,而露出承载板的一边缘区;经由第一粘着层及第二粘着层将晶片的第一表面接合至承载板,其中承载板的边缘区被第一粘着层覆盖;自第二表面薄化晶片,以形成一薄化的晶片;将多个裸片接合至薄化的晶片上;去除邻近于薄化的晶片边缘的第一粘着层,而露出承载板的边缘区以及邻近于承载板的边缘区的该二粘着层;施加一光能或热能,以分解第二粘着层;自晶片卸离承载板;以及去除余留于晶片的第一表面上的第一粘着层。

[0006] 本发明另一实施例中,一种堆叠装置的制造方法,包括:提供一晶片,其具有一第一表面及与其相对的一第二表面,其中第一表面上涂覆了一第一粘着层;提供涂覆了一第二粘着层的一承载板,而露出承载板的一边缘区;经由第一粘着层及第二粘着层将晶片的第一表面接合至承载板,其中承载板的边缘区被第一粘着层覆盖;自第二表面薄化晶片,以形成一薄化的晶片;将多个裸片接合至薄化的晶片上,以形成一裸片对晶片的堆叠;在裸片对晶片的堆叠上形成一成型材料;在邻近成型材料的边缘形成一通道,其中通道穿过成型材料、晶片的边缘以及一部分的第一粘着层;去除成型材料、晶片的边缘以及第一粘着层中环绕通道的部分,而露出承载板的边缘区以及邻近于承载板的该边缘区的第二粘着层;去除第二粘着层;自晶片卸离该承载板;以及去除余留于晶片的第一表面上的第一粘着层。

[0007] 本发明又一实施例中,一种装置晶片的处理方法,包括:提供一装置晶片,其包括具有一前表面及一背表面的一半导体基底,其中一填有导电材料的通孔电极形成于半导体基底内且从前表面往背表面延伸入半导体基底至一深度;在半导体基底的前表面形成一第一粘着层,以覆盖装置晶片的边缘;提供涂覆了一第二粘着层的一承载板,而露出承载板的一边缘区;经由第一粘着层及第二粘着层将装置晶片接合至承载板,其中承载板的边缘区被第一粘着层覆盖;自半导体基底的背表面薄化装置晶片,以露出通孔电极的一端点;在半导体基底的背表面上方形成一金属化结构,以电性连接至通孔电极的露出的端点;将一裸片接合至装置晶片上,以电性连接金属化结构;去除邻近装置晶片边缘的第一粘着层,以露出承载板的该边缘区;去除第二粘着层;自晶片卸离承载板;以及去除第一粘着层。

[0008] 本发明能在后续进行薄化及背侧工艺期间轻易处理装置晶片,更容易在不发生损害的情形下自薄化的装置晶片卸离承载板。

#### 附图说明

[0009] 图 1 示出根据一实施例的垂直式裸片对裸片堆叠的制造流程图,其包括临时承载板的接合及卸离。

[0010] 图 2A 至图 2K 示出根据图 1 的方法来制造裸片对裸片堆叠的各个阶段的一实施例的剖面示意图。

[0011] 图 3A 至图 3C 示出根据临时承载板的接合及卸离方法来处理具有通孔电极的装置晶片的方法的一实施例的剖面示意图。

[0012] 图 4 示出根据一实施例的垂直式裸片对裸片堆叠的制造流程图,其包括临时承载板的接合及卸离。

[0013] 图 5A 至图 5G 示出根据图 4 的方法来制造裸片对裸片堆叠的各个阶段的一实施例的剖面示意图。

[0014] 其中,附图标记说明如下:

[0015] 100、500 ~ 方法;

[0016] 102、104、106、108、112、114、116、118、120、122、124、126、510、512、514、516、518 ~ 步骤;

[0017] 200 ~ 装置晶片;

[0018] 200" ~ 薄化的装置晶片;

- [0019] 200a ~ 第一侧；
- [0020] 200b、200b” ~ 第二侧；
- [0021] 200e ~ 边缘；
- [0022] 202 ~ 第一粘着层；
- [0023] 204 ~ 金属化结构；
- [0024] 210 ~ 半导体基底；
- [0025] 210” ~ 薄化的基底；
- [0026] 210a ~ 前表面；
- [0027] 210b、210” ~ 背表面；
- [0028] 220 ~ 通孔电极；
- [0029] 220a ~ 端点；
- [0030] 240 ~ 内连结构；
- [0031] 250 ~ 背侧隔离层；
- [0032] 260 ~ 接垫；
- [0033] 280 ~ 导电结构；
- [0034] 300 ~ 承载板；
- [0035] 300e ~ 边缘区；
- [0036] 302 ~ 第二粘着层；
- [0037] 400 ~ 裸片；
- [0038] 402 ~ 裸片对晶片的堆叠；
- [0039] 402a ~ 成型堆叠；
- [0040] 404 ~ 成型材料；
- [0041] 405 ~ 通道；
- [0042] 406 ~ 光源；
- [0043] 408 ~ 裸片对裸片的堆叠。

### 具体实施方式

[0044] 在以下说明中，提出了许多特定细节部分，以充分了解本发明。然而，任何所属技术领域中普通技术人员将会了解本发明能够在没有这些特定细节情形下实行。在一些范例中，并未详述公知结构及工艺，以避免使本发明产生不必要的混淆。

[0045] 本说明书全文中所提及关于“一实施例”的意思是指有关于本实施例中所提及及特定的特征 (feature)、结构、或特色包含于本发明的至少一实施例中。因此，本说明书全文中各处所出现的“在一实施例中”用语所指的并不全然表示为相同的实施例。再者，特定的特征、结构、或特色能以任何适当方式而与一或多个实施例作结合。可以理解的是以下的附图并未依照比例示出，而仅仅提供说明之用。

[0046] 请参照图 1，其示出根据一实施例的垂直式裸片对裸片 (die to die) 堆叠的制造流程图，其包括临时承载板 (temporary carrier) 的接合及卸离。请参照图 2A 至图 2K，其示出根据图 1 的方法来制造裸片对裸片堆叠的各个阶段的一实施例。

[0047] 方法 100 的起始步骤 102 为在一装置晶片上涂覆一第一粘着层，且接着进行步骤

104, 在一承载板上涂覆一第二粘着层。图 2A 示出一实施例的在一装置晶片 200 上涂覆一第一粘着层 202 的剖面示意图, 用以贴附于涂覆第二粘着层 302 的承载板 300。装置晶片 200 内具有多个半导体芯片, 其中每一芯片包括一基底, 其上形成有公知的电子装置。基底可由半导体材料、硅、砷化镓、白水晶 (rock crystal) 晶片、蓝宝石、玻璃、石英、陶瓷、热固性材料等等所构成。基底上通常覆盖一或多层介电层及导电层。导电层提供下方电子装置的连接及布线 (routing)。装置晶片 200 具有第一侧 200a 及相对于第一侧 200a 的第二侧 200b。在第一侧 200a 上, 形成有集成电路, 包括有源 (active) 及无源 (passive) 装置, 例如晶体管、电阻、电容等等, 用以连接接垫及 / 或其他内连结构。

[0048] 第一粘着层 202 置于第一侧 200a 上方, 以将装置晶片 200 贴附承载板 300。在一实施例中, 第一粘着层 202 覆盖装置晶片 200 的第一侧 200a 的边缘 200e。第一粘着层 202 可为一单层、多层粘着结构、或复合层而应用于旋涂 (spin on) 或多层贴合 (lamination) 工艺, 其中至少一粘着层包括施化学去除型粘着材料, 例如热塑性 (thermal plastic) 材料、溶剂可溶型材料。也可使用其他类型的粘着材料, 例如压力敏感性粘着材料、光固化性粘着材料、环氧化物、或其组合等等。粘着材料可置于半液状或胶体的表面上, 其在受压之下可立即变形。第一粘着层 202 可轻易进行物理性或化学性剥除。

[0049] 承载板 300 由可去除或可溶材料所构成, 例如, 硅、玻璃、石英、陶瓷、氧化硅、氧化铝、高分子、塑胶、丙烯酸基 (acrylic-based) 材料、任何其他透明材料、或其组合。承载板 300 为平整的, 使其能够贴附于装置晶片 200。承载板 300 的厚度在 550 微米 ( $\mu\text{m}$ ) 至 850 微米的范围。承载板 300 的直径大于装置晶片 200 的直径, 然而承载板 300 的尺寸不尽然取决于装置晶片 200 的尺寸。在进行处理或加工期间, 承载板 300 提供装置晶片 200 的物理性支撑, 且承载板 300 为透明的, 以容许光线的穿透, 例如激光或紫外光 (UV)。

[0050] 第二粘着层 302 置于承载板 300 上方, 以将装置晶片 200 贴附承载板 300。在一实施例中, 除了承载板 300 的边缘区 300e 之外, 第二粘着层 302 覆盖承载板 300 的主要部分。第二粘着层 302 可为一单层或复合层而应用于旋涂或多层贴合工艺。在一实施例中, 第二粘着层 302 由光分解性粘着材料所构成, 例如激光敏感性材料、UV 敏感性材料或热分解性材料, 其能够在暴露于光能或热能 (例如, 红外光 (IR)、激光、UV 等等) 时被分解而失去粘性。在另一实施例中, 第二粘着层 302 由溶剂分解性粘着材料所构成, 例如热塑性材料, 其能够以溶剂进行分解, 例如光致抗蚀剂相关溶剂 (如, 丙二醇单甲基醚酯 (propylene glycol methyl ether acetate, PGMEA) 或 N-甲基吡咯酮 (N-methyl pyrrolidinone, NMP))。

[0051] 进行方法 100 的步骤 106, 将装置晶片与承载板接合。图 2B 示出将装置晶片 200 倒置且经由粘着层 202 及 302 而接合至承载板 300 上的剖面示意图, 使其能在后续进行薄化及背侧工艺期间轻易处理装置晶片 200。第一粘着层 302 覆盖第二粘着层 302 以及承载板 300 的边缘区 300e。

[0052] 进行方法 100 的步骤 108, 对装置晶片的背侧进行薄化。图 2C 示出装置晶片 200 进行晶片薄化工艺的剖面示意图。在贴合至承载板 300 之后, 对装置晶片 200 的无结构 (structure-free) 区 (第二侧 200b) 进行加工至所需的最终厚度。举例来说, 可通过磨削 (grinding)、蚀刻及 / 或磨抛的方式来进行而形成具有既定厚度 (取决于半导体封装使用目的) 的薄化晶片 200”。在一实施例中, 装置晶片 200 薄化至约 5 微米至 50 微米的厚度。

在另一实施例中,装置晶片 200 薄化至约 25 微米至 250 微米的厚度。

[0053] 进行方法 100 的步骤 110,在装置晶片的背侧形成金属化结构。图 2D 示出在薄化的装置晶片 200”的第二侧 200b”上形成金属化结构 204 的剖面示意图。背侧的金属化结构 204 包括内连结构(例如,重布线(re-distribution line,RDL))、外部接触结构(例如,个别的半导体芯片的焊料凸块(solder bump)或含铜凸块)及/或作为电源线、电感、电容或任何无源部件的其它结构。金属化结构 204 可由电镀、无电电镀、溅镀(sputtering)、化学气相沉积(chemical vapor deposition)等方法所形成的铜、铝、铜合金或其他导电材料所构成。

[0054] 进行方法 100 的步骤 112,将芯片接合至装置晶片的背侧上。图 2E 示出将多个裸片 400 接合以及电性连接至薄化的装置晶片 200”的第二侧 200b”上的金属化结构 400 而形成裸片对晶片的堆叠 402 的剖面示意图。接合方法包括一般所使用的方法,例如氧化层对氧化层接合、氧化层对硅层接合、铜对铜接合、粘着接合以及焊料凸块接合等等。裸片 400 可包括存储器芯片、射频(radio frequency, RF)芯片、逻辑芯片、或其他芯片。每一裸片 400 具有第一表面及第二表面,且集成电路形成于第一表面上。在一实施例中,裸片 400 的第一表面接合至薄化的装置晶片 200”。在一实施例中,裸片 400 的第二表面 14b 接合至薄化的装置晶片 200”。

[0055] 进行方法 100 的步骤 114,将裸片对晶片的堆叠进行成型(molding)。图 2F 示出将裸片对晶片的堆叠 402 进行成型工艺而形成一成型堆叠 402a 的剖面示意图。一成型材料 404 涂覆于裸片对晶片的堆叠 402 上,且填入相邻的裸片 400 之间的空间。成型工艺在薄化的装置晶片 200”的边缘保留一未覆盖区。成型材料 404 可由固化材料所构成,例如高分子材料、树脂材料、聚酰亚胺(polyimide)、氧化硅、环氧化物、苯并环丁烯(benzocyclobutene, BCB)、Silk™(陶式化学公司(Dow Chemical))、或其组合。成型工艺包括射出成型、压缩成型、钢板印刷、旋转涂布或是未来所发展的成型工艺。在涂覆成型材料 404 之后,进行固化或烘烤步骤,以凝固成型材料 404。

[0056] 进行方法 100 的步骤 116,自成型堆叠 402a 卸离承载板 300。图 2G 至图 2I 示出承载板卸离工艺的各个阶段剖面示意图。开始进行步骤 116 的步骤 118,通过一清洁方法来去除位于薄化的装置晶片 200”的边缘 200e 的第一粘着层 202,以露出承载板 300 的边缘区 300e 以及邻近于边缘区 300e 的第二粘着层 302,如图 2G 所示。清洁方法可为化学喷洗(jetting)工艺或湿式槽洗(wet bench)工艺。进行步骤 116 的步骤 120,去除第二粘着层 302。在一实施例中,通过光源 406 分解来去除第二粘着层 302,如图 2H 所示。光源 406 通往承载板 300 并穿过承载板 300,使第二粘着层 302 在吸收光能之后被分解。光源 406 可包括红外光(IR)、激光、照射灯等等。在其他实施例中,可通过溶剂分解法来去除第二粘着层 302,例如  $\text{NH}_4\text{OH}$ 。

[0057] 通常在完成晶片级测试之后,进行步骤 116 的步骤 122,分开承载板 300 及成型堆叠 402a,如图 2I 所示。由于第二粘着层 302 通过分解或溶剂而去除,因此更容易在不发生损害的情形下自薄化的装置晶片 200”卸离承载板 300。卸离工艺可为任何适当的剥离(de-bonding)工艺,使薄化的装置晶片 200”中的半导体结构保有其完整性。举例来说,利用溶剂、UV 照射、或拉脱(pulled off)方式来进行卸离工艺,以自第一粘着层 202 去除承载板 300。



[0058] 进行方法 100 的步骤 124, 去除留在薄化的装置晶片 200”上第一粘着层 202。图 2J 示出对薄化的装置晶片 200”的第一侧 200a 进行晶片清洁工艺以去除第一粘着层 202 的剖面示意图。在一实施例中, 晶片清洁工艺为湿式工艺, 以化学剥除第一粘着层 302。在其他实施中, 可通过热分解、剥离、等离子体清洁、粒剂清洁 (pellet cleaning) 等等来去除第一粘着层 202, 因而露出了个别的半导体芯片中用以接合至电性接头且形成于薄化的装置晶片 200”的第一侧 200a 的外部接触。

[0059] 进行方法 100 的步骤 126, 以惯用方法沿着切割道将成型堆叠 402a 切割成个别的裸片对裸片的堆叠 408。图 2K 示出多个裸片对裸片的堆叠 408 的剖面示意图。在进行切割工艺之后, 堆叠的晶片可通过异方性导电膜 (anisotropically conductive connection film) 而组装于 IC 卡上。

[0060] 装置晶片 200 的一或多个裸片可具有一或多个基底通孔电极 (through substrate via, TSV) 形成于内。图 3A 至图 3C 示出根据图 1 及图 2A 至图 2K 的方法来制造具有通孔电极的装置晶片的一实施例, 其中省略相同或相似部分的解释说明。

[0061] 根据方法 100 的步骤 102 至 106, 图 3A 示出具有多个硅通孔电极 (through silicon via, TSV) 的装置晶片 200 通过粘着层 202 及 302 而接合至承载板 300 的剖面示意图。

[0062] 装置晶片 200 包括具有前表面 210a 及背表面 210b 的一半导体基底 210, 其中集成电路及内连结构形成于前表面 210a 上, 且多个通孔电极 220 穿过至少一部分的半导体基底 210。每一通孔电极 220 充填金属的插塞, 自前表面 210a 往背表面 210b 延伸至一预定深度。通孔电极 220 可电性连接形成于内连结构 240 上的接垫 260。通孔电极 220 的制作可在制作“第一层位内连线”(其表示位于接触窗结构 (via structure) 与晶体管上方的最底层金属层间介电 (inter-metal dielectric, IMD) 层中最底层金属图案层) 之前进行。另外, 金属填充通孔 (metal-filled via) 工艺可在制作内连线结构之后进行。

[0063] 根据方法 100 的步骤 108 至 112, 图 3B 示出包括多个硅通孔电极 (TSV) 的成型堆叠 402a 的剖面示意图。在进行背侧薄化工艺之后, 通孔电极 220 的一端点 220a 露出及/或突出于薄化的基底 210”的背表面 210b”, 如图 2B 所示。形成背侧隔离层 250, 以覆盖薄化的晶片 210”的背侧。导电结构 280, 例如焊料凸块或铜凸块, 形成于通孔电极 220 的端点 220a 上方, 以接合至裸片 400。导电结构 280 也包括重布局层 (RDL) 及接垫, 其可在制作焊料凸块或铜凸块之前形成。

[0064] 根据方法 100 的步骤 114 至 124, 图 3C 示出承载板 300 自承型堆叠 402a 卸离的剖面示意图。再将成型材料 404 涂覆于裸片对晶片的堆叠 402 上方之后, 通过一清洁方法来去除位于薄化的装置晶片 200”边缘的第一粘着层 202, 以露出承载板 300 的边缘区 300e 以及邻近边缘区 300e 的第二粘着层 302 (未示出于图 3C)。接着利用光源 406 来分解去除第二粘着层 302, 如图 2H 所示。另外, 可通过溶剂分解法来去除第二粘着层 302。接下来, 自成型堆叠 402a 卸离承载板 300 而无造成损害。接着进行以下步骤, 通过晶片清洁工艺去除余留于薄化的装置晶片 200”上的第一粘着层 202, 例如以湿式工艺, 化学性剥除第一粘着层 202。

[0065] 以上说明了许多实施例的特征, 虽然所揭示的临时承载板的使用是有关于 TSV 装置晶片的制作, 然而可以理解的是此处所揭示的方法可实施于其他需使用临时性承载板的

应用类型,例如图像传感器、微机电系统 (microelectromechanical systems, MEMS)、或其他 3DIC 应用。

[0066] 请参照图 4,其示出根据一实施例的垂直式裸片对裸片堆叠的制造流程图,其包括临时承载板的接合及卸离。请参照图 5A 至图 5G,其示出根据图 4 的方法来制造裸片对裸片堆叠的各个阶段的一实施例的剖面示意图,其中省略相同或相似于图 1 至图 3 的解释说明。

[0067] 方法 500 起始于步骤 102 及 104,接着进行步骤 106 至 114,形成以成型材料 404 封胶的成型堆叠 402a,如图 5A 所示。

[0068] 接着,方法 500 进行步骤 510,自裸片对晶片的堆叠 402 卸离承载板 300。图 5A 至图 5G 示出承载板卸离工艺的各个阶段剖面示意图。开始进行步骤 510 的步骤 512,微削 (trimming) 薄化的装置晶片 200”的边缘,以形成环绕且邻近成型堆叠 402a 边缘的通道 405,如图 5B 所示。通过切割法,例如激光切割工具,使通道 405 切穿成型材料 404 及薄化的装置晶片 200”,且延伸置一部分的第一粘着层 202 而未接触承载板 300 及 / 或第二粘着层 302。另外,也可使用蚀刻工艺来形成通道 405。通道 405 的直径小于 5 毫米 (mm)。

[0069] 进行步骤 510 的步骤 514,通过一清洁方法来去除位于薄化的装置晶片 200”的边缘 200e 的第一粘着层 202,以露出承载板 300 的边缘区 300e 以及邻近于边缘区 300e 的第二粘着层 302,如图 5C 所示。清洁方法可为化学喷洗工艺或湿式槽洗工艺,用以去除环绕通道 405 的部分,包括了邻近成型堆叠 402a 边缘的成型材料 404、薄化的装置晶片 200”以及第一粘着层 202,因而露出邻近承载板 300 的边缘区 300e 的第二粘着层 302,同样也露出了承载板 300 的边缘区 300e。

[0070] 进行步骤 510 的步骤 516,去除第二粘着层 302。在一实施例中,通过光源 406 分解来去除第二粘着层 302,如图 5D 所示。光源 406 通往承载板 300 并穿过承载板 300,使第二粘着层 302 在吸收光能之后被分解。光源 406 可包括红外光 (IR)、激光、照射灯等等。在其他实施例中,可通过溶剂分解法来去除第二粘着层 302。

[0071] 通常在完成晶片级测试之后,进行步骤 510 的步骤 518,分开承载板 300 及裸片对晶片的堆叠 402,如图 5E 所示。由于第二粘着层 302 通过分解或溶剂而去除,因此更容易在不发生损害的情形下自薄化的装置晶片 200”卸离承载板 300。卸离工艺可为任何适当的剥离工艺,使薄化的装置晶片 200”中的半导体结构保有其完整性。举例来说,利用溶剂、UV 照射、或拉脱方式来进行卸离工艺,以自第一粘着层 202 去除承载板 300。

[0072] 进行方法 500 的步骤 124,去除留在薄化的装置晶片 200”上第一粘着层 202。图 5F 示出对薄化的装置晶片 200”的第一侧 200a 进行晶片清洁工艺以去除第一粘着层 202 的剖面示意图。在一实施例中,晶片清洁工艺为湿式工艺,以化学剥除第一粘着层 302。因此,露出了个别的半导体芯片中用以接合至电性接头且形成于薄化的装置晶片 200”的第一侧 200a 的外部接触。进行方法 500 的步骤 126,以惯用方法沿着切割道将成型堆叠 402a 切割成个别的裸片对裸片的堆叠 408。图 5G 示出多个裸片对裸片的堆叠 408 的剖面示意图。在进行切割工艺之后,堆叠的晶片可通过异方性导电膜组装于 IC 卡上。

[0073] 以上的详细说明中,本发明对照其特定实施例作说明。然而,很清楚的是在不脱离本发明的精神和范围内,当可作出各种更动、结构、工艺及改变,如权利要求所述。因此,说明书及附图用于范例说明而不是用以限定本发明。可以理解的是本发明能够使用其他不同的组合与环境,且能够在此处所表达的发明概念范围内作改变与更动。

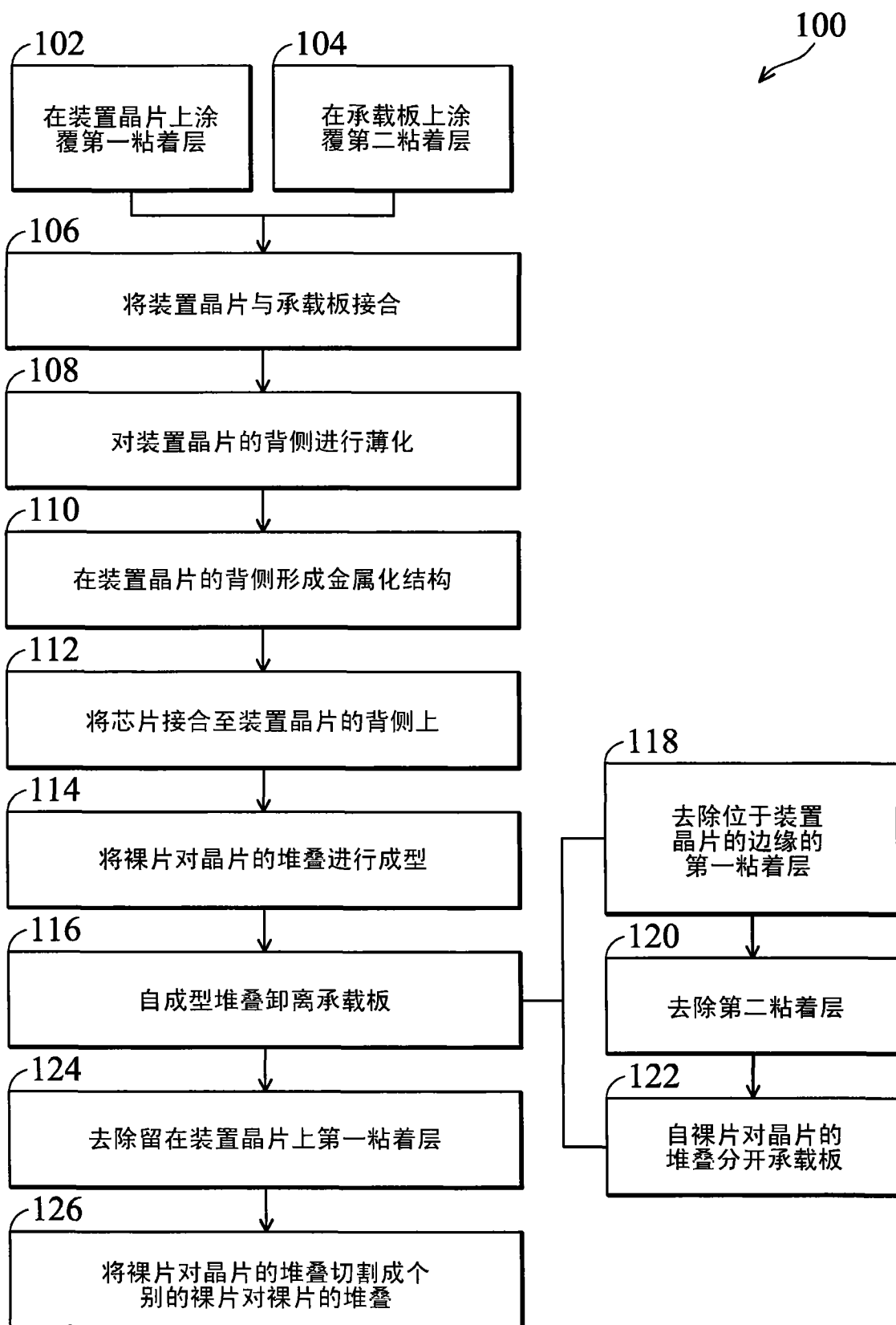


图 1

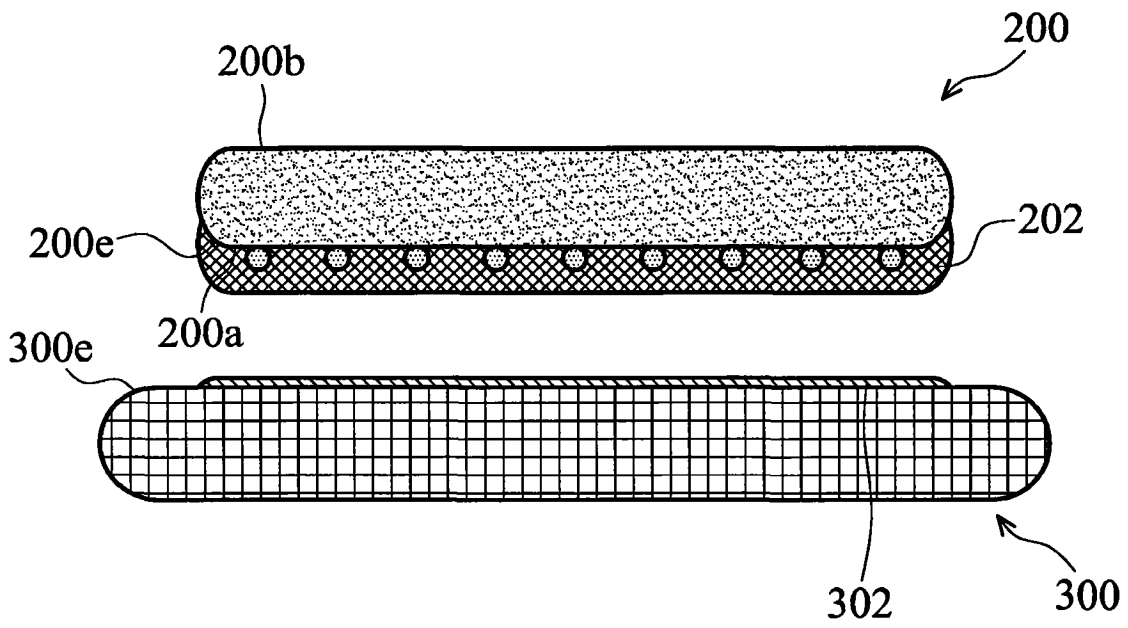


图 2A

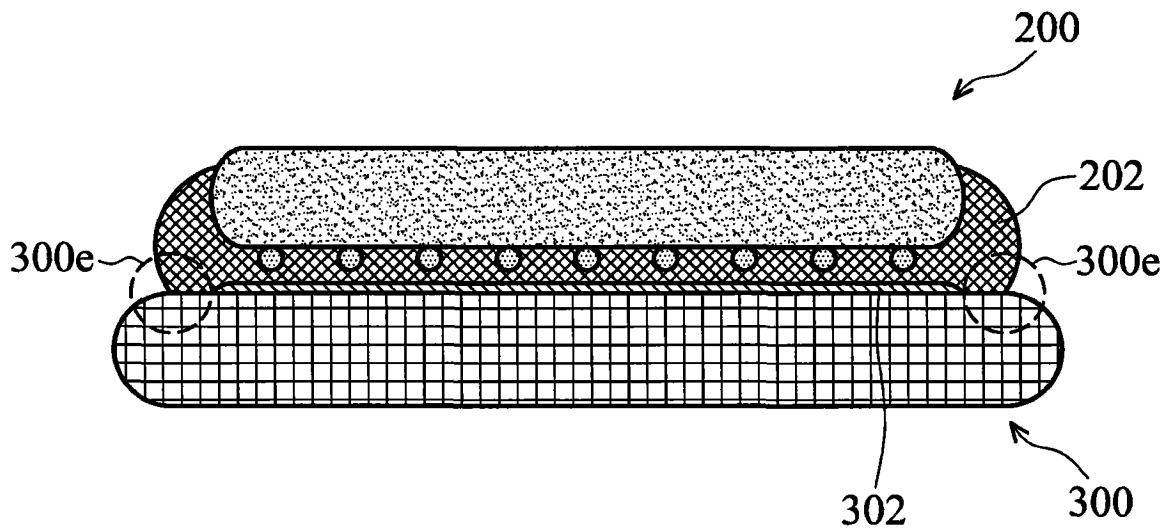


图 2B

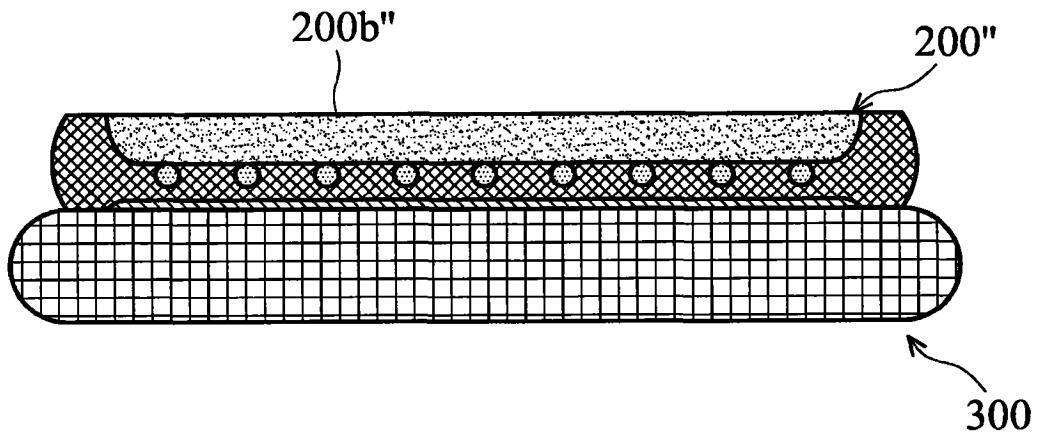


图 2C

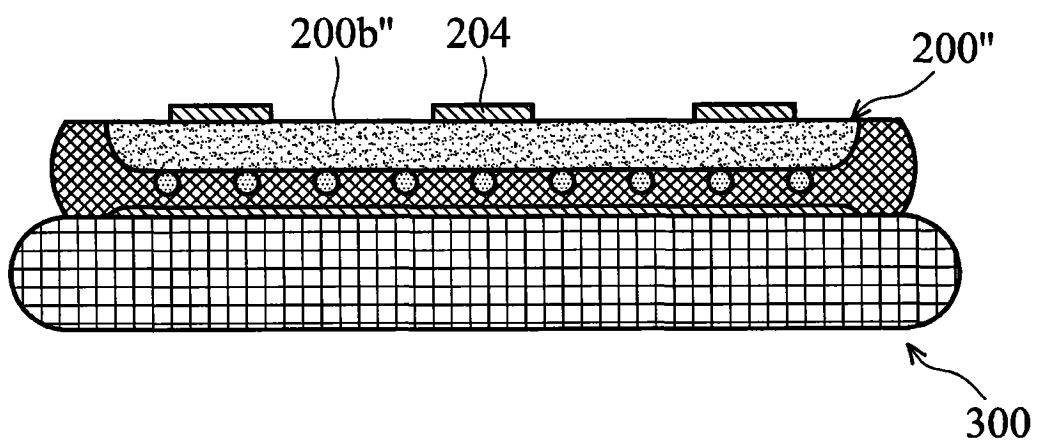


图 2D

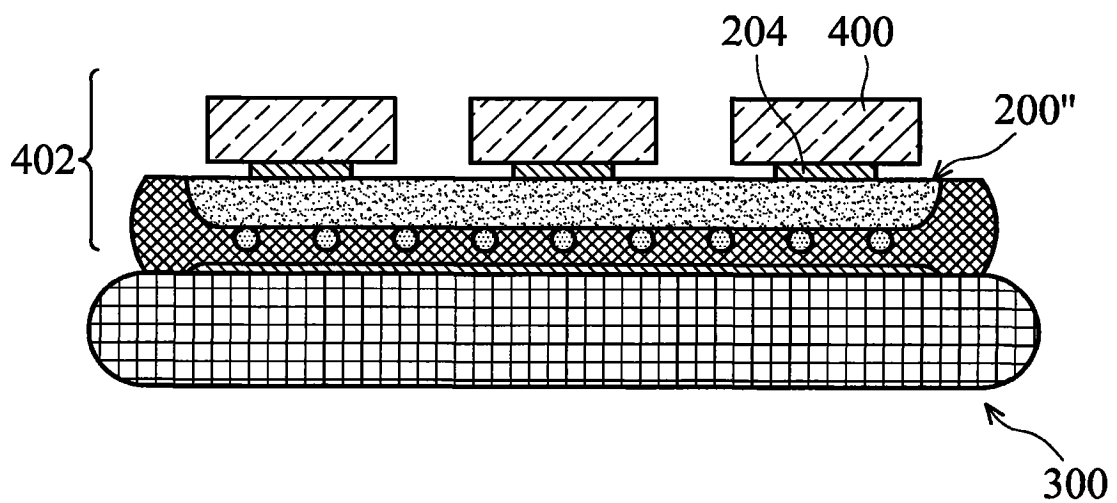


图 2E

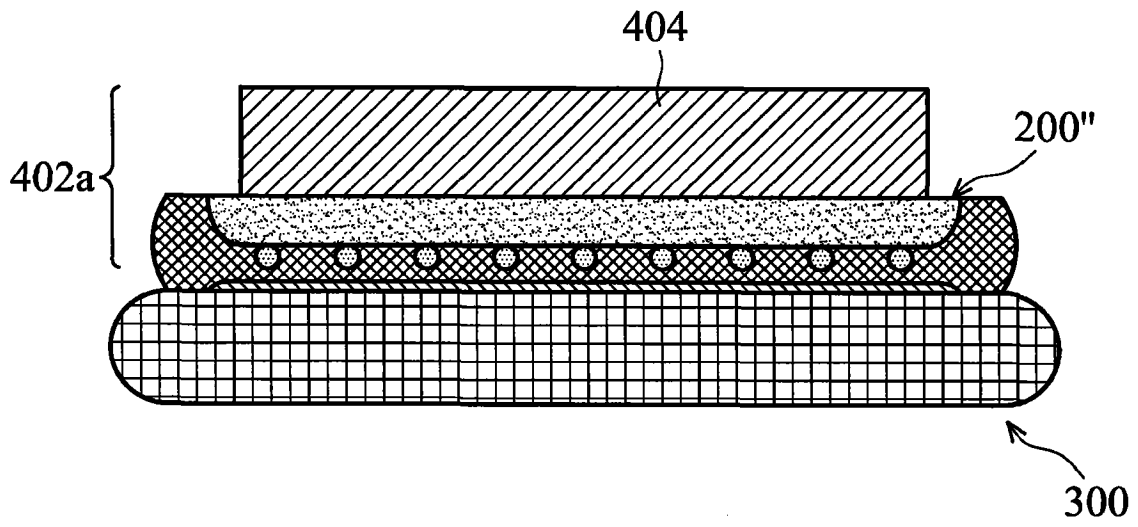


图 2F

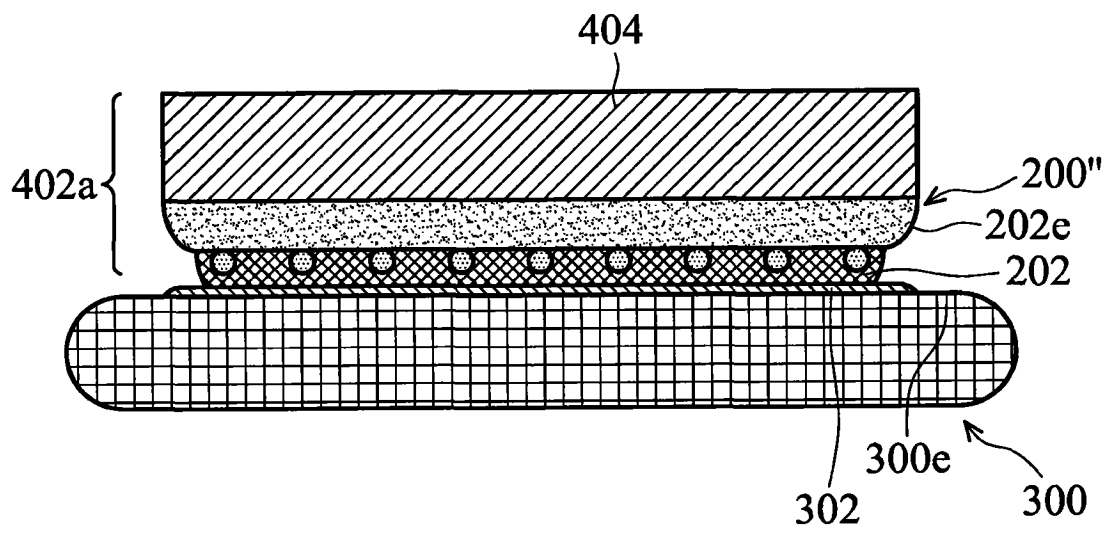


图 2G

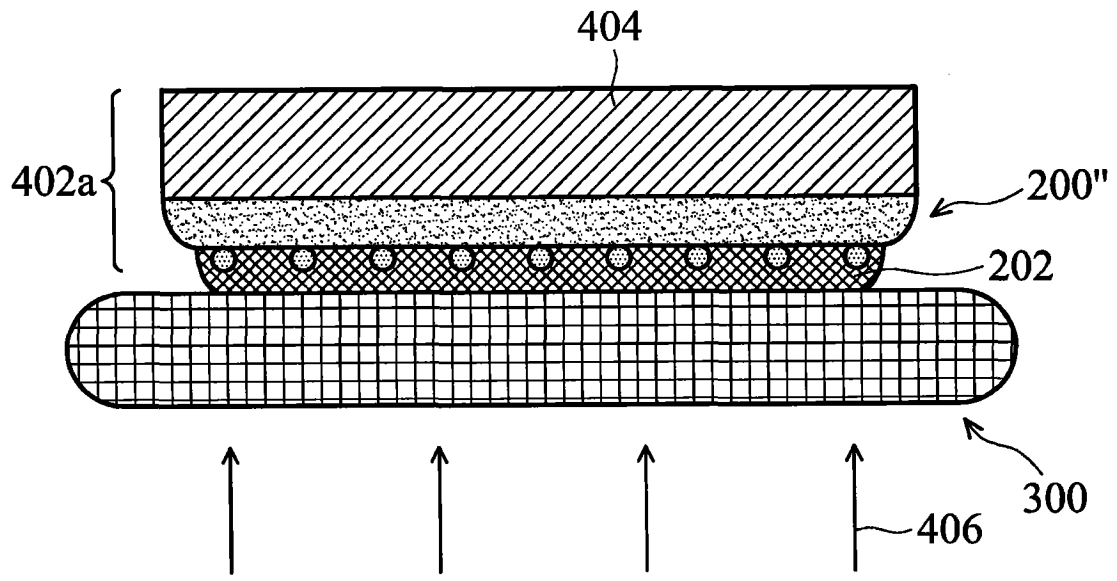


图 2H

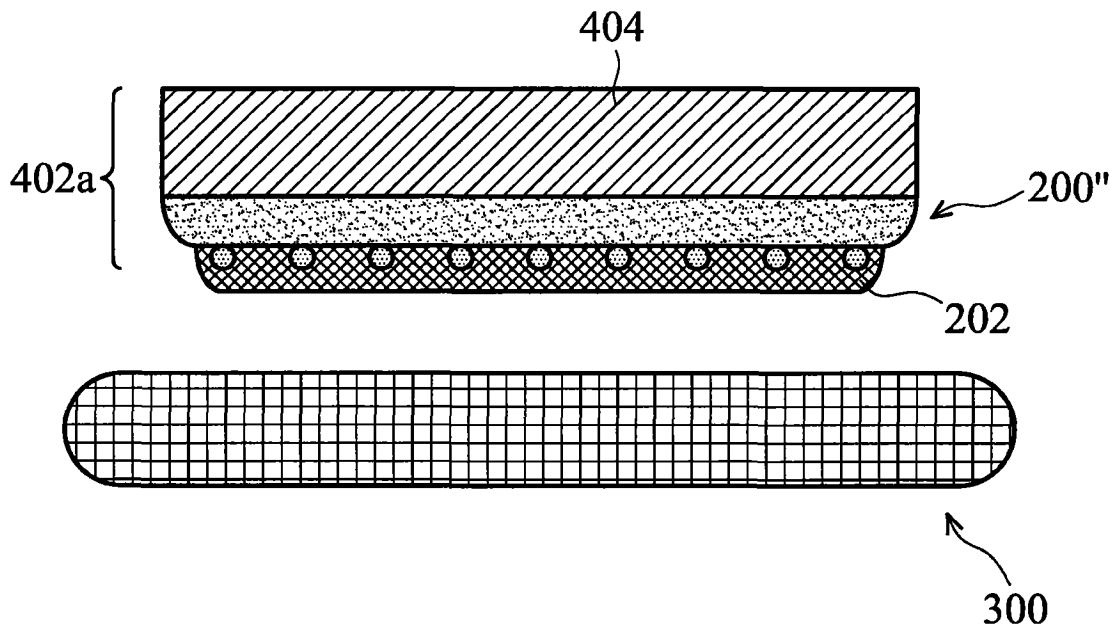


图 2I

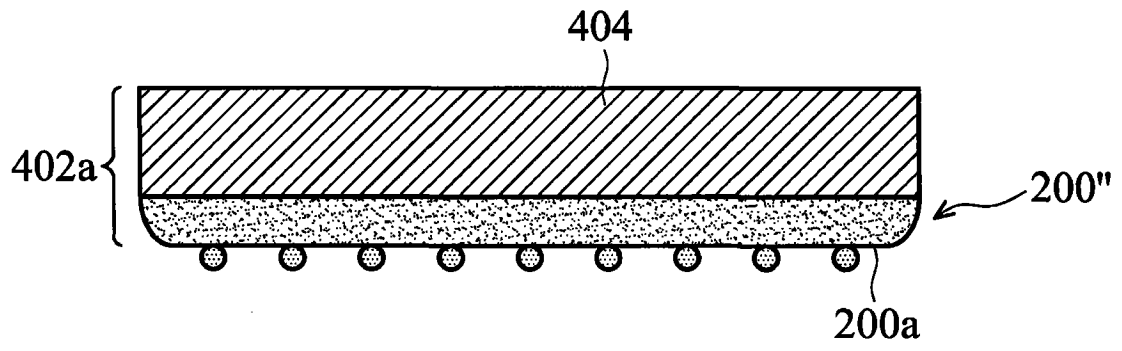


图 2J

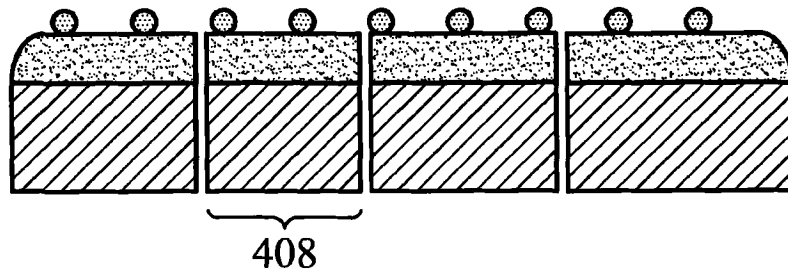


图 2K

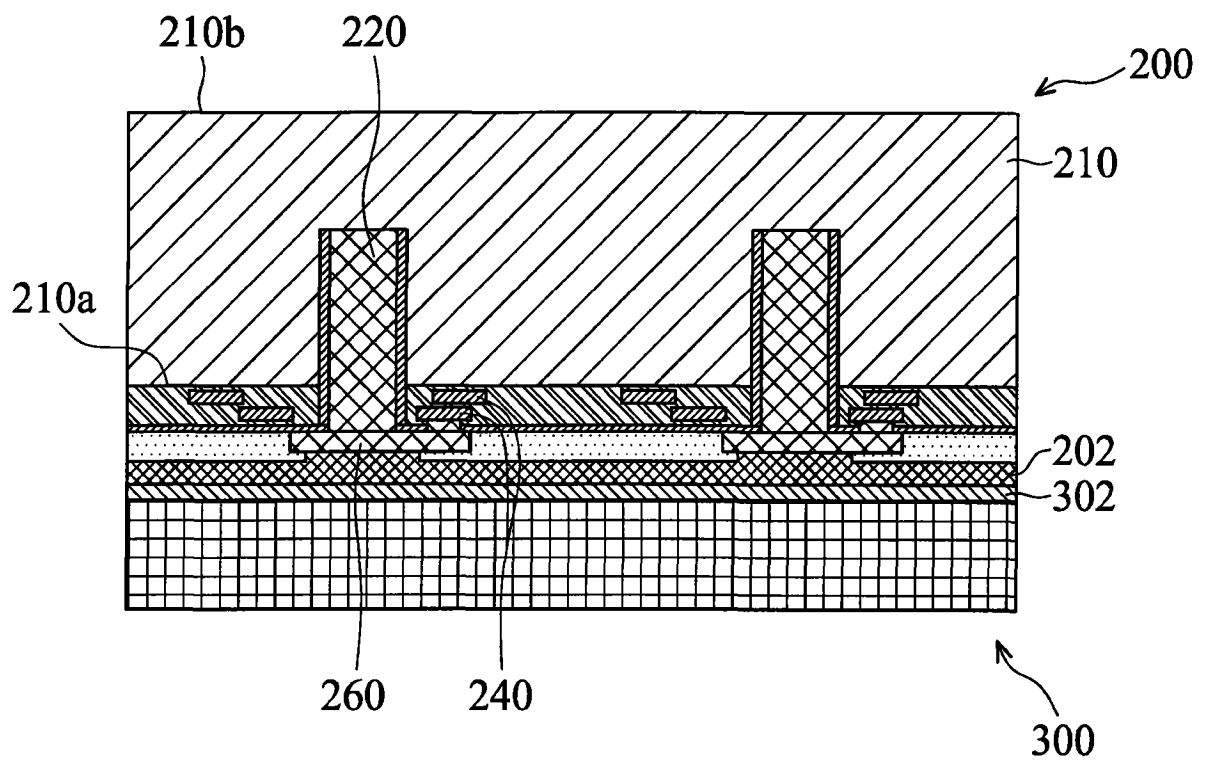


图 3A



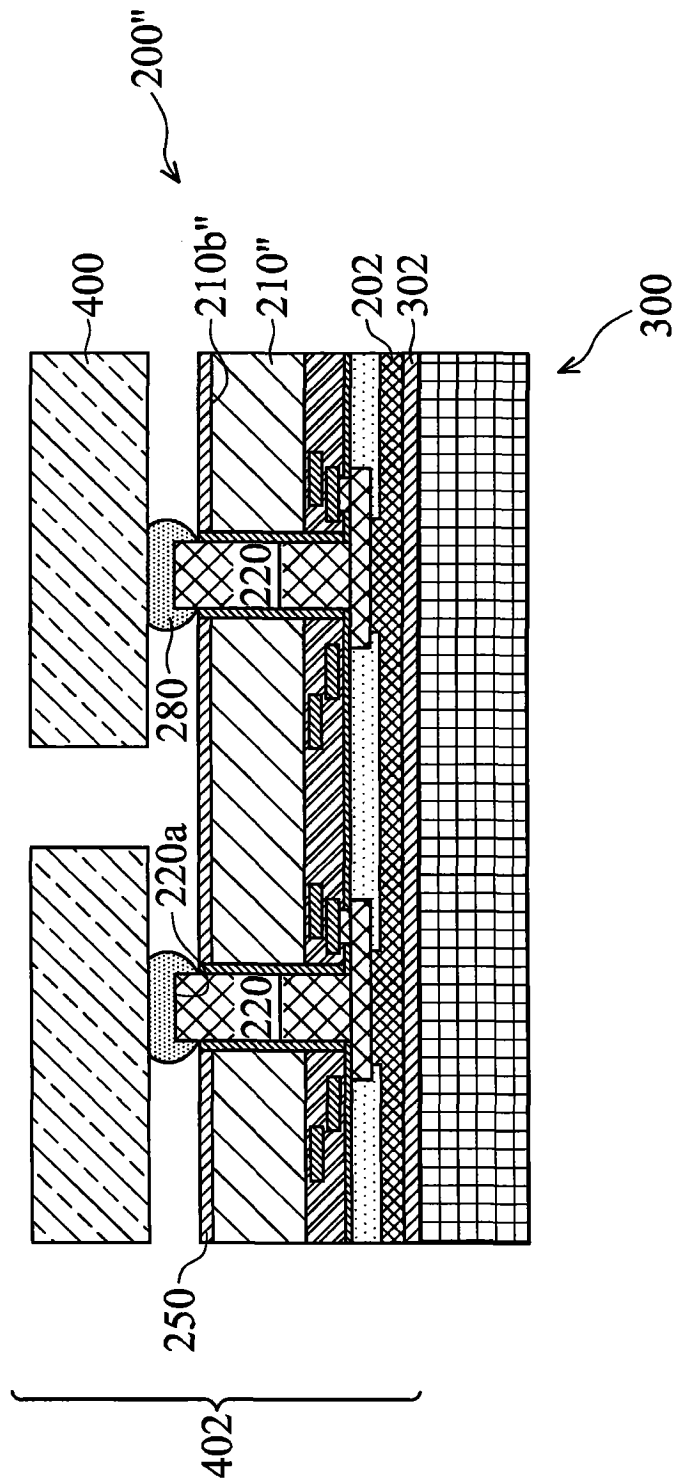


图 3B

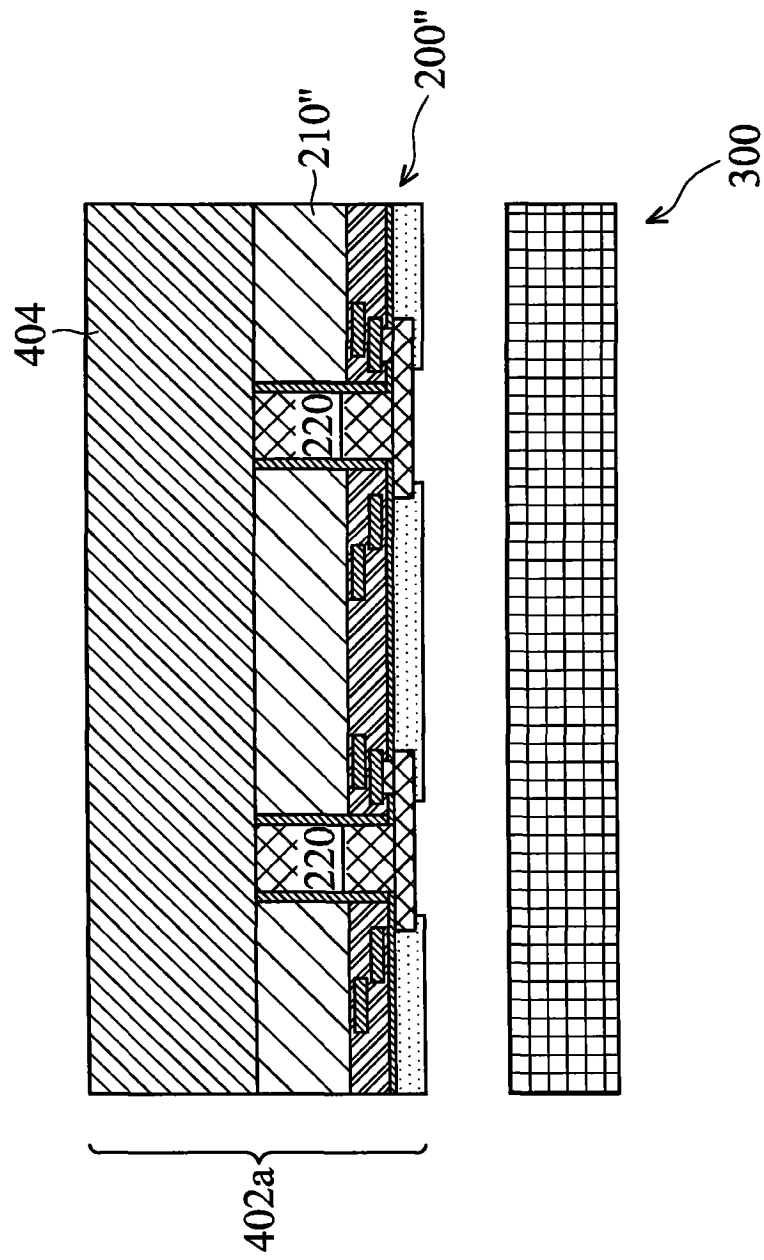


图 3C

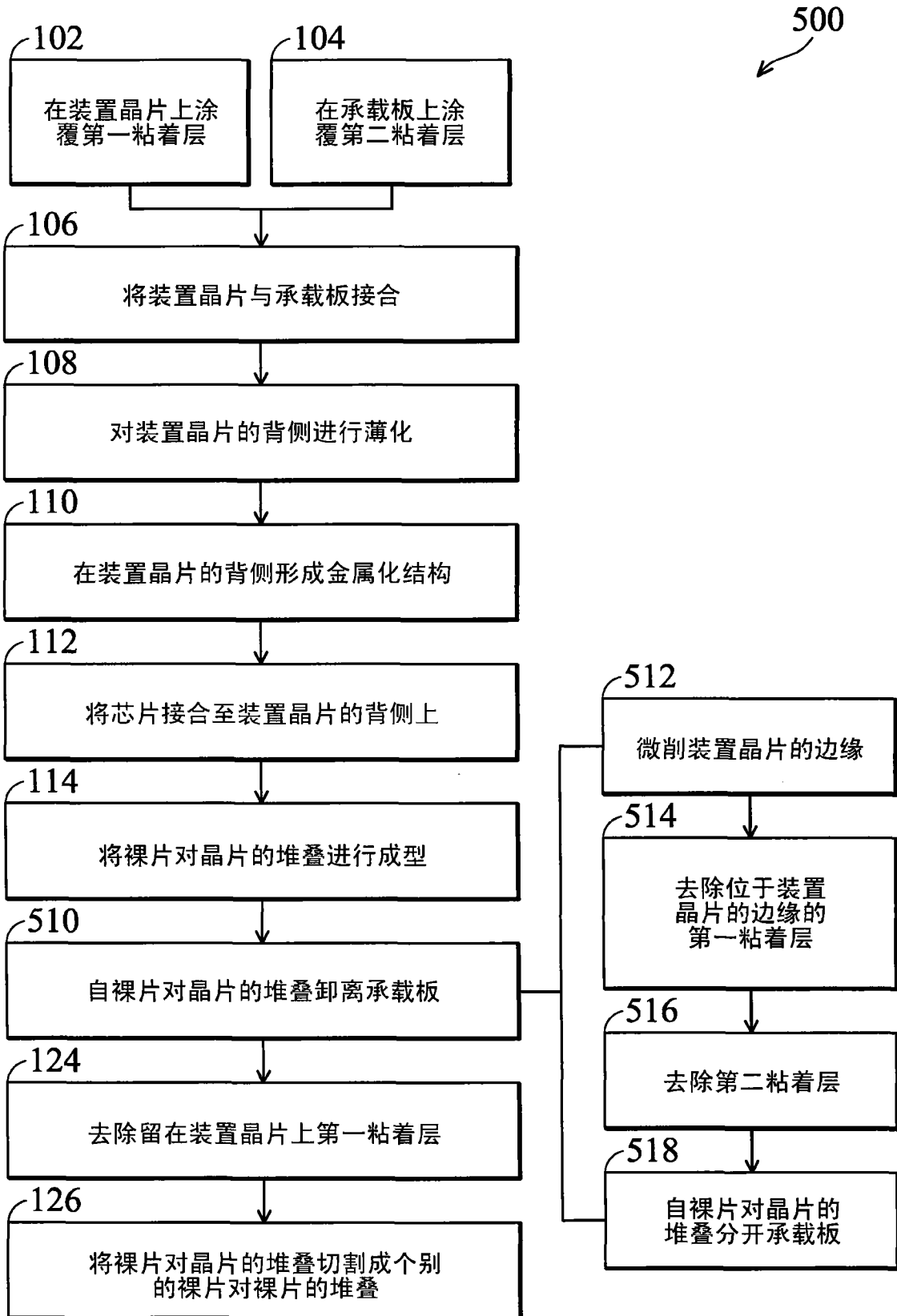


图 4

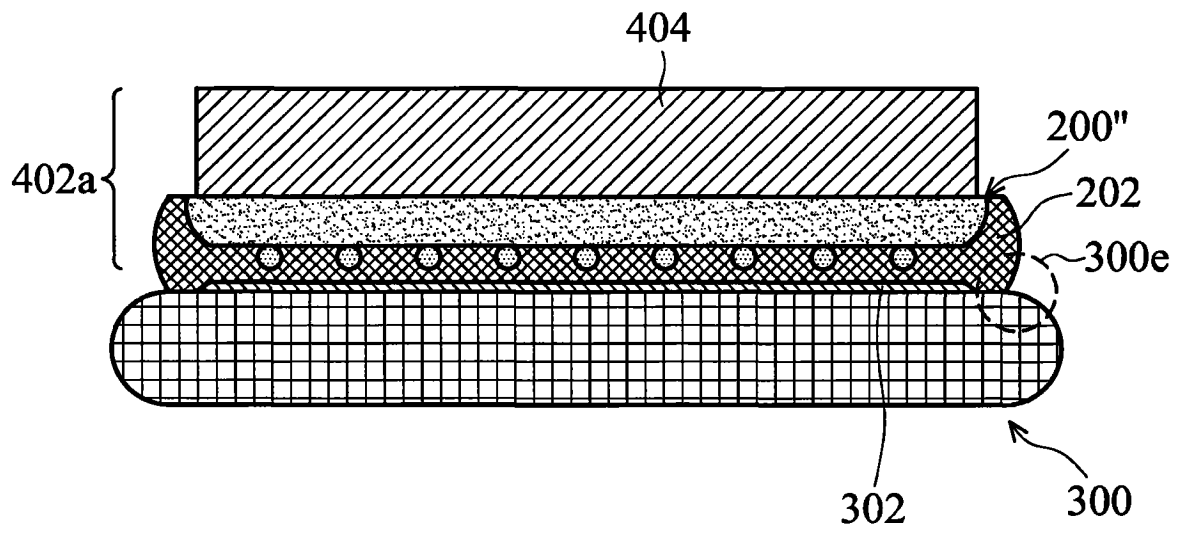


图 5A

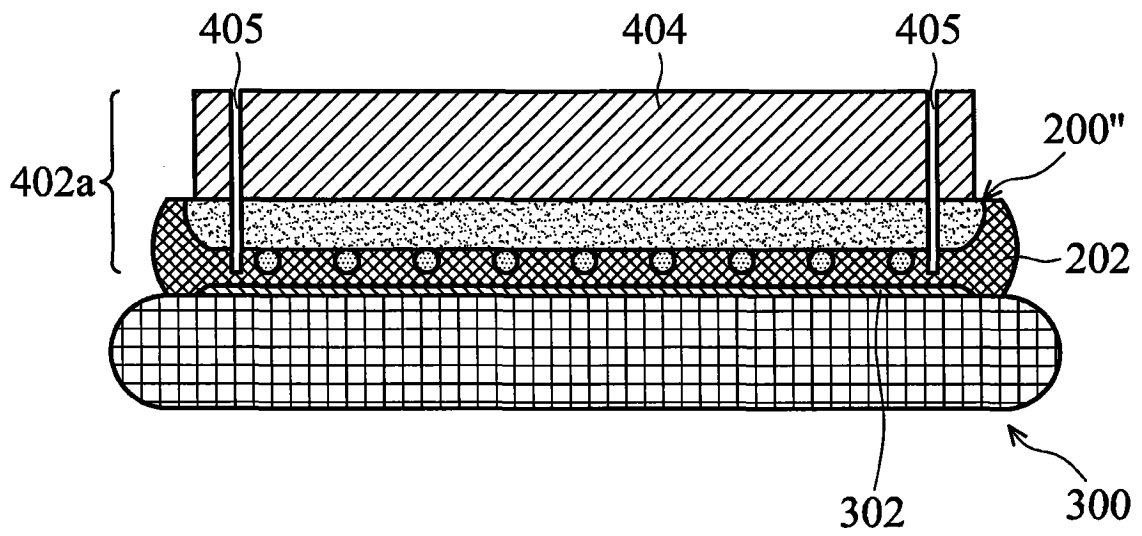


图 5B

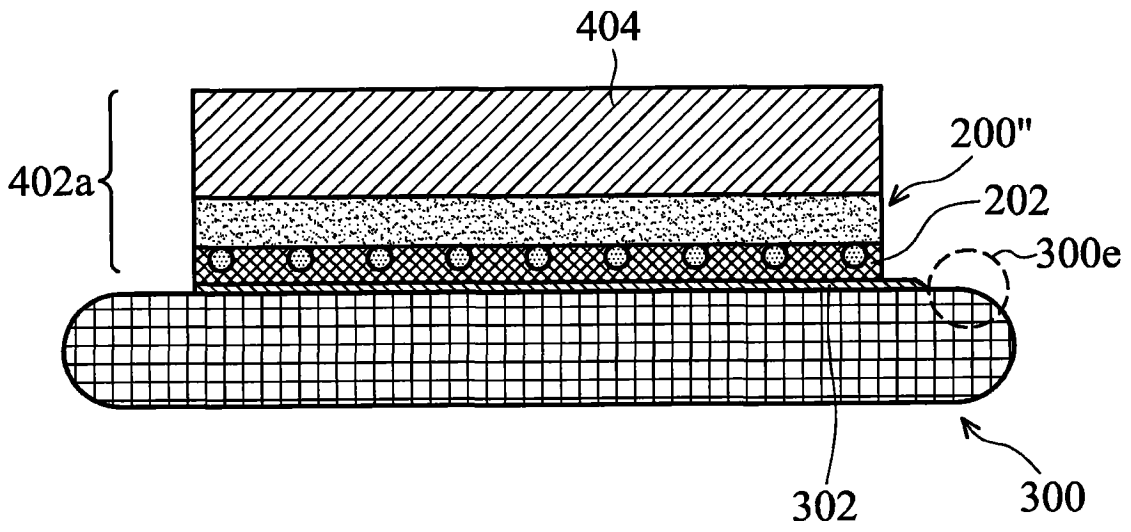


图 5C

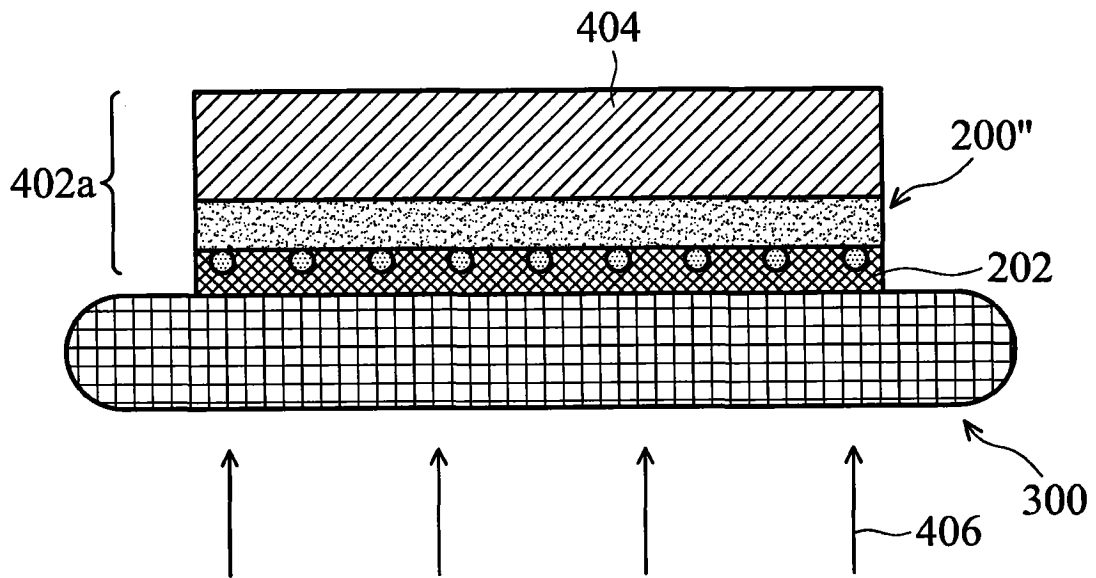


图 5D

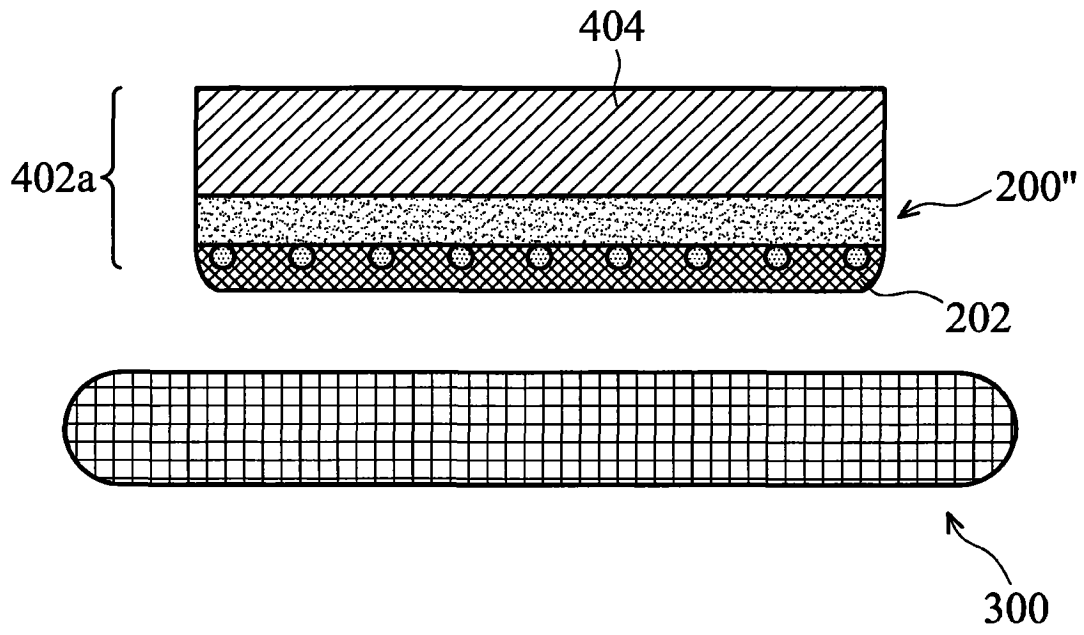


图 5E

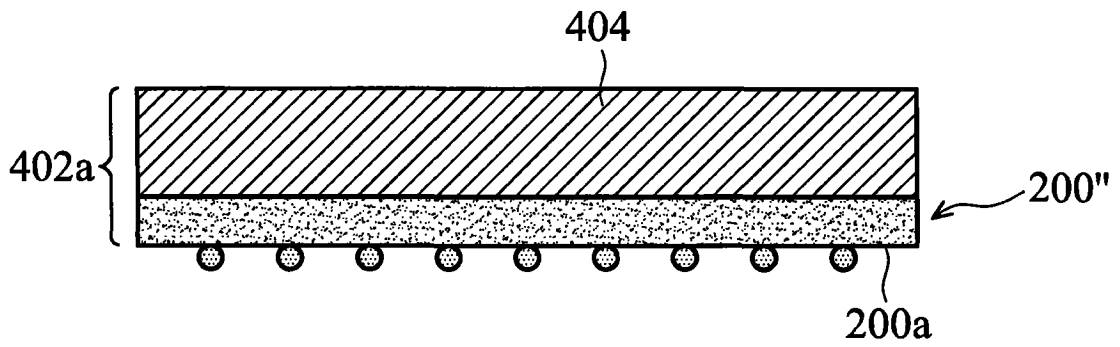


图 5F

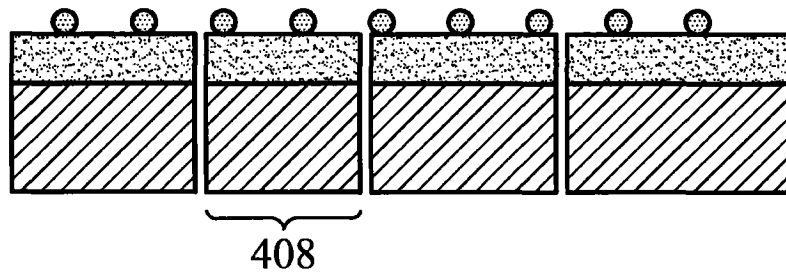


图 5G