



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0067965
(43) 공개일자 2025년05월15일

- (51) 국제특허분류(Int. Cl.)
H10F 39/00 (2025.01)
- (52) CPC특허분류
H10F 39/8037 (2025.01)
H10F 39/807 (2025.01)
- (21) 출원번호 10-2025-7014826(분할)
- (22) 출원일자(국제) 2020년06월26일
심사청구일자 없음
- (62) 원출원 특허 10-2021-7040078
원출원일자(국제) 2020년06월26일
심사청구일자 2023년05월15일
- (85) 번역문제출일자 2025년05월07일
- (86) 국제출원번호 PCT/JP2020/025329
- (87) 국제공개번호 WO 2020/262643
국제공개일자 2020년12월30일
- (30) 우선권주장
JP-P-2019-118222 2019년06월26일 일본(JP)
- (71) 출원인
소니 세미컨덕터 솔루션즈 가부시키키가이샤
일본국 가나가와켄 아즈기시 아사히초 4-14-1
- (72) 발명자
나카자와 케이이치
일본국 가나가와켄 아즈기시 아사히초 4-14-1 소니 세미컨덕터 솔루션즈 가부시키키가이샤 내
자이츠 코이치로
일본국 가나가와켄 아즈기시 아사히초 4-14-1 소니 세미컨덕터 솔루션즈 가부시키키가이샤 내
(뒷면에 계속)
- (74) 대리인
최달용

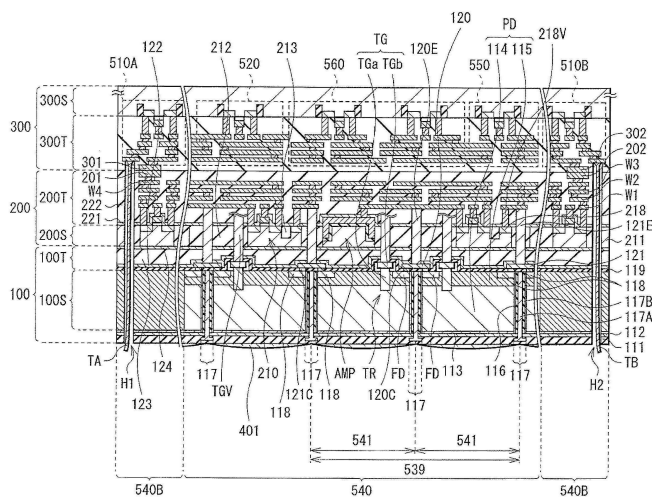
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 교체 활상 장치

(57) 요약

화소마다 광전 변환부 및 상기 광전 변환부에서 발생한 신호 전하가 축적되는 전하 축적부를 갖는 제1 반도체층과, 상기 제1 반도체층에 마련되고, 복수의 상기 화소를 서로 구획하는 화소 분리부와, 상기 전하 축적부의 상기 신호 전하를 판독하는 화소 트랜지스터가 마련됨과 함께, 상기 제1 반도체층에 적층된 제2 반도체층과, 상기 제2 반도체층과 상기 제1 반도체층 사이에 마련되고 또한 상기 화소 분리부를 넘어서 마련됨과 함께 복수의 상기 전하 축적부에 전기적으로 접속된 제1 공유 접속부를 구비한 교체 활상 장치.

대표도



(52) CPC특허분류

H10F 39/811 (2025.01)

(72) 발명자

후지이 노부토시

일본국 가나가와켄 아즈기시 아사히쵸 4-14-1 소니
세미컨덕터 솔루션즈 가부시키키가이샤 내

히우라 요헤이

일본국 가나가와켄 아즈기시 아사히쵸 4-14-1 소니
세미컨덕터 솔루션즈 가부시키키가이샤 내

모리 시게타카

일본국 가나가와켄 아즈기시 아사히쵸 4-14-1 소니
세미컨덕터 솔루션즈 가부시키키가이샤 내

오카모토 신타로

일본국 가나가와켄 아즈기시 아사히쵸 4-14-1 소니
세미컨덕터 솔루션즈 가부시키키가이샤 내

오시마 케이지

일본국 가나가와켄 아즈기시 아사히쵸 4-14-1 소니
세미컨덕터 솔루션즈 가부시키키가이샤 내

만다 슈지

일본국 가나가와켄 아즈기시 아사히쵸 4-14-1 소니
세미컨덕터 솔루션즈 가부시키키가이샤 내

야마모토 준페이

일본국 가나가와켄 아즈기시 아사히쵸 4-14-1 소니
세미컨덕터 솔루션즈 가부시키키가이샤 내

유가 유키

일본국 가나가와켄 아즈기시 아사히쵸 4-14-1 소니
세미컨덕터 솔루션즈 가부시키키가이샤 내

미야케 신이치

일본국 가나가와켄 아즈기시 아사히쵸 4-14-1 소니
세미컨덕터 솔루션즈 가부시키키가이샤 내

캄베 토모키

일본국 가나가와켄 아즈기시 아사히쵸 4-14-1 소니
세미컨덕터 솔루션즈 가부시키키가이샤 내

오가타 료

일본국 쿠마모토켄 키쿠치군 키쿠요마치 오아자 하
라미즈 4000-1 소니 세미컨덕터 매뉴팩چ어링 가부
시키키가이샤 내

미야지 타츠키

일본국 가나가와켄 아즈기시 아사히쵸 4-14-1 소니
세미컨덕터 솔루션즈 가부시키키가이샤 내

나카가와 신지

일본국 가나가와켄 아즈기시 아사히쵸 4-14-1 소니
세미컨덕터 솔루션즈 가부시키키가이샤 내

야마시타 히로후미

일본국 가나가와켄 아즈기시 아사히쵸 4-14-1 소니
세미컨덕터 솔루션즈 가부시키키가이샤 내

야마모토 야스시

일본국 가나가와켄 아즈기시 아사히쵸 4-14-1 소니
세미컨덕터 솔루션즈 가부시키키가이샤 내

키미즈카 나오히코

일본국 가나가와켄 아즈기시 아사히쵸 4-14-1 소니
세미컨덕터 솔루션즈 가부시키키가이샤 내

명세서

청구범위

청구항 1

화소마다 광전 변환부 및 상기 광전 변환부에서 발생한 신호 전하가 축적되는 전하 축적부를 갖는 제1 반도체층과,

상기 전하 축적부의 상기 신호 전하를 판독하는 화소 트랜지스터가 마련됨과 함께, 상기 제1 반도체층에 적층된 제2 반도체층과,

상기 제2 반도체층을 분단하는 절연 영역과,

상기 절연 영역을 두께 방향으로 관통함과 함께 상기 제1 반도체층에 전기적으로 접속되고 또한 상기 두께 방향을 따라 상기 제1 반도체층측으로부터 제1 부분과 상기 제1 부분에 접합된 제2 부분을 갖는 관통 전극을 구비한 것을 특징으로 하는 고체 촬상 장치.

청구항 2

제1항에 있어서,

상기 제2 부분의 구성 재료는 상기 제1 부분의 구성 재료와 다른 것을 특징으로 하는 고체 촬상 장치.

청구항 3

제1항에 있어서,

상기 제1 부분은 폴리실리콘을 포함하고,

상기 제2 부분은 금속을 포함하는 것을 특징으로 하는 고체 촬상 장치.

청구항 4

화소마다 광전 변환부 및 상기 광전 변환부에서 발생한 신호 전하가 축적되는 전하 축적부를 갖는 제1 반도체층과,

상기 전하 축적부의 상기 신호 전하를 판독하는 화소 트랜지스터가 마련됨과 함께, 상기 제1 반도체층에 적층된 제2 반도체층과,

상기 제2 반도체층을 분단하는 절연 영역과,

상기 제2 반도체층의 표면으로부터 두께 방향의 일부에 마련된 소자 분리 영역을 구비한 것을 특징으로 하는 고체 촬상 장치.

청구항 5

제4항에 있어서,

또한 상기 절연 영역을 두께 방향으로 관통하여 마련됨과 함께, 상기 제1 반도체층의 소정의 영역과 상기 제2 반도체층의 소정의 영역을 전기적으로 접속하는 관통 전극을 갖는 것을 특징으로 하는 고체 촬상 장치.

청구항 6

화소마다 광전 변환부 및 상기 광전 변환부에서 발생한 신호 전하가 축적되는 전하 축적부를 갖는 제1 기판과,

상기 전하 축적부의 상기 신호 전하를 판독하는 화소 트랜지스터가 마련됨과 함께, 상기 제1 기판에 적층된 제2 반도체층과, 상기 제2 반도체층을 분단하는 절연 영역을 포함하는 제2 기판과,

상기 절연 영역을 두께 방향으로 관통하여 상기 제1 기판에 달하는 관통 전극과,

상기 제2 기판에 마련됨과 함께 상기 제2 반도체층에 대향하는 위치에 배치되고 또한 상기 관통 전극의 구멍 지

름과 다른 구멍 지름을 갖는 접속부를 구비한 것을 특징으로 하는 고체 촬상 장치.

청구항 7

제6항에 있어서,

상기 접속부의 구멍 지름은 상기 관통 전극의 구멍 지름보다도 작은 것을 특징으로 하는 고체 촬상 장치.

청구항 8

화소마다 광전 변환부 및 상기 광전 변환부에서 발생한 신호 전하가 축적되는 전하 축적부를 갖는 제1 기판과,
상기 전하 축적부의 상기 신호 전하를 판독하는 화소 트랜지스터가 마련됨과 함께, 상기 제1 기판에 적층된 제2 기판과,

상기 제2 기판과 상기 제1 기판의 접합면에 마련됨과 함께, 상기 제2 기판과 제1 기판 사이의 선택적인 영역에 마련된 접합막과,

상기 접합막의 간극에 배치되고 또한 상기 제2 기판과 상기 제1 기판을 전기적으로 접속하는 관통 전극을 구비한 것을 특징으로 하는 고체 촬상 장치.

청구항 9

제8항에 있어서,

또한 상기 접합막의 간극은 상기 접합막이 제거된 영역인 것을 특징으로 하는 고체 촬상 장치.

청구항 10

제8항에 있어서,

상기 제2 기판은 제2 반도체층과, 상기 제2 반도체층을 분단하는 절연 영역을 포함하고,

상기 절연 영역은 상기 접합막의 간극에 선택적으로 배치되어 있는 것을 특징으로 하는 고체 촬상 장치.

청구항 11

제8항에 있어서,

상기 접합막은 제1 질화막에 의해 구성되어 있는 것을 특징으로 하는 고체 촬상 장치.

청구항 12

제8항에 있어서,

상기 제2 기판은 상기 화소 트랜지스터를 덮는 제2 질화막을 포함하고,

상기 관통 전극은 상기 제2 질화막의 개구 또는 간극을 통하여 상기 제1 기판에 접속되어 있는 것을 특징으로 하는 고체 촬상 장치.

청구항 13

화소마다 광전 변환부 및 상기 광전 변환부에서 발생한 신호 전하가 축적되는 전하 축적부를 갖는 제1 반도체층과,

3차원 구조를 가짐과 함께 상기 전하 축적부의 상기 신호 전하를 판독하는 화소 트랜지스터가 마련되고 또한 상기 제1 반도체층에 적층된 제2 반도체층을 구비한 것을 특징으로 하는 고체 촬상 장치.

청구항 14

제13항에 있어서,

상기 화소 트랜지스터는 핀(Fin)형 구조를 갖는 것을 특징으로 하는 고체 촬상 장치.

발명의 설명

기술 분야

[0001] 본 개시는 서로 적층된 복수의 반도체층을 갖는 고체 촬상 장치에 관한 것이다.

배경 기술

[0002] 근래, 고체 촬상 장치에서는 CMOS(Complementary Metal Oxide Semiconductor) 등의 MOS형 이미지 센서의 개발이 진행되고 있다. 예를 들면, 특허 문헌 1에서는 화소 어레이부를 갖는 반도체 웨이퍼와, 로직 회로를 갖는 반도체 웨이퍼가 적층된 고체 촬상 장치가 제안되어 있다.

선행기술문헌

특허문헌

[0003] (특허문헌 0001) 특허 문헌 1: 일본 특개2010-245506호 공보

발명의 내용

해결하려는 과제

[0004] 이와 같은 고체 촬상 장치에서는 보다 설계의 자유도를 높이는 것이 바람직하다.

[0005] 따라서, 보다 설계의 자유도를 높이는 것이 가능한 고체 촬상 장치를 제공하는 것이 바람직하다.

과제의 해결 수단

[0006] 본 개시의 한 실시의 형태에 관한 고체 촬상 장치(1)는 화소마다 광전 변환부 및 광전 변환부에서 발생한 신호 전하가 축적되는 전하 축적부를 갖는 제1 반도체층과, 제1 반도체층에 마련되고, 복수의 상기 화소를 서로 구획하는 화소 분리부와, 전하 축적부의 신호 전하를 판독하는 화소 트랜지스터가 마련됨과 함께, 제1 반도체층에 적층된 제2 반도체층과, 제2 반도체층과 제1 반도체층 사이에 마련되고 또한 화소 분리부를 넘어서 마련됨과 함께 복수의 전하 축적부에 전기적으로 접속된 제1 공유 접속부를 구비한 것이다.

[0007] 본 개시의 한 실시의 형태에 관한 고체 촬상 장치(2)는 화소마다 광전 변환부 및 광전 변환부에서 발생한 신호 전하가 축적되는 전하 축적부를 갖는 제1 반도체층과, 전하 축적부의 신호 전하를 판독하는 화소 트랜지스터가 마련됨과 함께, 제1 반도체층에 적층된 제2 반도체층과, 제2 반도체층을 분단하는 절연 영역과, 절연 영역을 두께 방향으로 관통함과 함께 제1 반도체층에 전기적으로 접속되고 또한 두께 방향을 따라 제1 반도체층측으로부터 제1 부분과 제1 부분에 접합된 제2 부분을 갖는 관통 전극을 구비한 것이다.

[0008] 본 개시의 한 실시의 형태에 관한 고체 촬상 장치(3)는 화소마다 광전 변환부 및 광전 변환부에서 발생한 신호 전하가 축적되는 전하 축적부를 갖는 제1 반도체층과, 전하 축적부의 신호 전하를 판독하는 화소 트랜지스터가 마련됨과 함께, 제1 반도체층에 적층된 제2 반도체층과, 제2 반도체층을 분단하는 절연 영역과, 제2 반도체층의 표면으로부터 두께 방향의 일부에 마련된 소자 분리 영역을 구비한 것이다.

[0009] 본 개시의 한 실시의 형태에 관한 고체 촬상 장치(4)는 화소마다 광전 변환부 및 광전 변환부에서 발생한 신호 전하가 축적되는 전하 축적부를 갖는 제1 기판과, 전하 축적부의 화소 신호를 판독하는 화소 트랜지스터가 마련됨과 함께, 제1 기판에 적층된 제2 반도체층과, 제2 반도체층을 분단하는 절연 영역을 포함하는 제2 기판과, 절연 영역을 두께 방향으로 관통하여 제1 기판에 달하는 관통 전극과, 제2 기판에 마련됨과 함께 제2 반도체층에 대향하는 위치에 배치되고 또한 관통 전극의 구멍 지름과 다른 구멍 지름을 갖는 접속부를 구비한 것이다.

[0010] 본 개시의 한 실시의 형태에 관한 고체 촬상 장치(5)는 화소마다 광전 변환부 및 광전 변환부에서 발생한 신호 전하가 축적되는 전하 축적부를 갖는 제1 기판과, 전하 축적부의 화소 신호를 판독하는 화소 트랜지스터가 마련됨과 함께, 제1 기판에 적층된 제2 기판과, 제2 기판과 제1 기판의 접합면에 마련됨과 함께, 제2 기판과 제1 기판 사이의 선택적인 영역에 마련된 접합막과, 접합막의 간극에 배치되고 또한 제2 기판과 제1 기판을 전기적으로 접속하는 관통 전극을 구비한 것이다.

[0011] 본 개시의 한 실시의 형태에 관한 고체 촬상 장치(6)는 화소마다 광전 변환부 및 광전 변환부에서 발생한 신호 전하가 축적되는 전하 축적부를 갖는 제1 반도체층과, 3차원 구조를 가짐과 함께 전하 축적부의 신호 전하를 판

독하는 화소 트랜지스터가 마련되고 또한 제1 반도체층에 적층된 제2 반도체층을 구비한 것이다.

[0012] 본 개시의 한 실시의 형태에 관한 고체 촬상 장치(7)는 화소마다 광전 변환부 및 광전 변환부에서 발생한 신호 전하가 축적되는 전하 축적부를 갖는 제1 반도체층과, 제1 반도체층에 대항하는 게이트 전극을 가짐과 함께, 광전 변환부의 신호 전하를 전하 축적부에 전송하는 전송 트랜지스터와, 전하 축적부의 신호 전하를 판독하는 화소 트랜지스터가 마련됨과 함께, 상기 제1 반도체층에 적층된 제2 반도체층과, 제1 반도체층의 제1 영역 또는 제2 반도체층의 제2 영역에 전기적으로 접속된 제3 영역이 마련된 제3 반도체층과, 제3 반도체층에 pn 접합을 갖는 보호 소자와, 제2 반도체층을 사이에 두고 제1 반도체층에 대항함과 함께, 보호 소자와, 화소 트랜지스터 또는 전송 트랜지스터에 전기적으로 접속된 안테나 배선을 구비한 것이다.

[0013] 본 개시의 한 실시의 형태에 관한 고체 촬상 장치에서는 화소마다 광전 변환부 및 전하 축적부가 마련된 제1 반도체층(또는 제1 기관)에 화소 트랜지스터가 마련된 제2 반도체층(또는 제2 기관)이 적층되어 있다. 이에 의해 광전 변환부와, 화소 트랜지스터를 같은 반도체층(또는 기관)에 마련한 경우에 비해 광전 변환부, 화소 트랜지스터 각각이 보다 자유롭게 설계된다.

도면의 간단한 설명

- [0014] 도 1은 본 개시의 한 실시의 형태에 관한 촬상 장치의 기능 구성의 한 예를 도시하는 블록도.
 도 2는 도 1에 도시한 촬상 장치의 개략 구성을 도시하는 평면 모식도.
 도 3은 도 2에 도시한 III-III'선을 따른 단면 구성을 도시하는 모식도.
 도 4는 도 1에 도시한 화소 공유 유닛의 등가 회로도.
 도 5는 복수의 화소 공유 유닛과 복수의 수직 신호선의 접속 양태의 한 예를 도시하는 도.
 도 6은 도 3에 도시한 촬상 장치의 구체적인 구성의 한 예를 도시하는 단면 모식도.
 도 7A는 도 6에 도시한 제1 기관의 요부의 평면 구성의 한 예를 도시하는 모식도.
 도 7B는 도 7A에 도시한 제1 기관의 요부와 함께 패드부의 평면 구성을 도시하는 모식도.
 도 8A는 도 6에 도시한 제1 기관 및 제2 기관의 요부의 단면 구성의 다른 예(1)를 도시하는 모식도.
 도 8B는 도 8A에 도시한 제1 기관 및 제2 기관의 요부의 평면 구성을 도시하는 모식도.
 도 9는 도 6에 도시한 제1 기관 및 제2 기관의 요부의 단면 구성의 다른 예(2)를 도시하는 모식도.
 도 10은 도 6에 도시한 제2 기관(반도체층)의 주면에 대해 수평 방향의 평면 구성의 한 예를 도시하는 모식도.
 도 11은 도 6에 도시한 제1 배선층과 함께, 화소 회로 및 제1 기관의 요부의 평면 구성의 한 예를 도시하는 모식도.
 도 12는 도 6에 도시한 제1 배선층 및 제2 배선층의 평면 구성의 한 예를 도시하는 모식도.
 도 13은 도 6에 도시한 제2 배선층 및 제3 배선층의 평면 구성의 한 예를 도시하는 모식도.
 도 14는 도 6에 도시한 제3 배선층 및 제4 배선층의 평면 구성의 한 예를 도시하는 모식도.
 도 15A는 도 6에 도시한 제1 기관 및 제2 기관의 요부의 단면 구성의 다른 예(3)를 도시하는 모식도.
 도 15B는 도 15A에 도시한 제1 기관 및 제2 기관의 요부의 평면 구성을 도시하는 모식도.
 도 16A는 도 6에 도시한 증폭 트랜지스터의 다른 예(1)를 도시하는 단면 모식도.
 도 16B는 도 6에 도시한 증폭 트랜지스터의 다른 예(2)를 도시하는 단면 모식도.
 도 16C는 도 6에 도시한 증폭 트랜지스터의 다른 예(3)를 도시하는 단면 모식도.
 도 16D는 도 6에 도시한 증폭 트랜지스터의 다른 예(4)를 도시하는 단면 모식도.
 도 16E는 도 6에 도시한 증폭 트랜지스터의 다른 예(5)를 도시하는 단면 모식도.
 도 16F는 도 6에 도시한 증폭 트랜지스터의 다른 예(6)를 도시하는 단면 모식도.

- 도 16G는 도 6에 도시한 증폭 트랜지스터의 다른 예(7)를 도시하는 단면 모식도.
- 도 17은 도 6에 도시한 관통 전극 및 접속부의 에스펙트비에 관해 설명하기 위한 모식도.
- 도 18A는 도 6 등에 도시한 활상 장치(1)의 제조 방법의 한 공정을 도시하는 단면 모식도.
- 도 18B는 도 18A에 이은 공정을 도시하는 단면 모식도.
- 도 18C는 도 18B에 이은 공정을 도시하는 단면 모식도.
- 도 18D는 도 18C에 이은 공정을 도시하는 단면 모식도.
- 도 19A는 도 18A~도 18D에 도시한 공정의 다른 예(1)를 도시하는 단면 모식도.
- 도 19B는 도 19A에 이은 공정을 도시하는 단면 모식도.
- 도 19C는 도 19B에 이은 공정을 도시하는 단면 모식도.
- 도 20A는 도 18A~도 18D에 도시한 공정의 다른 예(2)를 도시하는 단면 모식도.
- 도 20B는 도 18A~도 18D에 도시한 공정의 다른 예(3)를 도시하는 단면 모식도.
- 도 20C는 도 20B에 이은 공정을 도시하는 단면 모식도.
- 도 21A는 도 18D에 이은 공정을 도시하는 단면 모식도.
- 도 21B는 도 21A에 이은 공정을 도시하는 단면 모식도.
- 도 21C는 도 21B에 이은 공정을 도시하는 단면 모식도.
- 도 21D는 도 21C에 이은 공정을 도시하는 단면 모식도.
- 도 21E는 도 21D에 이은 공정을 도시하는 단면 모식도.
- 도 21F는 도 21E에 이은 공정을 도시하는 단면 모식도.
- 도 22는 도 3에 도시한 활상 장치에의 입력 신호 등의 경로에 관해 설명하기 위한 모식도.
- 도 23은 도 3에 도시한 활상 장치의 화소 신호의 신호 경로에 관해 설명하기 위한 모식도.
- 도 24는 (A)는 변형례 1에 관한 활상 장치의 열처리 공정 전의 상태에 관해 설명하기 위한 모식도, (B)는 (A)에 도시한 활상 장치의 열처리 공정 후의 상태에 관해 설명하기 위한 모식도.
- 도 25는 (A)는 도 24에 도시한 활상 장치의 열처리 공정 전의 상태의 다른 예에 관해 설명하기 위한 모식도, (B)는 (A)에 도시한 활상 장치의 열처리 공정 후의 상태에 관해 설명하기 위한 모식도.
- 도 26A는 변형례 2에 관한 활상 장치의 요부의 단면 구성을 도시하는 모식도.
- 도 26B는 도 26A에 도시한 활상 장치의 다른 부분의 단면 구성을 도시하는 모식도.
- 도 27A는 도 26A에 도시한 활상 장치의 제조 방법의 한 공정을 도시하는 단면 모식도.
- 도 27B는 도 27A에 이은 공정을 도시하는 단면 모식도.
- 도 27C는 도 27B에 이은 공정을 도시하는 단면 모식도.
- 도 27D는 도 27C에 이은 공정을 도시하는 단면 모식도.
- 도 28은 도 26A에 도시한 활상 장치의 다른 예(1)를 도시하는 단면 모식도.
- 도 29는 도 26A에 도시한 활상 장치의 다른 예(2)를 도시하는 단면 모식도.
- 도 30은 도 26A에 도시한 활상 장치의 다른 예(3)를 도시하는 단면 모식도.
- 도 31은 도 26A에 도시한 활상 장치의 다른 예(4)를 도시하는 단면 모식도.
- 도 32는 도 31에 도시한 활상 장치의 제조 방법의 한 공정을 도시하는 단면 모식도.
- 도 33A는 도 32에 도시한 활상 장치의 제조 방법의 다른 예를 도시하는 단면 모식도.

- 도 33B는 도 33A에 이은 공정을 도시하는 단면 모식도.
- 도 34는 변형례 3에 관한 촬상 장치의 요부의 단면 구성을 도시하는 모식도.
- 도 35는 도 34에 도시한 촬상 장치의 제조 방법의 한 공정을 도시하는 단면 모식도.
- 도 36은 도 34에 도시한 촬상 장치의 다른 예를 도시하는 단면 모식도.
- 도 37은 변형례 4에 관한 촬상 장치의 요부의 단면 구성을 도시하는 모식도.
- 도 38은 변형례 5에 관한 촬상 장치의 요부의 단면 구성을 도시하는 모식도.
- 도 39는 도 38에 도시한 트랜지스터 및 보호 소자의 관계를 도시하는 회로도.
- 도 40은 도 38에 도시한 촬상 장치의 다른 예(1)를 도시하는 단면 모식도.
- 도 41은 도 38에 도시한 촬상 장치의 다른 예(2)를 도시하는 단면 모식도.
- 도 42는 도 38에 도시한 촬상 장치의 다른 예(3)를 도시하는 단면 모식도.
- 도 43은 도 38에 도시한 촬상 장치의 다른 예(4)를 도시하는 단면 모식도.
- 도 44는 도 38에 도시한 촬상 장치의 다른 예(5)를 도시하는 단면 모식도.
- 도 45는 도 38에 도시한 촬상 장치의 다른 예(6)를 도시하는 단면 모식도.
- 도 46은 도 38에 도시한 촬상 장치의 다른 예(7)를 도시하는 단면 모식도.
- 도 47은 도 38에 도시한 촬상 장치의 다른 예(8)를 도시하는 단면 모식도.
- 도 48은 도 38에 도시한 촬상 장치의 다른 예(9)를 도시하는 단면 모식도.
- 도 49는 도 38에 도시한 촬상 장치의 다른 예(10)를 도시하는 단면 모식도.
- 도 50은 도 38에 도시한 촬상 장치의 다른 예(11)를 도시하는 단면 모식도.
- 도 51은 도 10에 도시한 제2 기관(반도체층)의 평면 구성의 한 변형례를 도시하는 모식도.
- 도 52는 도 51에 도시한 화소 회로와 함께, 제1 배선층 및 제1 기관의 요부의 평면 구성을 도시하는 모식도.
- 도 53은 도 52에 도시한 제1 배선층과 함께, 제2 배선층의 평면 구성의 한 예를 도시하는 모식도.
- 도 54는 도 53에 도시한 제2 배선층과 함께, 제3 배선층의 평면 구성의 한 예를 도시하는 모식도.
- 도 55는 도 54에 도시한 제3 배선층과 함께, 제4 배선층의 평면 구성의 한 예를 도시하는 모식도.
- 도 56은 도 7A에 도시한 제1 기관의 평면 구성의 한 변형례를 도시하는 모식도.
- 도 57은 도 56에 도시한 제1 기관에 적층되는 제2 기관(반도체층)의 평면 구성의 한 예를 도시하는 모식도.
- 도 58은 도 57에 도시한 화소 회로와 함께, 제1 배선층의 평면 구성의 한 예를 도시하는 모식도.
- 도 59는 도 58에 도시한 제1 배선층과 함께, 제2 배선층의 평면 구성의 한 예를 도시하는 모식도.
- 도 60은 도 59에 도시한 제2 배선층과 함께, 제3 배선층의 평면 구성의 한 예를 도시하는 모식도.
- 도 61은 도 60에 도시한 제3 배선층과 함께, 제4 배선층의 평면 구성의 한 예를 도시하는 모식도.
- 도 62는 도 56에 도시한 제1 기관의 평면 구성의 다른 예를 도시하는 모식도.
- 도 63은 도 62에 도시한 제1 기관에 적층되는 제2 기관(반도체층)의 평면 구성의 한 예를 도시하는 모식도.
- 도 64는 도 63에 도시한 화소 회로와 함께, 제1 배선층의 평면 구성의 한 예를 도시하는 모식도.
- 도 65는 도 64에 도시한 제1 배선층과 함께, 제2 배선층의 평면 구성의 한 예를 도시하는 모식도.
- 도 66은 도 65에 도시한 제2 배선층과 함께, 제3 배선층의 평면 구성의 한 예를 도시하는 모식도.
- 도 67은 도 66에 도시한 제3 배선층과 함께, 제4 배선층의 평면 구성의 한 예를 도시하는 모식도.
- 도 68은 도 3에 도시한 촬상 장치의 다른 예를 도시하는 단면 모식도.

- 도 69는 도 68에 도시한 촬상 장치에의 입력 신호 등의 경로에 관해 설명하기 위한 모식도.
- 도 70은 도 68에 도시한 촬상 장치의 화소 신호의 신호 경로에 관해 설명하기 위한 모식도.
- 도 71은 도 6에 도시한 촬상 장치의 다른 예를 도시하는 단면 모식도.
- 도 72는 도 4에 도시한 등가 회로의 다른 예를 도시하는 도.
- 도 73은 도 7A 등에 도시한 화소 분리부의 다른 예를 도시하는 평면 모식도.
- 도 74는 도 7A에 도시한 제1 기관의 평면 구성의 한 변형례를 도시하는 모식도.
- 도 75는 도 74에 도시한 제1 기관에 대한 제1 배선층 및 제2 배선층의 평면 구성의 한 예를 도시하는 모식도.
- 도 76은 도 74에 도시한 제1 기관에 대한 제2 배선층 및 제3 배선층의 평면 구성의 한 예를 도시하는 모식도.
- 도 77은 도 74에 도시한 제1 기관에 대한 제1 배선층 및 제2 배선층의 평면 구성의 다른 예를 도시하는 모식도.
- 도 78은 도 74에 도시한 제1 기관에 대한 제2 배선층 및 제3 배선층의 평면 구성의 다른 예를 도시하는 모식도.
- 도 79는 본 개시의 변형례 14에 관한 제2 기관의 레이아웃의 한 예를 도시하는 모식도.
- 도 80은 본 개시의 변형례 14에 관한 제2 기관의 다른 레이아웃을 도시하는 모식도.
- 도 81은 본 개시의 변형례 14에 관한 제2 기관의 다른 레이아웃을 도시하는 모식도.
- 도 82는 본 개시의 변형례 14에 관한 제2 기관의 다른 레이아웃을 도시하는 모식도.
- 도 83은 본 개시의 변형례 14에 관한 제2 기관의 다른 레이아웃을 도시하는 모식도.
- 도 84는 본 개시의 변형례 14에 관한 제2 기관의 다른 레이아웃을 도시하는 모식도.
- 도 85는 본 개시의 변형례 14에 관한 제2 기관의 다른 레이아웃을 도시하는 모식도.
- 도 86은 본 개시의 변형례 14에 관한 제2 기관의 다른 레이아웃을 도시하는 모식도.
- 도 87은 본 개시의 변형례 14에 관한 제2 기관의 다른 레이아웃을 도시하는 모식도.
- 도 88은 본 개시의 변형례 14에 관한 제2 기관의 다른 레이아웃을 도시하는 모식도.
- 도 89는 본 개시의 변형례 14에 관한 제2 기관의 다른 레이아웃을 도시하는 모식도.
- 도 90은 본 개시의 변형례 15에 관한 제1 기관 및 제2 기관의 요부의 단면 구성의 한 예를 도시하는 모식도.
- 도 91은 도 90에 도시한 패드부와 관통 전극의 접속 부분을 도시하는 확대도.
- 도 92는 본 개시의 변형례 15에 관한 제1 기관 및 제2 기관의 요부의 단면 구성의 다른 예를 도시하는 모식도.
- 도 93은 본 개시의 변형례 16에 관한 제1 기관 및 제2 기관의 요부의 단면 구성의 한 예를 도시하는 모식도.
- 도 94는 도 93에 도시한 제1 기관의 평면 모식도.
- 도 95A는 도 93에 도시한 콘택트부의 제조 공정을 설명하는 단면 모식도.
- 도 95B는 도 95A에 이은 공정을 도시하는 단면 모식도.
- 도 95C는 도 95B에 이은 공정을 도시하는 단면 모식도.
- 도 95D는 도 95C에 이은 공정을 도시하는 단면 모식도.
- 도 95E는 도 95D에 이은 공정을 도시하는 단면 모식도.
- 도 95F는 도 95E에 이은 공정을 도시하는 단면 모식도.
- 도 95G는 도 95F에 이은 공정을 도시하는 단면 모식도.
- 도 95H는 도 95G에 이은 공정을 도시하는 단면 모식도.
- 도 96은 본 개시의 변형례 16에 관한 제1 기관 및 제2 기관의 요부의 단면 구성의 다른 예를 도시하는 모식도.
- 도 97은 도 96에 도시한 제1 기관의 평면 모식도.

- 도 98은 본 개시의 변형례 16에 관한 제1 기관의 요부의 평면 구성의 다른 예를 도시하는 모식도.
- 도 99A는 도 96에 도시한 콘택트부의 제조 공정을 설명하는 단면 모식도.
- 도 99B는 도 99A에 이은 공정을 도시하는 단면 모식도.
- 도 99C는 도 99B에 이은 공정을 도시하는 단면 모식도.
- 도 99D는 도 99C에 이은 공정을 도시하는 단면 모식도.
- 도 100은 본 개시의 변형례 16에 관한 제1 기관 및 제2 기관의 요부의 단면 구성의 다른 예를 도시하는 모식도.
- 도 101은 도 100에 도시한 제1 기관의 평면 모식도.
- 도 102A는 도 100에 도시한 콘택트부의 제조 공정을 설명하는 단면 모식도.
- 도 102B는 도 102A에 이은 공정을 도시하는 단면 모식도.
- 도 102C는 도 102B에 이은 공정을 도시하는 단면 모식도.
- 도 102D는 도 102C에 이은 공정을 도시하는 단면 모식도.
- 도 103은 본 개시의 변형례 17에 관한 제1 기관 및 제2 기관의 요부의 단면 구성의 한 예를 도시하는 모식도.
- 도 104는 본 개시의 변형례 17에 관한 제1 기관 및 제2 기관의 요부의 단면 구성의 다른 예를 도시하는 모식도.
- 도 105는 본 개시의 변형례 18에 관한 제1 기관 및 제2 기관의 요부의 단면 구성의 한 예를 도시하는 모식도.
- 도 106A는 도 105에 도시한 관통 전극 및 접속부의 제조 공정을 설명하는 단면 모식도.
- 도 106B는 도 106A에 이은 공정을 도시하는 단면 모식도.
- 도 106C는 도 106B에 이은 공정을 도시하는 단면 모식도.
- 도 106D는 도 106C에 이은 공정을 도시하는 단면 모식도.
- 도 106E는 도 106D에 이은 공정을 도시하는 단면 모식도.
- 도 106F는 도 106E에 이은 공정을 도시하는 단면 모식도.
- 도 106G는 도 106F에 이은 공정을 도시하는 단면 모식도.
- 도 106H는 도 106G에 이은 공정을 도시하는 단면 모식도.
- 도 107은 본 개시의 변형례 18에 관한 제1 기관 및 제2 기관의 요부의 단면 구성의 다른 예를 도시하는 모식도.
- 도 108A는 도 107에 도시한 관통 전극 및 접속부의 제조 공정을 설명하는 단면 모식도.
- 도 108B는 도 108A에 이은 공정을 도시하는 단면 모식도.
- 도 108C는 도 108B에 이은 공정을 도시하는 단면 모식도.
- 도 108D는 도 108C에 이은 공정을 도시하는 단면 모식도.
- 도 108E는 도 108D에 이은 공정을 도시하는 단면 모식도.
- 도 108F는 도 108E에 이은 공정을 도시하는 단면 모식도.
- 도 108G는 도 108F에 이은 공정을 도시하는 단면 모식도.
- 도 108H는 도 108G에 이은 공정을 도시하는 단면 모식도.
- 도 109A는 본 개시의 변형례 18에 관한 관통 전극 및 접속부의 제조 공정의 다른 예를 도시하는 단면 모식도.
- 도 109B는 도 109A에 이은 공정에 의해 얻어지는 활상 장치의 제1 기관 및 제2 기관의 요부의 단면 구성의 한 예를 도시하는 모식도.
- 도 110은 본 개시의 변형례 19에서의 화소 트랜지스터의 레이아웃의 한 예를 도시하는 모식도.
- 도 111은 본 개시의 변형례 19에서의 화소 트랜지스터의 레이아웃의 다른 예를 도시하는 모식도.

- 도 112는 본 개시의 변형례 19에서의 화소 트랜지스터의 레이아웃의 다른 예를 도시하는 모식도.
- 도 113은 본 개시의 변형례 19에서의 화소 트랜지스터의 레이아웃의 다른 예를 도시하는 모식도.
- 도 114는 도 110에 도시한 증폭 트랜지스터 및 선택 트랜지스터의 평면 구성(A) 및 단면 구성(B)을 도시하는 모식도.
- 도 115는 본 개시의 변형례 20에 관한 촬상 장치의 요부의 단면 구성의 한 예를 도시하는 모식도.
- 도 116은 도 115에 도시한 트랜지스터 및 보호 소자의 관계를 도시하는 평면 모식도.
- 도 117은 도 115에 도시한 트랜지스터 및 보호 소자의 관계를 도시하는 회로도.
- 도 118은 도 115에 도시한 촬상 장치의 다른 예를 도시하는 단면 모식도.
- 도 119는 도 115에 도시한 촬상 장치의 다른 예를 도시하는 단면 모식도.
- 도 120은 도 115에 도시한 촬상 장치의 다른 예를 도시하는 단면 모식도.
- 도 121은 도 115에 도시한 촬상 장치의 다른 예를 도시하는 단면 모식도.
- 도 122는 도 115에 도시한 촬상 장치의 다른 예를 도시하는 단면 모식도.
- 도 123은 본 개시의 변형례 20에 관한 촬상 장치의 요부의 단면 구성의 다른 예를 도시하는 모식도.
- 도 124는 도 123에 도시한 트랜지스터 및 보호 소자의 관계를 도시하는 회로도.
- 도 125는 본 개시의 변형례 20에 관한 촬상 장치의 요부의 단면 구성의 다른 예를 도시하는 모식도.
- 도 126은 도 125에 도시한 트랜지스터 및 보호 소자의 관계를 도시하는 회로도.
- 도 127은 본 개시의 변형례 20에 관한 촬상 장치의 요부의 단면 구성의 다른 예를 도시하는 모식도.
- 도 128은 도 127에 도시한 트랜지스터 및 보호 소자의 관계를 도시하는 회로도.
- 도 129는 본 개시의 변형례 20에 관한 촬상 장치의 요부의 단면 구성의 다른 예를 도시하는 모식도.
- 도 130은 도 129에 도시한 트랜지스터 및 보호 소자의 관계를 도시하는 회로도.
- 도 131은 본 개시의 변형례 20에 관한 촬상 장치의 요부의 단면 구성의 다른 예를 도시하는 모식도.
- 도 132는 도 130에 도시한 트랜지스터 및 보호 소자의 관계를 도시하는 회로도.
- 도 133은 본 개시의 변형례 21에 관한 촬상 장치의 구성례를 도시하는 두께 방향의 단면도.
- 도 134는 본 개시의 변형례 21에 관한 촬상 장치의 구성례를 도시하는 두께 방향의 단면도.
- 도 135는 본 개시의 변형례 21에 관한 촬상 장치의 구성례를 도시하는 두께 방향의 단면도.
- 도 136은 본 개시의 변형례 21에 관한 복수의 화소 유닛의 레이아웃례를 도시하는 수평 방향의 단면도.
- 도 137은 본 개시의 변형례 21에 관한 복수의 화소 유닛의 레이아웃례를 도시하는 수평 방향의 단면도.
- 도 138은 본 개시의 변형례 21에 관한 복수의 화소 유닛의 레이아웃례를 도시하는 수평 방향의 단면도.
- 도 139는 본 개시의 변형례 21에 관한 촬상 장치의 구성례를 도시하는 두께 방향의 단면도.
- 도 140은 상기 실시의 형태 및 그 변형례에 관한 촬상 장치를 구비한 촬상 시스템의 개략 구성의 한 예를 도시하는 도.
- 도 141은 도 140에 도시한 촬상 시스템의 촬상 순서의 한 예를 도시하는 도.
- 도 142는 차량 제어 시스템의 개략적인 구성의 한 예를 도시하는 블록도.
- 도 143은 차외 정보 검출부 및 촬상부의 설치 위치의 한 예를 도시하는 설명도.
- 도 144는 내시경 수술 시스템의 개략적인 구성의 한 예를 도시하는 도.
- 도 145는 카메라 헤드 및 CCU의 기능 구성의 한 예를 도시하는 블록도.

발명을 실시하기 위한 구체적인 내용

- [0015] 이하, 본 개시를 실시하기 위한 형태에 대해 도면을 참조하여 상세히 설명한다. 또한 설명은 이하의 순서로 행한다.
- [0016] 1. 실시의 형태(3개의 기관의 적층 구조를 갖는 촬상 장치)
- [0017] 2. 변형례 1(플로팅 디퓨전에 비소(As)가 확산되어 있는 예)
- [0018] 3. 변형례 2(관통 전극이 제1 부분 및 제2 부분을 갖는 예)
- [0019] 4. 변형례 3(접합막에 간극이 마련되어 있는 예)
- [0020] 5. 변형례 4(접합막을 산화막에 의해 구성하는 예)
- [0021] 6. 변형례 5(보호 소자를 갖는 예)
- [0022] 7. 변형례 6(평면 구성의 예 1)
- [0023] 8. 변형례 7(평면 구성의 예 2)
- [0024] 9. 변형례 8(평면 구성의 예 3)
- [0025] 10. 변형례 9(화소 어레이부의 중앙부에 기관 사이의 콘택트부를 갖는 예)
- [0026] 11. 변형례 10(플레이너형의 전송 트랜지스터를 갖는 예)
- [0027] 12. 변형례 11(1개의 판독 회로에 1개의 화소가 접속되는 예)
- [0028] 13. 변형례 12(화소 분리부의 구성례)
- [0029] 14. 변형례 13(평면 구성의 예 4)
- [0030] 15. 변형례 14(평면 구성의 예 5)
- [0031] 16. 변형례 15(콘택트부의 구성의 예 1)
- [0032] 17. 변형례 16(콘택트부의 구성의 예 2)
- [0033] 18. 변형례 17(제1 기관 및 제2 기관에 마련되는 트랜지스터의 구성례)
- [0034] 19. 변형례 18(관통 전극 및 접속부를 다른 공정으로 형성하는 예)
- [0035] 20. 변형례 19(화소 트랜지스터의 구조례)
- [0036] 21. 변형례 20(보호 소자를 갖는 예 2)
- [0037] 22. 변형례 21(복수의 센서 화소마다 1개의 웰용 콘택트를 마련한 예)
- [0038] 23. 적용례(촬상 시스템)
- [0039] 24. 응용례
- [0040] <1. 실시의 형태>
- [0041] [촬상 장치(1)의 기능 구성]
- [0042] 도 1은 본 개시의 한 실시의 형태에 관한 고체 촬상 장치(촬상 장치(1))의 기능 구성의 한 예를 도시하는 블록도이다.
- [0043] 도 1의 촬상 장치(1)는 예를 들면, 입력부(510A), 행 구동부(520), 타이밍 제어부(530), 화소 어레이부(540), 열 신호 처리부(550), 화상 신호 처리부(560) 및 출력부(510B)를 포함하고 있다.
- [0044] 화소 어레이부(540)에는 화소(541)가 어레이형상으로 반복 배치되어 있다. 보다 구체적으로는 복수의 화소를 포함한 화소 공유 유닛(539)이 반복 단위가 되고, 이것이 행방향과 열방향으로 이루어지는 어레이형상으로 반복 배치되어 있다. 또한 본 명세서에서는 편의상 행방향을 H방향, 행방향과 직교하는 열방향을 V방향이라고 부르는 경우가 있다. 도 1의 예에서 1개의 화소 공유 유닛(539)이 4개의 화소(화소(541A, 541B, 541C, 541D))를 포함하고 있다. 화소(541A, 541B, 541C, 541D)는 각각, 포토 다이오드(PD)(후술하는 도 6 등에 도시)를 가지고

있다. 화소 공유 유닛(539)은 1개의 화소 회로(후술하는 도 3의 화소 회로(200X))를 공유하는 단위이다. 환언하면, 4개의 화소(화소(541A, 541B, 541C, 541D))마다 1개의 화소 회로(후술하는 화소 회로(200X))를 가지고 있다. 이 화소 회로를 시분할로 동작시킴에 의해 화소(541A, 541B, 541C, 541D) 각각의 화소 신호가 순차적으로 판독되도록 되어 있다. 화소(541A, 541B, 541C, 541D)는 예를 들어 2행×2열로 배치되어 있다. 화소 어레이부(540)에는 화소(541A, 541B, 541C, 541D)와 함께, 복수의 행 구동 신호선(542) 및 복수의 수직 신호선(열 판독선)(543)이 마련되어 있다. 행 구동 신호선(542)은 화소 어레이부(540)에서 행방향으로 나란히 배열된, 복수의 화소 공유 유닛(539) 각각에 포함되는 화소(541)를 구동한다. 화소 공유 유닛(539) 중, 행방향으로 나란히 배열된 각 화소를 구동한다. 후에 도 4를 참조하여 상세하게 설명하지만, 화소 공유 유닛(539)에는 복수의 트랜지스터가 마련되어 있다. 이들 복수의 트랜지스터를 각각 구동하기 위해 1개의 화소 공유 유닛(539)에는 복수의 행 구동 신호선(542)이 접속되어 있다. 수직 신호선(열 판독선)(543)에는 화소 공유 유닛(539)이 접속되어 있다. 화소 공유 유닛(539)에 포함되는 화소(541A, 541B, 541C, 541D) 각각으로부터 수직 신호선(열 판독선)(543)을 통하여 화소 신호가 판독된다.

[0045] 행 구동부(520)는 예를 들면, 화소 구동하기 위한 행의 위치를 정하는 행 어드레스 제어부, 환언하면, 행 디코더부와, 화소(541A, 541B, 541C, 541D)를 구동하기 위한 신호를 발생시키는 행 구동 회로부를 포함하고 있다.

[0046] 열 신호 처리부(550)는 예를 들면, 수직 신호선(543)에 접속되고, 화소(541A, 541B, 541C, 541D)(화소 공유 유닛(539))와 소스 팔로워 회로를 형성하는 부하 회로부를 구비한다. 열 신호 처리부(550)는 수직 신호선(543)을 통하여 화소 공유 유닛(539)으로부터 판독된 신호를 증폭하는 증폭 회로부를 가지고 있어도 좋다. 열 신호 처리부(550)는 노이즈 처리부를 가지고 있어도 좋다. 노이즈 처리부에서는 예를 들면, 광전 변환의 결과로서 화소 공유 유닛(539)으로부터 판독된 신호로부터 계의 노이즈 레벨이 제거된다.

[0047] 열 신호 처리부(550)는 예를 들면, 아날로그 디지털 컨버터(ADC)를 가지고 있다. 아날로그 디지털 컨버터에서는 화소 공유 유닛(539)으로부터 판독된 신호 또는 상기 노이즈 처리된 아날로그 신호가 디지털 신호로 변환된다. ADC는 예를 들면, 컴퍼레이터부 및 카운터부를 포함하고 있다. 컴퍼레이터부에서는 변환 대상이 되는 아날로그 신호와, 이것과 비교 대상이 되는 참조 신호가 비교된다. 카운터부에서는 컴퍼레이터부에서의 비교 결과가 반전하기까지의 시간이 측정되도록 되어 있다. 열 신호 처리부(550)는 판독 열을 주사하는 제어를 행하는 수평 주사 회로부를 포함하고 있어도 좋다.

[0048] 타이밍 제어부(530)는 장치에 입력된 기준 클록 신호나 타이밍 제어 신호를 기초로 하여 행 구동부(520) 및 열 신호 처리부(550)에 타이밍을 제어하는 신호를 공급한다.

[0049] 화상 신호 처리부(560)는 광전 변환의 결과 얻어진 데이터, 환언하면, 촬상 장치(1)에서의 촬상 동작의 결과 얻어진 데이터에 대해 각종의 신호 처리를 시행하는 회로이다. 화상 신호 처리부(560)는 예를 들면, 화상 신호 처리 회로부 및 데이터 유지부를 포함하고 있다. 화상 신호 처리부(560)는 프로세서부를 포함하고 있어도 좋다.

[0050] 화상 신호 처리부(560)에서 실행되는 신호 처리의 한 예는 AD 변환된 촬상 데이터가 어두운 피사체를 촬영한 데이터인 경우에는 계조를 많이 주고, 밝은 피사체를 촬영한 데이터인 경우에는 계조를 적게 하는 톤 커브 보정 처리이다. 이 경우, 촬상 데이터의 계조를 어떤 톤 커브에 의거하여 보정할 것인지 톤 커브의 특성 데이터를 미리 화상 신호 처리부(560)의 데이터 유지부에 기억시켜 두는 것이 바람직하다.

[0051] 입력부(510A)는 예를 들면, 상기 기준 클록 신호, 타이밍 제어 신호 및 특성 데이터 등을 장치 외부로부터 촬상 장치(1)에 입력하기 위한 것이다. 타이밍 제어 신호는 예를 들면, 수직 동기 신호 및 수평 동기 신호 등이다. 특성 데이터는 예를 들면, 화상 신호 처리부(560)의 데이터 유지부에 기억시키기 위한 것이다. 입력부(510A)는 예를 들면, 입력 단자(511), 입력 회로부(512), 입력 진폭 변경부(513), 입력 데이터 변환 회로부(514) 및 전원 공급부(도시 생략)를 포함하고 있다.

[0052] 입력 단자(511)는 데이터를 입력하기 위한 외부 단자이다. 입력 회로부(512)는 입력 단자(511)에 입력된 신호를 촬상 장치(1)의 내부에 취입하기 위한 것이다. 입력 진폭 변경부(513)에서는 입력 회로부(512)에서 취입된 신호의 진폭이 촬상 장치(1)의 내부에서 이용하기 쉬운 진폭으로 변경된다. 입력 데이터 변환 회로부(514)에서는 입력 데이터의 데이터열의 나열이 변경된다. 입력 데이터 변환 회로부(514)는 예를 들면, 시리얼 패럴렐 변환 회로에 의해 구성되어 있다. 이 시리얼 패럴렐 변환 회로에서는 입력 데이터로서 수취한 시리얼 신호가 패럴렐 신호로 변환된다. 또한 입력부(510A)에서는 입력 진폭 변경부(513) 및 입력 데이터 변환 회로부(514)가 생략되어 있어도 좋다. 전원 공급부는 외부로부터 촬상 장치(1)에 공급된 전원을 기초로 하여 촬상 장치(1)의 내부에서 필요해지는 각종의 전압으로 설정된 전원을 공급한다.

- [0053] 촬상 장치(1)가 외부의 메모리 디바이스와 접속될 때, 입력부(510A)에는 외부의 메모리 디바이스로부터의 데이터를 수취하는 메모리 인터페이스 회로가 마련되어 있어도 좋다. 외부의 메모리 디바이스는 예를 들면, 플래시 메모리, SRAM 및 DRAM 등이다.
- [0054] 출력부(510B)는 화상 데이터를 장치 외부로 출력한다. 이 화상 데이터는 예를 들면, 촬상 장치(1)에서 촬영된 화상 데이터 및 화상 신호 처리부(560)에서 신호 처리된 화상 데이터 등이다. 출력부(510B)는 예를 들면, 출력 데이터 변환 회로부(515), 출력 진폭 변경부(516), 출력 회로부(517) 및 출력 단자(518)를 포함하고 있다.
- [0055] 출력 데이터 변환 회로부(515)는 예를 들면, 패럴렐 시리얼 변환 회로에 의해 구성되어 있고 출력 데이터 변환 회로부(515)에서는 촬상 장치(1) 내부에서 사용한 패럴렐 신호가 시리얼 신호로 변환된다. 출력 진폭 변경부(516)는 촬상 장치(1)의 내부에서 이용한 신호의 진폭을 변경한다. 변경된 진폭의 신호는 촬상 장치(1)의 외부에 접속되는 외부 디바이스에서 이용하기 쉬워진다. 출력 회로부(517)는 촬상 장치(1)의 내부로부터 장치 외부로 데이터를 출력하는 회로이고, 출력 회로부(517)에 의해 출력 단자(518)에 접속된 촬상 장치(1) 외부의 배선이 구동된다. 출력 단자(518)에서는 촬상 장치(1)로부터 장치 외부로 데이터가 출력된다. 출력부(510B)에서는 출력 데이터 변환 회로부(515) 및 출력 진폭 변경부(516)가 생략되어 있어도 좋다.
- [0056] 촬상 장치(1)가 외부의 메모리 디바이스와 접속될 때, 출력부(510B)에는 외부의 메모리 디바이스로 데이터를 출력하는 메모리 인터페이스 회로가 마련되어 있어도 좋다. 외부의 메모리 디바이스는 예를 들면, 플래시 메모리, SRAM 및 DRAM 등이다.
- [0057] [촬상 장치(1)의 개략 구성]
- [0058] 도 2 및 도 3은 촬상 장치(1)의 개략 구성의 한 예를 도시한 것이다. 촬상 장치(1)는 3개의 기관(제1 기관(100), 제2 기관(200), 제3 기관(300))을 구비하고 있다. 도 2는 제1 기관(100), 제2 기관(200), 제3 기관(300) 각각의 평면 구성을 모식적으로 도시한 것이고, 도 3은 서로 적층된 제1 기관(100), 제2 기관(200) 및 제3 기관(300)의 단면 구성을 모식적으로 도시하고 있다. 도 3은 도 2에 도시한 III-III'선을 따른 단면 구성에 대응한다. 촬상 장치(1)는 3개의 기관(제1 기관(100), 제2 기관(200), 제3 기관(300))을 첩합시켜서 구성된 3차원 구조의 촬상 장치이다. 제1 기관(100)은 반도체층(100S) 및 배선층(100T)을 포함한다. 제2 기관(200)은 반도체층(200S) 및 배선층(200T)을 포함한다. 제3 기관(300)은 반도체층(300S) 및 배선층(300T)을 포함한다. 여기서, 제1 기관(100), 제2 기관(200) 및 제3 기관(300)의 각 기관에 포함되는 배선과 그 주위의 층간 절연막을 합친 것을 편의상 각각의 기관(제1 기관(100), 제2 기관(200) 및 제3 기관(300))에 마련된 배선층(100T, 200T, 300T)이라고 부른다. 제1 기관(100), 제2 기관(200) 및 제3 기관(300)은 이 순서로 적층되어 있고 적층 방향을 따라 반도체층(100S), 배선층(100T), 반도체층(200S), 배선층(200T), 배선층(300T) 및 반도체층(300S)의 순서로 배치되어 있다. 제1 기관(100), 제2 기관(200) 및 제3 기관(300)의 구체적인 구성에 관해서는 후술한다. 도 3에 도시한 화살표는 촬상 장치(1)에의 광(L)의 입사 방향을 나타낸다. 본 명세서에서는 편의상 이후의 단면도에서, 촬상 장치(1)에서의 광 입사측을 「하」 「하측」 「하방」, 광 입사측과 반대측을 「상」 「상측」 「상방」이라고 부르는 경우가 있다. 또한 본 명세서에서는 편의상 반도체층과 배선층을 구비한 기관에 관해 배선층의 측을 표면, 반도체층의 측을 이면이라고 부르는 경우가 있다. 또한 명세서의 기재는 상기 호칭 방법으로 한정되지 않는다. 촬상 장치(1)는 예를 들면, 포토 다이오드를 갖는 제1 기관(100)의 이면측으로부터 광이 입사하는 이면 조사형 촬상 장치로 되어 있다.
- [0059] 화소 어레이부(540) 및 화소 어레이부(540)에 포함되는 화소 공유 유닛(539)은 모두, 제1 기관(100) 및 제2 기관(200)의 쌍방을 이용하여 구성되어 있다. 제1 기관(100)에는 화소 공유 유닛(539)이 갖는 복수의 화소(541A, 541B, 541C, 541D)가 마련되어 있다. 이들 화소(541)의 각각이 포토 다이오드(후술하는 포토 다이오드(PD)) 및 전송 트랜지스터(후술하는 전송 트랜지스터(TR))를 가지고 있다. 제2 기관(200)에는 화소 공유 유닛(539)이 갖는 화소 회로(후술하는 화소 회로(200X))가 마련되어 있다. 화소 회로는 화소(541A, 541B, 541C, 541D) 각각의 포토 다이오드로부터 전송 트랜지스터를 통하여 전송된 화소 신호를 판독하고 또는 포토 다이오드를 리셋한다. 이 제2 기관(200)은 이와 같은 화소 회로에 더하여 행방향으로 연재되는 복수의 행 구동 신호선(542) 및 열방향으로 연재되는 복수의 수직 신호선(543)을 가지고 있다. 제2 기관(200)은 또한 행방향으로 연재되는 전원선(544)(후술하는 전원선(VDD) 등)을 가지고 있다. 제3 기관(300)은 예를 들면, 입력부(510A), 행 구동부(520), 타이밍 제어부(530), 열 신호 처리부(550), 화상 신호 처리부(560) 및 출력부(510B)를 가지고 있다. 행 구동부(520)는 예를 들면, 제1 기관(100), 제2 기관(200) 및 제3 기관(300)의 적층 방향(이하, 단지 적층 방향이라고 한다)에서, 일부가 화소 어레이부(540)에 겹쳐지는 영역에 마련되어 있다. 보다 구체적으로는 행 구동부(520)는 적층 방향에서, 화소 어레이부(540)의 H방향의 단부 근방에 겹쳐지는 영역에 마련되어 있다(도 2). 열 신호 처

리부(550)는 예를 들면, 적층 방향에서, 일부가 화소 어레이부(540)에 겹쳐지는 영역에 마련되어 있다. 보다 구체적으로는 열 신호 처리부(550)는 적층 방향에서, 화소 어레이부(540)의 V방향의 단부 근방에 겹쳐지는 영역에 마련되어 있다(도 2). 도시는 생략하지만, 입력부(510A) 및 출력부(510B)는 제3 기관(300) 이외의 부분에 배치되어 있어도 좋고, 예를 들면, 제2 기관(200)에 배치되어 있어도 좋다. 또는 제1 기관(100)의 이면(광입사면)측에 입력부(510A) 및 출력부(510B)를 마련하도록 해도 좋다. 또한 상기 제2 기관(200)에 마련된 화소 회로는 다른 호칭으로서, 화소 트랜지스터 회로, 화소 트랜지스터군, 화소 트랜지스터, 화소 판독 회로 또는 판독 회로라고 불리는 일도 있다. 본 명세서에서는 화소 회로라는 호칭을 이용한다.

[0060] 제1 기관(100)과 제2 기관(200)은 예를 들면, 관통 전극(후술하는 도 6의 관통 전극(120E, 121E))에 의해 전기적으로 접속되어 있다. 제2 기관(200)과 제3 기관(300)은 예를 들면, 콘택트부(201, 202, 301, 302)를 통하여 전기적으로 접속되어 있다. 제2 기관(200)에 콘택트부(201, 202)가 마련되고, 제3 기관(300)에 콘택트부(301, 302)가 마련되어 있다. 제2 기관(200)의 콘택트부(201)가 제3 기관(300)의 콘택트부(301)에 접하고 제2 기관(200)의 콘택트부(202)가 제3 기관(300)의 콘택트부(302)에 접해 있다. 제2 기관(200)은 복수의 콘택트부(201)가 마련된 콘택트 영역(201R)과, 복수의 콘택트부(202)가 마련된 콘택트 영역(202R)을 가지고 있다. 제3 기관(300)은 복수의 콘택트부(301)가 마련된 콘택트 영역(301R)과, 복수의 콘택트부(302)가 마련된 콘택트 영역(302R)을 가지고 있다. 콘택트 영역(201R, 301R)은 적층 방향에서, 화소 어레이부(540)와 행 구동부(520) 사이에 마련되어 있다(도 3). 환언하면, 콘택트 영역(201R, 301R)은 예를 들면, 행 구동부(520)(제3 기관(300))와, 화소 어레이부(540)(제2 기관(200))가 적층 방향으로 겹쳐지는 영역, 또는 이 근방 영역에 마련되어 있다. 콘택트 영역(201R, 301R)은 예를 들면, 이와 같은 영역 중, H방향의 단부에 배치되어 있다(도 2). 제3 기관(300)에서는 예를 들면, 행 구동부(520)의 일부, 구체적으로는 행 구동부(520)의 H방향의 단부에 겹쳐지는 위치에 콘택트 영역(301R)이 마련되어 있다(도 2, 도 3). 콘택트부(201, 301)는 예를 들면, 제3 기관(300)에 마련된 행 구동부(520)와, 제2 기관(200)에 마련된 행 구동 신호선(542)을 접속하는 것이다. 콘택트부(201, 301)는 예를 들면, 제3 기관(300)에 마련된 입력부(510A)와 전원선(544) 및 기준 전위선(후술하는 기준 전위선(VSS))을 접속하고 있어도 좋다. 콘택트 영역(202R, 302R)은 적층 방향에서, 화소 어레이부(540)와 열 신호 처리부(550) 사이에 마련되어 있다(도 3). 환언하면, 콘택트 영역(202R, 302R)은 예를 들면, 열 신호 처리부(550)(제3 기관(300))와 화소 어레이부(540)(제2 기관(200))가 적층 방향으로 겹쳐지는 영역, 또는 이 근방 영역에 마련되어 있다. 콘택트 영역(202R, 302R)은 예를 들면, 이와 같은 영역 중, V방향의 단부에 배치되어 있다(도 2). 제3 기관(300)에서는 예를 들면, 열 신호 처리부(550)의 일부, 구체적으로는 열 신호 처리부(550)의 V방향의 단부에 겹쳐지는 위치에 콘택트 영역(301R)이 마련되어 있다(도 2, 도 3). 콘택트부(202, 302)는 예를 들면, 화소 어레이부(540)가 갖는 복수의 화소 공유 유닛(539) 각각으로부터 출력된 화소 신호(포토 다이오드에서의 광전 변환의 결과 발생한 전하의 양에 대응한 신호)를 제3 기관(300)에 마련된 열 신호 처리부(550)로 접속하기 위한 것이다. 화소 신호는 제2 기관(200)으로부터 제3 기관(300)에 보내지도록 되어 있다.

[0061] 도 3은 상기와 같이 활상 장치(1)의 단면도의 한 예이다. 제1 기관(100), 제2 기관(200), 제3 기관(300)은 배선층(100T, 200T, 300T)을 통하여 전기적으로 접속된다. 예를 들면, 활상 장치(1)는 제2 기관(200)과 제3 기관(300)을 전기적으로 접속하는 전기적 접속부를 가진다. 구체적으로는 도전 재료로 형성된 전극으로 콘택트부(201, 202, 301, 302)를 형성한다. 도전 재료는 예를 들면, 구리(Cu), 알루미늄(Al), 금(Au) 등의 금속 재료로 형성된다. 콘택트 영역(201R, 202R, 301R, 302R)은 예를 들어 전극으로서 형성된 배선끼리를 직접 접합함으로써, 제2 기관과 제3 기관을 전기적으로 접속하고 제2 기관(200)과 제3 기관(300)의 신호의 입력 및/또는 출력을 가능하게 한다.

[0062] 제2 기관(200)과 제3 기관(300)을 전기적으로 접속하는 전기적 접속부는 소망하는 개소에 마련할 수 있다. 예를 들면, 도 3에서 콘택트 영역(201R, 202R, 301R, 302R)으로서 말한 바와 같이 화소 어레이부(540)와 적층 방향으로 겹쳐지는 영역에 마련해도 좋다. 또한 전기적 접속부를 화소 어레이부(540)와 적층 방향으로 겹쳐지지 않는 영역에 마련해도 좋다. 구체적으로는 화소 어레이부(540)의 외측에 배치된 주변부와 적층 방향으로 겹쳐지는 영역에 마련해도 좋다.

[0063] 제1 기관(100) 및 제2 기관(200)에는 예를 들면, 접속 구멍부(H1, H2)가 마련되어 있다. 접속 구멍부(H1, H2)는 제1 기관(100) 및 제2 기관(200)을 관통하고 있다(도 3). 접속 구멍부(H1, H2)는 화소 어레이부(540)(또는 화소 어레이부(540)에 겹쳐지는 부분)의 외측에 마련되어 있다(도 2). 예를 들면, 접속 구멍부(H1)는 H방향에서 화소 어레이부(540)보다 외측에 배치되어 있고 접속 구멍부(H2)는 V방향에서 화소 어레이부(540)보다도 외측에 배치되어 있다. 예를 들면, 접속 구멍부(H1)는 제3 기관(300)에 마련된 입력부(510A)에 이르고 있고 접속 구멍부(H2)는 제3 기관(300)에 마련된 출력부(510B)에 달하고 있다. 접속 구멍부(H1, H2)는 공동(空洞)이라도 좋고,

적어도 일부에 도전 재료를 포함하고 있어도 좋다. 예를 들면, 입력부(510A) 및/또는 출력부(510B)로서 형성된 전극에 본딩 와이어를 접속하는 구성이 있다. 또는 입력부(510A) 및/또는 출력부(510B)로서 형성된 전극과, 접속 구멍부(H1, H2)에 마련된 도전 재료를 접속하는 구성이 있다. 접속 구멍부(H1, H2)에 마련된 도전 재료는 접속 구멍부(H1, H2)의 일부 또는 전부에 매입되어 있어도 좋고, 도전 재료가 접속 구멍부(H1, H2)의 측벽에 형성되어 있어도 좋다.

[0064] 또한 도 3에서는 제3 기관(300)에 입력부(510A), 출력부(510B)를 마련하는 구조라고 했지만, 이것으로 한정되지 않는다. 예를 들면, 배선층(200T, 300T)을 통하여 제3 기관(300)의 신호를 제2 기관(200)에 보냄으로써, 입력부(510A) 및/또는 출력부(510B)를 제2 기관(200)에 마련할 수도 있다. 마찬가지로, 배선층(100T, 200T)을 통하여 제2 기관(200)의 신호를 제1 기관(100)에 보냄으로써, 입력부(510A) 및/또는 출력부(510B)를 제1 기관(100)에 마련할 수도 있다.

[0065] 도 4는 화소 공유 유닛(539)의 구성의 한 예를 도시하는 등가 회로도이다. 화소 공유 유닛(539)은 복수의 화소(541)(도 4에서는 화소(541A, 541B, 541C, 541D)의 4개의 화소(541)를 도시한다)와, 이 복수의 화소(541)에 접속된 하나의 화소 회로(200X)와, 화소 회로(200X)에 접속된 수직 신호선(543)을 포함하고 있다. 화소 회로(200X)는 예를 들면, 4개의 트랜지스터, 구체적으로는 증폭 트랜지스터(AMP), 선택 트랜지스터(SEL), 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG)를 포함하고 있다. 상술한 바와 같이 화소 공유 유닛(539)은 하나의 화소 회로(200X)를 시분할로 동작시킴에 의해 화소 공유 유닛(539)에 포함되는 4개의 화소(541)(화소(541A, 541B, 541C, 541D)) 각각의 화소 신호를 순차적으로 수직 신호선(543)에 출력하도록 되어 있다. 복수의 화소(541)에 하나의 화소 회로(200X)가 접속되어 있고 이 복수의 화소(541)의 화소 신호가 하나의 화소 회로(200X)에 의해 시분할로 출력되는 양태를 「복수의 화소(541)가 하나의 화소 회로(200X)를 공유한다」고 말한다.

[0066] 화소(541A, 541B, 541C, 541D)는 서로 공통의 구성 요소를 가지고 있다. 이후, 화소(541A, 541B, 541C, 541D)의 구성 요소를 서로 구별하기 위해 화소(541A)의 구성 요소의 부호의 말미에는 식별 번호 1, 화소(541B)의 구성 요소의 부호의 말미에는 식별 번호 2, 화소(541C)의 구성 요소의 부호의 말미에는 식별 번호 3, 화소(541D)의 구성 요소의 부호의 말미에는 식별 번호 4를 부여한다. 화소(541A, 541B, 541C, 541D)의 구성 요소를 서로 구별할 필요가 없는 경우에는 화소(541A, 541B, 541C, 541D)의 구성 요소의 부호의 말미의 식별 번호를 생략한다.

[0067] 화소(541A, 541B, 541C, 541D)는 예를 들면, 포토 다이오드(PD)와, 포토 다이오드(PD)와 전기적으로 접속된 전송 트랜지스터(TR)와, 전송 트랜지스터(TR)에 전기적으로 접속된 플로팅 디퓨전(FD)을 가지고 있다. 포토 다이오드(PD)(PD1, PD2, PD3, PD4)에서는 캐소드가 전송 트랜지스터(TR)의 소스에 전기적으로 접속되어 있고 애노드가 기준 전위선(예를 들어 그라운드)에 전기적으로 접속되어 있다. 포토 다이오드(PD)는 입사한 광을 광전 변환하고 그 수광량에 응한 전하를 발생한다. 전송 트랜지스터(TR)(전송 트랜지스터(TR1, TR2, TR3, TR4))는 예를 들면, n형의 CMOS(Complementary Metal Oxide Semiconductor) 트랜지스터이다. 전송 트랜지스터(TR)에서는 드레인이 플로팅 디퓨전(FD)에 전기적으로 접속되고, 게이트가 구동 신호선에 전기적으로 접속되어 있다. 이 구동 신호선은 하나의 화소 공유 유닛(539)에 접속된 복수의 행 구동 신호선(542)(도 1 참조) 중의 일부이다. 전송 트랜지스터(TR)는 포토 다이오드(PD)에서 발생한 전하를 플로팅 디퓨전(FD)으로 전송한다. 플로팅 디퓨전(FD)(플로팅 디퓨전(FD1, FD2, FD3, FD4))은 p형 반도체층 중에 형성된 n형 확산층 영역이다. 플로팅 디퓨전(FD)은 포토 다이오드(PD)로부터 전송된 전하를 일시적으로 유지하는 전하 유지 수단이고 또한 그 전하량에 응한 전압을 발생시키는 전하-전압 변환 수단이다. 여기서는 포토 다이오드(PD)가 본 개시의 「광전 변환부」의 한 구체례에 대응하고 플로팅 디퓨전(FD)이 본 개시의 「전하 축적부」의 한 구체례에 대응한다.

[0068] 하나의 화소 공유 유닛(539)에 포함되는 4개의 플로팅 디퓨전(FD)(플로팅 디퓨전(FD1, FD2, FD3, FD4))은 서로 전기적으로 접속됨과 함께, 증폭 트랜지스터(AMP)의 게이트 및 FD 변환 게인 전환 트랜지스터(FDG)의 소스에 전기적으로 접속되어 있다. FD 변환 게인 전환 트랜지스터(FDG)의 드레인은 리셋 트랜지스터(RST)의 소스에 접속되고, FD 변환 게인 전환 트랜지스터(FDG)의 게이트는 구동 신호선에 접속되어 있다. 이 구동 신호선은 하나의 화소 공유 유닛(539)에 접속된 복수의 행 구동 신호선(542) 중의 일부이다. 리셋 트랜지스터(RST)의 드레인은 전원선(VDD)에 접속되고, 리셋 트랜지스터(RST)의 게이트는 구동 신호선에 접속되어 있다. 이 구동 신호선은 하나의 화소 공유 유닛(539)에 접속된 복수의 행 구동 신호선(542) 중의 일부이다. 증폭 트랜지스터(AMP)의 게이트는 플로팅 디퓨전(FD)에 접속되고, 증폭 트랜지스터(AMP)의 드레인은 전원선(VDD)에 접속되고, 증폭 트랜지스터(AMP)의 소스는 선택 트랜지스터(SEL)의 드레인에 접속되어 있다. 선택 트랜지스터(SEL)의 소스는 수직 신호선(543)에 접속되고, 선택 트랜지스터(SEL)의 게이트는 구동 신호선에 접속되어 있다. 이 구동 신호선은 하나의

화소 공유 유닛(539)에 접속된 복수의 행 구동 신호선(542) 중의 일부이다.

[0069] 전송 트랜지스터(TR)는 전송 트랜지스터(TR)가 온 상태가 되면, 포토 다이오드(PD)의 전하를 플로팅 디퓨전(FD)에 전송한다. 전송 트랜지스터(TR)의 게이트(전송 게이트(TG))는 예를 들면, 이른바 중형 전극을 포함하고 있고 후술하는 도 6에 도시하는 바와 같이 반도체층(후술하는 도 6의 반도체층(100S))의 표면으로부터 PD에 달하는 깊이까지 연재되어 마련되어 있다. 리셋 트랜지스터(RST)는 플로팅 디퓨전(FD)의 전위를 소정의 전위로 리셋한다. 리셋 트랜지스터(RST)가 온 상태가 되면, 플로팅 디퓨전(FD)의 전위를 전원선(VDD)의 전위로 리셋한다. 선택 트랜지스터(SEL)는 화소 회로(200X)로부터의 화소 신호의 출력 타이밍을 제어한다. 증폭 트랜지스터(AMP)는 화소 신호로서, 플로팅 디퓨전(FD)에 유지된 전하의 레벨에 응한 전압의 신호를 생성한다. 증폭 트랜지스터(AMP)는 선택 트랜지스터(SEL)를 통하여 수직 신호선(543)에 접속되어 있다. 이 증폭 트랜지스터(AMP)는 열 신호 처리부(550)에서, 수직 신호선(543)에 접속된 부하 회로부(도 1 참조)와 함께 소스 팔로워를 구성하고 있다. 증폭 트랜지스터(AMP)는 선택 트랜지스터(SEL)가 온 상태가 되면, 플로팅 디퓨전(FD)의 전압을 수직 신호선(543)을 통하여 열 신호 처리부(550)에 출력한다. 리셋 트랜지스터(RST), 증폭 트랜지스터(AMP) 및 선택 트랜지스터(SEL)는 예를 들면, N형의 CMOS 트랜지스터이다.

[0070] FD 변환 게인 전환 트랜지스터(FDG)는 플로팅 디퓨전(FD)에서의 전하-전압 변환의 게인을 변경할 때에 이용된다. 일반적으로 어두운 장소에서의 촬영 시에는 화소 신호가 작다. $Q=CV$ 에 의거하여 전하 전압 변환을 행하는 때에 플로팅 디퓨전(FD)의 용량(FD 용량(C))이 크면, 증폭 트랜지스터(AMP)에서 전압으로 변환했을 때의 V가 작아져 버린다. 한편, 밝은 장소에서는 화소 신호가 커지기 때문에 FD 용량(C)이 크지 않으면, 플로팅 디퓨전(FD)에서, 포토 다이오드(PD)의 전하를 완전히 받지 못한다. 또한 증폭 트랜지스터(AMP)에서 전압으로 변환했을 때의 V가 너무 커지지 않도록(환언하면, 작아지도록), FD 용량(C)이 커져 있을 필요가 있다. 이들에 입각하면, FD 변환 게인 전환 트랜지스터(FDG)를 온으로 했을 때에는 FD 변환 게인 전환 트랜지스터(FDG)분의 게이트 용량이 늘어나기 때문에 전체의 FD 용량(C)이 커진다. 한편, FD 변환 게인 전환 트랜지스터(FDG)를 오프로 했을 때에는 전체의 FD 용량(C)이 작아진다. 이와 같이 FD 변환 게인 전환 트랜지스터(FDG)를 온 오프 전환함으로써, FD 용량(C)을 가변으로 하고 변환 효율을 전환할 수 있다. FD 변환 게인 전환 트랜지스터(FDG)는 예를 들면, N형의 CMOS 트랜지스터이다.

[0071] 또한 FD 변환 게인 전환 트랜지스터(FDG)를 마련하지 않는 구성도 가능하다. 이때, 예를 들면, 화소 회로(200X)는 예를 들어 증폭 트랜지스터(AMP), 선택 트랜지스터(SEL) 및 리셋 트랜지스터(RST)의 3개의 트랜지스터로 구성된다. 화소 회로(200X)는 예를 들면, 증폭 트랜지스터(AMP), 선택 트랜지스터(SEL), 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG) 등의 화소 트랜지스터의 적어도 1개를 가진다.

[0072] 선택 트랜지스터(SEL)는 전원선(VDD)과 증폭 트랜지스터(AMP) 사이에 마련되어 있어도 좋다. 이 경우, 리셋 트랜지스터(RST)의 드레인이 전원선(VDD) 및 선택 트랜지스터(SEL)의 드레인에 전기적으로 접속되어 있다. 선택 트랜지스터(SEL)의 소스가 증폭 트랜지스터(AMP)의 드레인에 전기적으로 접속되어 있고 선택 트랜지스터(SEL)의 게이트가 행 구동 신호선(542)(도 1 참조)에 전기적으로 접속되어 있다. 증폭 트랜지스터(AMP)의 소스(화소 회로(200X)의 출력단)가 수직 신호선(543)에 전기적으로 접속되어 있고 증폭 트랜지스터(AMP)의 게이트가 리셋 트랜지스터(RST)의 소스에 전기적으로 접속되어 있다. 또한 도시는 생략하지만, 하나의 화소 회로(200X)를 공유하는 화소(541)의 수는 4 이외라도 좋다. 예를 들면, 2개 또는 8개의 화소(541)가 하나의 화소 회로(200X)를 공유해도 좋다.

[0073] 도 5는 복수의 화소 공유 유닛(539)과, 수직 신호선(543)의 접속 양태의 한 예를 도시한 것이다. 예를 들면, 열 방향으로 나열되는 4개의 화소 공유 유닛(539)이 4개의 그룹으로 나누어져 있고 이 4개의 그룹 각각에 수직 신호선(543)이 접속되어 있다. 도 5에는 설명을 간단하게 하기 위해 4개의 그룹이 각각, 1개의 화소 공유 유닛(539)을 갖는 예를 도시했지만, 4개의 그룹이 각각, 복수의 화소 공유 유닛(539)을 포함하고 있어도 좋다. 이와 같이 촬상 장치(1)에서는 열방향으로 나열되는 복수의 화소 공유 유닛(539)이 1개 또는 복수의 화소 공유 유닛(539)을 포함하는 그룹으로 나누어져 있어도 좋다. 예를 들면, 이 그룹 각각에 수직 신호선(543) 및 열 신호 처리부(550)가 접속되어 있고 각각의 그룹으로부터 화소 신호를 동시에 판독할 수 있도록 되어 있다. 또는 촬상 장치(1)에서는 열방향으로 나열되는 복수의 화소 공유 유닛(539)에 1개의 수직 신호선(543)이 접속되어 있어도 좋다. 이때, 1개의 수직 신호선(543)에 접속된 복수의 화소 공유 유닛(539)으로부터 시분할로 순차적으로 화소 신호가 판독되도록 되어 있다.

[0074] [촬상 장치(1)의 구체적 구성]

[0075] 도 6은 촬상 장치(1)의 제1 기관(100), 제2 기관(200) 및 제3 기관(300)의 주면에 대해 수직 방향의 단면 구성

의 한 예를 도시한 것이다. 도 6은 구성 요소의 위치 관계를 알기 쉽게 하기 위해 모식적으로 도시한 것이고, 실제의 단면과 달라도 좋다. 촬상 장치(1)에서는 제1 기관(100), 제2 기관(200) 및 제3 기관(300)이 이 순서로 적층되어 있다. 촬상 장치(1)는 또한 제1 기관(100)의 이면측(광입사면측)에 수광 렌즈(401)를 가지고 있다. 수광 렌즈(401)와 제1 기관(100) 사이에 컬러 필터층(도시 생략)이 마련되어 있어도 좋다. 수광 렌즈(401)는 예를 들면, 화소(541A, 541B, 541C, 541D) 각각에 마련되어 있다. 촬상 장치(1)는 예를 들면, 이면 조사형의 촬상 장치이다. 촬상 장치(1)는 중앙부에 배치된 화소 어레이부(540)와, 화소 어레이부(540)의 외측에 배치된 주변부(540B)를 가지고 있다.

[0076] 제1 기관(100)은 수광 렌즈(401)측으로부터 순차적으로 절연막(111), 고정 전하막(112), 반도체층(100S) 및 배선층(100T)을 가지고 있다. 반도체층(100S)은 예를 들어 실리콘 기관에 의해 구성되어 있다. 반도체층(100S)은 예를 들면, 표면(배선층(100T)측의 면)의 일부 및 그 근방에 p웰층(115)을 가지고 있고 그 이외의 영역(p웰층(115)보다도 깊은 영역)에 n형 반도체 영역(114)을 가지고 있다. 예를 들면, 이 n형 반도체 영역(114) 및 p웰층(115)에 의해 pn 접합형의 포토 다이오드(PD)가 구성되어 있다. p웰층(115)은 p형 반도체 영역이다.

[0077] 도 7A는 제1 기관(100)의 평면 구성의 한 예를 도시한 것이다. 도 7A는 주로, 제1 기관(100)의 화소 분리부(117), 포토 다이오드(PD), 플로팅 디퓨전(FD), VSS 콘택트 영역(118) 및 전송 트랜지스터(TR)의 평면 구성을 도시하고 있다. 도 6과 함께, 도 7A를 이용하여 제1 기관(100)의 구성에 관해 설명한다.

[0078] 반도체층(100S)의 표면 근방에는 플로팅 디퓨전(FD) 및 VSS 콘택트 영역(118)이 마련되어 있다. 플로팅 디퓨전(FD)은 p웰층(115) 내에 마련된 n형 반도체 영역에 의해 구성되어 있다. 화소(541A, 541B, 541C, 541D) 각각의 플로팅 디퓨전(FD)(플로팅 디퓨전(FD1, FD2, FD3, FD4))은 예를 들면, 화소 공유 유닛(539)의 중앙부에 서로 근접하여 마련되어 있다(도 7A). 상세는 후술하지만, 이 화소 공유 유닛(539)에 포함되는 4개의 플로팅 디퓨전(플로팅 디퓨전(FD1, FD2, FD3, FD4))은 제1 기관(100) 내(보다 구체적으로는 배선층(100T) 내)에서, 전기적 접속 수단(후술하는 패드부(120))을 통하여 서로 전기적으로 접속되어 있다. 또한 플로팅 디퓨전(FD)은 제1 기관(100)으로부터 제2 기관(200)(보다 구체적으로는 배선층(100T)으로부터 배선층(200T)에)으로 전기적 수단(후술하는 관통 전극(120E))을 통하여 접속되어 있다. 제2 기관(200)(보다 구체적으로는 배선층(200T)의 내부)에서는 이 전기적 수단에 의해 플로팅 디퓨전(FD)이 증폭 트랜지스터(AMP)의 게이트 및 FD 변환 게인 전환 트랜지스터(FDG)의 소스에 전기적으로 접속되어 있다. 여기서, VSS 콘택트 영역(118)이 본 개시의 「불순물 확산 영역」의 한 구체례에 대응한다.

[0079] VSS 콘택트 영역(118)은 기준 전위선(VSS)에 전기적으로 접속되는 영역이고, 플로팅 디퓨전(FD)과 이간하여 배치되어 있다. 예를 들면, 화소(541A, 541B, 541C, 541D)에서는 각 화소의 V방향의 일단에 플로팅 디퓨전(FD)이 배치되고, 타단에 VSS 콘택트 영역(118)이 배치되어 있다(도 7A). VSS 콘택트 영역(118)은 예를 들면, p형 반도체 영역에 의해 구성되어 있다. VSS 콘택트 영역(118)은 예를 들어 접지 전위나 고정 전위에 접속되어 있다. 이에 의해 반도체층(100S)에 기준 전위가 공급된다.

[0080] 제1 기관(100)에는 포토 다이오드(PD), 플로팅 디퓨전(FD) 및 VSS 콘택트 영역(118)과 함께, 전송 트랜지스터(TR)가 마련되어 있다. 이 포토 다이오드(PD), 플로팅 디퓨전(FD), VSS 콘택트 영역(118) 및 전송 트랜지스터(TR)는 화소(541A, 541B, 541C, 541D) 각각에 마련되어 있다. 전송 트랜지스터(TR)는 반도체층(100S)의 표면측(광입사면측과 반대측, 제2 기관(200)측)에 마련되어 있다. 전송 트랜지스터(TR)는 전송 게이트(TG)를 가지고 있다. 전송 게이트(TG)는 예를 들면, 반도체층(100S)의 표면에 대향하는 수평 부분(TGb)과, 반도체층(100S) 내에 마련된 수직 부분(TGa)을 포함하고 있다. 수직 부분(TGa)은 반도체층(100S)의 두께 방향으로 연재되어 있다. 수직 부분(TGa)의 일단은 수평 부분(TGb)에 접하고 타단은 n형 반도체 영역(114) 내에 마련되어 있다. 전송 트랜지스터(TR)를 이와 같은 중형 트랜지스터에 의해 구성함에 의해 화소 신호의 전송 불량이 생기기 어려워지고, 화소 신호의 관독 효율을 향상시킬 수 있다.

[0081] 전송 게이트(TG)의 수평 부분(TGb)은 수직 부분(TGa)에 대향하는 위치로부터 예를 들면, H방향에서 화소 공유 유닛(539)의 중앙부를 향하여 연재되어 있다(도 7A). 이에 의해 전송 게이트(TG)에 달하는 관통 전극(후술하는 관통 전극(TGV))의 H방향의 위치를 플로팅 디퓨전(FD), VSS 콘택트 영역(118)에 접속되는 관통 전극(후술하는 관통 전극(120E, 121E))의 H방향의 위치에 접근할 수 있다. 예를 들면, 제1 기관(100)에 마련된 복수의 화소 공유 유닛(539)은 서로 같은 구성을 가지고 있다(도 7A).

[0082] 도 8A 및 도 8B는 제1 기관(100) 및 제2 기관(200)의 요부의 구성의 다른 예를 모식적으로 도시하고 있다. 도 8A는 제1 기관(100) 및 제2 기관(200)의 요부의 단면 구성을 도시하고 도 8B는 화소 공유 유닛(539)의 평면 구성의 한 예를 도시하고 있다.

- [0083] 전송 트랜지스터(TR)는 평면형 트랜지스터에 의해 구성되어 있어도 좋다(도 8A). 이때, 예를 들면, 반도체층(100S)의 표면에 전송 게이트(TG)가 마련되어 있다. 예를 들면, 이 전송 게이트(TG)의 측면은 사이드 월(SW)에 의해 덮여 있다. 사이드 월(SW)은 예를 들어 질화 실리콘(SiN)을 포함하고 있다. 반도체층(100S)과 전송 게이트(TG) 사이에는 게이트 절연막(도 8A에서는 도시를 생략, 후술하는 도 19B의 게이트 절연막(TR-I))이 마련되어 있다. 화소(541A, 541B, 541C, 541D) 각각의 전송 게이트(TG)(전송 게이트(TG1, TG2, TG3, TG4))는 예를 들면, 평면시로 플로팅 디퓨전(FD)을 둘러싸도록 마련되어 있다(도 8B).
- [0084] 반도체층(100S)에는 화소(541A, 541B, 541C, 541D)를 서로 분리하는 화소 분리부(117)가 마련되어 있다. 화소 분리부(117)는 반도체층(100S)의 법선 방향(반도체층(100S)의 표면에 대해 수직 방향)으로 연재되어 형성되어 있다. 화소 분리부(117)는 화소(541A, 541B, 541C, 541D)를 서로 구획하도록 마련되어 있고 예를 들어 격자형상의 평면 형상을 가지고 있다(도 7A, 도 7B). 화소 분리부(117)는 예를 들면, 화소(541A, 541B, 541C, 541D)를 서로 전기적 및 광학적으로 분리한다. 화소 분리부(117)는 예를 들면, 차광막(117A) 및 절연막(117B)을 포함하고 있다. 차광막(117A)에는 예를 들면, 텅스텐(W) 등이 이용된다. 절연막(117B)은 차광막(117A)과 p웰층(115) 또는 n형 반도체 영역(114) 사이에 마련되어 있다. 절연막(117B)은 예를 들면, 산화 실리콘(SiO₂)에 의해 구성되어 있다. 화소 분리부(117)는 예를 들면, FTI(Full Trench Isolation) 구조를 가지고 있고 반도체층(100S)을 관통하고 있다. 도시하지 않지만, 화소 분리부(117)는 반도체층(100S)을 관통하는 FTI 구조로 한정되지 않는다. 예를 들면, 반도체층(100S)을 관통하지 않는 DTI(Deep Trench Isolation) 구조라도 좋다. 화소 분리부(117)는 반도체층(100S)의 법선 방향으로 연재되어, 반도체층(100S)의 일부의 영역에 형성된다.
- [0085] 반도체층(100S)에는 예를 들면, 제1 피닝 영역(113) 및 제2 피닝 영역(116)이 마련되어 있다. 제1 피닝 영역(113)은 반도체층(100S)의 이면 근방에 마련되어 있고 n형 반도체 영역(114)와 고정 전하막(112) 사이에 배치되어 있다. 제2 피닝 영역(116)은 화소 분리부(117)의 측면, 구체적으로는 화소 분리부(117)와 p웰층(115) 또는 n형 반도체 영역(114) 사이에 마련되어 있다. 제1 피닝 영역(113) 및 제2 피닝 영역(116)은 예를 들면, p형 반도체 영역에 의해 구성되어 있다.
- [0086] 반도체층(100S)과 절연막(111) 사이에는 부의 고정 전하를 갖는 고정 전하막(112)이 마련되어 있다. 고정 전하막(112)이 유기하는 전계에 의해 반도체층(100S)의 수광면(이면)측의 계면에 홀 축적층의 제1 피닝 영역(113)이 형성된다. 이에 의해 반도체층(100S)의 수광면측의 계면 준위에 기인한 암 전류의 발생이 억제된다. 고정 전하막(112)은 예를 들면, 부의 고정 전하를 갖는 절연막에 의해 형성되어 있다. 이 부의 고정 전하를 갖는 절연막의 재료로서는 예를 들면, 산화 하프늄, 산화 지르콘, 산화 알루미늄, 산화 티탄 또는 산화 탄탈을 들 수 있다.
- [0087] 고정 전하막(112)과 절연막(111) 사이에는 차광막(117A)이 마련되어 있다. 이 차광막(117A)은 화소 분리부(117)를 구성하는 차광막(117A)과 연속하여 마련되어 있어도 좋다. 이 고정 전하막(112)과 절연막(111) 사이의 차광막(117A)은 예를 들면, 반도체층(100S) 내의 화소 분리부(117)에 대항하는 위치에 선택적으로 마련되어 있다. 절연막(111)은 이 차광막(117A)을 덮도록 마련되어 있다. 절연막(111)은 예를 들면, 산화 실리콘에 의해 구성되어 있다.
- [0088] 반도체층(100S)과 제2 기관(200) 사이에 마련된 배선층(100T)은 반도체층(100S)측으로부터 층간 절연막(119), 패드부(120, 121), 패시베이션막(122), 층간 절연막(123) 및 접합막(124)을 이 순서로 가지고 있다. 전송 게이트(TG)의 수평 부분(TGb)은 예를 들면, 이 배선층(100T)에 마련되어 있다. 층간 절연막(119)은 반도체층(100S)의 표면 전면에 걸쳐 마련되어 있고 반도체층(100S)에 접해 있다. 층간 절연막(119)은 예를 들어 산화 실리콘막에 의해 구성되어 있다. 또한 배선층(100T)의 구성은 상술한 것에 그치지 않고, 배선과 절연막을 갖는 구성이라면 좋다. 여기서는 패드부(120)가 본 개시의 「제1 공유 접속부」의 한 구체례에 대응하고 패드부(121)가 본 개시의 「제2 공유 접속부」의 한 구체례에 대응한다.
- [0089] 도 7B는 도 7A에 도시한 평면 구성과 함께, 패드부(120, 121)의 구성을 도시하고 있다. 패드부(120, 121)는 층간 절연막(119)상의 선택적인 영역에 마련되어 있다. 패드부(120)는 화소(541A, 541B, 541C, 541D) 각각의 플로팅 디퓨전(FD)(플로팅 디퓨전(FD1, FD2, FD3, FD4))을 서로 접속하기 위한 것이다. 패드부(120)는 예를 들면, 화소 공유 유닛(539)마다 평면시로 화소 공유 유닛(539)의 중앙부에 배치되어 있다(도 7B). 이 패드부(120)는 화소 분리부(117)를 넘도록 마련되어 있고 플로팅 디퓨전(FD1, FD2, FD3, FD4) 각각의 적어도 일부에 중첩하여 배치되어 있다(도 6, 도 7B). 구체적으로는 패드부(120)는 화소 회로(200X)를 공유하는 복수의 플로팅 디퓨전(FD)(플로팅 디퓨전(FD1, FD2, FD3, FD4)) 각각의 적어도 일부와, 그 화소 회로(200X)를 공유하는 복수의 포토 다이오드(PD)(포토 다이오드(PD1, PD2, PD3, PD4)) 사이에 형성된 화소 분리부(117)의 적어도 일부에 대해 반도체층(100S)의 표면에 대해 수직 방향으로 겹쳐지는 영역에 형성된다. 층간 절연막(119)에는 패드부(120)와 플로

팅 디퓨전(FD1, FD2, FD3, FD4)을 전기적으로 접속하기 위한 접속 비아(120C)가 마련되어 있다. 접속 비아(120C)는 화소(541A, 541B, 541C, 541D) 각각에 마련되어 있다. 예를 들면, 접속 비아(120C)에 패드부(120)의 일부가 매입됨에 의해 패드부(120)와 플로팅 디퓨전(FD1, FD2, FD3, FD4)이 전기적으로 접속되어 있다.

[0090] 패드부(121)는 복수의 VSS 콘택트 영역(118)을 서로 접속하기 위한 것이다. 예를 들면, V방향으로 나열되는 일방의 화소 공유 유닛(539)의 화소(541C, 541D)에 마련된 VSS 콘택트 영역(118)과, 타방의 화소 공유 유닛(539)의 화소(541A, 541B)에 마련된 VSS 콘택트 영역(118)이 패드부(121)에 의해 전기적으로 접속되어 있다. 패드부(121)는 예를 들면, 화소 분리부(117)를 넘도록 마련되어 있고 이들 4개의 VSS 콘택트 영역(118) 각각의 적어도 일부에 중첩하여 배치되어 있다. 구체적으로는 패드부(121)는 복수의 VSS 콘택트 영역(118) 각각의 적어도 일부와, 그 복수의 VSS 콘택트 영역(118) 사이에 형성된 화소 분리부(117)의 적어도 일부에 대해 반도체층(100S)의 표면에 대해 수직 방향으로 겹쳐지는 영역에 형성된다. 층간 절연막(119)에는 패드부(121)와 VSS 콘택트 영역(118)을 전기적으로 접속하기 위한 접속 비아(121C)가 마련되어 있다. 접속 비아(121C)는 화소(541A, 541B, 541C, 541D) 각각에 마련되어 있다. 예를 들면, 접속 비아(121C)에 패드부(121)의 일부가 매입됨에 의해 패드부(121)와 VSS 콘택트 영역(118)이 전기적으로 접속되어 있다. 예를 들면, V방향으로 나열되는 복수의 화소 공유 유닛(539) 각각의 패드부(120) 및 패드부(121)는 H방향에서 개략 같은 위치에 배치되어 있다(도 7B). 도 9는 패드부(120, 121)의 구성의 다른 예를 도시하고 있다. 이와 같이 전송 게이트(TG)의 측면과 함께, 패드부(120, 121)의 측면에도 사이드 월(SW)이 마련되어 있어도 좋다.

[0091] 패드부(120)를 마련함으로써, 칩 전체에서, 각 플로팅 디퓨전(FD)으로부터 화소 회로(200X)(예를 들어 증폭 트랜지스터(AMP)의 게이트 전극)에 접속하기 위한 배선을 줄일 수 있다. 마찬가지로, 패드부(121)를 마련함으로써, 칩 전체에서, 각 VSS 콘택트 영역(118)에의 전위를 공급하는 배선을 줄일 수 있다. 이에 의해 칩 전체의 면적의 축소, 미세화된 화소에서의 배선 사이의 전기적 간섭의 억제 및/또는 부품 점수의 삭감에 의한 비용 삭감 등이 가능해진다.

[0092] 패드부(120, 121)는 제1 기판(100), 제2 기판(200)의 소망하는 위치에 마련할 수 있다. 구체적으로는 패드부(120, 121)를 배선층(100T), 반도체층(200S)의 절연 영역(212)의 어느 하나에 마련할 수 있다. 배선층(100T)에 마련하는 경우에는 패드부(120, 121)를 반도체층(100S)에 직접 접촉시켜도 좋다. 구체적으로는 패드부(120, 121)가 플로팅 디퓨전(FD) 및/또는 VSS 콘택트 영역(118)의 각각의 적어도 일부와 직접 접속되는 구성이라도 좋다. 또한 패드부(120, 121)에 접속하는 플로팅 디퓨전(FD) 및/또는 VSS 콘택트 영역(118)의 각각으로부터 접속 비아(120C, 121C)를 마련하고 배선층(100T), 반도체층(200S)의 절연 영역(212)의 소망하는 위치에 패드부(120, 121)를 마련하는 구성이라도 좋다.

[0093] 특히, 패드부(120, 121)를 배선층(100T)에 마련하는 경우에는 반도체층(200S)의 절연 영역(212)에서의 플로팅 디퓨전(FD) 및/또는 VSS 콘택트 영역(118)에 접속되는 배선을 줄일 수 있다. 이에 의해 화소 회로(200X)를 형성하는 제2 기판(200) 중, 플로팅 디퓨전(FD)으로부터 화소 회로(200X)에 접속하기 위한 관통 배선을 형성하기 위한 절연 영역(212)의 면적을 삭감할 수 있다. 따라서, 화소 회로(200X)를 형성하는 제2 기판(200)의 면적을 크게 확보할 수 있다. 화소 회로(200X)의 면적을 확보함으로써, 화소 트랜지스터를 크게 형성할 수 있고 노이즈 저감 등에 의한 화질 향상에 기여할 수 있다.

[0094] 특히, 화소 분리부(117)에 FTI 구조를 이용한 경우, 플로팅 디퓨전(FD) 및/또는 VSS 콘택트 영역(118)은 각 화소(541)에 마련하는 것이 바람직하기 때문에 패드부(120, 121)의 구성을 이용함으로써, 제1 기판(100)과 제2 기판(200)을 접속하는 배선을 대폭적으로 삭감할 수 있다.

[0095] 또한 도 7B와 같이 예를 들어 복수의 플로팅 디퓨전(FD)이 접속되는 패드부(120)와, 복수의 VSS 콘택트 영역(118)이 접속되는 패드부(121)는 V방향에서 직선형상으로 교대로 배치된다. 또한 패드부(120, 121)는 복수의 포토 다이오드(PD)나, 복수의 전송 게이트(TG)나, 복수의 플로팅 디퓨전(FD)에 둘러싸이는 위치에 형성된다. 이에 의해 복수의 소자를 형성하는 제1 기판(100)에서, 플로팅 디퓨전(FD)과 VSS 콘택트 영역(118) 이외의 소자를 자유롭게 배치할 수 있고 칩 전체의 레이아웃의 효율화를 도모할 수 있다. 또한 각 화소 공유 유닛(539)에 형성되는 소자의 레이아웃에서의 대칭성이 확보되고, 각 화소(541)의 특성의 편차를 억제할 수 있다.

[0096] 패드부(120, 121)는 예를 들면, 폴리실리콘(Poly Si), 보다 구체적으로는 불순물이 첨가된 도프트 실리콘에 의해 구성되어 있다. 패드부(120, 121)는 폴리실리콘, 텅스텐(W), 티탄(Ti) 및 질화 티탄(TiN) 등의 내열성이 높은 도전성 재료에 의해 구성되어 있는 것이 바람직하다. 이에 의해 제1 기판(100)에 제2 기판(200)의 반도체층(200S)을 접합시킨 후에 화소 회로(200X)를 형성하는 것이 가능해진다. 이하, 이 이유에 관해 설명한다. 또한 이하의 설명에서, 제1 기판(100)과 제2 기판(200)의 반도체층(200S)을 접합시킨 후에 화소 회로(200X)를 형성하

는 방법을 제1 제조 방법이라고 부른다.

[0097] 여기서, 제2 기관(200)에 화소 회로(200X)를 형성한 후에 이것을 제1 기관(100)에 첩합시키는 것도 생각할 수 있다(이하 제2 제조 방법이라고 한다). 이 제2 제조 방법에서는 제1 기관(100)의 표면(배선층(100T)의 표면) 및 제2 기관(200)의 표면(배선층(200T)의 표면) 각각에 전기적 접속용의 전극을 미리 형성해 둔다. 제1 기관(100)과 제2 기관(200)을 첩합시키면, 이와 동시에 제1 기관(100)의 표면과 제2 기관(200)의 표면의 각각에 형성된 전기적 접속용의 전극끼리가 접촉한다. 이에 의해 제1 기관(100)에 포함되는 배선과 제2 기관(200)에 포함되는 배선 사이에서 전기적 접속이 형성된다. 따라서, 제2 제조 방법을 이용한 촬상 장치(1)의 구성으로 함으로써, 예를 들어 제1 기관(100)과 제2 기관(200)의 각각의 구성에 응하여 적절한 프로세스를 이용하여 제조할 수 있고 고품질, 고성능인 촬상 장치를 제조할 수 있다.

[0098] 이와 같은 제2 제조 방법에서는 제1 기관(100)과 제2 기관(200)을 첩합시킬 때에 첩합용 제조 장치에 기인하여 위치 맞춤의 오차가 생기는 일이 있다. 또한 제1 기관(100) 및 제2 기관(200)은 예를 들면, 직경 수십cm 정도의 크기를 갖지만, 제1 기관(100)과 제2 기관(200)을 첩합시킬 때에 이 제1 기관(100), 제2 기관(200) 각 부의 미시적 영역에서, 기관의 신축이 발생할 우려가 있다. 이 기관의 신축은 기관끼리가 접촉하는 타이밍이 다소 어긋나는 것에 기인한다. 이와 같은 제1 기관(100) 및 제2 기관(200)의 신축에 기인하여 제1 기관(100)의 표면 및 제2 기관(200)의 표면 각각에 형성된 전기적 접속용의 전극의 위치에 오차가 생기는 일이 있다. 제2 제조 방법에서는 이와 같은 오차가 생겨도, 제1 기관(100) 및 제2 기관(200) 각각의 전극끼리가 접촉하도록 대처해 두는 것이 바람직하다. 구체적으로는 제1 기관(100) 및 제2 기관(200)의 전극의 적어도 일방, 바람직하게는 양방을 상기 오차를 고려하여 크게 해 둔다. 이 때문에 제2 제조 방법을 이용하면, 예를 들면, 제1 기관(100) 또는 제2 기관(200)의 표면에 형성된 전극의 크기(기관 평면 방향의 크기)가 제1 기관(100) 또는 제2 기관(200)의 내부로부터 표면에 두께 방향으로 연재되는 내부 전극의 크기보다도 커진다.

[0099] 한편, 패드부(120, 121)를 내열성의 도전 재료에 의해 구성함으로써, 상기 제1 제조 방법을 이용하는 것이 가능해진다. 제1 제조 방법에서는 포토 다이오드(PD) 및 전송 트랜지스터(TR) 등을 포함하는 제1 기관(100)을 형성한 후, 이 제1 기관(100)과 제2 기관(200)(반도체층(200S))을 첩합시킨다. 이때, 제2 기관(200)은 화소 회로(200X)를 구성하는 능동 소자 및 배선층 등의 패턴은 미형성의 상태이다. 제2 기관(200)은 패턴을 형성하기 전의 상태이기 때문에 가령, 제1 기관(100)과 제2 기관(200)을 첩합시킬 때, 그 첩합 위치에 오차가 생겼다 하더라도, 이 첩합 오차에 의해 제1 기관(100)의 패턴과 제2 기관(200)의 패턴 사이의 위치 맞춤에 오차가 생기는 일은 없다. 왜냐하면, 제2 기관(200)의 패턴은 제1 기관(100)과 제2 기관(200)을 첩합시킨 후에 형성하기 때문이다. 또한 제2 기관에 패턴을 형성할 때에는 예를 들면, 패턴 형성을 위한 노광 장치에서, 제1 기관에 형성된 패턴을 위치 맞춤의 대상으로 하면서 패턴 형성한다. 상기 이유에 의해 제1 기관(100)과 제2 기관(200)의 첩합 위치의 오차는 제1 제조 방법에서는 촬상 장치(1)를 제조하는데에 문제가 되지 않는다. 같은 이유로, 제2 제조 방법에서 생기는 기관의 신축에 기인한 오차도, 제1 제조 방법에서는 촬상 장치(1)를 제조하는데에 문제가 되지 않는다.

[0100] 제1 제조 방법에서는 이와 같이 하여 제1 기관(100)과 제2 기관(200)(반도체층(200S))을 첩합시킨 후, 제2 기관(200)상에 능동 소자를 형성한다. 이 후, 관통 전극(120E, 121E) 및 관통 전극(TGV)(도 6)을 형성한다. 이 관통 전극(120E, 121E, TGV)의 형성에서는 예를 들면, 제2 기관(200)의 상방으로부터 노광 장치에 의한 축소 투영 노광을 이용하여 관통 전극의 패턴을 형성한다. 축소 노광 투영을 이용하기 때문에 가령, 제2 기관(200)과 노광 장치의 위치 맞춤에 오차가 생겨도, 그 오차의 크기는 제2 기관(200)에서는 상기 제2 제조 방법의 오차의 수분의 1(축소 노광 투영 배율의 역수)밖에 되지 않는다. 따라서, 제1 제조 방법을 이용한 촬상 장치(1)의 구성으로 함으로써, 제1 기관(100)과 제2 기관(200)의 각각에 형성되는 소자끼리의 위치 맞춤이 용이해지고, 고품질, 고성능인 촬상 장치를 제조할 수 있다.

[0101] 이와 같은 제1 제조 방법을 이용하여 제조된 촬상 장치(1)는 제2 제조 방법으로 제조된 촬상 장치와 다른 특징을 가진다. 구체적으로는 제1 제조 방법에 의해 제조된 촬상 장치(1)에서는 예를 들면, 관통 전극(120E, 121E, TGV)이 제2 기관(200)으로부터 제1 기관(100)에 이르기까지, 개략 일정한 굽기(기관 평면 방향의 크기)로 되어 있다. 또는 관통 전극(120E, 121E, TGV)이 테이퍼 형상을 가질 때에는 일정한 기울기의 테이퍼 형상을 가지고 있다. 이와 같은 관통 전극(120E, 121E, TGV)을 갖는 촬상 장치(1)는 화소(541)를 미세화하기 쉽다.

[0102] 여기서, 제1 제조 방법에 의해 촬상 장치(1)를 제조하면, 제1 기관(100)과 제2 기관(200)(반도체층(200S))을 첩합시킨 후에 제2 기관(200)에 능동 소자를 형성하기 때문에 제1 기관(100)에도, 능동 소자의 형성 시에 필요한 가열 처리의 영향이 미치게 된다. 이 때문에 상기와 같이 제1 기관(100)에 마련된 패드부(120, 121)에는 내열성

이 높은 도전 재료를 이용하는 것이 바람직하다. 예를 들면, 패드부(120, 121)에는 제2 기관(200)의 배선층(200T)에 포함되는 배선재의 적어도 일부보다도, 용점이 높은(즉 내열성이 높은) 재료를 이용하고 있는 것이 바람직하다. 예를 들면, 패드부(120, 121)에 도프드 폴리실리콘, 텅스텐, 티탄 또는 질화 티탄 등의 내열성이 높은 도전재를 이용한다. 이에 의해 상기 제1 제조 방법을 이용하여 활상 장치(1)를 제조하는 것이 가능해진다.

[0103] 패드부(120, 121)는 질화 탄탈(TaN), 알루미늄(Al) 및 구리(Cu) 등의 금속 재료에 의해 구성되어 있어도 좋다.

[0104] 패시베이션막(122)은 예를 들면, 패드부(120, 121)를 덮도록, 반도체층(100S)의 표면 전면에 걸쳐 마련되어 있다(도 6). 패시베이션막(122)은 예를 들면, 질화 실리콘(SiN)막에 의해 구성되어 있다. 층간 절연막(123)은 패시베이션막(122)을 사이에 두고 패드부(120, 121)를 덮고 있다. 이 층간 절연막(123)은 예를 들면, 반도체층(100S)의 표면 전면에 걸쳐 마련되어 있다. 층간 절연막(123)은 예를 들어 산화 실리콘(SiO)막에 의해 구성되어 있다. 접합막(124)은 제1 기관(100)(구체적으로는 배선층(100T))과 제2 기관(200)의 접합면에 마련되어 있다. 즉, 접합막(124)은 제2 기관(200)에 접해 있다. 이 접합막(124)은 제1 기관(100)의 주면 전면에 걸쳐 마련되어 있다. 접합막(124)은 예를 들면, 질화 실리콘막에 의해 구성되어 있다.

[0105] 수광 렌즈(401)는 예를 들면, 고정 전하막(112) 및 절연막(111)을 사이에 두고 반도체층(100S)에 대향하여 있다(도 6). 수광 렌즈(401)는 예를 들어 화소(541A, 541B, 541C, 541D) 각각의 포토 다이오드(PD)에 대향하는 위치에 마련되어 있다.

[0106] 제2 기관(200)은 제1 기관(100)측으로부터 반도체층(200S) 및 배선층(200T)을 이 순서로 가지고 있다. 반도체층(200S)은 실리콘 기관으로 구성되어 있다. 반도체층(200S)에서는 두께 방향에 걸쳐, 웰 영역(211)이 마련되어 있다. 웰 영역(211)은 예를 들면, p형 반도체 영역이다. 제2 기관(200)에는 화소 공유 유닛(539)마다 배치된 화소 회로(200X)가 마련되어 있다. 이 화소 회로(200X)는 예를 들면, 반도체층(200S)의 표면측(배선층(200T)측)에 마련되어 있다. 활상 장치(1)에서는 제1 기관(100)의 표면측(배선층(100T)측)에 제2 기관(200)의 이면측(반도체층(200S)측)이 향하도록 하여 제2 기관(200)이 제1 기관(100)에 접합되어 있다. 즉, 제2 기관(200)은 제1 기관(100)에 페이스 투 백으로 접합되어 있다.

[0107] 도 10~도 14는 제2 기관(200)의 평면 구성의 한 예를 모식적으로 도시하고 있다. 도 10에는 반도체층(200S)의 표면 근방에 마련된 화소 회로(200X)의 구성을 도시한다. 도 11은 배선층(200T)(구체적으로는 후술하는 제1 배선층(W1))과, 배선층(200T)에 접속된 반도체층(200S) 및 제1 기관(100)의 각 부의 구성을 모식적으로 도시하고 있다. 도 12~도 14는 배선층(200T)의 평면 구성의 한 예를 도시하고 있다. 이하, 도 6과 함께, 도 10~도 14를 이용하여 제2 기관(200)의 구성에 대해 설명한다. 도 10 및 도 11에서는 포토 다이오드(PD)의 외형(화소 분리부(117)와 포토 다이오드(PD)의 경계)을 과선으로 나타내고, 화소 회로(200X)를 구성하는 각 트랜지스터의 게이트 전극에 걸쳐지는 부분의 반도체층(200S)과 소자 분리 영역(213) 또는 절연 영역(212)의 경계를 점선으로 나타낸다. 증폭 트랜지스터(AMP)의 게이트 전극에 걸쳐지는 부분에서는 채널 폭방향의 일방에 반도체층(200S)과 소자 분리 영역(213)의 경계 및 소자 분리 영역(213)과 절연 영역(212)의 경계가 마련되어 있다. 이하, 도 6과 함께, 도 10~도 14를 이용하여 제2 기관(200)의 구성에 대해 설명한다.

[0108] 제2 기관(200)에는 반도체층(200S)을 분단하는 절연 영역(212)과, 반도체층(200S)의 두께 방향의 일부에 마련된 소자 분리 영역(213)이 마련되어 있다(도 6). 예를 들면, H방향으로 이웃하는 2개의 화소 회로(200X) 사이에 마련된 절연 영역(212)에 이 2개의 화소 회로(200X)에 접속된 2개의 화소 공유 유닛(539)의 관통 전극(120E, 121E) 및 관통 전극(TGV)(관통 전극(TGV1, TGV2, TGV3, TGV4)이 배치되어 있다(도 11). 여기서는 관통 전극(120E)이 본 개시의 「제1 관통 전극」의 한 구체례에 대응하고 관통 전극(121E)이 본 개시의 「제2 관통 전극」의 한 구체례에 대응한다.

[0109] 절연 영역(212)은 반도체층(200S)의 두께와 개략 같은 두께를 가지고 있다(도 6). 반도체층(200S)은 이 절연 영역(212)에 의해 분단되어 있다. 이 절연 영역(212)에 관통 전극(120E, 121E) 및 관통 전극(TGV)이 배치되어 있다. 절연 영역(212)은 예를 들어 산화 실리콘에 의해 구성되어 있다.

[0110] 관통 전극(120E, 121E)은 절연 영역(212)을 두께 방향으로 관통하여 마련되어 있다. 관통 전극(120E, 121E)의 상단은 배선층(200T)의 배선(후술하는 제1 배선층(W1), 제2 배선층(W2), 제3 배선층(W3), 제4 배선층(W4))에 접속되어 있다. 이 관통 전극(120E, 121E)은 절연 영역(212), 접합막(124), 층간 절연막(123) 및 패시베이션막(122)을 관통하여 마련되고, 그 하단은 패드부(120, 121)에 접속되어 있다(도 6). 관통 전극(120E)은 패드부(120)와 화소 회로(200X)를 전기적으로 접속하기 위한 것이다. 즉, 관통 전극(120E)에 의해 제1 기관(100)의 플로팅 디퓨전(FD)이 제2 기관(200)의 화소 회로(200X)에 전기적으로 접속된다. 관통 전극(121E)은 패드부(121)와

배선층(200T)의 기준 전위선(VSS)을 전기적으로 접속하기 위한 것이다. 즉, 관통 전극(121E)에 의해 제1 기판(100)의 VSS 콘택트 영역(118)이 제2 기판(200)의 기준 전위선(VSS)에 전기적으로 접속된다.

[0111] 관통 전극(TGV)은 절연 영역(212)을 두께 방향으로 관통하여 마련되어 있다. 관통 전극(TGV)의 상단은 배선층(200T)의 배선에 접속되어 있다. 이 관통 전극(TGV)은 절연 영역(212), 접합막(124), 층간 절연막(123), 패시베이션막(122) 및 층간 절연막(119)을 관통하여 마련되고, 그 하단은 전송 게이트(TG)에 접속되어 있다(도 6). 이와 같은 관통 전극(TGV)은 화소(541A, 541B, 541C, 541D) 각각의 전송 게이트(TG)(전송 게이트(TG1, TG2, TG3, TG4))와, 배선층(200T)의 배선(행 구동 신호선(542)의 일부, 구체적으로는 후술하는 도 11의 배선(TRG1, TRG2, TRG3, TRG4))을 전기적으로 접속하기 위한 것이다. 즉, 관통 전극(TGV)에 의해 제1 기판(100)의 전송 게이트(TG)가 제2 기판(200)의 배선(TRG)에 전기적으로 접속되고, 전송 트랜지스터(TR)(전송 트랜지스터(TR1, TR2, TR3, TR4)) 각각에 구동 신호가 보내지도록 되어 있다.

[0112] 절연 영역(212)은 제1 기판(100)과 제2 기판(200)을 전기적으로 접속하기 위한 상기 관통 전극(120E, 121E) 및 관통 전극(TGV)을 반도체층(200S)과 절연하여 마련하기 위한 영역이다. 예를 들면, H방향으로 이웃하는 2개의 화소 회로(200X)(화소 공유 유닛(539)) 사이에 마련된 절연 영역(212)에 이 2개의 화소 회로(200X)에 접속된 관통 전극(120E, 121E) 및 관통 전극(TGV)(관통 전극(TGV1, TGV2, TGV3, TGV4))이 배치되어 있다. 절연 영역(212)은 예를 들면, V방향으로 연재되어 마련되어 있다(도 8, 도 9). 여기서의 전송 게이트(TG)의 수평 부분(TGb)의 배치를 연구함에 의해 수직 부분(TGa)의 위치에 비해 관통 전극(TGV)의 H방향의 위치가 관통 전극(120E, 121E)의 H방향의 위치에 근접하도록 배치되어 있다(도 7A, 도 9). 예를 들면, 관통 전극(TGV)은 H방향에서, 관통 전극(120E, 120E)과 개략 같은 위치에 배치되어 있다. 이에 의해 V방향으로 연재되는 절연 영역(212)에 관통 전극(120E, 121E) 및 관통 전극(TGV)을 통합하여 마련할 수 있다. 다른 배치례로서, 수직 부분(TGa)에 중첩하는 영역에만 수평 부분(TGb)을 마련하는 것도 생각할 수 있다. 이 경우에는 수직 부분(TGa)의 개략 바로 위에 관통 전극(TGV)이 형성되고, 예를 들면, 각 화소(541)의 H방향 및 V방향의 개략 중앙부에 관통 전극(TGV)이 배치된다. 이때, 관통 전극(TGV)의 H방향의 위치와 관통 전극(120E, 121E)의 H방향의 위치가 크게 어긋난다. 관통 전극(TGV) 및 관통 전극(120E, 121E)의 주위에는 근접하는 반도체층(200S)으로부터 전기적으로 절연하기 위해 예를 들면, 절연 영역(212)을 마련한다. 관통 전극(TGV)의 H방향의 위치와 관통 전극(120E, 121E)의 H방향의 위치가 크게 떨어지는 경우에는 관통 전극(120E, 121E, TGV) 각각의 주위에 절연 영역(212)을 독립하여 마련하는 것이 필요해진다. 이에 의해 반도체층(200S)이 미세하게 분단되게 된다. 이에 비해 V방향으로 연재되는 절연 영역(212)에 관통 전극(120E, 121E) 및 관통 전극(TGV)을 통합하여 배치하는 레이아웃은 반도체층(200S)의 H방향의 크기를 크게 할 수 있다. 따라서, 반도체층(200S)에서의 반도체 소자 형성 영역의 면적을 크게 확보할 수 있다. 이에 의해 예를 들면, 증폭 트랜지스터(AMP)의 사이즈를 크게 하고 노이즈를 억제하는 것이 가능해진다.

[0113] 또한 촬상 장치(1)에서는 제1 기판(100)에 패드부(120)가 마련되어 있기 때문에 관통 전극(120E)은 화소 공유 유닛(539)마다 마련된다. 또한 제1 기판(100)에 패드부(121)가 마련되어 있기 때문에 관통 전극(121E)은 4개의 화소(화소(541A, 541B, 541C, 541D))마다 마련된다. 이에 의해 관통 전극(120E, 121E)의 수를 줄이고, 절연 영역(212)을 작게 할 수 있다. 이하, 이 이유에 관해 설명한다.

[0114] 도 15A 및 도 15B는 제1 기판(100) 및 제2 기판(200)의 요부의 구성의 다른 예를 모식적으로 도시하고 있다. 도 15A는 제1 기판(100) 및 제2 기판(200)의 요부의 단면 구성을 도시하고 도 15B는 화소 공유 유닛(539)의 평면 구성의 한 예를 도시하고 있다.

[0115] 도 15A에 도시한 바와 같이 화소(541A, 541B, 541C, 541D) 각각의 플로팅 디퓨전(FD)(플로팅 디퓨전(FD1, FD2, FD3, FD4))을 전기적으로 접속하기 위한 배선을 제2 기판(200)에 마련하는 것도 가능하다. 예를 들면, 제2 기판(200)의 배선층(200T)의 배선(예를 들면, 제1 배선층(W1))에 의해 화소(541A, 541B, 541C, 541D) 각각의 플로팅 디퓨전(FD)이 전기적으로 접속된다. 또한 화소(541A, 541B, 541C, 541D) 각각의 VSS 콘택트 영역(118)을 전기적으로 접속하기 위한 배선도, 제2 기판(200)에 마련하도록 해도 좋다. 이 경우에는 화소(541A, 541B, 541C, 541D) 각각의 플로팅 디퓨전(FD1, FD2, FD3, FD4)에 관통 전극(120E)이 접속되고, 화소(541A, 541B, 541C, 541D) 각각의 VSS 콘택트 영역(118)에 관통 전극(121E)이 접속된다. 따라서, 4개의 화소(화소(541A, 541B, 541C, 541D)) 각각에 관통 전극(120E, 121E)이 1개씩 배치된다(도 15B). 이와 같이 관통 전극(120E, 121E)의 수가 늘어나면 절연 영역(212)이 커진다.

[0116] 이에 대해 제1 기판(100)에 패드부(120, 121)를 마련함에 의해 4개의 화소(화소(541A, 541B, 541C, 541D))마다 관통 전극(120E, 121E)이 배치된다(도 8A, 도 8B). 따라서, 도 15A, 도 15B에 도시한 구성에 비해 관통 전극의 수를 줄이고, 절연 영역(212)을 작게 할 수 있다. 이에 의해 증폭 트랜지스터(AMP)의 형성 면적을 크게 하고 노

이즈를 억제하는 것이 가능해진다. 또한 관통 전극의 수가 적어짐에 의해 레이아웃의 자유도를 향상시킬 수 있다. 이 때문에 예를 들면, 기생 용량을 작게 하는 것도 가능해진다.

[0117] 소자 분리 영역(213)은 반도체층(200S)의 표면층에 마련되어 있다. 소자 분리 영역(213)은 STI(Shallow Trench Isolation) 구조를 가지고 있다. 이 소자 분리 영역(213)에서는 반도체층(200S)이 두께 방향(제2 기관(200)의 주면에 대해 수직 방향)으로 파여 있고 이 파인 부분에 절연막이 매입되어 있다. 이 절연막은 예를 들면, 산화 실리콘에 의해 구성되어 있다. 소자 분리 영역(213)은 화소 회로(200X)를 구성하는 복수의 트랜지스터 사이를 화소 회로(200X)의 레이아웃에 응하여 소자 분리하는 것이다. 소자 분리 영역(213)의 하방(반도체층(200S)의 심부)에는 반도체층(200S)(구체적으로는 웰 영역(211))이 연재되어 있다.

[0118] 여기서, 도 7A, 도 7B 및 도 10을 참조하여 제1 기관(100)에서의 화소 공유 유닛(539)의 외형 형상(기관 평면 방향의 외형 형상)과, 제2 기관(200)에서의 화소 공유 유닛(539)의 외형 형상의 차이를 설명한다.

[0119] 촬상 장치(1)에서는 제1 기관(100) 및 제2 기관(200)의 양방에 걸쳐, 화소 공유 유닛(539)이 마련되어 있다. 예를 들면, 제1 기관(100)에 마련된 화소 공유 유닛(539)의 외형 형상과, 제2 기관(200)에 마련된 화소 공유 유닛(539)의 외형 형상은 서로 다르다.

[0120] 도 7A, 도 7B에서는 화소(541A, 541B, 541C, 541D)의 외형선을 1점 쇄선으로 나타내고, 화소 공유 유닛(539)의 외형 형상을 태선으로 나타내고 있다. 예를 들면, 제1 기관(100)의 화소 공유 유닛(539)은 H방향으로 인접하여 배치된 2개의 화소(541)(화소(541A, 541B))와, 이것에 V방향으로 인접하여 배치된 2개의 화소(541)(화소(541C, 541D))에 의해 구성되어 있다. 즉, 제1 기관(100)의 화소 공유 유닛(539)은 인접하는 2행×2열의 4개의 화소(541)에 의해 구성되어 있고 제1 기관(100)의 화소 공유 유닛(539)은 개략 정방형의 외형 형상을 가지고 있다. 화소 어레이부(540)에서는 이와 같은 화소 공유 유닛(539)이 H방향으로 2화소 피치(화소(541)의 2개분에 상당하는 피치), 또한 V방향으로 2화소 피치(화소(541)의 2개분에 상당하는 피치)로 인접하여 배열되어 있다.

[0121] 도 10 및 도 11에서는 화소(541A, 541B, 541C, 541D)의 외형선을 1점 쇄선으로 나타내고, 화소 공유 유닛(539)의 외형 형상을 태선으로 나타내고 있다. 예를 들면, 제2 기관(200)의 화소 공유 유닛(539)의 외형 형상은 H 방향에서 제1 기관(100)의 화소 공유 유닛(539)보다도 작고, V방향에서 제1 기관(100)의 화소 공유 유닛(539)보다도 크게 되어 있다. 예를 들면, 제2 기관(200)의 화소 공유 유닛(539)은 H방향으로는 화소 1개분에 상당하는 크기(영역)로 형성되고, V방향으로는 화소 4개분에 상당하는 크기로 형성되어 있다. 즉, 제2 기관(200)의 화소 공유 유닛(539)은 인접하는 1행×4열로 배열된 화소에 상당하는 크기로 형성되어 있고 제2 기관(200)의 화소 공유 유닛(539)은 개략 장방형의 외형 형상을 가지고 있다.

[0122] 예를 들면, 각 화소 회로(200X)에서는 선택 트랜지스터(SEL), 증폭 트랜지스터(AMP), 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG)가 이 순서로 V방향으로 나란히 배치되어 있다(도 10). 각 화소 회로(200X)의 외형 형상을 상기와 같이 개략 장방형형상으로 마련함에 의해 일방향(도 10에서는 V방향)으로 4개의 트랜지스터(선택 트랜지스터(SEL), 증폭 트랜지스터(AMP), 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG))를 나열하여 배치할 수 있다. 이에 의해 증폭 트랜지스터(AMP)의 드레인과, 리셋 트랜지스터(RST)의 드레인을 하나의 확산 영역(전원선(VDD)에 접속되는 확산 영역)에서 공유할 수 있다. 예를 들면, 각 화소 회로(200X)의 형성 영역을 개략 정방형형상으로 마련하는 것도 가능하다(후술하는 도 57 참조). 이 경우에는 일방향을 따라 2개의 트랜지스터가 배치되고, 증폭 트랜지스터(AMP)의 드레인과, 리셋 트랜지스터(RST)의 드레인을 하나의 확산 영역에서 공유하는 것이 곤란해진다. 따라서, 화소 회로(200X)의 형성 영역을 개략 장방형형상으로 마련함에 의해 4개의 트랜지스터를 근접하여 배치하기 쉬워지고, 화소 회로(200X)의 형성 영역을 작게 할 수 있다. 즉, 화소의 미세화를 행할 수 있다. 또한 화소 회로(200X)의 형성 영역을 작게 하는 것이 불필요할 때에는 증폭 트랜지스터(AMP)의 형성 영역을 크게 하고 노이즈를 억제하는 것이 가능해진다.

[0123] 예를 들면, 반도체층(200S)의 표면 근방에는 선택 트랜지스터(SEL), 증폭 트랜지스터(AMP), 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG)에 더하여 기준 전위선(VSS)에 접속되는 VSS 콘택트 영역(218)이 마련되어 있다. VSS 콘택트 영역(218)은 예를 들면, p형 반도체 영역에 의해 구성되어 있다. VSS 콘택트 영역(218)은 배선층(200T)의 배선 및 관통 전극(121E)을 통하여 제1 기관(100)(반도체층(100S))의 VSS 콘택트 영역(118)에 전기적으로 접속되어 있다. 이 VSS 콘택트 영역(218)은 예를 들면, 소자 분리 영역(213)을 사이에 두고, FD 변환 게인 전환 트랜지스터(FDG)의 소스와 이웃하는 위치에 마련되어 있다(도 10).

[0124] 다음으로 도 7B 및 도 10을 참조하여 제1 기관(100)에 마련된 화소 공유 유닛(539)과 제2 기관(200)에 마련된 화소 공유 유닛(539)의 위치 관계를 설명한다. 예를 들면, 제1 기관(100)의 V방향으로 나열되는 2개의 화소 공

유 유닛(539) 중, 일방(예를 들어 도 7B의 지면 상측)의 화소 공유 유닛(539)은 제2 기관(200)의 H방향으로 나열되는 2개의 화소 공유 유닛(539) 중의 일방(예를 들면, 도 10의 지면 좌측)의 화소 공유 유닛(539)에 접속되어 있다. 예를 들면, 제1 기관(100)의 V방향으로 나열되는 2개의 화소 공유 유닛(539) 중, 타방(예를 들어 도 7B의 지면 하측)의 화소 공유 유닛(539)은 제2 기관(200)의 H방향으로 나열되는 2개의 화소 공유 유닛(539) 중의 타방(예를 들면, 도 10의 지면 우측)의 화소 공유 유닛(539)에 접속되어 있다.

[0125] 예를 들면, 제2 기관(200)의 H방향으로 나열되는 2개의 화소 공유 유닛(539)에서는 일방의 화소 공유 유닛(539)의 내부 레이아웃(트랜지스터 등의 배치)이 타방의 화소 공유 유닛(539)의 내부 레이아웃을 V방향 및 H방향으로 반전시킨 레이아웃에 개략 동등하게 되어 있다. 이하, 이 레이아웃에 의해 얻어지는 효과를 설명한다.

[0126] 제1 기관(100)의 V방향으로 나열되는 2개의 화소 공유 유닛(539)에서는 각각의 패드부(120)가 화소 공유 유닛(539)의 외형 형상의 중앙부 즉, 화소 공유 유닛(539)의 V방향 및 H방향의 중앙부에 배치된다(도 7B). 한편, 제2 기관(200)의 화소 공유 유닛(539)은 상기와 같이 V방향으로 긴 개략 장방형의 외형 형상을 가지고 있기 때문에 예를 들면, 패드부(120)에 접속되는 증폭 트랜지스터(AMP)는 화소 공유 유닛(539)의 V방향의 중앙으로부터 지면 상방으로 어긋난 위치에 배치되어 있다. 예를 들면, 제2 기관(200)의 H방향으로 나열되는 2개의 화소 공유 유닛(539)의 내부 레이아웃이 같을 때, 일방의 화소 공유 유닛(539)의 증폭 트랜지스터(AMP)와, 패드부(120)(예를 들면, 도 7B의 지면 상측의 화소 공유 유닛(539)의 패드부(120))의 거리는 비교적 짧아진다. 그러나, 타방의 화소 공유 유닛(539)의 증폭 트랜지스터(AMP)와, 패드부(120)(예를 들면, 도 7B의 지면 하측의 화소 공유 유닛(539)의 패드부(120))의 거리가 길어진다. 이 때문에 이 증폭 트랜지스터(AMP)와 패드부(120)의 접속에 필요한 배선의 면적이 커지고, 화소 공유 유닛(539)의 배선 레이아웃이 복잡해질 우려가 있다. 이것은 촬상 장치(1)의 미세화에 영향을 미칠 가능성이 있다.

[0127] 이에 대해 제2 기관(200)의 H방향으로 나열되는 2개의 화소 공유 유닛(539)에서, 서로의 내부 레이아웃을 적어도 V방향으로 반전시킴에 의해 이들 2개의 화소 공유 유닛(539)의 양방의 증폭 트랜지스터(AMP)와 패드부(120)의 거리를 짧게 할 수 있다. 따라서, 제2 기관(200)의 H방향으로 나열되는 2개의 화소 공유 유닛(539)의 내부 레이아웃을 같게 한 구성과 비교하여 촬상 장치(1)의 미세화를 행하기 쉬워진다. 또한 제2 기관(200)의 복수의 화소 공유 유닛(539) 각각의 평면 레이아웃은 도 8에 기재된 범위에서는 좌우 대칭이지만, 후술하는 도 11에 기재된 제1 배선층(W1)의 레이아웃까지 포함시키면, 좌우 비대칭의 것이 된다.

[0128] 또한 제2 기관(200)의 H방향으로 나열되는 2개의 화소 공유 유닛(539)의 내부 레이아웃은 서로, H방향으로도 반전되어 있는 것이 바람직하다. 이하, 이 이유에 관해 설명한다. 도 11에 도시한 바와 같이 제2 기관(200)의 H방향으로 나열되는 2개의 화소 공유 유닛(539)은 각각, 제1 기관(100)의 패드부(120, 121)에 접속되어 있다. 예를 들면, 제2 기관(200)의 H방향으로 나열되는 2개의 화소 공유 유닛(539)의 H방향의 중앙부(H방향으로 나열되는 2개의 화소 공유 유닛(539) 사이)에 패드부(120, 121)가 배치되어 있다. 따라서, 제2 기관(200)의 H방향으로 나열되는 2개의 화소 공유 유닛(539)의 내부 레이아웃을 서로, H방향으로도 반전시킴에 의해 제2 기관(200)의 복수의 화소 공유 유닛(539) 각각과 패드부(120, 121)의 거리를 작게 할 수 있다. 즉, 촬상 장치(1)의 미세화를 더욱 행하기 쉬워진다.

[0129] 또한 제2 기관(200)의 화소 공유 유닛(539)의 외형선의 위치는 제1 기관(100)의 화소 공유 유닛(539)의 어느 하나의 외형선의 위치에 갖추어져 있지 않아도 좋다. 예를 들면, 제2 기관(200)의 H방향으로 나열되는 2개의 화소 공유 유닛(539) 중, 일방(예를 들어 도 11의 지면 좌측)의 화소 공유 유닛(539)에서는 V방향의 일방(예를 들어 도 11의 지면 상측)의 외형선이 대응하는 제1 기관(100)의 화소 공유 유닛(539)(예를 들어 도 7B의 지면 상측)의 V방향의 일방의 외형선의 외측에 배치되어 있다. 또한 제2 기관(200)의 H방향으로 나열되는 2개의 화소 공유 유닛(539) 중, 타방(예를 들어 도 11의 지면 우측)의 화소 공유 유닛(539)에서는 V방향의 타방(예를 들어 도 11의 지면 하측)의 외형선이 대응하는 제1 기관(100)의 화소 공유 유닛(539)(예를 들어 도 7B의 지면 하측)의 V방향의 타방의 외형선의 외측에 배치되어 있다. 이와 같이 제2 기관(200)의 화소 공유 유닛(539)과, 제1 기관(100)의 화소 공유 유닛(539)을 서로 배치함에 의해 증폭 트랜지스터(AMP)와 패드부(120)의 거리를 짧게 하는 것이 가능해진다. 따라서, 촬상 장치(1)의 미세화를 행하기 쉬워진다.

[0130] 또한 제2 기관(200)의 복수의 화소 공유 유닛(539) 사이에서, 서로의 외형선의 위치는 갖추어져 있지 않아도 좋다. 예를 들면, 제2 기관(200)의 H방향으로 나열되는 2개의 화소 공유 유닛(539)은 V방향의 외형선의 위치가 어긋나서 배치되어 있다. 이에 의해 증폭 트랜지스터(AMP)와 패드부(120)의 거리를 짧게 하는 것이 가능해진다. 따라서, 촬상 장치(1)의 미세화를 행하기 쉬워진다.

[0131] 도 7B 및 도 11을 참조하여 화소 어레이부(540)에서의 화소 공유 유닛(539)의 반복 배치에 관해 설명한다. 제1

기관(100)의 화소 공유 유닛(539)은 H방향으로 2개분의 화소(541)의 크기 및 V방향으로 2개분의 화소(541)의 크기를 가지고 있다(도 7B). 예를 들면, 제1 기관(100)의 화소 어레이부(540)에서는 이 4개의 화소(541)에 상당하는 크기의 화소 공유 유닛(539)이 H방향으로 2화소 피치(화소(541)의 2개분에 상당하는 피치), 또한 V로방향으로 2화소 피치(화소(541)의 2개분에 상당하는 피치)로 인접하여 반복 배열되어 있다. 또는 제1 기관(100)의 화소 어레이부(540)에 화소 공유 유닛(539)이 V로방향으로 2개 인접하여 배치된 한 쌍의 화소 공유 유닛(539)이 마련되어 있어도 좋다. 제1 기관(100)의 화소 어레이부(540)에서는 예를 들면, 이 한 쌍의 화소 공유 유닛(539)이 H방향으로 2화소 피치(화소(541)의 2개분에 상당하는 피치), 또한 V방향으로 4화소 피치(화소(541)의 4개분에 상당하는 피치)로 인접하여 반복 배열하고 있다. 제2 기관(200)의 화소 공유 유닛(539)은 H방향으로 1개분의 화소(541)의 크기 및 V방향으로 4개분의 화소(541)의 크기를 가지고 있다(도 11). 예를 들면, 제2 기관(200)의 화소 어레이부(540)에는 이 4개의 화소(541)에 상당하는 크기의 화소 공유 유닛(539)을 2개 포함하는 한 쌍의 화소 공유 유닛(539)이 마련되어 있다. 이 화소 공유 유닛(539)은 H방향으로 인접하여 배치되고 또한 V방향으로는 어긋나게 하여 배치되어 있다. 제2 기관(200)의 화소 어레이부(540)에서는 예를 들면, 이 한 쌍의 화소 공유 유닛(539)이 H방향으로 2화소 피치(화소(541)의 2개분에 상당하는 피치), 또한 V방향으로 4화소 피치(화소(541)의 4개분에 상당하는 피치)로 간극 없이 인접하여 반복 배열되어 있다. 이와 같은 화소 공유 유닛(539)의 반복 배치에 의해 화소 공유 유닛(539)을 간극 없이 배치하는 것이 가능해진다. 따라서, 촬상 장치(1)의 미세화를 행하기 쉬워진다.

[0132] 증폭 트랜지스터(AMP)는 예를 들면, 핀(Fin)형 등의 3차원 구조를 가지고 있는 것이 바람직하다(도 6). 예를 들면, Fin형의 증폭 트랜지스터(AMP)는 반도체층(200S)의 일부에 의해 구성된 핀과, 이 핀을 둘러싸는 3개의 평면을 갖는 게이트 전극과, 게이트 전극과 핀 사이에 마련된 게이트 절연막을 가지고 있다. 3차원 구조의 트랜지스터는 채널에 대향하는 게이트 전극의 평면이 복수 마련되어 있는 것, 또는 채널의 주위에 게이트 전극의 곡면이 마련되어 있는 것을 말한다. 이와 같은 3차원 구조의 트랜지스터에서는 평면형의 트랜지스터와 같은 풋 프린트(도 10에서의 점유 면적)를 가질 때, 평면형의 트랜지스터에 비해 실효의 게이트 폭을 크게 할 수 있다. 따라서, 3차원 구조의 트랜지스터에는 많은 전류가 흐르고, 트랜스 컨덕턴스(gm)가 높아진다. 이에 의해 3차원 구조의 트랜지스터에서는 평면형의 트랜지스터에 비해 동작 속도를 향상시키는 것이 가능해진다. 덧붙여서, RN(Random Noise)을 저감하는 것도 가능하다. 또한 3차원 구조의 트랜지스터는 평면형의 트랜지스터에 비해 게이트 면적이 커지기 때문에 RTS(Random Telegraph Signal) 노이즈가 작아진다.

[0133] 이와 같은 3차원 구조의 트랜지스터를 적어도 증폭 트랜지스터(AMP), 선택 트랜지스터(SEL), 리셋 트랜지스터(RST) 및 FD 전송 트랜지스터(FDG)의 어느 1개에 이용함에 의해 트랜지스터 특성이 향상하고 예를 들면, 화질을 향상시킬 수 있다. 특히, 증폭 트랜지스터(AMP)를 3차원 구조의 트랜지스터에 의해 구성함에 의해 노이즈가 효과적으로 저감되고, 화질을 향상시키는 것이 가능해진다. 또한 증폭 트랜지스터(AMP), 선택 트랜지스터(SEL), 리셋 트랜지스터(RST) 및 FD 전송 트랜지스터(FDG)의 전부를 3차원 구조의 트랜지스터를 이용하여 구성하도록 해도 좋다. 이때, 화소 회로(200X)의 제조가 용이해진다.

[0134] 도 16A~도 16G는 도 6에 도시한 증폭 트랜지스터(AMP)의 구성의 다른 예를 도시하고 있다. 증폭 트랜지스터(AMP)는 예를 들면, 반도체층(AMP-S)과, 반도체층(AMP-S)의 주위에 마련된 게이트 전극(AMP-G)과, 게이트 전극(AMP-G)과 반도체층(AMP-S) 사이의 게이트 절연막(AMP-I)을 가지고 있다. 증폭 트랜지스터(AMP)가 Fin형 트랜지스터에 의해 구성되어 있을 때, 핀을 구성하는 반도체층(AMP-S)이 주위의 반도체층(200S)과 분리하여 마련되어 있어도 좋다(도 16A). 또는 핀의 높이 방향의 일부가 게이트 전극(AMP-G)으로부터 노출되어 있어도 좋다(도 16B). 또한 증폭 트랜지스터(AMP)는 더블 게이트 구조를 가지고 있어도 좋다(도 16C). 이 더블 게이트 구조의 증폭 트랜지스터(AMP)는 핀을 사이에 두고 대향하는 한 쌍의 게이트 전극(게이트 전극(AMP-G1, AMP-G2))을 가지고 있다. 또는 증폭 트랜지스터(AMP)는 싱글 게이트 구조를 가지고 있어도 좋다(도 16D). 증폭 트랜지스터(AMP)는 GAA(Gate All Around) 구조를 가지고 있어도 좋다(도 16E). 이 GAA 구조의 증폭 트랜지스터(AMP)에서는 반도체층(AMP-S)의 전둘레가 게이트 전극(AMP-G)으로 둘러싸인다. 또한 증폭 트랜지스터(AMP)는 중형 GAA 구조(도 16F)를 가지고 있어도 좋다. 증폭 트랜지스터(AMP)는 횡형 GAA 구조, 나노 와이어(Nanowire)형(도 16G) 또는 나노 시트(Nanosheet)형(도시하는 생략)라도 좋다. 증폭 트랜지스터(AMP)는 도 8A 등에 도시한 바와 같이 평면형의 트랜지스터에 의해 구성되어 있어도 좋다.

[0135] 배선층(200T)은 예를 들면, 패시베이션막(221), 층간 절연막(222) 및 복수의 배선(제1 배선층(W1), 제2 배선층(W2), 제3 배선층(W3), 제4 배선층(W4))을 포함하고 있다. 패시베이션막(221)은 예를 들면, 반도체층(200S)의 표면에 접하고 있고 반도체층(200S)의 표면 전면을 덮고 있다. 이 패시베이션막(221)은 선택 트랜지스터(SEL), 증폭 트랜지스터(AMP), 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG) 각각의 게이트 전극을 덮

고 있다. 층간 절연막(222)은 패시베이션막(221)과 제3 기판(300) 사이에 마련되어 있다. 이 층간 절연막(222)에 의해 복수의 배선(제1 배선층(W1), 제2 배선층(W2), 제3 배선층(W3), 제4 배선층(W4))이 분리되어 있다. 층간 절연막(222)은 예를 들면, 산화 실리콘에 의해 구성되어 있다.

[0136] 배선층(200T)에는 예를 들면, 반도체층(200S)측으로부터 제1 배선층(W1), 제2 배선층(W2), 제3 배선층(W3), 제4 배선층(W4) 및 콘택트부(201, 202)가 이 순서로 마련되고, 이들이 서로 층간 절연막(222)에 의해 절연되어 있다. 층간 절연막(222)에는 제1 배선층(W1), 제2 배선층(W2), 제3 배선층(W3) 또는 제4 배선층(W4)과, 이들 하층을 접속하는 접속부가 복수 마련되어 있다. 접속부는 층간 절연막(222)에 마련한 접속 구멍에 도전 재료를 매설한 부분이다. 예를 들면, 층간 절연막(222)에는 제1 배선층(W1)과 반도체층(200S)의 VSS 콘택트 영역(218)을 접속하는 접속부(218V)가 마련되어 있다. 접속부(218V)는 반도체층(200S)에 대향하는 위치에 마련되어 있다.

[0137] 예를 들면, 이와 같은 제2 기판(200)의 소자끼리를 접속하는 접속부(예를 들어 접속부(218V))의 구멍 지름은 관통 전극(120E, 121E, TGV)의 구멍 지름과 다르다. 이에 의해 접속부의 구멍 지름과, 관통 전극(120E, 121E, TGV)의 구멍 지름을 같게 한 경우에 비해 설계의 자유도를 높일 수 있다. 특히, 제2 기판(200)의 소자끼리를 접속하는 접속부의 구멍 지름은 관통 전극(120E, 121E) 및 관통 전극(TGV)의 구멍 지름보다도 작게 되어 있는 것이 바람직하다. 이하, 이 이유에 관해 설명한다.

[0138] 도 17은 접속부(218V) 및 관통 전극(120E)의 서로의 크기의 관계를 나타내고 있다. 접속부(218V)는 높이(Dv)(층간 절연막(222)의 두께 방향의 크기), 구멍 지름(Lv)을 가지고 있다. 관통 전극(120E)은 높이(De), 구멍 지름(Le)을 가지고 있다. 구멍 지름(Lv, Le)은 접속부(218V) 및 관통 전극(120E)의 구멍 지름의 크기가 층간 절연막(222)의 두께 방향에서 변화할 때, 가장 구멍 지름이 커지는 부분의 크기를 나타낸다. 제2 기판(200) 내, 보다 구체적으로는 배선층(200T) 내에 마련된 접속부(218V)의 높이(Dv)는 제1 기판(100)과 제2 기판(200)을 접속하는 관통 전극(120E)의 높이(De)보다도 작게 되어 있다. 예를 들면, 접속부(218V)의 구멍 지름(Lv)은 접속부(218V)의 에스펙트비(Dv/Lv)가 관통 전극(120E)의 에스펙트비(De/Le)와 개략 같아지도록 설계되어 있다. 상세는 후술하지만, 이와 같이 제2 기판(200)의 소자끼리를 접속하는 접속부의 에스펙트비와, 제1 기판(100)과 제2 기판(200)을 접속하는 관통 전극(120E, 121E, TGV)의 에스펙트비를 접근함에 의해 이들을 한번의 에칭 공정으로 형성하는 것이 가능해진다.

[0139] 예를 들면, 제1 배선층(W1)에 의해 관통 전극(120E)과 증폭 트랜지스터(AMP)의 게이트 및 FD 변환 게인 전환 트랜지스터(FDG)의 소스(구체적으로는 FD 변환 게인 전환 트랜지스터(FDG)의 소스에 달하는 접속 구멍)가 접속되어 있다. 제1 배선층(W1)은 예를 들면, 관통 전극(121E)과 접속부(218V)를 접속하고 있고 이에 의해 반도체층(200S)의 VSS 콘택트 영역(218)과 반도체층(100S)의 VSS 콘택트 영역(118)이 전기적으로 접속된다.

[0140] 다음으로 도 12~도 14를 이용하여 배선층(200T)의 평면 구성에 관해 설명한다. 도 12는 제1 배선층(W1) 및 제2 배선층(W2)의 평면 구성의 한 예를 도시한 것이다. 도 13은 제2 배선층(W2) 및 제3 배선층(W3)의 평면 구성의 한 예를 도시한 것이다. 도 14는 제3 배선층(W3) 및 제4 배선층(W4)의 평면 구성의 한 예를 도시한 것이다.

[0141] 예를 들면, 제3 배선층(W3)은 H방향(행방향)으로 연재되는 배선(TRG1, TRG2, TRG3, TRG4, SELL, RSTL, FDGL)을 포함하고 있다(도 13). 이들 배선은 도 4를 참조하여 설명한 복수의 행 구동 신호선(542)에 해당한다. 배선(TRG1, TRG2, TRG3, TRG4)은 각각, 전송 게이트(TG1, TG2, TG3, TG4)에 구동 신호를 보내기 위한 것이다. 배선(TRG1, TRG2, TRG3, TRG4)은 각각, 제2 배선층(W2), 제1 배선층(W1) 및 관통 전극(120E)을 통하여 전송 게이트(TG1, TG2, TG3, TG4)에 접속되어 있다. 배선(SELL)은 선택 트랜지스터(SEL)의 게이트에 배선(RSTL)은 리셋 트랜지스터(RST)의 게이트에 배선(FDGL)은 FD 변환 게인 전환 트랜지스터(FDG)의 게이트에 각각 구동 신호를 보내기 위한 것이다. 배선(SELL, RSTL, FDGL)은 각각, 제2 배선층(W2), 제1 배선층(W1) 및 접속부를 통하여 선택 트랜지스터(SEL), 리셋 트랜지스터(RST), FD 변환 게인 전환 트랜지스터(FDG) 각각의 게이트에 접속되어 있다.

[0142] 예를 들면, 제4 배선층(W4)은 V방향(열방향)으로 연재되는 전원선(VDD), 기준 전위선(VSS) 및 수직 신호선(543)을 포함하고 있다(도 14). 전원선(VDD)은 제3 배선층(W3), 제2 배선층(W2), 제1 배선층(W1) 및 접속부를 통하여 증폭 트랜지스터(AMP)의 드레인 및 리셋 트랜지스터(RST)의 드레인에 접속되어 있다. 기준 전위선(VSS)은 제3 배선층(W3), 제2 배선층(W2), 제1 배선층(W1) 및 접속부(218V)를 통하여 VSS 콘택트 영역(218)에 접속되어 있다. 또한 기준 전위선(VSS)은 제3 배선층(W3), 제2 배선층(W2), 제1 배선층(W1), 관통 전극(121E) 및 패드부(121)를 통하여 제1 기판(100)의 VSS 콘택트 영역(118)에 접속되어 있다. 수직 신호선(543)은 제3 배선층(W3), 제2 배선층(W2), 제1 배선층(W1) 및 접속부를 통하여 선택 트랜지스터(SEL)의 소스(Vout)에 접속되어 있다.

[0143] 콘택트부(201, 202)는 평면시 화소 어레이부(540)에 겹쳐지는 위치에 마련되어 있어도 좋으며(예를 들면, 도

3), 또는 화소 어레이부(540)의 외측의 주변부(540B)에 마련되어 있어도 좋다(예를 들면, 도 6). 콘택트부(201, 202)는 제2 기판(200)의 표면(배선층(200T)측의 면)에 마련되어 있다. 콘택트부(201, 202)는 예를 들면, Cu(구리) 및 Al(알루미늄) 등의 금속에 의해 구성되어 있다. 콘택트부(201, 202)는 배선층(200T)의 표면(제3 기판(300)측의 면)에 노출하고 있다. 콘택트부(201, 202)는 제2 기판(200)과 제3 기판(300)의 전기적인 접속 및, 제2 기판(200)과 제3 기판(300)의 접합에 이용된다.

[0144] 도 6에는 제2 기판(200)의 주변부(540B)에 주변 회로를 마련한 예를 도시하였다. 이 주변 회로는 행 구동부(520)의 일부 또는 열 신호 처리부(550)의 일부 등을 포함하고 있어도 좋다. 또한 도 3에 기재된 바와 같이 제2 기판(200)의 주변부(540B)에는 주변 회로를 배치하지 않고, 접속 구멍부(H1, H2)을 화소 어레이부(540)의 근방에 배치하도록 해도 좋다.

[0145] 제3 기판(300)은 예를 들면, 제2 기판(200)측으로부터 배선층(300T) 및 반도체층(300S)을 이 순서로 가지고 있다. 예를 들면, 반도체층(300S)의 표면은 제2 기판(200)측에 마련되어 있다. 반도체층(300S)은 실리콘 기판으로 구성되어 있다. 이 반도체층(300S)의 표면측의 부분에는 회로가 마련되어 있다. 구체적으로는 반도체층(300S)의 표면측의 부분에는 예를 들면, 입력부(510A), 행 구동부(520), 타이밍 제어부(530), 열 신호 처리부(550), 화상 신호 처리부(560) 및 출력부(510B) 중의 적어도 일부가 마련되어 있다. 반도체층(300S)과 제2 기판(200) 사이에 마련된 배선층(300T)은 예를 들면, 층간 절연막과, 이 층간 절연막에 의해 분리된 복수의 배선층과, 콘택트부(301, 302)를 포함하고 있다. 콘택트부(301, 302)는 배선층(300T)의 표면(제2 기판(200)측의 면)에 노출되어 있고 콘택트부(301)는 제2 기판(200)의 콘택트부(201)에 콘택트부(302)는 제2 기판(200)의 콘택트부(202)에 각각 접해 있다. 콘택트부(301, 302)는 반도체층(300S)에 형성된 회로(예를 들면, 입력부(510A), 행 구동부(520), 타이밍 제어부(530), 열 신호 처리부(550), 화상 신호 처리부(560) 및 출력부(510B)의 적어도 어느 하나)에 전기적으로 접속되어 있다. 콘택트부(301, 302)는 예를 들면, Cu(구리) 및 알루미늄(Al) 등의 금속에 의해 구성되어 있다. 예를 들면, 접속 구멍부(H1)를 통하여 외부 단자(TA)가 입력부(510A)에 접속되어 있고 접속 구멍부(H2)를 통하여 외부 단자(TB)가 출력부(510B)에 접속되어 있다.

[0146] [촬상 장치(1)의 제조 방법]

[0147] 다음으로 도 18A~도 21F를 이용하여 촬상 장치(1)의 제조 방법의 한 예를 설명한다.

[0148] 우선, 도 18A에 도시한 바와 같이 p웰층(115), n형 반도체 영역(114), 화소 분리부(117) 및 전송 트랜지스터(TR)를 형성한다. 전송 트랜지스터(TR)는 반도체층(100S)에 p웰층(115), n형 반도체 영역(114) 및 화소 분리부(117)를 형성한 후에 형성한다. 전송 게이트(TG)의 측면에는 예를 들면, 사이드 월(SW)을 형성해 둔다.

[0149] 다음으로 반도체층(100S)의 표면에 패드부(120, 121)를 형성한다. 도 18B~도 18D는 패드부(120, 121)의 형성 방법의 한 예를 도시하고 있다. 패드부(120, 121)는 예를 들면, 이하와 같이 하여 형성한다.

[0150] 우선, 전송 게이트(TG)를 덮도록 하여 반도체층(100S)의 표면 전면에 에칭 스톱퍼막(131)을 형성한다. 에칭 스톱퍼막(131)은 예를 들면, 산화막 또는 질화막 등의 절연막에 의해 형성한다. 산화막은 예를 들면, 산화 실리콘(SiO)막, 질화막은 예를 들면, 질화 실리콘(SiN)막이다. 이어서, 도 18B에 도시한 바와 같이 이 에칭 스톱퍼막(131)에 개구(131M)를 형성한다. 개구(131M)는 패드부(120, 121)를 형성하는 부분에 마련해 둔다. 개구(131M)에서는 반도체층(100S)의 표면이 노출된다. 에칭 스톱퍼막(131)에 개구(131M)를 형성한 후, 도 18C에 도시한 바와 같이 에칭 스톱퍼막(131)을 덮도록, 반도체층(100S)의 표면 전면에 폴리실리콘막(132)을 성막한다. 이에 의해 개구(131M)에서는 폴리실리콘막(132)과 반도체층(100S)이 접속된다. 폴리실리콘막(132)을 성막한 후, 예를 들면, 패드부(120)의 형성 예정 영역에 성막된 폴리실리콘막(132)에 선택적으로 n형 이온 임플란트, 패드부(121)의 형성 예정 영역에 성막된 폴리실리콘막(132)에 선택적으로 p형 이온 임플란트를 각각 행한다. 이 이온 종(種)은 열 공정을 거침에 의해 반도체층(100S)에 확산되어, 폴리실리콘막(132)과 반도체층(100S)의 접촉 저항을 저감한다. 이때, n형 이온 임플란트에 의해 각 화소(541)에 플로팅 디퓨전(FD)이 형성되고, p형 이온 임플란트에 의해 각 화소(541)에 VSS 콘택트 영역(118)이 형성된다. 이 후, 도 18D에 도시한 바와 같이 폴리실리콘막(132)의 패터닝을 행한다. 이때, 에칭 스톱퍼막(131)에 의해 폴리실리콘막(132)의 에칭이 제어된다. 폴리실리콘막(132)의 패터닝은 에칭 스톱퍼막(131)의 패터닝과 반전하여 형성된다. 에칭 스톱퍼막(131)의 개구(131M)의 외측에 폴리실리콘막(132)이 남도록 패터닝을 행한다. 예를 들면, 이와 같이 하여 소정의 영역에 패드부(120, 121)를 형성할 수 있다. 패드부(120)는 예를 들면, 이웃하는 화소(541)의 사이드 월(SW) 사이에 형성된다. 이 방법에서는 패드부(120)의 크기를 사이드 월(SW)의 크기에 의해 제어할 수 있기 때문에 패드부(120)를 작게 하여 기생 용량을 저감하는 것이 가능해진다.

- [0151] 도 19A~도 19C는 패드부(120, 121)의 형성 방법의 다른 예(1)를 도시하고 있다. 이 방법에서는 전송 게이트(TG)와 동일 공정으로 패드부(120, 121)가 형성된다. 이하, 구체적으로 설명한다. 우선, 도 19A에 도시한 바와 같이 반도체층(100S)에 p웰층(115), 화소 분리부(117), VSS 콘택트 영역(118), n형 반도체 영역(114) 및 플로팅 디퓨전(FD)을 형성한다. 이어서, 도 19B에 도시한 바와 같이 반도체층(100S)의 표면에 개구(IM)를 갖는 게이트 절연막(TR-I)을 성막한다. 개구(IM)는 패드부(120, 121)를 형성하는 부분에 마련해 둔다. 이 게이트 절연막(TR-I)의 개구(IM)는 예를 들면, 반도체층(100S)의 표면 전면에 게이트 절연막(TR-I)을 성막한 후, 포토 리소그래피법을 이용하여 형성한다. 개구(IM)를 갖는 게이트 절연막(TR-I)을 형성한 후, 게이트 절연막(TR-I)상에 예를 들면, 폴리실리콘막을 성막한다. 이어서, 이 폴리실리콘막을 패터닝함에 의해 전송 게이트(TG) 및 패드부(120, 121)를 형성한다. 이 후, 도 19C에 도시한 바와 같이 전송 게이트(TG)의 측면 및 패드부(120, 121)의 측면에 사이드 월(SW)을 형성한다. 이 방법을 이용하여 패드부(120, 121)를 형성함에 의해 예를 들면, 전송 게이트(TG)의 측면과 함께, 패드부(120, 121)의 측면에도 사이드 월(SW)이 형성된다.
- [0152] 도 20A~도 20C는 패드부(120, 121)의 형성 방법의 다른 예(2)를 도시하고 있다. 이 방법에서는 선택적 에피택셜 성장법을 이용하여 패드부(120, 121)가 형성된다. 이하, 구체적으로 설명한다. 우선, 상기 도 18A에서 설명한 것과 마찬가지로, 반도체층(100S)에 p웰층(115), n형 반도체 영역(114), 화소 분리부(117) 및 전송 트랜지스터(TR)를 형성한다. 이어서, 반도체층(100S)의 표면에 개구(131M)를 갖는 에칭 스톱퍼막(131)을 형성한다(도 18B). 이때, 에칭 스톱퍼막(131)에는 질화막을 이용하는 것이 바람직하다. 이 후, 도 20A에 도시한 바와 같이 에칭 스톱퍼막(131)의 개구(131M)를 이용하여 실리콘(반도체층(100S))을 에피택셜 성장시킨다. 이 에피택셜 성장에 의해 형성한 실리콘층에 n형 이온 임플란트 또는 p형 이온 임플란트를 행한다. 이에 의해 패드부(120, 121)와 함께, 플로팅 디퓨전(FD) 및 VSS 콘택트 영역(118)이 형성된다. 이 방법에서는 에피택셜 성장에 의해 패드부(120, 121)에 패시(Facet)이 형성된다.
- [0153] 실리콘(반도체층(100S))의 에피택셜 성장은 도 20B에 도시한 바와 같이 화소 분리부(117)를 파고 나서 행하도록 해도 좋다. 이때, 화소 분리부(117)의 패임에 의해 플로팅 디퓨전(FD) 및 VSS 콘택트 영역(118)의 측면이 노출되고, 이 노출된 측면으로부터 에피택셜 성장이 행해진다(도 20C). 이 후, 에피택셜 성장에 의해 형성한 실리콘층에 n형 이온 임플란트 또는 p형 이온 임플란트를 행한다. 이에 의해 패드부(120, 121)와 함께, 플로팅 디퓨전(FD) 및 VSS 콘택트 영역(118)이 형성된다. 이와 같이 형성된 패드부(120, 121)에도 패시가 형성된다. 또는 반도체층(100S)의 표면으로부터 에피택셜 성장을 행함과 함께, 화소 분리부(117)를 파서, 플로팅 디퓨전(FD) 및 VSS 콘택트 영역(118)의 형성 예정 영역의 측면으로부터 에피택셜 성장을 행하는 것도 가능하다. 이와 같이 하여 패드부(120, 121)를 형성하도록 해도 좋다.
- [0154] 패드부(120, 121)를 형성한 후, 이 패드부(120, 121)를 덮도록, 반도체층(100S)의 표면에 패시베이션막(122) 및 층간 절연막(123)을 이 순서로 형성한다. 이에 의해 제1 기판(100)이 형성된다.
- [0155] 이어서, 도 21A에 도시한 바와 같이 접합막(124)을 사이에 두고, 반도체층(100S)에 반도체층(200S)을 첩합시킨다. 이 후, 반도체층(100S) 및 반도체층(200S)의 표면을 예를 들면, 플라즈마 조사 등에 의해 활성화하고 이어서 수세(水洗) 및 건조를 행한다. 반도체층(100S) 및 반도체층(200S)의 활성화는 약품 또는 이온 빔 등에 의해 행하도록 해도 좋다. 반도체층(100S) 및 반도체층(200S)의 표면을 건조시킨 후, 필요에 응하여 반도체층(200S)을 얇게 한다.
- [0156] 다음으로 도 21B에 도시한 바와 같이 반도체층(200S)을 분단하는 절연 영역(212)을 형성한다. 절연 영역(212)은 반도체층(200S)의 선택적인 영역을 예를 들어 드라이 에칭법을 이용하여 제거한 후, 이 반도체층(200S)이 제거된 영역에 산화 실리콘(SiO₂) 등의 절연 재료를 매입함에 의해 형성한다. 절연 영역(212)을 형성한 후, 반도체층(200S)의 표면 및 절연 영역(212)의 표면을 평탄화한다.
- [0157] 이어서, 도 21C에 도시한 바와 같이 화소 회로(200X)를 구성하는 복수의 트랜지스터, 패시베이션막(221) 및 층간 절연막(222)을 이 순서로 형성한다. 이들은 예를 들면, 이하와 같이 하여 형성한다. 우선, 반도체층(200S)의 표면 근방에 증폭 트랜지스터(AMP) 등의 복수의 트랜지스터 및 VSS 콘택트 영역(218)을 형성한다. 여기서는 내열성이 높은 폴리실리콘 등을 이용하여 패드부(120, 121)를 형성하고 있기 때문에 트랜지스터를 형성한 때에 고온 처리가 시행되어도, 패드부(120, 121)의 특성이 열화되기 어렵다. 또한 트랜지스터의 게이트 절연막에 열산화막을 이용하는 것이 가능해진다. 복수의 트랜지스터 및 VSS 콘택트 영역(118)을 형성한 후, 복수의 트랜지스터를 덮도록, 반도체층(200S) 및 절연 영역(212)의 표면에 패시베이션막(221) 및 층간 절연막(222)을 이 순서로 형성한다. 예를 들면, 이와 같이 하여 복수의 트랜지스터, 패시베이션막(221) 및 층간 절연막(222)을 형성한다.
- [0158] 다음으로 도 21D에 도시한 바와 같이 층간 절연막(222)상에 소정의 패턴을 갖는 레지스트막(231)을 형성한다.

이 레지스트막(231)은 반도체층(200S)의 표면층의 접속부(예를 들어 접속부(218V) 등)의 형성 예정 영역 및, 제 1 기판(100)에 달하는 관통 전극(120E, 121E, TGV)의 형성 예정 영역에 개구를 가지고 있다. 여기서는 상술한 바와 같이 접속부의 구멍 지름이 관통 전극(120E, 121E, TGV)의 구멍 지름보다도 작게 되어 있고 예를 들면, 접속부의 에스펙트비와 관통 전극(120E, 121E)의 에스펙트비가 개략 같아지도록 설계되어 있다. 이 때문에 접속부의 에칭과, 관통 전극(120E, 121E, TGV)의 에칭을 동시에 행하는 것이 가능해진다. 이하, 이 에칭에 관해 구체적으로 설명한다.

[0159] 도 21E에 도시한 바와 같이 레지스트막(231)의 패턴을 이용하여 층간 절연막(222) 및 패시베이션막(221)의 드라이 에칭을 행하면, 비교적 큰 구멍 지름을 갖는 접속 구멍(120H, 121H)은 층간 절연막(222), 패시베이션막(221), 접합막(124), 층간 절연막(123) 및 패시베이션막(122)을 관통하여 형성된다. 이에 대해 비교적 작은 구멍 지름을 갖는 접속 구멍(218H)은 층간 절연막(222) 및 패시베이션막(221)을 관통했을 때, 에칭이 셀프 스톱한다. 따라서, 접속 구멍(120H, 121H)과 동시에 접속 구멍(120H, 121H)보다도 얇은 접속 구멍(218H)을 형성해도, 오버 에칭의 발생이 억제된다. 후의 공정에서 접속 구멍(120H, 121H)에 관통 전극(120E, 121E)이 형성되고, 접속 구멍(218H)에 접속부(218V)가 형성된다. 예를 들면, 접속부의 구멍 지름과, 관통 전극(120E, 121E, TGV)의 구멍 지름이 같을 때에는 접속부의 에칭과, 관통 전극(120E, 121E, TGV)의 에칭을 서로 다른 공정으로 행한다. 따라서, 접속부의 구멍 지름을 관통 전극(120E, 121E, TGV)의 구멍 지름보다도 작게 함에 의해 공정수를 줄이고, 활상 장치(1)의 제조 공정을 간편하게 하는 것이 가능해진다. 또한 도 21E에는 전송 게이트(TG)에 달하는 접속 구멍(관통 전극(TGV)이 형성된 접속 구멍)은 도시하고 있지 않다.

[0160] 이와 같이 하여 반도체층(200S)의 표면층의 접속 구멍(예를 들면, 접속 구멍(218H))과, 제1 기판(100)에 달하는 접속 구멍(예를 들면, 접속 구멍(120H, 121H))을 형성한 후, 이 접속 구멍에 도전 재료를 매입한다. 이에 의해 관통 전극(120E, 121E, TGV) 및 접속부(218V)가 형성된다.

[0161] 이어서, 도 21F에 도시한 바와 같이 반도체층(200S)상에 층간 절연막(222)을 사이에 두고 제1 배선층(W1)을 형성한다. 이 후, 제2 배선층(W2), 제3 배선층(W3), 제4 배선층(W4) 및 콘택트부(201, 202)를 이 순서로 형성하여 배선층(200T)을 형성한다. 이에 의해 제2 기판(200)이 형성된다.

[0162] 마지막으로 이 제2 기판(200)에 반도체층(300S) 및 배선층(300T)을 포함하는 제3 기판을 접합시킨다. 이때, 제2 기판(200)의 배선층(200T)에 형성한 콘택트부(201, 202)와, 제3 기판(300)의 배선층(300T)에 형성한 콘택트부(301, 302)를 접합시킨다. 이에 의해 제2 기판(200)과 제3 기판(300)이 전기적으로 접속된다. 예를 들면, 이와 같이 하여 활상 장치(1)를 제조할 수 있다.

[0163] 여기서, 활상 장치(1)의 특징에 관해 설명한다.

[0164] 일반적으로 활상 장치는 주된 구성으로서, 포토 다이오드와 화소 회로로 이루어진다. 여기서, 포토 다이오드의 면적을 크게 하면 광전 변환의 결과 발생하는 전하가 증가하고 그 결과 화소 신호의 시그널/노이즈비(S/N비)가 개선되고, 활상 장치는 보다 좋은 화상 데이터(화상 정보)를 출력할 수 있다. 한편, 화소 회로에 포함되는 트랜지스터의 사이즈(특히 증폭 트랜지스터의 사이즈)를 크게 하면, 화소 회로에서 발생하는 노이즈가 감소하고 그 결과 활상 신호의 S/N비가 개선되고, 활상 장치는 보다 좋은 화상 데이터(화상 정보)를 출력할 수 있다.

[0165] 그러나, 포토 다이오드와 화소 회로를 동일한 반도체 기판에 마련한 활상 장치에서, 반도체 기판의 한정된 면적 중에서 포토 다이오드의 면적을 크게 하면, 화소 회로에 구비되는 트랜지스터의 사이즈가 작아져 버리는 것이 생각된다. 또한 화소 회로에 구비되는 트랜지스터의 사이즈를 크게 하면, 포토 다이오드의 면적이 작아져 버리는 것이 생각된다.

[0166] 이들 과제를 해결하기 위해 예를 들면, 본 실시의 형태의 활상 장치(1)는 복수의 화소(541)가 1개의 화소 회로(200X)를 공유하고 또한 공유한 화소 회로(200X)를 포토 다이오드(PD)에 중첩하여 배치하는 구조를 이용한다. 이에 의해 반도체 기판의 한정된 면적 중에서, 포토 다이오드(PD)의 면적을 가능한 한 크게 하는 것과, 화소 회로(200X)에 구비되는 트랜지스터의 사이즈를 가능한 한 크게 하는 것을 실현할 수 있다. 이에 의해 화소 신호의 S/N비를 개선하여 활상 장치(1)가 보다 좋은 화상 데이터(화상 정보)를 출력할 수 있다.

[0167] 복수의 화소(541)가 1개의 화소 회로(200X)를 공유하고 이것을 포토 다이오드(PD)에 중첩하여 배치하는 구조를 실현할 때, 복수의 화소(541) 각각의 플로팅 디퓨전(FD)으로부터 1개의 화소 회로(200X)에 접속되는 복수의 배선이 연재된다. 화소 회로(200X)를 형성하는 반도체층(200S)의 면적을 크게 확보하기 위해서는 예를 들어 이들 연재되는 복수의 배선 사이를 상호 접속하여 1개로 통합하는 접속 배선을 형성할 수 있다. VSS 콘택트 영역(118)으로부터 연재되는 복수의 배선에 관해서도 마찬가지로, 연재되는 복수의 배선 사이를 상호 접속하여 1개

로 통합하는 접속 배선을 형성할 수 있다.

- [0168] 예를 들면, 복수의 화소(541) 각각의 플로팅 디퓨전(FD)으로부터 연재되는 복수의 배선 사이를 상호 접속하는 접속 배선을 화소 회로(200X)를 형성하는 반도체층(200S)에서 형성하면, 화소 회로(200X)에 포함되는 트랜지스터를 형성하는 면적이 작아져 버리는 것이 생각된다. 마찬가지로, 복수의 화소(541) 각각의 VSS 콘택트 영역(118)으로부터 연재되는 복수의 배선 사이를 상호 접속하여 1개로 통합하는 접속 배선을 화소 회로(200X)를 형성하는 반도체층(200S)에 형성하면, 이에 의해 화소 회로(200X)에 포함되는 트랜지스터를 형성하는 면적이 작아져 버리는 것이 생각된다.
- [0169] 이들 과제를 해결하기 위해 예를 들어 본 실시의 형태의 활상 장치(1)는 복수의 화소(541)가 1개의 화소 회로(200X)를 공유하고 또한 공유한 화소 회로(200X)를 포토 다이오드(PD)에 증첩하여 배치하는 구조로서, 상기 복수의 화소(541) 각각의 플로팅 디퓨전(FD) 사이를 상호 접속하여 1개로 통합하는 접속 배선과, 상기 복수의 화소(541)의 각각에 구비되는 VSS 콘택트 영역(118) 사이를 상호 접속하여 1개로 통합하는 접속 배선을 제1 기판(100)에 마련한 구조를 구비할 수 있다.
- [0170] 여기서, 상기 복수의 화소(541) 각각의 플로팅 디퓨전(FD) 사이를 상호 접속하여 1개로 통합하는 접속 배선과, 상기 복수의 화소(541) 각각의 VSS 콘택트 영역(118) 사이를 상호 접속하여 1개로 통합하는 접속 배선을 제1 기판(100)에 마련하기 위한 제조 방법으로서, 앞서 말한 제2 제조 방법을 이용하면, 예를 들면, 제1 기판(100) 및 제2 기판(200) 각각의 구성에 응하여 적절한 프로세스를 이용하여 제조할 수 있고 고품질, 고성능인 활상 장치를 제조할 수 있다. 또한 용이한 프로세스로 제1 기판(100) 및 제2 기판(200)의 접속 배선을 형성할 수 있다. 구체적으로는 상기 제2 제조 방법을 이용하는 경우, 제1 기판(100)과 제2 기판(200)의 접합 경계면이 되는 제1 기판(100)의 표면과 제2 기판(200)의 표면에 플로팅 디퓨전(FD)에 접속하는 전극과 VSS 콘택트 영역(118)에 접속하는 전극을 각각 마련한다. 또한 제1 기판(100)과 제2 기판(200)을 접합시켰을 때에 이들 2개의 기판 표면에 마련한 전극 사이에서 위치 어긋남이 발생해도 이들 2개의 기판 표면에 형성한 전극끼리가 접촉하도록, 이들 2개의 기판 표면에 형성하는 전극을 크게 하는 것이 바람직하다. 이 경우, 활상 장치(1)에 구비되는 각 화소의 한정된 면적 중에 상기 전극을 배치하는 것이 어려워져 버리는 것이 생각된다.
- [0171] 제1 기판(100)과 제2 기판(200)이 접합 경계면에 큰 전극이 필요해지는 과제를 해결하기 위해 예를 들어 본 실시의 형태의 활상 장치(1)는 복수의 화소(541)가 1개의 화소 회로(200X)를 공유하고 또한 공유한 화소 회로(200X)를 포토 다이오드(PD)에 증첩하여 배치하는 제조 방법으로서, 앞서 말한 제1 제조 방법을 이용할 수 있다. 이에 의해 제1 기판(100) 및 제2 기판(200) 각각에 형성되는 소자끼리의 위치 맞춤이 용이해지고, 고품질, 고성능인 활상 장치를 제조할 수 있다. 또한 이 제조 방법을 이용함에 의해 생기는 고유의 구조를 구비할 수 있다. 즉, 제1 기판(100)의 반도체층(100S)과 배선층(100T)과 제2 기판(200)의 반도체층(200S)과 배선층(200T)을 이 순서로 적층한 구조, 환언하면, 제1 기판(100)과 제2 기판(200)을 페이스 투 백으로 적층한 구조를 구비하고 또한 제2 기판(200)의 반도체층(200S)의 표면층으로부터 반도체층(200S)과 제1 기판(100)의 배선층(100T)을 관통하여 제1 기판(100)의 반도체층(100S)의 표면에 이르는 관통 전극(120E, 121E)을 구비한다.
- [0172] 상기 복수의 화소(541) 각각의 플로팅 디퓨전(FD) 사이를 상호 접속하여 1개로 통합하는 접속 배선과, 상기 복수의 화소(541) 각각의 VSS 콘택트 영역(118) 사이를 상호 접속하여 1개로 통합하는 접속 배선을 제1 기판(100)에 마련한 구조에서, 이 구조와 제2 기판(200)을 상기 제1 제조 방법을 이용하여 적층하고 제2 기판(200)에 화소 회로(200X)를 형성하면, 화소 회로(200X)에 구비되는 능동 소자를 형성할 때에 필요해지는 가열 처리의 영향이 제1 기판(100)에 형성한 상기 접속 배선에 미쳐 버릴 가능성이 있다.
- [0173] 그래서, 상기 접속 배선에 대해 상기 능동 소자를 형성할 때의 가열 처리의 영향이 미쳐 버리는 과제를 해결하기 위해 본 실시의 형태의 활상 장치(1)는 상기 복수의 화소(541) 각각의 플로팅 디퓨전(FD)끼리를 상호 접속하여 1개로 통합하는 접속 배선과, 상기 복수의 화소(541) 각각의 VSS 콘택트 영역(118) 사이를 상호 접속하여 1개로 통합하는 접속 배선에 내열성이 높은 도전 재료를 이용하는 것이 바람직하다. 구체적으로는 내열성이 높은 도전 재료는 제2 기판(200)의 배선층(200T)에 포함되는 배선재의 적어도 일부보다도, 용점이 높은 재료를 이용할 수 있다.
- [0174] 이와 같이 예를 들어 본 실시의 형태의 활상 장치(1)는 (1) 제1 기판(100)과 제2 기판(200)을 페이스 투 백으로 적층한 구조(구체적으로는 제1 기판(100)의 반도체층(100S)과 배선층(100T)과 제2 기판(200)의 반도체층(200S)과 배선층(200T)을 이 순서로 적층하는 구조)와, (2) 제2 기판(200)의 반도체층(200S)의 표면층으로부터 반도체층(200S)과 제1 기판(100)의 배선층(100T)을 관통하여 제1 기판(100)의 반도체층(100S)의 표면에 이르는 관통 전극(120E, 121E)을 마련한 구조와, (3) 복수의 화소(541)의 각각에 구비되는 플로팅 디퓨전(FD) 사이를 상호

접속하여 1개로 통합하는 접속 배선과, 복수의 화소(541)의 각각에 구비되는 VSS 콘택트 영역(118) 사이를 상호 접속하여 1개로 통합하는 접속 배선을 내열성이 높은 도전 재료로 형성한 구조를 구비함으로써, 제1 기판(100)과 제2 기판(200)의 계면에 큰 전극을 구비하는 일 없이 제1 기판(100)에 복수의 화소(541)의 각각에 구비되는 플로팅 디퓨전(FD) 사이를 상호 접속하여 1개로 통합하는 접속 배선과, 복수의 화소(541)의 각각에 구비되는 VSS 콘택트 영역(118) 사이를 상호 접속하여 1개로 통합하는 접속 배선을 마련하는 것을 가능하게 하고 있다.

[0175] [활상 장치(1)의 동작]

[0176] 다음으로 도 22 및 도 23을 이용하여 활상 장치(1)의 동작에 관해 설명한다. 도 22 및 도 23은 도 3에 각 신호의 경로를 나타내는 화살표를 추가한 것이다. 도 22는 외부로부터 활상 장치(1)에 입력되는 입력 신호와, 전원 전위 및 기준 전위의 경로를 화살표로 나타낸 것이다. 도 23은 활상 장치(1)로부터 외부에 출력되는 화소 신호의 신호 경로를 화살표로 나타내고 있다. 예를 들면, 입력부(510A)를 통하여 활상 장치(1)에 입력된 입력 신호(예를 들면, 화소 클럭 및 동기 신호)는 제3 기판(300)의 행 구동부(520)에 전송되고, 행 구동부(520)에서 행 구동 신호가 만들어진다. 이 행 구동 신호는 콘택트부(301, 201)를 통하여 제2 기판(200)에 보내진다. 또한 이 행 구동 신호는 배선층(200T) 내의 행 구동 신호선(542)을 통하여 화소 어레이부(540)의 화소 공유 유닛(539) 각각에 도달한다. 제2 기판(200)의 화소 공유 유닛(539)에 도달한 행 구동 신호 중, 전송 게이트(TG) 이외의 구동 신호는 화소 회로(200X)에 입력되어, 화소 회로(200X)에 포함되는 각 트랜지스터가 구동된다. 전송 게이트(TG)의 구동 신호는 관통 전극(TGV)을 통하여 제1 기판(100)의 전송 게이트(TG1, TG2, TG3, TG4)에 입력되어, 화소(541A, 541B, 541C, 541D)가 구동된다(도 22). 또한 활상 장치(1)의 외부로부터 제3 기판(300)의 입력부(510A)(입력 단자(511))에 공급된 전원 전위 및 기준 전위는 콘택트부(301, 201)를 통하여 제2 기판(200)에 보내지고, 배선층(200T) 내의 배선을 통하여 화소 공유 유닛(539) 각각의 화소 회로(200X)에 공급된다. 기준 전위는 또한 관통 전극(121E)을 통하여 제1 기판(100)의 화소(541A, 541B, 541C, 541D)에도 공급된다. 한편, 제1 기판(100)의 화소(541A, 541B, 541C, 541D)에서 광전 변환된 화소 신호는 관통 전극(120E)을 통하여 화소 공유 유닛(539)마다 제2 기판(200)의 화소 회로(200X)에 보내진다. 이 화소 신호에 의거하는 화소 신호는 화소 회로(200X)로부터 수직 신호선(543) 및 콘택트부(202, 302)를 통하여 제3 기판(300)에 보내진다. 이 화소 신호는 제3 기판(300)의 열 신호 처리부(550) 및 화상 신호 처리부(560)에서 처리된 후, 출력부(510B)를 통하여 외부에 출력된다(도 23).

[0177] [효과]

[0178] 본 실시의 형태에서는 화소(541A, 541B, 541C, 541D)(화소 공유 유닛(539))와 화소 회로(200X)가 서로 다른 기판(제1 기판(100) 및 제2 기판(200))에 마련되어 있다. 이에 의해 화소(541A, 541B, 541C, 541D) 및 화소 회로(200X)를 동일 기판에 형성한 경우와 비교하여 화소(541A, 541B, 541C, 541D) 및 화소 회로(200X)의 면적을 확대할 수 있다. 그 결과, 광전 변환에 의해 얻어지는 화소 신호의 양을 증대시키고 또한 화소 회로(200X)의 트랜지스터 노이즈를 저감하는 것이 가능해진다. 이들에 의해 화소 신호의 시그널/노이즈비를 개선하여 활상 장치(1)는 보다 좋은 화소 데이터(화상 정보)를 출력하는 것이 가능해진다. 또한 활상 장치(1)의 미세화(환언하면, 화소 사이즈의 축소 및 활상 장치(1)의 소형화)가 가능해진다. 활상 장치(1)는 화소 사이즈의 축소에 의해 단위 면적당의 화소수를 증가시킬 수 있고 고화질의 화상을 출력할 수 있다.

[0179] 또한 활상 장치(1)에서는 제1 기판(100) 및 제2 기판(200)이 절연 영역(212)에 마련된 관통 전극(120E, 121E)에 의해 서로 전기적으로 접속되어 있다. 예를 들면, 제1 기판(100)과 제2 기판(200)을 패드 전극끼리의 접합에 의해 접속하는 방법이나, 반도체층을 관통하는 관통 배선(예를 들어 TSV(Thorough Si Via))에 의해 접속하는 방법도 생각할 수 있다. 이와 같은 방법에 비해 절연 영역(212)에 관통 전극(120E, 121E)을 마련함에 의해 제1 기판(100) 및 제2 기판(200)의 접속에 필요한 면적을 작게 할 수 있다. 이에 의해 화소 사이즈를 축소하고 활상 장치(1)를 보다 소형화할 수 있다. 또한 1화소당의 면적의 더한층의 미세화에 의해 해상도를 보다 높게 할 수 있다. 칩 사이즈의 소형화가 불필요할 때에는 화소(541A, 541B, 541C, 541D) 및 화소 회로(200X)의 형성 영역을 확대할 수 있다. 그 결과, 광전 변환에 의해 얻어지는 화소 신호의 양을 증대시키고 또한 화소 회로(200X)에 구비되는 트랜지스터의 노이즈를 저감하는 것이 가능해진다. 이에 의해 화소 신호의 시그널/노이즈비를 개선하여 활상 장치(1)는 보다 좋은 화소 데이터(화상 정보)를 출력하는 것이 가능해진다.

[0180] 또한 활상 장치(1)에서는 화소 회로(200X)와 열 신호 처리부(550) 및 화상 신호 처리부(560)가 서로 다른 기판(제2 기판(200) 및 제3 기판(300))에 마련되어 있다. 이에 의해 화소 회로(200X)와 열 신호 처리부(550) 및 화상 신호 처리부(560)를 동일 기판에 형성한 경우와 비교하여 화소 회로(200X)의 면적과, 열 신호 처리부(550) 및 화상 신호 처리부(560)의 면적을 확대할 수 있다. 이에 의해 열 신호 처리부(550)에서 생기는 노이즈를 저감

하거나, 화상 신호 처리부(560)에 보다 고도의 화상 처리 회로를 탑재하는 것이 가능해진다. 따라서, 화소 신호의 시그널/노이즈비를 개선하여 촬상 장치(1)는 보다 좋은 화소 데이터(화상 정보)를 출력하는 것이 가능해진다.

[0181] 또한 촬상 장치(1)에서는 화소 어레이부(540)가 제1 기판(100) 및 제2 기판(200)에 마련되고 또한 열 신호 처리부(550) 및 화상 신호 처리부(560)가 제3 기판(300)에 마련되어 있다. 또한 제2 기판(200)과 제3 기판(300)을 접속하는 콘택트부(201, 202, 301, 302)는 화소 어레이부(540)의 상방에 형성되어 있다. 이 때문에 콘택트부(201, 202, 301, 302)는 화소 어레이에 구비되는 각종 배선으로부터 레이아웃상의 간섭을 받지 않고 자유롭게 레이아웃으로 하는 것이 가능해진다. 이에 의해 제2 기판(200)과 제3 기판(300)의 전기적인 접속에 콘택트부(201, 202, 301, 302)를 이용하는 것이 가능해진다. 콘택트부(201, 202, 301, 302)를 이용함에 의해 예를 들면, 열 신호 처리부(550) 및 화상 신호 처리부(560)는 레이아웃의 자유도가 높아진다. 이에 의해 열 신호 처리부(550)에서 생기는 노이즈를 저감하거나, 화상 신호 처리부(560)에 보다 고도의 화상 처리 회로를 탑재하는 것이 가능해진다. 따라서, 화소 신호의 시그널/노이즈비를 개선하여 촬상 장치(1)는 보다 좋은 화소 데이터(화상 정보)를 출력하는 것이 가능해진다.

[0182] 또한 촬상 장치(1)에서는 화소 분리부(117)가 반도체층(100S)을 관통하고 있다. 이에 의해 1화소당의 면적의 미세화에 의해 이웃하는 화소(화소(541A, 541B, 541C, 541D))의 거리가 근접한 경우라도, 화소(541A, 541B, 541C, 541D) 사이에서의 혼색을 억제할 수 있다. 이에 의해 화소 신호의 시그널/노이즈비를 개선하여 촬상 장치(1)는 보다 좋은 화소 데이터(화상 정보)를 출력하는 것이 가능해진다.

[0183] 또한 촬상 장치(1)에서는 화소 공유 유닛(539)마다 화소 회로(200X)가 마련되어 있다. 이에 의해 화소(541A, 541B, 541C, 541D) 각각에 화소 회로(200X)를 마련한 경우에 비해 화소 회로(200X)를 구성하는 트랜지스터(증폭 트랜지스터(AMP), 리셋 트랜지스터(RST), 선택 트랜지스터(SEL), FD 변환 게인 전환 트랜지스터(FDG))의 형성 영역을 크게 하는 것이 가능해진다. 예를 들면, 증폭 트랜지스터(AMP)의 형성 영역을 크게 함에 의해 노이즈를 억제하는 것이 가능해진다. 이에 의해 화소 신호의 시그널/노이즈비를 개선하여 촬상 장치(1)는 보다 좋은 화소 데이터(화상 정보)를 출력하는 것이 가능해진다.

[0184] 또한 촬상 장치(1)에서는 4개의 화소(화소(541A, 541B, 541C, 541D))의 플로팅 디퓨전(FD)(플로팅 디퓨전(FD1, FD2, FD3, FD4))을 전기적으로 접속하는 패드부(120)가 제1 기판(100)에 마련되어 있다. 이에 의해 이와 같은 패드부(120)를 제2 기판(200)에 마련하는 경우에 비해 제1 기판(100)과 제2 기판(200)을 접속하는 관통 전극(관통 전극(120E))의 수를 줄일 수 있다. 따라서, 절연 영역(212)을 작게 하고 화소 회로(200X)를 구성하는 트랜지스터의 형성 영역(반도체층(200S))을 충분한 크기로 확보할 수 있다. 이에 의해 화소 회로(200X)에 포함되는 트랜지스터의 노이즈를 저감하는 것이 가능해지고, 화소 신호의 시그널/노이즈비를 개선하여 촬상 장치(1)는 보다 좋은 화소 데이터(화상 정보)를 출력하는 것이 가능해진다. 또한 관통 전극의 수가 적어지기 때문에 레이아웃의 자유도를 향상시킬 수 있다. 이에 의해 예를 들면, 기생 용량을 저감하는 것도 가능해진다.

[0185] 또한 촬상 장치(1)에서는 화소 회로(200X)에 포함되는 증폭 트랜지스터(AMP) 등의 트랜지스터가 3차원 구조를 갖는 트랜지스터에 의해 구성되어 있다. 이에 의해 평면형의 트랜지스터를 이용하는 경우에 비해 풋 프린트를 유지하면서 실효의 게이트 폭을 크게 할 수 있다. 따라서, 화소의 미세화를 방해하는 일 없이 트랜지스터 성능(동작 속도 및 RN 등)을 향상시킬 수 있다. 또한 게이트 면적이 커지기 때문에 RTS 노이즈를 저감하는 것도 가능해진다. 따라서, 보다 효과적으로 화상에의 노이즈의 영향을 억제할 수 있다.

[0186] 또한 촬상 장치(1)에서는 제2 기판(200)의 배선층(200T) 내에 마련된 접속부(예를 들면, 접속부(218V))의 구멍 지름과, 제2 기판(200)으로부터 제1 기판(100)에 달하는 관통 전극(120E, 121E, TGV)의 구멍 지름이 다르다. 이에 의해 레이아웃의 자유도를 향상시키는 것이 가능해진다.

[0187] 또한 본 실시의 형태에서는 제2 기판(200)에 관해 화소 회로(200X)를 구성할 수 있는 증폭 트랜지스터(AMP), 리셋 트랜지스터(RST), 선택 트랜지스터(SEL)는 1개의 반도체층(200S)에 형성되는 예를 나타냈지만, 적어도 1개의 트랜지스터를 반도체층(200S-1)에 형성하고 나머지 트랜지스터를 반도체층(100S) 및 반도체층(200S-1)과는 다른, 반도체층(200S-2)에 형성해도 좋다. 반도체층(200S-2)은 도시하지 않지만, 예를 들면, 반도체층(200S-1)(반도체층(200S)에 상당)상에 절연층, 접속부 및 접속 배선을 형성하고 다시 반도체층(200S-2)을 적층한다. 이 새로운 반도체층(200S-2)은 층간 절연막(123)의 반도체층(100S)에 적층되는 면과 반대측의 면에 적층되고, 소망하는 트랜지스터를 형성할 수 있다. 한 예로서, 반도체층(200S-1)에 증폭 트랜지스터(AMP)를 형성하고 리셋 트랜지스터(RST) 및/또는 선택 트랜지스터(SEL)를 반도체층(200S-2)에 형성할 수 있다.

- [0188] 또한 새로운 반도체층을 복수 마련하고 각각에 소망하는 화소 회로(200X)의 트랜지스터를 마련해도 좋다. 한 예로서, 반도체층(200S-1)에 증폭 트랜지스터(AMP)를 형성할 수 있다. 또한 반도체층(200S)에 절연층, 접속부 및 접속 배선을 적층하고 또한 반도체층(200S-2)을 적층하면, 반도체층(200S-2)에 리셋 트랜지스터(RST)를 형성할 수 있다. 반도체층(200S-2)에 절연층, 접속부 및 접속 배선을 적층하고 또한 반도체층(200S-3)을 적층하면, 반도체층(200S-3)에 선택 트랜지스터(SEL)를 형성할 수 있다. 반도체층(200S-1, 200S-2, 200S-3)에 형성하는 트랜지스터는 화소 회로(200X)를 구성하는 어느 트랜지스터라도 좋다.
- [0189] 이와 같이 제2 기관(200)에 복수의 반도체층을 마련하는 구성에 의해 1개의 화소 회로(200X)가 차지하는 반도체층(200S)의 면적을 작게 할 수 있다. 각 화소 회로(200X)의 면적을 작게 하거나, 각 트랜지스터를 미세화할 수 있으면, 칩의 면적을 작게 하는 것도 가능해진다. 또한 화소 회로(200X)를 구성할 수 있는 증폭 트랜지스터, 리셋 트랜지스터, 선택 트랜지스터 중, 소망하는 트랜지스터의 면적을 확대할 수 있다. 특히, 증폭 트랜지스터의 면적을 확대함으로써, 노이즈 저감 효과도 기대할 수 있다.
- [0190] 또한 상술한 바와 같이 화소 회로(200X)를 복수의 반도체층(예를 들면, 반도체층(200S-1, 200S-2, 200S-3))으로 나누어서 형성하는 경우에는 예를 들면, 후술하는 변형례 13에 대응하는 도 53에 도시한 바와 같이 증폭 트랜지스터(AMP)의 게이트 전극(23)을 갖는 기관(하측 기관(1210))에서, 게이트 전극(1231)이 배선(L1002)(관통 전극(120E)에 상당)에 접하도록 마련되어 있어도 좋다. 또한 도 139에 도시한 바와 같이 배선(L1002)(관통 전극(120E)에 상당)은 각각의 반도체층(예를 들면, 하측 기관(1210) 및 상측 기관(1220))에 마련된 소자 분리 영역(213A, 213B)을 관통하도록 마련되어 있다.
- [0191] 이하, 상기 실시의 형태에 관한 촬상 장치(1)의 변형례에 관해 설명한다. 이하의 변형례에서는 상기 실시의 형태와 공통의 구성에 동일한 부호를 붙여서 설명한다.
- [0192] <2. 변형례 1>
- [0193] 본 변형례에서는 플로팅 디퓨전(FD)이 인(P)보다도 확산 속도가 느린 n형 불순물, 예를 들면, 비소(As)를 포함하고 있다. 이에 의해 불순물의 과잉한 확산에 기인한 포토 다이오드(PD)의 축적 전하량의 감소를 억제하는 것이 가능해진다. 이하, 이 이유에 관해 설명한다.
- [0194] 도 24(A)(B) 및 도 25(A)(B)는 패드부(120) 및 반도체층(100S)(구체적으로는 플로팅 디퓨전(FD))의 열처리 공정(어닐)의 영향을 모식적으로 도시하고 있다. 도 24(A) 및 도 25(A)는 어닐 전의 n형 불순물의 상태를 나타내고, 도 24(B) 및 도 25(B)는 어닐 후의 n형 불순물의 상태를 나타내고 있다.
- [0195] 플로팅 디퓨전(FD)에 비소를 확산시키면, 비소는 인보다도 확산 속도가 느리기 때문에 열처리 공정을 거처도, 과잉한 확산이 생기기 어렵다(도 24(A)(B)). 또한 패드부(120)에 확산된 인은 반도체층(100S)까지 소정의 확산 거리를 거치기 때문에 반도체층(100S)에 인이 확산되어 있는 경우에 비해 실효의 확산 거리가 길어지고, 포토 다이오드(PD)에 영향을 미치기 어렵다. 따라서, 적어도 플로팅 디퓨전(FD)이 비소를 포함함에 의해 n형 불순물의 과잉한 확산에 기인한 포토 다이오드(PD)의 형성 영역의 감소가 생기기 어려워진다. 따라서, 포토 다이오드(PD)의 축적 전하량의 감소를 억제하는 것이 가능해진다.
- [0196] 도 25(A)(B)에 도시한 바와 같이 열처리 공정에 의해 패드부(120)로부터 비소를 확산시켜서, 플로팅 디퓨전(FD)을 형성하도록 해도 좋다. 즉, 패드부(120) 및 플로팅 디퓨전(FD)이 비소를 포함하고 있어도 좋다. 이때, 플로팅 디퓨전(FD)의 불순물(비소) 농도는 패드부(120)의 불순물 농도에 비해 낮게 되어 있다. 열처리 공정에 의해 패드부(120)로부터 인을 확산시켜서 플로팅 디퓨전(FD)을 형성하도록 해도 좋다.
- [0197] 패드부(121) 및 VSS 콘택트 영역(118)이 p형 불순물을 포함할 때, 패드부(121) 및 VSS 콘택트 영역(118)은 예를 들면, 붕소(B)를 포함하고 있다. 이때, 예를 들면, 열처리 공정에 의해 패드부(121)로부터 붕소를 확산시켜서, VSS 콘택트 영역(118)을 형성한다. 이에 의해 p형 불순물의 과잉한 확산에 기인한 포토 다이오드(PD)의 형성 영역의 감소가 생기기 어려워진다. 따라서, 포토 다이오드(PD)의 축적 전하량의 감소를 억제하는 것이 가능해진다.
- [0198] 이와 같이 플로팅 디퓨전(FD) 또는 VSS 콘택트 영역(118)이 인보다도 확산 속도가 느린 불순물을 포함하는 촬상 장치(1)도, 상기 실시의 형태에서 설명한 것과 같은 효과가 얻어진다. 또한 포토 다이오드(PD)의 축적 전하량의 감소를 억제하는 것이 가능해진다.
- [0199] <3. 변형례 2>
- [0200] 도 26A 및 도 26B는 상기 실시의 형태에 관한 촬상 장치(1)의 요부의 단면 구성의 한 변형례를 도시한 것이다.

도 26A는 관통 전극(120E, 121E) 근방의 단면 구성을 모식적으로 도시하고 있고 상기 실시의 형태에서 설명한 도 8A에 대응한다. 도 26B는 관통 전극(TGV) 근방의 단면 구성을 모식적으로 도시하고 있다.

- [0201] 본 변형례에서는 관통 전극(120E)이 반도체층(100S)측으로부터 제1 부분(120EA) 및 제2 부분(120EB)을 포함하고 있다. 관통 전극(121E)이 반도체층(100S)측으로부터 제1 부분(121EA) 및 제2 부분(121EB)을 포함하고 있다. 관통 전극(TGV)이 반도체층(100S)측으로부터 제1 부분(TGVA) 및 제2 부분(TGVB)을 포함하고 있다. 이 점에서, 본 변형례의 활상 장치(1)는 상기 실시의 형태에서 설명한 활상 장치(1)와 다르다.
- [0202] 관통 전극(120E)의 제1 부분(120EA)은 패드부(120)와 제2 부분(120EB)을 접속하고 있다(도 26A). 제1 부분(120EA)은 예를 들면, 제1 기관(100)의 배선층(100T)에 마련되어 있고 그 상단면은 접합막(124)과 개략 동일 평면상에 마련되어 있다.
- [0203] 제1 부분(120EA)의 하단면은 패드부(120)에 접해 있다.
- [0204] 관통 전극(121E)의 제1 부분(121EA)은 패드부(121)와 제2 부분(121EB)을 접속하고 있다. 제1 부분(121EA)은 예를 들면, 제1 기관(100)의 배선층(100T)에 마련되어 있고 그 상단면은 접합막(124)과 개략 동일 평면상에 마련되어 있다. 제1 부분(121EA)의 하단면은 패드부(121)에 접해 있다.
- [0205] 관통 전극(TGV)의 제1 부분(TGVA)은 전송 게이트(TG)와 제2 부분(TGVB)을 접속하고 있다(도 26B). 제1 부분(TGVA)은 예를 들면, 제1 기관(100)의 배선층(100T)에 마련되어 있고 그 상단면은 접합막(124)과 개략 동일 평면상에 마련되어 있다. 제1 부분(TGVA)의 하단면은 전송 게이트(TG)(보다 구체적으로는 수평 부분(TGb))에 접해 있다.
- [0206] 제1 부분(120EA, 121EA, TGVA)은 예를 들면, 폴리실리콘에 의해 구성되어 있다. 제1 부분(120EA, TGVA)은 예를 들면, n형 불순물이 도핑된 폴리실리콘, 제1 부분(121EA)은 예를 들면, p형 불순물이 도핑된 폴리실리콘에 의해 각각 구성되어 있다. 예를 들면, 상기 도 15A에서 설명한 바와 같이 활상 장치(1)에 패드부(120, 121)가 마련되어 있지 않을 때, 제1 부분(120EA, 121EA)의 하단면은 반도체층(100S)의 표면에 접해 있어도 좋다.
- [0207] 관통 전극(120E)의 제2 부분(120EB)은 제1 부분(120EA)과 제1 배선층(W1)을 접속하고 있다(도 26A). 제2 부분(120EB)은 예를 들면, 제2 기관(200)의 절연 영역(212) 및 배선층(200T)에 마련되어 있다. 제2 부분(120EB)의 하단면은 예를 들면, 절연 영역(212)의 하단면과 개략 동일 평면상에 마련되고, 제1 부분(120EA)에 접합되어 있다. 제2 부분(120EB)의 상단면은 제1 배선층(W1)에 접해 있다.
- [0208] 관통 전극(121E)의 제2 부분(121EB)은 제1 부분(121EA)과 제1 배선층(W1)을 접속하고 있다. 제2 부분(121EB)은 예를 들면, 제2 기관(200)의 절연 영역(212) 및 배선층(200T)에 마련되어 있다. 제2 부분(121EB)의 하단면은 절연 영역(212)의 하단면과 개략 동일 평면상에 마련되어 있고 제1 부분(121EA)에 접합되어 있다. 제2 부분(121EB)의 상단면은 제1 배선층(W1)에 접해 있다.
- [0209] 관통 전극(TGV)의 제2 부분(TGVB)은 제1 부분(TGVA)과 제1 배선층(W1)을 접속하고 있다(도 26B). 제2 부분(TGVB)은 예를 들면, 제2 기관(200)의 절연 영역(212) 및 배선층(200T)에 마련되어 있다. 제2 부분(TGVB)의 하단면은 절연 영역(212)의 하단면과 개략 동일 평면상에 마련되고, 제1 부분(TGVA)에 접합되어 있다. 제2 부분(TGVB)의 상단면은 제1 배선층(W1)에 접해 있다.
- [0210] 제2 부분(120EB, 121EB, TGVB)은 제1 부분(120EA, 121EA, TGVA)의 구성 재료와 다른 재료에 의해 구성되어 있어도 좋다. 제2 부분(120EB, 121EB, TGVB)은 예를 들면, 텅스텐(W) 등의 도전성의 금속 재료에 의해 구성되어 있다.
- [0211] 제1 부분(120EA, 121EA, TGVA) 및 제2 부분(120EB, 121EB, TGVB)을 포함하는 관통 전극(120E, 121E, TGV)은 예를 들면, 이하와 같이 하여 형성한다(도 27A~도 27D). 여기서는 관통 전극(TGV)의 도시 및 설명은 생략하지만, 관통 전극(120E, 121E)과 마찬가지로 형성할 수 있다.
- [0212] 우선, 상기 실시의 형태에서 설명한 것과 마찬가지로, 제1 기관(100)을 형성한다. 이어서, 도 27A에 도시한 바와 같이 이 제1 기관(100)의 층간 절연막(123) 및 패시베이션막(122)을 관통하여 패드부(120, 121)에 달하는 제1 부분(120EA, 121EA)을 형성한다. 이때, 예를 들면, 우선, 패드부(120, 121)에 달하는 접속 구멍을 형성한 후, 이 접속 구멍에 논 도프의 폴리실리콘을 매입한다. 이어서, 제1 부분(120EA)에는 n형 불순물의 이온 주입, 제1 부분(121EA)에는 p형 불순물의 이온 주입을 각각 행한다. 여기서는 제1 부분(120EA, 121EA)을 제1 기관(100)에 형성하고 있기 때문에 제1 기관(100)에 반도체층(200S)을 침합시키기 전에 이온 주입을 행할 수 있다. 따라서, 제1 부분(120EA, 121EA)의 일부가 제2 기관(200)에 형성되는 경우(후술하는 도 31 참조)에 비해 제1 부분

(120EA, 121EA)에 이온 주입을 행하기 쉬워진다.

- [0213] 제1 부분(120EA, 121EA)을 형성할 때에 이것과 동시에 얼라인먼트 마크를 형성해 두도록 해도 좋다. 이에 의해 반도체층(100S)에 얼라인먼트 마크를 형성하는 경우에 비해 제2 기관(200)에 보다 가까운 위치에 얼라인먼트 마크를 형성할 수 있다. 따라서, 제2 기관(200)을 형성할 때의 리소그래피 공정에서 위치 맞춤 정밀도를 향상시키는 것이 가능해진다.
- [0214] 제1 부분(120EA, 121EA)을 형성한 후, 도 27B에 도시한 바와 같이 접합막(124)을 사이에 두고, 제1 기관(100)에 반도체층(200S)을 첩합시킨다. 여기서는 제1 부분(120EA, 121EA)을 폴리실리콘에 의해 형성하고 있기 때문에 제2 기관(200)을 형성할 때에 금속의 컨태미네이션이 생기기 어렵다.
- [0215] 제1 기관(100)에 반도체층(200S)을 첩합시킨 후, 도 27C에 도시한 바와 같이 절연 영역(212), 소자 분리 영역(213), 증폭 트랜지스터(AMP) 등의 트랜지스터, 패시베이션막(221) 및 층간 절연막(222)을 형성한다. 이 후, 도 27D에 도시한 바와 같이 제1 부분(120EA, 121EA)에 첩합시켜서 제2 부분(120EB, 121EB)을 형성한다. 이에 의해 관통 전극(120E, 121E)이 형성된다. 제1 부분(120EA, 121EA)과 제2 부분(120EB, 121EB)의 첩합부에는 예를 들면, 제1 부분(120EA, 121EA) 및 제2 부분(120EB, 121EB)을 서로 다른 타이밍에 형성하는 것에 기인하는 위치 어긋남, 또는 굽기의 어긋남이 생기고 있다. 제1 부분(120EA, 121EA)과 제2 부분(120EB, 121EB)의 첩합부에는 베리어막이 형성되어 있어도 좋다. 베리어막은 예를 들면, 티탄(Ti), 탄탈(Ta) 또는 질화 티탄(TiN)에 의해 구성되어 있다. VSS 콘택트 영역(218)에 달하는 접속부(218V)는 예를 들면, 제2 부분(120EB, 121EB)의 형성 공정과는 다른 리소그래피 공정에 의해 형성한다.
- [0216] 이와 같이 관통 전극(120E, 121E, TGV)이 제1 부분(120EA, 121EA, TGVA) 및 제2 부분(120EB, 121EB, TGVB)을 포함함에 의해 관통 전극(120E, 121E, TGV)의 구멍 지름을 작게 하는 것이 가능해진다. 이하, 이 이유에 관해 설명한다.
- [0217] 예를 들면, 제조 공정에서는 관통 전극 및 접속부의 에스펙트비(높이/구멍 지름, 도 17 참조)를 10 이하로 하는 것이 바람직하다. 프로세스의 마진을 확보하기 위해서다. 제2 기관(200)과 제1 기관(100)을 접속하는 관통 전극(120E, 121E, TGV)은 예를 들면, 제2 기관(200)의 소자끼리를 접속하는 접속부(접속부(218V) 등)에 비해 그 높이가 크게 되어 있다. 이 때문에 상기 에스펙트비를 실현하기 위해서는 관통 전극(120E, 121E, TGV)의 구멍 지름을 크게 설계하게 된다. 예를 들면, 관통 전극(120E, 121E, TGV)의 높이가 2 μ m일 때, 이들 구멍 지름은 0.2 μ m 이상으로 설계된다. 그러나, 관통 전극(120E, 121E, TGV)의 구멍 지름이 커지면, 절연 영역(212)도 커진다. 즉, 반도체층(200S)이 작아질 우려가 있다.
- [0218] 여기서는 관통 전극(120E, 121E, TGV)이 제1 부분(120EA, 121EA, TGVA)과, 제2 부분(120EB, 121EB, TGVB)을 가지고 있다. 이 때문에 제1 부분(120EA, 121EA, TGVA) 및 제2 부분(120EB, 121EB, TGVB) 각각의 높이는 관통 전극(120E, 121E, TGV)의 높이보다도 작아진다. 따라서, 제1 부분(120EA, 121EA, TGVA) 및 제2 부분(120EB, 121EB, TGVB)의 구멍 지름을 작게 할 수 있다. 따라서, 상기 에스펙트비를 실현하면서, 관통 전극(120E, 121E, TGV)의 구멍 지름을 작게 할 수 있다. 예를 들면, 제1 부분(120EA, 121EA, TGV)의 높이가 0.6 μ m, 제2 부분(120EB, 121EB, TGVB)의 높이가 1.4 μ m일 때, 제1 부분(120EA, 121EA, TGV)의 구멍 지름을 60nm, 제2 부분(120EB, 121EB, TGVB)의 구멍 지름을 140nm로 할 수 있다. 이에 의해 절연 영역(212)을 작게 하는 것이 가능해진다. 즉, 반도체층(200S)을 크게 하고 화소 회로(200X)를 구성하는 트랜지스터를 크게 형성할 수 있다. 이에 의해 화소 신호의 시그널/노이즈비를 개선하여 촬상 장치(1)는 보다 좋은 화소 데이터(화상 정보)를 출력하는 것이 가능해진다.
- [0219] 도 28~도 31은 도 26A에 도시한 관통 전극(120E, 121E)의 단면 구성의 다른 예를 도시하고 있다. 여기서는 관통 전극(TGV)의 도시 및 설명은 생략하지만, 관통 전극(120E, 121E)과 같은 구성을 이룰 수 있다.
- [0220] 제1 부분(120EA, 121EA)은 확대부(AP)를 포함하고 있어도 좋다(도 28). 확대부(AP)는 다른 제1 부분(120EA, 121EA)의 점유 면적(제1 부분(120EA, 121EA)의 굽기, 기관 면방향의 점유 면적)보다도 큰 점유 면적을 갖는 부분이고, 제1 부분(120EA, 121EA)의 상단에 마련되어 있다. 즉, 확대부(AP)에 제2 부분(120EB, 121EB)이 첩합되어 있다. 제1 부분(120EA, 121EA)에 이와 같은 확대부(AP)를 마련함에 의해 제1 부분(120EA, 121EA)과, 제2 부분(120EB, 121EB) 사이에 맞춤 어긋남이 생긴 경우에도, 이들 사이의 접촉면적이 확보되어, 전기 저항의 상승을 억제할 수 있다.
- [0221] 또한 확대부(AP) 이외의 제1 부분(120EA, 121EA)의 위치(기관면 방향의 위치)와, 제2 부분(120EB, 121EB)의 위치가 서로 달라도 좋다(도 29). 이에 의해 레이어아웃의 자유도를 향상시킬 수 있다.

- [0222] 또한 확대부(AP) 이외의 제1 부분(120EA, 121EA)이 분기되어 있어도 좋다(도 30). 예를 들어 확대부(AP)로부터 제1 부분(120EA, 121EA)은 4개로 분기되어 있다. 4개로 분기된 제1 부분(120EA)은 각각, 반도체층(100S)에 접하고 있고 플로팅 디퓨전(FD)에 접속되어 있다. 즉, 확대부(AP)에 의해 화소 공유 유닛(539)의 플로팅 디퓨전(FD)을 전기적으로 접속할 수 있다. 4개로 분기된 제1 부분(121EA)은 각각, 반도체층(100S)에 접하고 있고 VSS 콘택트 영역(118)에 접속되어 있다. 즉, 확대부(AP)에 의해 4개의 화소(541) 각각의 VSS 콘택트 영역(118)을 전기적으로 접속할 수 있다. 이와 같이 확대부(AP)로부터 제1 부분(120EA, 121EA)을 분기시킴에 의해 패드부(120, 121)가 불필요해진다. 따라서, 패드부(120, 121)의 형성 공정을 없애고, 프로세스 비용을 억제하는 것이 가능해진다.
- [0223] 제1 부분(120EA, 121EA)의 일부는 제2 기관(200)에 마련되어 있어도 좋다(도 31). 예를 들면, 제1 부분(120EA, 121EA)은 패시베이션막(122), 층간 절연막(123), 접합막(124) 및 절연 영역(212)을 관통하여 마련되어 있다. 제1 부분(120EA, 121EA)의 상단면은 예를 들면, 제2 기관(200)의 패시베이션막(221)과 개략 동일 평면에 마련되어 있다. 이와 같은 제1 부분(120EA, 121EA)을 갖는 관통 전극(120E, 121E)에서는 제1 부분(120EA, 121EA)에 접합되는 제2 부분(120EB, 121EB)의 높이가 접속부(218V) 등의 접합부의 높이와 개략 같게 되기 때문에 제2 부분(120EB, 121EB)과 접합부를 동일한 리소그래피 공정으로 형성하는 것이 가능해진다. 이와 같은 관통 전극(120E, 121E)은 예를 들면, 이하와 같이 하여 형성한다(도 32~도 33B).
- [0224] 우선, 상기 실시의 형태에서 설명한 것과 마찬가지로, 제1 기관(100)에 반도체층(200S)을 첩합시키고, 절연 영역(212) 및 소자 분리 영역(213)을 형성한다(도 21B). 이어서, 도 32에 도시한 바와 같이 절연 영역(212), 접합막(124), 층간 절연막(123) 및 패시베이션막(122)을 관통하여 패드부(120, 121)에 달하는 제1 부분(120EA, 121EA)을 형성한다. 이어서, 증폭 트랜지스터(AMP) 등의 트랜지스터, 패시베이션막(221) 및 층간 절연막(222)을 형성한다(도 27C 참조). 이 후, 제1 부분(120EA, 121EA)에 첩합시켜서 제2 부분(120EB, 121EB)을 형성한다. 이때, 제2 부분(120EB, 121EB)과 동일한 리소그래피 공정으로 접속부(218V) 등의 접합부를 형성하는 것이 가능해진다.
- [0225] 또는 도 33A, 도 33B에 도시한 바와 같이 증폭 트랜지스터(AMP) 등의 트랜지스터 및 패시베이션막(221)을 형성한 후, 패시베이션막(221), 절연 영역(212), 접합막(124), 층간 절연막(123) 및 패시베이션막(122)을 관통하여 패드부(120, 121)에 달하는 제1 부분(120EA, 121EA)을 형성하도록 해도 좋다.
- [0226] 이와 같은 관통 전극(120E, 121E, TGV)을 갖는 촬상 장치(1)도, 상기 실시의 형태에서 설명한 것과 같은 효과가 얻어진다. 또한 관통 전극(120E, 121E, TGV)의 구멍 지름을 작게 할 수 있기 때문에 절연 영역(212)을 작게 할 수 있다. 이에 의해 반도체층(200S)을 크게 하여 화소 회로(200X)를 구성하는 트랜지스터를 크게 형성하는 것이 가능해진다. 따라서, 화소 신호의 시그널/노이즈비를 개선하여 촬상 장치(1)는 보다 좋은 화소 데이터(화상 정보)를 출력하는 것이 가능해진다.
- [0227] <4. 변형례 3>
- [0228] 도 34는 상기 실시의 형태에 관한 촬상 장치(1)의 요부의 단면 구성의 한 변형례를 도시한 것이다. 도 34는 제1 기관(100)과 제2 기관(200)(반도체층(200S)) 사이의 접합면 근방의 구성을 모식적으로 도시한 것이고, 상기 실시의 형태에서 설명한 도 8A에 대응한다. 본 변형례에서는 접합막(124)이 제1 기관(100)과 제2 기관(200) 사이의 선택적인 영역에 마련되어 있다. 이 점에서, 본 변형례의 촬상 장치(1)는 상기 실시의 형태에서 설명한 촬상 장치(1)와 다르다.
- [0229] 접합막(124)은 제1 기관(100)과 제2 기관(200), 보다 구체적으로는 배선층(100T)과 반도체층(200S)의 접합면을 구성하고 있다. 이 접합막(124)이 배선층(100T)과 반도체층(200S) 사이의 선택적인 영역에 마련되어 있다. 환언하면, 배선층(100T)과 반도체층(200S) 사이의 접합면에는 접합막(124)이 마련된 영역과, 접합막(124)의 간극(124R)이 존재하고 있다.
- [0230] 예를 들면, 접합막(124)은 반도체층(200S)에 대항하는 부분에 마련되고, 접합막(124)의 간극(124R)은 절연 영역(212)에 대항하는 부분에 마련되어 있다. 환언하면, 절연 영역(212)은 접합막(124)의 간극(124R)에 선택적으로 배치되어 있다. 관통 전극(120E, 121E)은 절연 영역(212) 및 접합막(124)의 간극(124R)을 관통하여 패드부(120, 121)에 접속되어 있다. 즉, 접합막(124)은 관통 전극(120E, 121E)을 제외하여 마련되어 있고 관통 전극(120E, 121E)은 접합막(124)을 관통하지 않도록 구성되어 있다. 여기서는 관통 전극(TGV)의 도시 및 설명을 생략하지만, 관통 전극(120E, 121E)과 마찬가지로, 관통 전극(TGV)도 절연 영역(212) 및 접합막(124)의 간극(124R)을 관통하여 전송 게이트(TG)에 접속되어 있다.

- [0231] 이와 같은 접합막(124)의 간극(124R)은 예를 들면, 이하와 같이 하여 형성한다. 우선, 상기 실시의 형태에서 설명한 것과 마찬가지로, 제1 기판(100)을 형성한 후, 접합막(124)을 통하여 제1 기판(100)에 반도체층(200S)을 접합시킨다(도 21A).
- [0232] 이어서, 도 35에 도시한 바와 같이 절연 영역(212)의 형성 예정 영역의 반도체층(200S)을 드라이 에칭법을 이용하여 제거한다. 이때, 오버 에칭에 의해 절연 영역(212)의 형성 예정 영역의 접합막(124)을 제거한다. 이에 의해 접합막(124)의 간극(124R)이 형성되고, 배선층(100T)(제1 기판(100))과 반도체층(200S)(제2 기판(200))의 접합면이 일부 제거된다. 접합막(124)의 간극(124R)을 형성한 후, 절연 영역(212)을 형성한다. 이후의 공정은 상기 실시의 형태에서 설명한 것과 동일하게 하여 활상 장치(1)를 완성시킬 수 있다.
- [0233] 이와 같은 접합막(124)의 간극(124R)을 관통 전극(120E, 121E, TGV)이 관통함에 의해 관통 전극(120E, 121E, TGV)의 접합막(124)을 통한 리크의 발생을 억제하는 것이 가능해진다. 이하, 이 이유에 관해 설명한다.
- [0234] 제1 기판(100)과 제2 기판(200)의 접합면에는 거친 산화막이 형성된다. 이 때문에 관통 전극(120E), 관통 전극(121E) 및 관통 전극(TGV) 사이에 접합막(124)이 존재하고 있으면, 접합막(124)의 내압성의 저하에 기인하여 리크 전류가 발생할 우려가 있다.
- [0235] 특히, 접합막(124)이 질화 실리콘(SiN) 등의 질화막에 의해 구성되어 있을 때에는 리크 전류가 발생하기 쉽다. 또한 관통 전극(120E, 121E, TGV)을 형성할 때의 에칭에 플루오로카본계의 플라즈마 에칭을 이용하면, 질화막상에 플루오로카본막이 두껍게 체적된다. 프로세스 편차에 기인하여 이 플루오로카본막이 적절하게 제거될 수 없게 에칭이 진행된다면, 접합막(124) 근방에서 개구 불량에 생길 우려가 있다. 즉, 접합막(124)이 질화막에 의해 구성되어 있을 때에는 플루오로카본계의 플라즈마 에칭에 기인하여 수율이 저하될 우려가 있다.
- [0236] 이에 대해 본 변형례에서는 접합막(124)의 간극(124R)을 관통 전극(120E, 121E, TGV)이 관통하고 있기 때문에 관통 전극(120E, 121E, TGV)의 근방에 접합면이 존재하지 않는다. 이에 의해 거친 접합면에 기인한 관통 전극(120E), 관통 전극(121E) 및 관통 전극(TGV) 사이의 리크 전류의 발생을 억제하는 것이 가능해진다.
- [0237] 또한 접합막(124)을 질화 실리콘(SiN) 등의 질화막에 의해 구성하도록 해도, 프로세스 편차에 기인한 개구 불량의 발생이 억제되기 때문에 수율의 저하를 억제할 수 있다. 또한 접합막(124)에 질화막을 이용함에 의해 접합막(124)에 산화막을 이용한 경우에 비해 제1 기판(100)과 제2 기판(200) 사이의 접합 강도를 향상시킬 수 있다. 또한 제2 기판(200) 이후의 제조 공정에서 제1 기판(100)에의 컨택미네이션의 발생을 효과적으로 억제할 수 있다. 덧붙여서, 접합막(124)에 질화막을 이용함에 의해 패시베이션 효과가 얻어지고, 제1 기판(100)에 마련된 전송 트랜지스터(TR)의 트랜지스터 특성을 향상시킬 수 있다.
- [0238] 도 36은 도 34에 도시한 제1 기판(100)과 제2 기판(200) 사이의 접합면 근방의 단면 구성의 다른 예를 도시하고 있다. 이와 같이 제2 기판(200)에 마련된 복수의 트랜지스터(증폭 트랜지스터(AMP) 등)를 덮는 패시베이션막(221)이 선택적인 영역에 마련되고, 패시베이션막(221)에 간극(221R)이 마련되어 있어도 좋다. 패시베이션막(221)은 간극(221R)에 대신하여 개구를 가지고 있어도 좋다. 패시베이션막(221)의 간극(221R) 또는 개구는 예를 들면, 접합막(124)의 간극(124R)에 대향하는 위치에 마련되어 있다. 관통 전극(120E, 121E)은 패시베이션막(221)의 간극(221R)(또는 개구), 절연 영역(212) 및 접합막(124)의 간극(124R)을 통하여 패드부(120, 121)에 접속되어 있다. 이와 같이 패시베이션막(221)에 간극(221R) 또는 개구를 마련함에 의해 패시베이션막(221)을 통한 관통 전극(120E), 관통 전극(121E) 및 관통 전극(TGV) 사이의 리크 전류의 발생을 억제할 수 있다. 특히, 패시베이션막(221)이 질화 실리콘(SiN) 등의 질화막에 의해 구성되어 있을 때에는 효과적으로 이 리크 전류를 억제할 수 있다.
- [0239] 이와 같은 접합막(124) 또는 패시베이션막(221)을 갖는 활상 장치(1)도, 상기 실시의 형태에서 설명한 것과 같은 효과가 얻어진다. 또한 관통 전극(120E, 121E, TGV)이 접합막(124) 또는 패시베이션막(221)을 관통하는 것에 기인한 리크 전류의 발생을 억제하는 것이 가능해진다. 따라서, 신뢰성을 향상시킬 수 있다.
- [0240] <5. 변형례 4>
- [0241] 도 37은 상기 실시의 형태에 관한 활상 장치(1)의 요부의 단면 구성의 한 변형례를 도시한 것이다. 도 37은 제1 기판(100)과 제2 기판(200)(반도체층(200S)) 사이의 접합면 근방의 구성을 모식적으로 도시한 것이고, 상기 실시의 형태에서 설명한 도 8A에 대응한다. 본 변형례에서는 접합막(124S)이 산화 실리콘(SiO) 등의 산화막에 의해 구성되어 있다. 이 점에서, 본 변형례의 활상 장치(1)는 상기 실시의 형태에서 설명한 활상 장치(1)와 다르다.

- [0242] 접합막(124S)은 상기 실시의 형태에서 설명한 접합막(124)과 마찬가지로, 제1 기판(100)과 제2 기판(200), 보다 구체적으로는 배선층(100T)과 반도체층(200S) 사이의 접합면을 구성하고 있다. 이 접합막(124S)에 산화막을 이용함에 의해 관통 전극(120E, 121E, TGV)이 질화막을 관통하는 것에 기인한 리크 전류의 발생을 억제할 수 있다. 또한 상기 변형례 3에서 설명한 것과 마찬가지로, 프로세스 편차에 기인한 개구 불량률의 발생이 억제되기 때문에 수율의 저하를 억제할 수 있다.
- [0243] 이와 같은 접합막(124S)을 갖는 촬상 장치(1)도, 상기 실시의 형태에서 설명한 것과 같은 효과가 얻어진다. 또한 관통 전극(120E, 121E, TGV)이 질화막을 관통하는 것에 기인한 리크 전류의 발생을 억제하는 것이 가능해진다. 따라서, 신뢰성을 향상시킬 수 있다. 또한 개구 불량률의 발생을 억제하고 수율을 향상시키는 것이 가능해진다.
- [0244] <6. 변형례 5>
- [0245] 도 38은 상기 실시의 형태에 관한 촬상 장치(1)의 요부의 단면 구성의 한 변형례를 도시한 것이다. 도 38은 제1 기판(100) 및 제2 기판(200)(반도체층(200S))의 요부를 모식적으로 도시하고 있다. 본 변형례에서는 촬상 장치(1)가 갖는 트랜지스터를 보호하기 위한 보호 소자(PE)가 마련되어 있다. 이 점에서, 본 변형례의 촬상 장치(1)는 상기 실시의 형태에서 설명한 촬상 장치(1)와 다르다.
- [0246] 보호 소자(PE)는 예를 들면, 반도체층(200S)에 마련된 트랜지스터(트랜지스터(Tr1))를 보호하기 위해 마련되어 있다. 트랜지스터(Tr1)는 예를 들면, 증폭 트랜지스터(AMP), 리셋 트랜지스터(RST), FD 전송 트랜지스터(FDG) 또는 선택 트랜지스터(SEL)이다. 이 트랜지스터(Tr1)는 예를 들면, 반도체층(200S)의 표면에 마련된 게이트 전극(208)과, 반도체층(200S)의 웰 영역(211)에 마련된 n형 반도체 영역(209, 210)을 가지고 있다. 게이트 전극(208)과 반도체층(200S) 사이에는 게이트 절연막(도시 생략)이 마련되어 있다. n형 반도체 영역(209, 210)이 트랜지스터(Tr1)의 소스·드레인으로서 기능한다. n형 반도체 영역(209, 210)의 일방(도 38에서는 n형 반도체 영역(209))은 예를 들면, 배선층(200T)에 마련된 접속 배선(WL)에 의해 p형 반도체 영역(207)(예를 들면, 도 6의 VSS 콘택트 영역(218))에 전기적으로 접속되어 있다. 접속 배선(WL)은 예를 들면, 제1 배선층(W1)에 마련되어 있다.
- [0247] 보호 소자(PE)는 예를 들면, 반도체층(200S)에 마련되어 있다. 보호 소자(PE)와 트랜지스터(Tr1) 사이에는 소자 분리 영역(213)이 마련되어 있다. 보호 소자(PE)는 웰 영역(211)과 웰 영역(211)에 마련된 n형 반도체 영역(214)을 포함하고 있다. 즉, 보호 소자(PE)는 pn 접합을 갖는 다이오드에 의해 구성되어 있다. 예를 들면, 트랜지스터(Tr1)의 n형 반도체 영역(209, 210)의 타방(도 38에서는 n형 반도체 영역(210))과 보호 소자(PE)의 n형 반도체 영역(210) 사이에 소자 분리 영역(213)이 마련되어 있다. 이 보호 소자(PE)는 트랜지스터(Tr1)와 웰 영역(211)을 공유하여 마련되어 있다. 여기서는 반도체층(200S)이 본 개시의 「제3 반도체층」의 한 구체례에 대응하고 웰 영역(211)이 본 개시의 「제2 반도체층의 제2 영역」 및 「제3 반도체층의 제3 영역」의 한 구체례에 대응한다. 즉, 여기서는 제2 반도체층 및 제3 반도체층이 일체화되어 있다.
- [0248] 보호 소자(PE)의 n형 반도체 영역(210)과, 트랜지스터(Tr1)의 게이트 전극(208)은 예를 들면, 배선층(200T)에 마련된 안테나 배선(WH)을 통하여 전기적으로 접속되어 있다. 안테나 배선(WH)은 예를 들면, 트랜지스터(Tr1)의 게이트 전극(208)에 신호를 입력하기 위한 것이다. 제1 기판(100) 및 제2 기판(200)의 적층 방향에서, 안테나 배선(WH)은 접속 배선(WL)보다도 반도체층(200S)으로부터 떨어진 위치(보다 제3 기판(300)측의 위치)에 마련되어 있다. 환언하면, 제1 기판(100) 및 제2 기판(200)의 적층 방향에서, 접속 배선(WL)은 안테나 배선(WH)보다도 반도체층(200S)에 가까운 위치에 마련되어 있다. 안테나 배선(WH)은 반도체층(200S)을 사이에 두고 반도체층(100S)에 대향하여 있다. 안테나 배선(WH)은 예를 들면, 배선층(200T)에 마련된 배선이고, 예를 들면, 제2 배선층(W2), 제3 배선층(W3) 또는 제4 배선층(W4)에 마련되어 있다.
- [0249] 도 39는 트랜지스터(Tr1)와 보호 소자(PE)의 관계의 한 예를 도시하는 회로도이다. 보호 소자(PE)는 예를 들면, 트랜지스터(Tr1)의 게이트와 소스 사이에 마련되어 있다.
- [0250] 이와 같은 보호 소자(PE)를 마련함에 의해 예를 들면, PID(Plasma Induced Damage)에 기인한 수율의 저하를 억제하는 것이 가능해진다. 이하, 이 이유에 관해 설명한다.
- [0251] 예를 들면, 촬상 장치(1)의 배선 및 비아(Via) 등을 형성할 때에는 플라즈마 처리가 시행된다. 이 배선 또는 비아에 트랜지스터의 게이트 전극, 소스 및 드레인의 어느 하나가 접속되어 있으면, 배선 또는 비아가 플라즈마로부터 차지를 모으는 안테나로서 작용한다. 이 배선 또는 비아에 모아진 차지가 소정의 양을 초과하면, 트랜지스터(Tr1)의 게이트 전극과 반도체층 사이에 전위차가 생긴다. 이에 기인하여 트랜지스터(Tr1)의 게이트 절연막에

FN(Fowler Nordheim) 터널 전류가 흐르고, 게이트 절연막을 열화시킬 우려가 있다. 이와 같은 PID에 기인하여 예를 들어 트랜지스터의 임계치 전압(V_{th})이 변동하고 수율에 영향을 미칠 우려가 있다. 예를 들면, 트랜지스터의 게이트 면적과, 이것에 접속되는 배선 또는 비아의 면적의 비, 이른바 안테나비를 조정함에 의해 PID의 영향을 억제하는 것도 생각할 수 있다. 그러나, 설계에 따라서는 안테나비가 커진다. 이 경우에는 PID의 영향을 억제하는 것이 곤란해진다.

[0252] 이에 대해 본 변형에서는 트랜지스터(Tr1)의 게이트 전극(208)에 안테나 배선(WH)을 통하여 접속된 보호 소자(PE)가 마련되어 있다. 따라서, 안테나 배선(WH)을 형성할 때의 플라즈마 처리에 의해 안테나 배선(WH)에 차지가 모아져도, 이 차지가 보호 소자(PE)에 흐르기 때문에 PID에 기인한 트랜지스터(Tr1)의 임계치 전압(V_{th})의 변동 등이 억제된다. 보호 소자(PE)가 마련되어 있어도, 가령, 보호 소자(PE)가 마련된 반도체층의 전위와, 트랜지스터(Tr1)가 마련된 반도체층(200S)의 전위가 크게 다르면, 트랜지스터(Tr1)의 게이트 전극(208)과 반도체층(200S) 사이에 전위차가 생기고, 충분히 PID의 영향을 억제되지 않을 우려가 있다. 여기서는 보호 소자(PE)와 트랜지스터(Tr1)가 모두 반도체층(200S)에 마련되어 있기 때문에 보호 소자(PE)가 도통되었을 때, 트랜지스터의 게이트 전극(208)과 반도체층(200S)이 개략 동전위가 된다. 따라서, 트랜지스터(Tr1)에의 PID의 영향을 보다 확실하게 억제하고 수율의 저하를 억제하는 것이 가능해진다. 또한 안테나비의 조정이 불필요해지기 때문에 촬상 장치(1)의 설계의 자유도를 향상시키는 것이 가능해진다.

[0253] 도 40~도 50은 도 38에 도시한 트랜지스터(Tr1) 및 보호 소자(PE)의 다른 예를 도시하고 있다.

[0254] 반도체층(200S)의 p형 반도체 영역(207)은 접속 배선(WL)을 통하여 반도체층(100S)의 p형 반도체 영역(107)(예를 들면, 도 6의 VSS 콘택트 영역(118))에 전기적으로 접속되어 있어도 좋다(도 40). p형 반도체 영역(207)은 예를 들면, 접속부(207V)(예를 들면, 도 6의 접속부(218V)), 접속 배선(WL) 및 관통 전극(207E)(예를 들면, 도 6의 관통 전극(121E))을 통하여 p형 반도체 영역(107)에 전기적으로 접속되어 있다. 이에 의해 보호 소자(PE)가 도통되었을 때, 트랜지스터(Tr1)의 게이트 전극(208)의 전위는 반도체층(200S)의 전위 및 반도체층(100S)의 전위와 개략 동전위가 된다. 따라서, 트랜지스터(Tr1)에의 PID가 억제된다.

[0255] 트랜지스터(Tr1)가 마련된 반도체층(200S)과, 보호 소자(PE)가 마련된 반도체층(200S)이 절연 영역(212)에 의해 분단되어 있어도 좋다(도 41). 예를 들면, 이때, 트랜지스터(Tr1)가 마련된 반도체층(200S)의 p형 반도체 영역(207)은 접속 배선(WL1)을 통하여 반도체층(100S)의 p형 반도체 영역(107)에 접속되고, 보호 소자(PE)가 마련된 반도체층(200S)의 p형 반도체 영역(207)은 접속 배선(WL2)을 통하여 반도체층(100S)의 p형 반도체 영역(107)에 접속되어 있다. 이에 의해 보호 소자(PE)가 도통되었을 때, 트랜지스터(Tr1)의 게이트 전극(208)의 전위는 트랜지스터(Tr1)가 마련된 반도체층(200S)의 전위, 보호 소자(PE)가 마련된 반도체층(200S)의 전위 및 반도체층(100S)의 전위와 개략 동전위가 된다. 따라서, 트랜지스터(Tr1)에의 PID가 억제된다.

[0256] 트랜지스터(Tr1)가 마련된 반도체층(200S)의 p형 반도체 영역(207)과, 보호 소자(PE)가 마련된 반도체층(200S)의 p형 반도체 영역(207)을 접속 배선(WL)에 의해 전기적으로 접속하도록 해도 좋다(도 42). 이때도, 도 41에서 설명한 것과 마찬가지로, 트랜지스터(Tr1)에의 PID가 억제된다.

[0257] 보호 소자(PE)는 복수의 pn 접합을 갖는 다이오드에 의해 구성되어 있어도 좋다(도 43). 예를 들면, 보호 소자(PE)는 웰 영역(211), n형 반도체 영역(214), n웰 영역(215) 및 p형 반도체 영역(216)을 포함하고 있다. n웰 영역(215)은 웰 영역(211)에 인접하여 마련되어 있다. n형 반도체 영역(214)는 n웰 영역(215)에 마련된 n형 불순물의 확산 영역이고, 반도체층(200S)의 표면 근방에 마련되어 있다. p형 반도체 영역(216)은 n웰 영역(215)에 마련된 p형 불순물의 확산 영역이고, 반도체층(200S)의 표면 근방에 마련되어 있다. 예를 들면, 트랜지스터(Tr1)측으로부터 n형 반도체 영역(214) 및 p형 반도체 영역(216)의 순서로 마련되어 있고 트랜지스터(Tr1)의 n형 반도체 영역(210)과 n형 반도체 영역(214) 사이 및 n형 반도체 영역(214)과 p형 반도체 영역(216) 사이에는 각각, 소자 분리 영역(213)이 마련되어 있다. 예를 들면, 보호 소자(PE)의 n형 반도체 영역(214) 및 p형 반도체 영역(216)이 안테나 배선(WH)을 통하여 트랜지스터(Tr1)의 게이트 전극(208)에 전기적으로 접속되어 있다. 예를 들면, 보호 소자(PE)는 트랜지스터(Tr1)의 반도체층(200S)과 동일한 반도체층(200S)에 마련되어 있고 보호 소자(PE)는 트랜지스터(Tr1)와 웰 영역(211)을 공유하고 있다. 이에 의해 상기 도 38에서 설명한 것과 마찬가지로, 보호 소자(PE)가 도통되었을 때, 트랜지스터(Tr1)의 게이트 전극(208)의 전위는 반도체층(200S)의 전위와 개략 동전위가 된다. 따라서, 트랜지스터(Tr1)에의 PID가 억제된다.

[0258] 복수의 pn 접합을 갖는 보호 소자(PE)가 마련된 반도체층(200S)에서, 상기 도 40에서 설명한 것과 마찬가지로, p형 반도체 영역(207)을 접속 배선(WL)을 통하여 반도체층(100S)의 p형 반도체 영역(107)에 전기적으로 접속하도록 해도 좋다(도 44). 또는 상기 도 41에서 설명한 것과 마찬가지로, 트랜지스터(Tr1)가 마련된 반도체층

(200S)과, 보호 소자(PE)가 마련된 반도체층(200S)이 절연 영역(212)에 의해 분단되어 있어도 좋다(도 45). 이때, 상기 도 42에서 설명한 것과 마찬가지로, 트랜지스터(Tr1)가 마련된 반도체층(200S)의 p형 반도체 영역(207)과, 보호 소자(PE)가 마련된 반도체층(200S)의 p형 반도체 영역(207)을 접속 배선(WL)에 의해 전기적으로 접속하도록 해도 좋다(도 46).

[0259] 보호 소자(PE)가 접속된 트랜지스터(Tr1)는 예를 들면, 제1 기관(100)의 반도체층(100S)에 마련되어 있어도 좋다(도 47). 트랜지스터(Tr1)는 예를 들면, 전송 트랜지스터(Tr)이다. 보호 소자(PE)는 예를 들면, 제2 기관(200)의 반도체층(200S)에 마련되어 있다. 반도체층(200S)에 마련된 p형 반도체 영역(207)은 접속 배선(WL)을 통하여 반도체층(100S)의 p형 반도체 영역(107)에 전기적으로 접속되어 있다. 이에 의해 보호 소자(PE)가 도통되었을 때, 트랜지스터(Tr1)의 게이트 전극(208)의 전위는 반도체층(100S)의 전위와 개략 동전위가 된다. 따라서, 트랜지스터(Tr1)에의 PID가 억제된다. 상기 도 43~도 46에서 설명한 것과 마찬가지로, 반도체층(100S)에 마련된 트랜지스터(Tr1)에 접속된 보호 소자(PE)가 복수의 pn 접합을 갖는 다이오드에 의해 구성되어 있어도 좋다(도 48).

[0260] 제2 기관(200)의 반도체층(200S)에 마련된 트랜지스터(Tr1)를 제1 기관(100)의 반도체층(100S)에 마련된 보호 소자(PE)에 접속하도록 해도 좋다(도 49). 이때, 보호 소자(PE)는 p웰층(115)과, p웰층(115)에 마련된 n형 반도체 영역(214)을 포함하고 있다. 트랜지스터(Tr1)의 게이트 전극(208)은 안테나 배선(WH)을 통하여 보호 소자(PE)의 n형 반도체 영역(214)에 전기적으로 접속되어 있다. 예를 들면, 반도체층(200S)에 마련된 p형 반도체 영역(207)은 접속 배선(WL)을 통하여 반도체층(100S)에 마련된 p형 반도체 영역(107)에 전기적으로 접속되어 있다. 이에 의해 보호 소자(PE)가 도통되었을 때, 트랜지스터(Tr1)의 게이트 전극(208)의 전위는 반도체층(200S)의 전위 및 반도체층(100S)의 전위와 개략 동전위가 된다. 따라서, 트랜지스터(Tr1)에의 PID가 억제된다. 상기 도 43~도 46에서 설명한 것과 마찬가지로, 반도체층(100S)에 마련된 트랜지스터(Tr1)에 접속된 보호 소자(PE)가 복수의 pn 접합을 갖는 다이오드에 의해 구성되어 있어도 좋다(도 50).

[0261] 이와 같은 보호 소자(PE)를 갖는 활상 장치(1)도, 상기 실시의 형태에서 설명한 것과 같은 효과가 얻어진다. 또한 보호 소자(PE)에 의해 PID의 영향을 억제하고 수율을 향상시키는 것이 가능해진다. 또한 여기서는 트랜지스터(Tr1)의 게이트 전극(208)에 안테나 배선(WH)을 통하여 보호 소자(PE)가 접속되어 있는 예를 나타냈지만, 트랜지스터(Tr1)의 소스 또는 드레인에 안테나 배선(WH)을 통하여 보호 소자(PE)가 접속되어 있어도 좋다. 이때에도, 상기에서 설명한 것과 마찬가지로, 보호 소자(PE)에 의해 PID의 영향을 억제하고 수율을 향상시키는 것이 가능해진다.

[0262] <7. 변형례 6>

[0263] 도 51~도 55는 상기 실시의 형태에 관한 활상 장치(1)의 평면 구성의 한 변형례를 도시한 것이다. 도 51은 제2 기관(200)의 반도체층(200S)의 표면 근방의 평면 구성을 모식적으로 도시하고 있고 상기 실시의 형태에서 설명한 도 10에 대응한다. 도 52는 제1 배선층(W1)과, 제1 배선층(W1)에 접속된 반도체층(200S) 및 제1 기관(100)의 각 부의 구성을 모식적으로 도시하고 있고 상기 실시의 형태에서 설명한 도 11에 대응한다. 도 53은 제1 배선층(W1) 및 제2 배선층(W2)의 평면 구성의 한 예를 도시하고 있고 상기 실시의 형태에서 설명한 도 12에 대응한다. 도 54는 제2 배선층(W2) 및 제3 배선층(W3)의 평면 구성의 한 예를 도시하고 있고 상기 실시의 형태에서 설명한 도 13에 대응한다. 도 55는 제3 배선층(W3) 및 제4 배선층(W4)의 평면 구성의 한 예를 도시하고 있고 상기 실시의 형태에서 설명한 도 14에 대응한다.

[0264] 본 변형례에서는 도 52에 도시한 바와 같이 제2 기관(200)의 H방향으로 나열되는 2개의 화소 공유 유닛(539) 중, 일방(예를 들어 지면 우측)의 화소 공유 유닛(539)의 내부 레이아웃이 타방(예를 들어 지면 좌측)의 화소 공유 유닛(539)의 내부 레이아웃을 H방향으로만 반전시킨 구성으로 되어 있다. 또한 일방의 화소 공유 유닛(539)의 외형선과 타방의 화소 공유 유닛(539)의 외형선 사이의 V방향의 어긋남이 상기 실시의 형태에서 설명한 어긋남(도 11)보다도 크게 되어 있다. 이와 같이 V방향의 어긋남을 크게 함에 의해 타방의 화소 공유 유닛(539)의 증폭 트랜지스터(AMP)와, 이것에 접속된 패드부(120)(도 7B에 기재된 V방향으로 나열되는 2개의 화소 공유 유닛(539) 중의 타방(지면 하측)의 패드부(120)) 사이의 거리를 작게 할 수 있다. 이와 같은 레이아웃에 의해 도 51~도 55에 기재된 활상 장치(1)의 변형례 6은 H방향으로 나열되는 2개의 화소 공유 유닛(539)의 평면 레이아웃을 서로 V방향으로 반전시키는 일 없이 그 면적을 상기 실시의 형태에서 설명한 제2 기관(200)의 화소 공유 유닛(539)의 면적과 같게 할 수 있다. 또한 제1 기관(100)의 화소 공유 유닛(539)의 평면 레이아웃은 상기 실시의 형태에서 설명한 평면 레이아웃(도 7A, 도 7B)과 같다. 따라서, 본 변형례의 활상 장치(1)는 상기 실시의 형태에서 설명한 활상 장치(1)와 같은 효과를 얻을 수 있다. 제2 기관(200)의 화소 공유 유닛(539)의 배치는 상기

실시의 형태 및 본 변형례에서 설명한 배치로 한정되는 것이 아니다.

[0265] <8. 변형례 7>

[0266] 도 56~도 61은 상기 실시의 형태에 관한 촬상 장치(1)의 평면 구성의 한 변형례를 도시한 것이다. 도 56은 제1 기관(100)의 평면 구성을 모식적으로 도시하고 있고 상기 실시의 형태에서 설명한 도 7A에 대응한다. 도 57은 제2 기관(200)의 반도체층(200S)의 표면 근방의 평면 구성을 모식적으로 도시하고 있고 상기 실시의 형태에서 설명한 도 10에 대응한다. 도 58은 제1 배선층(W1)과, 제1 배선층(W1)에 접속된 반도체층(200S) 및 제1 기관(100)의 각 부의 구성을 모식적으로 도시하고 있고 상기 실시의 형태에서 설명한 도 11에 대응한다. 도 59는 제1 배선층(W1) 및 제2 배선층(W2)의 평면 구성의 한 예를 도시하고 있고 상기 실시의 형태에서 설명한 도 12에 대응한다. 도 60은 제2 배선층(W2) 및 제3 배선층(W3)의 평면 구성의 한 예를 도시하고 있고 상기 실시의 형태에서 설명한 도 13에 대응한다. 도 61은 제3 배선층(W3) 및 제4 배선층(W4)의 평면 구성의 한 예를 도시하고 있고 상기 실시의 형태에서 설명한 도 14에 대응한다.

[0267] 본 변형례에서는 각 화소 회로(200X)의 외형이 개략 정방형의 평면 형상을 가지고 있다(도 57 등). 이 점에서, 본 변형례의 촬상 장치(1)의 평면 구성은 상기 실시의 형태에서 설명한 촬상 장치(1)의 평면 구성과 다르다.

[0268] 예를 들면, 제1 기관(100)의 화소 공유 유닛(539)은 상기 실시의 형태에서 설명한 것과 마찬가지로, 2행×2열의 화소 영역에 걸쳐 형성되어 있고 개략 정방형의 평면 형상을 가지고 있다(도 56). 예를 들면, 각각의 화소 공유 유닛(539)에서는 일방의 화소 열의 화소(541A) 및 화소(541C)의 전송 게이트(TG1, TG3)의 수평 부분(TGb)이 수직 부분(TGa)에 중첩하는 위치로부터 H방향에서 화소 공유 유닛(539)의 중앙부를 향하는 방향(보다 구체적으로는 화소(541A, 541C)의 외연을 향하는 방향, 또한 화소 공유 유닛(539)의 중앙부를 향하는 방향)으로 연계되고, 타방의 화소 열의 화소(541B) 및 화소(541D)의 전송 게이트(TG2, TG4)의 수평 부분(TGb)이 수직 부분(TGa)에 중첩하는 위치로부터 H방향에서 화소 공유 유닛(539)의 외측을 향하는 방향(보다 구체적으로는 화소(541B, 541D)의 외연을 향하는 방향, 또한 화소 공유 유닛(539)의 외측을 향하는 방향)으로 연계되어 있다. 플로팅 디퓨전(FD)에 접속된 패드부(120)는 화소 공유 유닛(539)의 중앙부(화소 공유 유닛(539)의 H방향 및 V방향의 중앙부)에 마련되고, VSS 콘택트 영역(118)에 접속된 패드부(121)는 적어도 H방향에서(도 56에서는 H방향 및 V방향에서) 화소 공유 유닛(539)의 단부에 마련되어 있다.

[0269] 다른 배치례로서, 전송 게이트(TG1, TG2, TG3, TG4)의 수평 부분(TGb)을 수직 부분(TGa)에 대향하는 영역에만 마련하는 것도 생각할 수 있다. 이때에는 상기 실시의 형태에서 설명한 것과 마찬가지로, 반도체층(200S)이 미세하게 분단되기 쉽다. 따라서, 화소 회로(200X)의 트랜지스터를 크게 형성하는 것이 곤란해진다. 한편, 전송 게이트(TG1, TG2, TG3, TG4)의 수평 부분(TGb)을 상기 변형례와 같이 수직 부분(TGa)에 중첩하는 위치로부터 H방향으로 연계시키면, 상기 실시의 형태에서 설명한 것과 마찬가지로, 반도체층(200S)의 폭을 크게 하는 것이 가능해진다. 구체적으로는 전송 게이트(TG1, TG3)에 접속된 관통 전극(TGV1, TGV3)의 H방향의 위치를 관통 전극(120E)의 H방향의 위치에 근접시켜서 배치하고 전송 게이트(TG2, TG4)에 접속된 관통 전극(TGV2, TGV4)의 H방향의 위치를 관통 전극(121E)의 H방향의 위치에 근접하여 배치하는 것이 가능해진다(도 58). 이에 의해 상기 실시의 형태에서 설명한 것과 마찬가지로, V방향으로 연계되는 반도체층(200S)의 폭(H방향의 크기)을 크게 할 수 있다. 따라서, 화소 회로(200X)의 트랜지스터의 사이즈, 특히 증폭 트랜지스터(AMP)의 사이즈를 크게 하는 것이 가능해진다. 그 결과, 화소 신호의 시그널/노이즈비를 개선하여 촬상 장치(1)는 보다 좋은 화소 데이터(화상 정보)를 출력하는 것이 가능해진다.

[0270] 제2 기관(200)의 화소 공유 유닛(539)은 예를 들면, 제1 기관(100)의 화소 공유 유닛(539)의 H방향 및 V방향의 크기와 개략 같고, 예를 들면, 개략 2행×2열의 화소 영역에 대응하는 영역에 걸쳐 마련되어 있다. 예를 들면, 각 화소 회로(200X)에서는 V방향으로 연계되는 하나의 반도체층(200S)에 선택 트랜지스터(SEL) 및 증폭 트랜지스터(AMP)가 V방향으로 나란히 배치되고, FD 변환 게인 전환 트랜지스터(FDG) 및 리셋 트랜지스터(RST)가 V방향으로 연계되는 하나의 반도체층(200S)에 V방향으로 나란히 배치되어 있다. 이 선택 트랜지스터(SEL) 및 증폭 트랜지스터(AMP)가 마련된 하나의 반도체층(200S)과, FD 변환 게인 전환 트랜지스터(FDG) 및 리셋 트랜지스터(RST)가 마련된 하나의 반도체층(200S)은 절연 영역(212)을 통하여 H방향으로 나열되어 있다. 이 절연 영역(212)은 V방향으로 연계되어 있다(도 57).

[0271] 여기서, 제2 기관(200)의 화소 공유 유닛(539)의 외형에 관해 도 57 및 도 58을 참조하여 설명한다. 예를 들면, 도 56에 도시한 제1 기관(100)의 화소 공유 유닛(539)은 패드부(120)의 H방향의 일방(도 58의 지면 좌측)에 마련된 증폭 트랜지스터(AMP) 및 선택 트랜지스터(SEL)와, 패드부(120)의 H방향의 타방(도 58의 지면 우측)에 마련된 FD 변환 게인 전환 트랜지스터(FDG) 및 리셋 트랜지스터(RST)에 접속되어 있다. 이 증폭 트랜지스터(AMP),

선택 트랜지스터(SEL), FD 변환 게인 전환 트랜지스터(FDG) 및 리셋 트랜지스터(RST)를 포함하는 제2 기관(200)의 화소 공유 유닛(539)의 외형은 다음 4개의 외연에 의해 정해진다.

[0272] 제1 외연은 선택 트랜지스터(SEL) 및 증폭 트랜지스터(AMP)를 포함하는 반도체층(200S)의 V방향의 일단(도 58의 지면 상측의 단)의 외연이다. 이 제1 외연은 당해 화소 공유 유닛(539)에 포함되는 증폭 트랜지스터(AMP)와, 이 화소 공유 유닛(539)의 V방향의 일방(도 58의 지면 상측)에 이웃하는 화소 공유 유닛(539)에 포함되는 선택 트랜지스터(SEL) 사이에 마련되어 있다. 보다 구체적으로는 제1 외연은 이들 증폭 트랜지스터(AMP)와 선택 트랜지스터(SEL) 사이의 소자 분리 영역(213)의 V방향의 중앙부에 마련되어 있다. 제2 외연은 선택 트랜지스터(SEL) 및 증폭 트랜지스터(AMP)를 포함하는 반도체층(200S)의 V방향의 타단(도 58의 지면 하측의 단)의 외연이다. 이 제2 외연은 당해 화소 공유 유닛(539)에 포함되는 선택 트랜지스터(SEL)와, 이 화소 공유 유닛(539)의 V방향의 타방(도 58의 지면 하측)에 이웃하는 화소 공유 유닛(539)에 포함되는 증폭 트랜지스터(AMP) 사이에 마련되어 있다. 보다 구체적으로는 제2 외연은 이들 선택 트랜지스터(SEL)와 증폭 트랜지스터(AMP) 사이의 소자 분리 영역(213)의 V방향의 중앙부에 마련되어 있다. 제3의 외연은 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG)를 포함하는 반도체층(200S)의 V방향의 타단(도 58의 지면 하측의 단)의 외연이다. 이 제3의 외연은 당해 화소 공유 유닛(539)에 포함되는 FD 변환 게인 전환 트랜지스터(FDG)와, 이 화소 공유 유닛(539)의 V방향의 타방(도 58의 지면 하측)에 이웃하는 화소 공유 유닛(539)에 포함되는 리셋 트랜지스터(RST) 사이에 마련되어 있다. 보다 구체적으로는 제3의 외연은 이들 FD 변환 게인 전환 트랜지스터(FDG)와 리셋 트랜지스터(RST) 사이의 소자 분리 영역(213)의 V방향의 중앙부에 마련되어 있다. 제4 외연은 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG)를 포함하는 반도체층(200S)의 V방향의 일단(도 58의 지면 상측의 단)의 외연이다. 이 제4 외연은 당해 화소 공유 유닛(539)에 포함되는 리셋 트랜지스터(RST)와, 이 화소 공유 유닛(539)의 V방향의 일방(도 58의 지면 상측)에 이웃하는 화소 공유 유닛(539)에 포함되는 FD 변환 게인 전환 트랜지스터(FDG)(도시 생략) 사이에 마련되어 있다. 보다 구체적으로는 제4 외연은 이들 리셋 트랜지스터(RST)와 FD 변환 게인 전환 트랜지스터(FDG) 사이의 소자 분리 영역(213)(도시 생략)의 V방향의 중앙부에 마련되어 있다.

[0273] 이와 같은 제1, 제2, 제3, 제4 외연을 포함하는 제2 기관(200)의 화소 공유 유닛(539)의 외형에서는 제1, 제2 외연에 대해 제3, 제4 외연이 V방향의 일방측에 어긋나서 배치되어 있다(환언하면 V방향의 일방측으로 오프셋되어 있다). 이와 같은 레이아웃을 이용함에 의해 증폭 트랜지스터(AMP)의 게이트 및 FD 변환 게인 전환 트랜지스터(FDG)의 소스를 함께, 패드부(120)에 가능한 한 근접하여 배치하는 것이 가능해진다. 따라서, 이들을 접속하는 배선의 면적을 작게 하고 활상 장치(1)의 미세화를 행하기 쉬워진다. 또한 VSS 콘택트 영역(218)은 선택 트랜지스터(SEL) 및 증폭 트랜지스터(AMP)를 포함하는 반도체층(200S)과, 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG)를 포함하는 반도체층(200S) 사이에 마련되어 있다. 예를 들면, 복수의 화소 회로(200X)는 서로 같은 배치를 가지고 있다.

[0274] 이와 같은 제2 기관(200)을 갖는 활상 장치(1)도, 상기 실시의 형태에서 설명한 것과 같은 효과가 얻어진다. 제2 기관(200)의 화소 공유 유닛(539)의 배치는 상기 실시의 형태 및 본 변형례에서 설명한 배치로 한정되는 것이 아니다.

[0275] <9. 변형례 8>

[0276] 도 62~도 67은 상기 실시의 형태에 관한 활상 장치(1)의 평면 구성의 한 변형례를 도시한 것이다. 도 62는 제1 기관(100)의 평면 구성을 모식적으로 도시하고 있고 상기 실시의 형태에서 설명한 도 7B에 대응한다. 도 63은 제2 기관(200)의 반도체층(200S)의 표면 근방의 평면 구성을 모식적으로 도시하고 있고 상기 실시의 형태에서 설명한 도 8에 대응한다. 도 64는 제1 배선층(W1)과, 제1 배선층(W1)에 접속된 반도체층(200S) 및 제1 기관(100)의 각 부의 구성을 모식적으로 도시하고 있고 상기 실시의 형태에서 설명한 도 11에 대응한다. 도 65는 제1 배선층(W1) 및 제2 배선층(W2)의 평면 구성의 한 예를 도시하고 있고 상기 실시의 형태에서 설명한 도 12에 대응한다. 도 66은 제2 배선층(W2) 및 제3 배선층(W3)의 평면 구성의 한 예를 도시하고 있고 상기 실시의 형태에서 설명한 도 13에 대응한다. 도 67은 제3 배선층(W3) 및 제4 배선층(W4)의 평면 구성의 한 예를 도시하고 있고 상기 실시의 형태에서 설명한 도 14에 대응한다.

[0277] 본 변형례에서는 제2 기관(200)의 반도체층(200S)이 H방향으로 연재되어 있다(도 64). 즉, 상기 도 57 등에 도시한 활상 장치(1)의 평면 구성을 90도 회전시킨 구성에 개략 대응하고 있다.

[0278] 예를 들면, 제1 기관(100)의 화소 공유 유닛(539)은 상기 실시의 형태에서 설명한 것과 마찬가지로, 2행×2열의 화소 영역에 걸쳐 형성되어 있고 개략 정방형의 평면 형상을 가지고 있다(도 62). 예를 들면, 각각의 화소 공유 유닛(539)에서는 일방의 화소행의 화소(541A) 및 화소(541B)의 전송 게이트(TG1, TG2)가 V방향에서 화소 공유

유닛(539)의 중앙부를 향하여 연재되고, 타방의 화소행의 화소(541C) 및 화소(541D)의 전송 게이트(TG3, TG4)가 V방향에서 화소 공유 유닛(539)의 외측 방향으로 연재되어 있다. 플로팅 디퓨전(FD)에 접속된 패드부(120)는 화소 공유 유닛(539)의 중앙부에 마련되고, VSS 콘택트 영역(118)에 접속된 패드부(121)는 적어도 V방향에서(도 62에서는 V방향 및 H방향에서) 화소 공유 유닛(539)의 단부에 마련되어 있다. 이때, 전송 게이트(TG1, TG2)의 관통 전극(TGV1, TGV2)의 V방향의 위치가 관통 전극(120E)의 V방향의 위치에 근접하고 전송 게이트(TG3, TG4)의 관통 전극(TGV3, TGV4)의 V방향의 위치가 관통 전극(121E)의 V방향의 위치에 근접한다(도 64). 따라서, 상기 실시의 형태에서 설명한 것과 같은 이유에 의해 H방향으로 연재되는 반도체층(200S)의 폭(V방향의 크기)을 크게 할 수 있다. 따라서, 증폭 트랜지스터(AMP)의 사이즈를 크게 하고 노이즈를 억제하는 것이 가능해진다.

[0279] 각각의 화소 회로(200X)에서는 선택 트랜지스터(SEL) 및 증폭 트랜지스터(AMP)가 H방향으로 나란히 배치되고, 선택 트랜지스터(SEL)와 절연 영역(212)을 사이에 두고 V방향으로 이웃하는 위치에 리셋 트랜지스터(RST)가 배치되어 있다(도 63). FD 변환 게인 전환 트랜지스터(FDG)는 리셋 트랜지스터(RST)와 H방향으로 나란히 배치되어 있다. VSS 콘택트 영역(218)은 절연 영역(212)에 섬형상으로 마련되어 있다. 예를 들면, 제3 배선층(W3)은 H방향으로 연재되고(도 66), 제4 배선층(W4)은 V방향으로 연재되어 있다(도 67).

[0280] 이와 같은 제2 기관(200)을 갖는 촬상 장치(1)도, 상기 실시의 형태에서 설명한 것과 같은 효과가 얻어진다. 제2 기관(200)의 화소 공유 유닛(539)의 배치는 상기 실시의 형태 및 본 변형례에서 설명한 배치로 한정되는 것이 아니다. 예를 들면, 상기 실시의 형태 및 변형례 6에서 설명한 반도체층(200S)이 H방향으로 연재되어 있어도 좋다.

[0281] <10. 변형례 9>

[0282] 도 68은 상기 실시의 형태에 관한 촬상 장치(1)의 단면 구성의 한 변형례를 모식적으로 도시한 것이다. 도 68은 상기 실시의 형태에서 설명한 도 3에 대응한다. 본 변형례에서는 촬상 장치(1)가 콘택트부(201, 202, 301, 302)에 더하여 화소 어레이부(540)의 중앙부에 대향하는 위치에 콘택트부(203, 204, 303, 304)를 가지고 있다. 이 점에서, 본 변형례의 촬상 장치(1)는 상기 실시의 형태에서 설명한 촬상 장치(1)와 다르다.

[0283] 콘택트부(203, 204)는 제2 기관(200)에 마련되어 있고 제3 기관(300)과의 접합면이 노출되어 있다. 콘택트부(303, 304)는 제3 기관(300)에 마련되어 있고 제2 기관(200)과의 접합면에 노출되어 있다. 콘택트부(203)는 콘택트부(303)와 접하고 있고 콘택트부(204)는 콘택트부(304)와 접하고 있다. 즉, 이 촬상 장치(1)에서는 제2 기관(200)과 제3 기관(300)이 콘택트부(201, 202, 301, 302)에 더하여 콘택트부(203, 204, 303, 304)에 의해 접속되어 있다.

[0284] 다음으로 도 69 및 도 70을 이용하여 이 촬상 장치(1)의 동작에 관해 설명한다. 도 69에는 외부로부터 촬상 장치(1)에 입력되는 입력 신호와, 전원 전위 및 기준 전위의 경로를 화살표로 나타낸다. 도 70에는 촬상 장치(1)로부터 외부에 출력되는 화소 신호의 신호 경로를 화살표로 나타내고 있다. 예를 들면, 입력부(510A)를 통하여 촬상 장치(1)에 입력된 입력 신호는 제3 기관(300)의 행 구동부(520)에 전송되고, 행 구동부(520)에서 행 구동 신호가 만들어진다. 이 행 구동 신호는 콘택트부(303, 203)를 통하여 제2 기관(200)에 보내진다. 또한 이 행 구동 신호는 배선층(200T) 내의 행 구동 신호선(542)을 통하여 화소 어레이부(540)의 화소 공유 유닛(539) 각각에 도달한다. 제2 기관(200)의 화소 공유 유닛(539)에 도달한 행 구동 신호 중, 전송 게이트(TG) 이외의 구동 신호는 화소 회로(200X)에 입력되어, 화소 회로(200X)에 포함되는 각 트랜지스터가 구동된다. 전송 게이트(TG)의 구동 신호는 관통 전극(TGV)을 통하여 제1 기관(100)의 전송 게이트(TG1, TG2, TG3, TG4)에 입력되고, 화소(541A, 541B, 541C, 541D)가 구동된다. 또한 촬상 장치(1)의 외부로부터 제3 기관(300)의 입력부(510A)(입력 단자(511))에 공급된 전원 전위 및 기준 전위는 콘택트부(303, 203)를 통하여 제2 기관(200)에 보내지고, 배선층(200T) 내의 배선을 통하여 화소 공유 유닛(539) 각각의 화소 회로(200X)에 공급된다. 기준 전위는 또한 관통 전극(121E)을 통하여 제1 기관(100)의 화소(541A, 541B, 541C, 541D)에도 공급된다. 한편, 제1 기관(100)의 화소(541A, 541B, 541C, 541D)에서 광전 변환된 화소 신호는 화소 공유 유닛(539)마다 제2 기관(200)의 화소 회로(200X)에 보내진다. 이 화소 신호에 의거하는 화소 신호는 화소 회로(200X)로부터 수직 신호선(543) 및 콘택트부(204, 304)를 통하여 제3 기관(300)에 보내진다. 이 화소 신호는 제3 기관(300)의 열 신호 처리부(550) 및 화상 신호 처리부(560)에서 처리된 후, 출력부(510B)를 통하여 외부에 출력된다.

[0285] 이와 같은 콘택트부(203, 204, 303, 304)를 갖는 촬상 장치(1)도, 상기 실시의 형태에서 설명한 것과 같은 효과가 얻어진다. 콘택트부(303, 304)를 통한 배선의 접속처이다 제3 기관(300)의 회로 등의 설계에 응하여 콘택트부의 위치 및 수 등을 바꿀 수 있다.

- [0286] <11. 변형례 10>
- [0287] 도 71은 상기 실시의 형태에 관한 활상 장치(1)의 단면 구성의 한 변형례를 도시한 것이다. 도 71은 상기 실시의 형태에서 설명한 도 6에 대응한다. 본 변형례에서는 제1 기판(100)에 플레이너 구조를 갖는 전송 트랜지스터(TR)가 마련되어 있다. 이 점에서, 본 변형례의 활상 장치(1)는 상기 실시의 형태에서 설명한 활상 장치(1)와 다르다.
- [0288] 이 전송 트랜지스터(TR)는 수평 부분(TGb)만에 의해 전송 게이트(TG)가 구성되어 있다. 환언하면, 전송 게이트(TG)는 수직 부분(TGa)을 가지고 있지 않고, 반도체층(100S)에 대하여 마련되어 있다.
- [0289] 이와 같은 플레이너 구조의 전송 트랜지스터(TR)를 갖는 활상 장치(1)도, 상기 실시의 형태에서 설명한 것과 같은 효과가 얻어진다. 또한 제1 기판(100)에 플레이너형의 전송 게이트(TG)를 마련함에 의해 중형의 전송 게이트(TG)를 제1 기판(100)에 마련하는 경우에 비해 보다 반도체층(100S)의 표면 근처까지 포토 다이오드(PD)를 형성하고 이에 의해 포화 신호량(Qs)을 증가시키는 것도 생각할 수 있다. 또한 제1 기판(100)에 플레이너형의 전송 게이트(TG)를 형성하는 방법은 제1 기판(100)에 중형의 전송 게이트(TG)를 형성하는 방법에 비해 제조 공정수가 적고, 제조 공정에 기인한 포토 다이오드(PD)에의 악영향이 생기기 어렵다고도 생각할 수 있다.
- [0290] <12. 변형례 11>
- [0291] 도 72는 상기 실시의 형태에 관한 활상 장치(1)의 화소 회로의 한 변형례를 도시한 것이다. 도 72는 상기 실시의 형태에서 설명한 도 4에 대응한다. 본 변형례에서는 1개의 화소(화소(541A))마다 화소 회로(200X)가 마련되어 있다. 즉, 화소 회로(200X)는 복수의 화소에서 공유되어 있지 않다. 이 점에서, 본 변형례의 활상 장치(1)는 상기 실시의 형태에서 설명한 활상 장치(1)와 다르다.
- [0292] 본 변형례의 활상 장치(1)는 화소(541A)와 화소 회로(200X)를 서로 다른 기판(제1 기판(100) 및 제2 기판(200))에 마련하는 점에서는 상기 실시의 형태에서 설명한 활상 장치(1)와 같다. 이 때문에 본 변형례에 관한 활상 장치(1)도, 상기 실시의 형태에서 설명한 것과 같은 효과가 얻어진다.
- [0293] <13. 변형례 12>
- [0294] 도 73은 상기 실시의 형태에서 설명한 화소 분리부(117)의 평면 구성의 한 변형례를 도시한 것이다. 화소(541A, 541B, 541C, 541D) 각각을 둘러싸는 화소 분리부(117)에 간극이 마련되어 있어도 좋다. 즉, 화소(541A, 541B, 541C, 541D)의 전둘레가 화소 분리부(117)에 둘러싸여 있지 않아도 좋다. 예를 들면, 화소 분리부(117)의 간극은 패드부(120, 121) 근방에 마련되어 있다(도 7B 참조).
- [0295] 상기 실시의 형태에서는 화소 분리부(117)가 반도체층(100S)을 관통하는 FTI 구조를 갖는 예(도 6 참조)를 설명했는데, 화소 분리부(117)는 FTI 구조 이외의 구성을 가지고 있어도 좋다. 예를 들면, 화소 분리부(117)는 반도체층(100S)을 완전하게 관통하도록 마련되어 있지 않아도 좋고, 이른바, DTI(Deep Trench Isolation) 구조를 가지고 있어도 좋다.
- [0296] <14. 변형례 13>
- [0297] 도 74는 상기 실시의 형태에 관한 활상 장치(1)의 제1 기판(100) 및 제2 기판(200)의 요부의 평면 구성의 한 변형례를 모식적으로 도시한 것이다. 도 75는 제1 배선층(W1) 및 제2 배선층(W2)의 평면 구성의 한 변형례를 모식적으로 도시한 것이다. 도 76은 제2 배선층(W2) 및 제3 배선층(W3)의 평면 구성의 한 변형례를 모식적으로 도시한 것이다. 본 변형례에서는 화소 공유 유닛(539) 내에서 관통 전극(TGV)이 비대칭으로 배치되어 있는 점이 상기 실시의 형태에서 설명한 활상 장치(1)와 다르다.
- [0298] 또한 도 77 및 도 78에 도시한 바와 같이 배선(TRG2)과, 선택 트랜지스터(SEL) 및 FD 변환 게인 전환 트랜지스터(FDG)와 각각 접속되는 배선(도 76 및 도 78에서는 SEL, FDG라고 표기)을 교체함에 의해 배선 사이의 용량을 더욱 저감하는 것이 가능해진다.
- [0299] 이와 같이 화소 공유 유닛(539) 내에서 관통 전극(TGV)을 비대칭으로 배치함에 의해 제3 배선층(W3)에 형성되는 일방향(예를 들면, H방향)으로 연재되는 배선(TRG1, TRG2, TRG3, TRG4, SELL, RSTL, FDGL) 사이의 용량을 저감하는 것이 가능해진다. 따라서, 관독 화소의 관독 전극의 영향에 의한, 인접하는 비 관독 화소의 관독 전극하의, 포텐셜의 심화 및 센서 화소로부터 플로팅 디퓨전(FD)에의 장벽의 저하에 의한 포화 신호량(Qs)의 손실을 막는 것이 가능해진다.
- [0300] 또한 화소 공유 유닛(539) 내에서 근접하는 관통 전극(TGV)(예를 들면, 관통 전극(TGV2)와 관통 전극(TGV4)) 사

이에 선택 트랜지스터(SEL) 및 FD 변환 게인 전환 트랜지스터(FDG)와 각각 접속되는 배선을 배치함에 의해 가장 배선간 용량이 커지는 배선(TRG2)과 배선(TRG4) 사이의 용량을 저감하는 것이 가능해진다.

- [0301] <15. 변형례 14>
- [0302] 활상 장치(1)에서는 화소 트랜지스터(증폭 트랜지스터(AMP), 선택 트랜지스터(SEL), 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG))가 형성되는 반도체층(200S)은 일반적으로 예를 들어 2개의 반도체층(200S)이 각 화소 공유 유닛(539) 내에서 병렬 배치된 구조를 갖지만, 3차원 구조의 트랜지스터(예를 들면, 도 80에 도시한 증폭 트랜지스터(AMP))의 하방의 반도체층(200S)에는 공핍층이 상정보다도 넓어지는 경우가 있고 예를 들어 선택 트랜지스터(SEL)가 고립되어 웰이 연결되지 않게 될 우려가 있다. 이 때문에 반도체층(200S)에 웰 콘택트 영역(217)을 마련하는 것이 바람직하다.
- [0303] 도 79는 상기 실시의 형태에 관한 활상 장치(1)의 반도체층(200S)의 평면 구성의 한 변형례를 도시한 것이다. 예를 들면, 웰 콘택트 영역(217)은 병렬하는 2개의 반도체층(200S)의 각각에 마련하도록 해도 좋다. 이에 의해 2개의 반도체층(200S) 각각에 개별적으로 전압을 인가할 수 있기 때문에 기판 바이어스 효과를 회피하는 것이 가능해지고, 리니어리티를 개선할 수 있다. 또한 이때, 증폭 트랜지스터(AMP)는 플레이너형(도 79)으로 한하지 않고, 도 80에 도시한 바와 같이 핀(Fin)형 등의 3차원 구조로 해도 좋다.
- [0304] 도 81은 상기 실시의 형태에 관한 활상 장치(1)의 반도체층(200S)의 평면 구성의 한 변형례를 도시한 것이다. 예를 들면, 웰 콘택트 영역(217)을 병렬하는 2개의 반도체층 사이에 마련하고 이 1개의 웰 콘택트 영역(217)을 2개의 반도체층(200S)에서 공유하도록 해도 좋다. 이에 의해 병렬하는 2개의 반도체층(200S)에 형성되는 웰 콘택트 영역(217)을 삭감할 수 있기 때문에 각 화소 트랜지스터의 사이즈를 확대하는 것이 가능해진다.
- [0305] 도 82는 상기 실시의 형태에 관한 활상 장치(1)의 반도체층(200S)의 평면 구성의 한 변형례를 도시한 것이다. 예를 들면, 웰 콘택트 영역(217)은 병렬하는 2개의 반도체층(200S)의 일방에 마련하고 2개의 반도체층(200S)을 서로 접속하도록 해도 좋다. 또한 그 경우, 2개의 반도체층(200S)은 예를 들어 도 83에 도시한 바와 같이 소자 분리 영역(213)에 의해 서로 접속되어 있어도 좋다.
- [0306] 도 84는 상기 실시의 형태에 관한 활상 장치(1)의 반도체층(200S)의 평면 구성의 한 변형례를 도시한 것이다. 예를 들면, 웰 콘택트 영역(217)은 병렬하는 2개의 반도체층(200S) 사이에 마련하고 GP가 없는 반도체층(200S) 부분에서 서로 접속하도록 해도 좋다. 이에 의해 도 82 및 도 83에 도시한 바와 같이 2개의 반도체층(200S)의 일방에 웰 콘택트 영역(217)을 마련한 경우와 비교하여 각 화소 트랜지스터의 사이즈를 확대하는 것이 가능해진다.
- [0307] 도 85는 상기 실시의 형태에 관한 활상 장치(1)의 반도체층(200S)의 평면 구성의 한 변형례를 도시한 것이다. 예를 들면, 웰 콘택트 영역(217)은 병렬하는 2개의 반도체층 사이에 마련하도록 해도 좋다. 도 85에서는 웰 콘택트 영역(217)은 병렬하는 2개의 반도체층(200S)의 GP에 겹쳐진 소자 분리 영역(213)에 의해 서로 접속되어 있다. 이에 의해 각 화소 트랜지스터의 사이즈를 확대하는 것이 가능해진다.
- [0308] 도 86은 상기 실시의 형태에 관한 활상 장치(1)의 반도체층(200S)의 평면 구성의 한 변형례를 도시한 것이다. 예를 들면, 웰 콘택트 영역(217)은 도 85와 마찬가지로 병렬하는 2개의 반도체층 사이에 마련하고 2개의 반도체층(200S)의 접속은 GP에 겹쳐진 소자 분리 영역(213)에 의한 접속과는 별도로, 또한 GP에 겹쳐진 소자 분리 영역(213)을 마련하고 이에 의해 접속하도록 해도 좋다. 이에 의해 각 화소 트랜지스터와 웰이 연결되지 않을 우려를 더욱 저감하는 것이 가능해진다.
- [0309] 도 87은 상기 실시의 형태에 관한 활상 장치(1)의 반도체층(200S)의 평면 구성의 한 변형례를 도시한 것이다. 예를 들면, 웰 콘택트 영역(217)은 화소 공유 유닛(539) 내에서 병렬하는 2개의 반도체층 사이에 마련하고 병렬하는 2개의 반도체층(200S)의 GP에 겹쳐진 소자 분리 영역(213)에 의해 서로 접속하고 또한 이웃하는 화소 공유 유닛(539) 사이에서, 일방의 반도체층(200S)과, 인접하는 화소 공유 유닛(539)의 반도체층(200S)을 GP에 겹쳐진 소자 분리 영역(213)에 의해 접속하도록 해도 좋다.
- [0310] 도 88은 상기 실시의 형태에 관한 활상 장치(1)의 반도체층(200S)의 평면 구성의 한 변형례를 도시한 것이다. 도 87에서는 소자 분리 영역(213)에 의해 접속되는 2개의 화소 공유 유닛(539)의 각각에 웰 콘택트 영역(217)을 마련한 예를 도시했는데, 웰 콘택트 영역(217)은 일방의 화소 공유 유닛(539)에만 마련하도록 해도 좋다.
- [0311] 도 89는 상기 실시의 형태에 관한 활상 장치(1)의 반도체층(200S)의 평면 구성의 한 변형례를 도시한 것이다. 2개의 반도체층(200S) 사이에서 공유되는 웰 콘택트 영역(217)은 반드시 화소 공유 유닛(539) 내의 2개의 반도체

층(200S) 사이에서 공유되어 있을 필요는 없고, 예를 들면, 도 89에 도시한 바와 같이 이웃하는 화소 공유 유닛(539) 사이의 2개의 반도체층(200S) 사이에서 공유되어 있어도 좋다.

[0312] <16. 변형례 15>

[0313] 도 90은 상기 실시의 형태에 관한 촬상 장치(1)의 제1 기관(100)과 제2 기관(200)을 전기적으로 접속하는 관통 전극(120E) 및 화소 트랜지스터(예를 들면, 증폭 트랜지스터(AMP))와의 접속 배선(CS)의 단면 구성의 한 변형례를 도시한 것이다. 도 91은 도 90에 도시한 관통 전극(120E)과 패드부(120)의 접속 부분을 확대하여 도시한 것이다.

[0314] 본 변형례의 관통 전극(120E) 및 접속 배선(CS)은 이하와 같이 하여 형성할 수 있다. 또한 이하에서는 관통 전극(120E)을 예로 설명하는데, 접속 배선(CS)도 같게 하여 형성할 수 있다.

[0315] 관통 전극(120E)은 상기와 같이 예를 들면, 레지스트막(231)의 패턴을 이용하여 층간 절연막(222) 및 패시베이션막(221)의 드라이 에칭을 행하여 접속 구멍(120H)을 형성한다. 이때, 접속 구멍(120H)의 구멍 지름은 소망하는 관통 전극(120E)의 지름보다도 크게 형성한다. 이어서, 예를 들어 스퍼터링에 의해 접속 구멍(120H)의 저부(底部)까지 티탄(Ti), 코발트(Co) 또는 니켈(Ni) 등의 금속막을 성막한 후, 어닐 처리를 행함으로써, 접속 구멍(120H)의 저면에 노출한 패드부(120)의 폴리실리콘(Poly Si)을 합금화한다. 다음으로 미반응의 금속막을 웨트 에칭에 의해 제거한다. 이어서, 예를 들어 원자층 퇴적(ALD)법을 이용하여 접속 구멍(120H) 내에 산화막을 성막하고 접속 구멍(120H)을 소망하는 구멍 지름으로 한다. 다음으로 에치 백에 의해 접속 구멍(120H)의 저부에 성막된 산화막을 제거한다. 그 후, 예를 들면, ALD법을 이용하여 질화 티탄(TiN)막(베리어 메탈)을 화학 기상 성장(CVD)법을 이용하여 텅스텐(W)막을 이 순서로 성막한 후, 화학 기계 연마(CMP)에 의해 표면을 평탄화한다. 이상에 의해 도 90에 도시한 관통 전극(120E)이 형성된다.

[0316] 상기와 같이 하여 형성된 관통 전극(120E) 및 접속 배선(CS)은 W막(120A)의 주위에 베리어 메탈로서, 예를 들어 TiN막(120B)이 성막되어 있고 또한 그 주위에는 산화막(120D)이 형성되어 있다. 또한 관통 전극(120E)과 접속되는 패드부(120) 및 접속 배선(CS)과 접속되는 증폭 트랜지스터(AMP)의 게이트의 접속부에는 각각, 관통 전극(120E) 및 접속 배선(CS)의 지름보다도 큰 합금 영역(120R)이 형성되어 있다. 또한 관통 전극(120E) 및 접속 배선(CS)과 합금 영역(120R)의 각각에 접속부는 에치 백에 의해 일부가 깎여 있다.

[0317] 이와 같은 구성을 갖는 관통 전극(120E) 및 접속 배선(CS)에서는 층간 절연막(예를 들면, 층간 절연막(222) 및 패시베이션막(221))의 가공 시의 접속 구멍(예를 들면, 접속 구멍(120H))의 구멍 지름이 커지기 때문에 접속 구멍(120H)의 저부에 성막되는 Ti 등의 금속막을 두껍게 성막하는 것이 가능해진다. 이에 의해 Ti 스퍼터량을 억제할 수 있기 때문에 W 불케이노(WF₆과 Ti의 반응)를 억제하는 것이 가능해진다. 덧붙여서, 관통 전극(120E) 및 접속 배선(CS)과, 합금 영역(120R)의 접속부의 측면에 Ti가 존재하지 않게 되고, 접속부의 저항을 저감하는 것이 가능해진다. 또한 금속 컨택미네이션에 의한 백점을 억제하는 것이 가능해진다.

[0318] 관통 전극(120E) 및 접속 배선(CS)의 구조는 이 외에 예를 들어 도 92에 도시한 바와 같은 구성으로 해도 좋다. 도 92에 도시한 관통 전극(120E) 및 접속 배선(CS)의 구조는 이하와 같이 하여 형성할 수 있다. 접속 구멍(예를 들면, 접속 구멍(120H))의 측면 및 저면에 ALD법을 이용하여 Ti, Co 또는 Ni 등의 금속막을 성막한 후, 어닐 처리를 행함으로써, 접속 구멍(120H)의 저부의 패드부(120)의 폴리실리콘(Poly Si)을 합금화한다. 다음으로 ALD법을 이용하여 접속 구멍(120H) 내에 TiN막을 CVD법을 이용하여 텅스텐(W)막을 이 순서로 성막한 후, CMP에 의해 표면을 평탄화한다. 이상에 의해 도 92에 도시한 관통 전극(120E)이 형성된다.

[0319] <17. 변형례 16>

[0320] 도 93은 상기 실시의 형태에 관한 촬상 장치(1)의 제1 기관(100) 및 제2 기관(200)의 요부의 단면 구성의 한 변형례를 도시한 것이다. 도 94는 도 93에 도시한 제1 기관(100)의 요부의 평면 구성을 도시한 것이다. 본 변형례에서는 화소 분리부(117)의 상부에 상기 패드부(120, 121)에 상당하는 콘택트부(120X, 121X)를 매입 형성한 점이 상기 실시의 형태에서 설명한 촬상 장치(1)와 다르다.

[0321] 콘택트부(120X, 121X)는 각각, n형 또는 p형의 불순물이 확산한 폴리실리콘(Poly Si)에 의해 구성되어 있다. 콘택트부(120X, 121X)에는 각각, 관통 전극(120E, 121E)이 접속되어 있다. 콘택트부(120X, 121X)의 주위에는 각각, 상기 실시의 형태와 마찬가지로 복수의 플로팅 디퓨전(FD) 및 VSS 콘택트 영역(118)이 형성되어 있다. 즉, 콘택트부(120X)와 복수의 플로팅 디퓨전(FD) 및 콘택트부(121X)와 복수의 VSS 콘택트 영역(118)은 각각, 서로 측면에서 전기적으로 접속되어 있다.

- [0322] 이와 같이 콘택트부(120X, 121X)를 반도체층(100S)의 표면 근방에 매입 형성함에 의해 상기 실시의 형태와 비교하여 전송 트랜지스터(TR)의 전송 게이트(TG)와의 거리가 확보된다. 따라서, 기생 용량을 저감하는 것이 가능해진다.
- [0323] 이와 같은 콘택트부(120X, 121X)는 이하와 같이 하여 제조할 수 있다.
- [0324] 우선, 도 95A에 도시한 바와 같이 소정의 깊이를 갖는 개구(117H1)를 형성한다. 이어서, 도 95B에 도시한 바와 같이 개구(117H1)에 화소 분리부(117)를 구성하는 차광막(17A) 및 절연막(117B)(모두 도시 생략)을 매입한 후, 도 95C에 도시한 바와 같이 에치 백에 의해 반도체층(100S)의 표면에 소정의 깊이(예를 들면, 150nm 정도)의 개구(117H2)를 형성한다.
- [0325] 다음으로 도 95D에 도시한 바와 같이 개구(117H2) 내에 폴리실리콘막(132)을 매입한 후, 폴리실리콘막(132)의 표면이 반도체층(100S)의 표면이 같은 정도의 높이가 되도록 폴리실리콘막(132)을 에치 백 한다. 이어서, 도 95E에 도시한 바와 같이 소정의 패턴을 갖는 레지스트막(232)을 성막하고 포토 리소그래피법을 이용한 에치 백에 의해 불필요한 화소 분리부(117)상에 형성된 폴리실리콘막(132)을 제거한다. 다음으로 도 95F에 도시한 바와 같이 고밀도 플라즈마(HDP)(CVD)를 이용하여 폴리실리콘(Poly Si)의 제거에 의해 형성된 개구(117H3)를 절연막(125)으로 매설한 후, CMP에 의해 폴리실리콘막(132) 및 절연막(125)이 매입된 반도체층(100S)의 표면을 평탄화한다.
- [0326] 이어서, 도 95G에 도시한 바와 같이 소정의 위치에 전송 게이트(TG)를 형성한 후, 도 95H에 도시한 바와 같이 콘택트부(120X, 121X)의, 각각의 형성 예정 영역에 성막된 폴리실리콘막(132)에 선택적으로 n형 또는 p형의 이온 임플란트 및 어닐 처리를 행한다. 이상에 의해 도 93 등에 도시한 콘택트부(120X, 121X)가 형성된다.
- [0327] 또한 도 93에서는 상기 패드부(120, 121)의 양방을 n형 또는 p형의 불순물이 확산한 폴리실리콘(Poly Si)에 의해 형성한 예를 도시했는데, 예를 들면, 도 96 및 도 97에 도시한 바와 같이 패드부(120)만을 콘택트부(120X)로서, n형의 불순물이 확산한 폴리실리콘(Poly Si)에 의해 형성하도록 해도 좋다. 또는 도 98에 도시한 바와 같이 패드부(121)만을 콘택트부(121X)로서, p형의 불순물이 확산한 폴리실리콘(Poly Si)에 의해 형성하도록 해도 좋다.
- [0328] 이와 같이 상기 패드부(120, 121)의 일방을 n형 또는 p형의 불순물이 확산한 폴리실리콘(Poly Si)에 의해 형성하는 경우에는 예를 들면, 이하와 같이 하여 제조할 수 있다. 또한 여기서는 패드부(120)만을 콘택트부(120X)로서, n형의 불순물이 확산한 폴리실리콘(Poly Si)에 의해 형성하는 경우를 예로 설명한다.
- [0329] 우선, 상기와 마찬가지로 소정의 깊이를 갖는 개구(117H1)를 형성하고 개구(117H)에 화소 분리부(117)를 구성하는 차광막(17A) 및 절연막(117B)(모두 도시 생략)을 매입한 후, 도 99A에 도시한 바와 같이 소정의 패턴을 갖는 레지스트막(232)을 성막하고 포토 리소그래피법을 이용한 에치 백에 의해 콘택트부(120X)의 형성 예정 영역에 소정의 깊이(예를 들면, 150nm 정도)의 개구(117H2)를 형성한다.
- [0330] 이어서, 도 99B에 도시한 바와 같이 개구(117H2) 내에 폴리실리콘막(132)을 매입한 후, 폴리실리콘막(132)의 표면이 반도체층(100S)의 표면이 같은 정도의 높이가 되도록 폴리실리콘막(132)을 에치 백 한다. 다음으로 개구(117H2)를 절연막(125)으로 매설한 후, 도 99C에 도시한 바와 같이 불필요한 화소 분리부(117)를 구성하는 차광막(17A) 및 절연막(117B)을 제거함과 함께, 개구(117H4)를 형성한다. 이어서, 도 99D에 도시한 바와 같이 고밀도 플라즈마(HDP)(CVD)를 이용하여 폴리실리콘(Poly Si)의 제거에 의해 형성된 개구(117H4) 내에 절연막(125)을 성막한 후, CMP에 의해 폴리실리콘막(132) 및 절연막(125)이 매입된 반도체층(100S)의 표면을 평탄화한다.
- [0331] 그 후, 소정의 위치에 전송 게이트(TG)를 형성한 후, 콘택트부(120X)의 형성 예정 영역에 성막된 폴리실리콘막(132)에 선택적으로 n형의 이온 임플란트 및 어닐 처리를 행한다. 이상에 의해 콘택트부(120X) 및 패드부(121)를 나누어서 만들 수 있다.
- [0332] 또한 패드부(121)는 일반적으로 복수의 화소(541)가 행렬형상으로 배치되는 H방향 및 V방향으로 각 변이 평행한 사각형형상으로 형성되는데, 예를 들면, 도 97에 도시한 바와 같이 H방향 및 V방향에 대해 약 45° 회전시켜서 형성하도록 해도 좋다. 이에 의해 패드부(121)와 각 화소(541) 내에 형성되는 다른 소자의 접촉에 의한 이상의 발생을 저감함과 함께, 면적 효율을 향상시키는 것이 가능해진다.
- [0333] 또한 도 93에서는 관통 전극(120E)과 플로팅 디퓨전(FD)의 전기적인 접속 및 관통 전극(121E)과 VSS 콘택트 영역(118)의 전기적인 접속을 각각, 반도체층(100S)의 표면에 매입 형성된 n형 또는 p형의 불순물이 확산한 폴리실리콘(Poly Si)(콘택트부(120X, 121X))를 통하여 행하는 예를 도시했는데, 플로팅 디퓨전(FD) 및 VSS 콘택트

영역(118)의 접속은 각각, 관통 전극(120E, 121E)과 직접 접속하도록 해도 좋다.

- [0334] 도 100은 플로팅 디퓨전(FD)과 관통 전극(120E)과, VSS 콘택트 영역(118)과 관통 전극(121E)을 각각, 직접 접속한 경우의 제1 기관(100) 및 제2 기관(200)의 요부의 단면 구성의 한 변형례를 도시한 것이다. 도 101은 도 100에 도시한 제1 기관(100)의 요부의 평면 구성을 도시한 것이다.
- [0335] 본 변형례에서는 관통 전극(120E, 121E)은 각각, H방향 및 V방향으로 각각 연신하는 화소 분리부(117)의 교점의 면적보다도 큰 지름을 갖음과 함께, 일부가 반도체층(100S)에 매입되어 있다. 이에 의해 관통 전극(120E)과 복수의 플로팅 디퓨전(FD) 및 관통 전극(121E)과 복수의 VSS 콘택트 영역(118)은 각각, 서로 측벽에서 전기적으로 접속되어 있다.
- [0336] 이와 같이 각각의 측벽에서 플로팅 디퓨전(FD) 및 VSS 콘택트 영역(118)과 전기적으로 접속되는 관통 전극(120E, 121E)은 예를 들면, 이하와 같이 하여 제조할 수 있다.
- [0337] 우선, 상기와 마찬가지로 에치 백에 의해 반도체층(100S)의 표면의 화소 분리부(117)상에 소정의 깊이(예를 들면, 150nm 정도)의 개구(117H2)를 형성한 후, 도 102A에 도시한 바와 같이 개구(17H2)를 매입하도록, 고밀도 플라즈마(HDP)(CVD)를 이용하여 절연막(125)을 성막한다. 이어서, 도 102B에 도시한 바와 같이 CMP에 의해 절연막(125)이 매입된 반도체층(100S)의 표면을 평탄화한다.
- [0338] 다음으로 도 102C에 도시한 바와 같이 소정의 위치에 전송 게이트(TG)를 형성한 후, 반도체층(100S) 및 전송 게이트(TG)의 표면을 닦도록 패시베이션막(122)을 성막한다. 그 후, 상기 실시의 형태와 마찬가지로 제1 기관(100)과 제2 기관(200)을 접합시킨 후, 반도체층(100S)에 매입된 절연막(125)까지 미치는 접속 구멍(120H, 121H)을 형성한다. 이때, 접속 구멍(120H, 121H)의 깊이는 각각, 플로팅 디퓨전(FD) 및 VSS 콘택트 영역(118)의 측벽의 일부가 노출하도록 형성한다. 이에 의해 관통 전극(120E, 121E)의 측벽과, 플로팅 디퓨전(FD) 및 VSS 콘택트 영역(118)의 측벽이 서로 접하게 된다.
- [0339] 이상과 같이 본 변형례에서는 관통 전극(120E)과 플로팅 디퓨전(FD)과, 관통 전극(121E)과 VSS 콘택트 영역(118)이 각각, 반도체층(100S) 내에서, 간접 또는 직접 전기적으로 접속되도록 하였다. 이에 의해 상기 실시의 형태와 비교하여 전송 트랜지스터(TR)의 전송 게이트(TG)와의 거리가 확보되도록 되고, 기생 용량을 저감하는 것이 가능해진다.
- [0340] <18. 변형례 17>
- [0341] 도 103은 상기 실시의 형태에 관한 촬상 장치(1)의 제1 기관(100) 및 제2 기관(200)의 요부의 단면 구성의 한 변형례를 도시한 것이다.
- [0342] 촬상 장치(1)에서는 제1 기관(100) 및 제2 기관(200)에 형성되는 각각의 트랜지스터가 각각, 같은 게이트 구조를 갖는 경우가 있다. 그렇지만, 제1 기관(100)과 제2 기관(200)에서는 서멀 버짓이 다르고, 제1 기관(100)의 트랜지스터(예를 들면, 전송 트랜지스터(TR)) 쪽이 보다 많은 열 공정을 거치기 때문에 불순물이 확산할 우려가 있다. 그 때문에 전송 트랜지스터(TR)의 오프 특성을 유지하기 위해 예를 들어 전송 게이트(TG)의 하방에 고농도의 p형 불순물을 이온 주입하는 것이 생각되지만, 그 결과, 전류의 리크나, 플로팅 디퓨전(FD) 근방의 전계 집중이 커지고 백점이 발생할 우려가 있다.
- [0343] 이에 대해 본 변형례에서는 예를 들어 도 103에 도시한 바와 같이 제1 기관(100)측의 트랜지스터(예를 들면, 전송 트랜지스터(TR))의 사이드 월(SW)의 폭을 제2 기관(200)측의 트랜지스터의 사이드 월(SW)의 폭보다도 크게 하였다. 이에 의해 열 공정을 거침에 의한 불순물의 확산을 저감하는 것이 가능해진다. 또한 제2 기관(200)측의 트랜지스터의 사이드 월(SW)의 폭을 작게 함에 의해 제2 기관(200)에서의 트랜지스터의 게이트 면적을 크게 할 수 있고 노이즈를 저감하는 것이 가능해진다.
- [0344] 도 104는 상기 실시의 형태에 관한 촬상 장치(1)의 제1 기관(100) 및 제2 기관(200)의 요부의 단면 구성의 한 변형례를 도시한 것이다.
- [0345] 관통 전극(120E, 121E) 등의 관통 배선의 수율을 향상시키기 위해서는 애스펙트비를 작게 할 필요가 있는데, 제1 기관(100)측의 트랜지스터의 게이트 높이를 낮게 하면, 광전 변환부(포토 다이오드(PD))의 포텐셜 형성을 행할 때에 주입하는 불순물이 게이트 아래로 관통해 버려, 게이트에 대해 셀프 얼라인으로 포텐셜 형성을 할 수 없게 될 우려가 있다. 그 결과, 맞춤 어긋남에 의한 특성의 편차가 커질 우려가 있다.
- [0346] 이에 대해 본 변형례에서는 도 104에 도시한 바와 같이 제2 기관(200)측의 트랜지스터의 게이트 높이를 낮게 하

였다. 이에 의해 관통 배선의 에스펙트비를 작게 할 수 있고 수율을 개선하는 것이 가능해진다. 또한 관통 배선의 저저항화를 실현하는 것이 가능해진다. 또한 제1 기판(100)측의 트랜지스터(예를 들면, 전송 트랜지스터(TR))에서의 이온 주입의 게이트 관통을 억제할 수 있게 되어, 셀프 얼라인으로 패터닝할 수 있게 된다. 따라서, 특성의 편차를 저감하는 것이 가능해진다.

- [0347] 또한 본 변형례에서는 플레이어형의 전송 트랜지스터(TR)를 예로 나타냈는데, 전송 트랜지스터(TR)는 예를 들어 도 21F에 도시한 바와 같이 중형 트랜지스터 구성되어 있어도 좋다. 또한 본 변형례에서는 제2 기판(200)측의 트랜지스터가 플레이어형의 트랜지스터인 예를 나타냈는데, 제2 기판(200)측의 트랜지스터는 핀형 등의 3차원 구조라도 좋다.
- [0348] <19. 변형례 18>
- [0349] 도 105는 상기 실시의 형태에 관한 활상 장치(1)의 제1 기판(100) 및 제2 기판(200)의 요부의 단면 구성의 한 변형례를 도시한 것이다. 본 변형례에서는 관통 전극(120E, 121E)과, 접속부(219V)가 제1 배선층(W1)과 다른 높이로 접속되어 있는 점이 상기 실시의 형태에서 설명한 활상 장치(1)와 다르다.
- [0350] 도 105에 도시한 구조는 예를 들어 이하와 같이 하여 제조할 수 있다.
- [0351] 우선, 상기 실시의 형태와 마찬가지로 층간 절연막(222)까지 성막한 후, 도 106A에 도시한 바와 같이 드라이 에칭에 의해 층간 절연막(222), 패시베이션막(221), 집합막(124), 층간 절연막(123)을 관통하는 접속 구멍(120H, 121H)을 형성한다. 이어서, 도 106B에 도시한 바와 같이 접속 구멍(120H, 121H)에 도전 재료를 매입하고 관통 전극(120E, 121E)을 형성한다.
- [0352] 다음으로 도 106C에 도시한 바와 같이 CMP에 의해 층간 절연막(222)상에 마련된 도전막을 제거함과 함께, 층간 절연막(222)의 표면을 평탄화한다. 이어서, 도 106D에 도시한 바와 같이 층간 절연막(222)상에 예를 들어 산화 실리콘(SiO) 또는 질화 실리콘(SiN)으로 이루어지는 절연막(223)을 성막한 후, 도 106E에 도시한 바와 같이 절연막(223) 및 층간 절연막(222)을 관통하는 접속 구멍(218H, 219H)을 형성한다. 다음으로 도 106F에 도시한 바와 같이 접속 구멍(218H, 219H)에 도전 재료를 매입하고 접속부(218V, 219V)를 형성한다.
- [0353] 이어서, 도 106G에 도시한 바와 같이 CMP에 의해 절연막(223)상에 마련된 도전막을 제거함과 함께, 절연막(223)의 표면을 평탄화한다. 다음으로 도 106H에 도시한 바와 같이 관통 전극(120E, 121E)에 대응하는 위치에 개구(223H)를 형성하고 관통 전극(120E, 121E)을 노출시킨다. 그 후, 상기 실시의 형태와 마찬가지로 제1 배선층(W1)을 성막한다. 이에 의해 도 105에 도시한 활상 장치(1)가 완성된다.
- [0354] 도 107은 상기 실시의 형태에 관한 활상 장치(1)의 제1 기판(100) 및 제2 기판(200)의 요부의 단면 구성의 한 변형례를 도시한 것이다. 도 105에서는 관통 전극(120E, 121E)의 상면이 접속부(219V)의 상면보다도 낮은 위치에 형성되어 있는 예를 나타냈는데, 접속부(219V)의 상면을 관통 전극(120E, 121E)의 상면보다도 낮은 위치에 형성할 수도 있다.
- [0355] 예를 들면, 상기 실시의 형태와 마찬가지로 층간 절연막(222)까지 성막한 후, 도 108A에 도시한 바와 같이 드라이 에칭에 의해 층간 절연막(222)을 관통하는 접속 구멍(218H, 219H)을 형성한다. 이어서, 도 108B에 도시한 바와 같이 접속 구멍(218H, 219H)에 도전 재료를 매입하고 접속부(218V, 219V)를 형성한다.
- [0356] 다음으로 도 108C에 도시한 바와 같이 CMP에 의해 층간 절연막(222)상에 마련된 도전막을 제거함과 함께, 층간 절연막(222)의 표면을 평탄화한다. 이어서, 도 108D에 도시한 바와 같이 층간 절연막(222)상에 절연막(223)을 성막한 후, 도 108E에 도시한 바와 같이 드라이 에칭에 의해 층간 절연막(222), 패시베이션막(221), 집합막(124), 층간 절연막(123)을 관통하는 접속 구멍(120H, 121H)을 형성한다. 다음으로 도 108F에 도시한 바와 같이 접속 구멍(120H, 121H)에 도전 재료를 매입하고 관통 전극(120E, 121E)을 형성한다.
- [0357] 이어서, 도 108G에 도시한 바와 같이 CMP에 의해 절연막(223)상에 마련된 도전막을 제거함과 함께, 절연막(223)의 표면을 평탄화한다. 다음으로 도 108H에 도시한 바와 같이 접속부(218V, 219V)에 대응하는 위치에 개구(223H)를 형성하고 접속부(218V, 219V)를 노출시킨다. 그 후, 상기 실시의 형태와 마찬가지로 제1 배선층(W1)을 성막한다. 이에 의해 도 107에 도시한 활상 장치(1)가 완성된다.
- [0358] 이상, 관통 전극(120E, 121E) 및 접속부(219V)의 상면 높이가 서로 다른 예를 나타냈는데, 예를 들면, 도 109A에 도시한 바와 같이 예를 들면, 도 108F에 도시한 바와 같이 접속 구멍(218H, 219H)에 도전 재료를 매입한 후, CMP에 의해 층간 절연막(222)상에 마련되고 도전막 및 절연막(223)을 제거함에 의해 도 109B에 도시한 바와 같

이 관통 전극(120E, 121E) 및 접속부(219V)의 상면이 동일면이 되는 활상 장치(1)를 형성할 수 있다.

- [0359] 상기 실시의 형태에서는 제1 기관(100)과 제2 기관(200)을 전기적으로 접속하는 관통 배선(예를 들면, 관통 전극(120E, 121E))과, 제2 기관(200)에서 게이트와 접속되는 배선(예를 들면, 접속부(219V))을 동일한 공정으로 형성하고 있다. 그렇지만, 관통 전극(120E, 121E)과, 접속부(219V)에서는 에스펙트비가 크게 다르기 때문에 물리 기상 성장(PVD)법을 이용하여 베리어 메탈의 성막을 각각의 접속 구멍(예를 들어 접속 구멍(120H, 121H, 219H)에서 동시에 행하면, 에스펙트비의 큰 접속 구멍(120H, 121H)의 저부의 베리어 메탈은 얇고, 에스펙트비가 작은 접속 구멍(219H)의 저부의 베리어 메탈이 두꺼워져 버린다. 이에 의해 콘택트 불량이나 메탈막의 볼케이가 발생하기 쉬워질 우려가 있다.
- [0360] 이에 대해 본 변형례에서는 에스펙트비가 크게 다른 관통 전극(120E, 121E)과, 접속부(219V)를 다른 공정으로 형성하도록 하였다. 이에 의해 각각 최적인 조건으로 베리어 메탈을 성막하는 것이 가능해진다. 구체적으로는 접속부(219V)의 저부에 형성되는 베리어 메탈의 두께를 30nm 이하로 삭감할 수 있다. 또한 관통 전극(120E, 121E)의 저부에 형성되는 베리어 메탈의 두께를 10nm 이상으로 성막하는 것이 가능해진다. 따라서, 제조 수율 및 신뢰성을 향상시키는 것이 가능해진다.
- [0361] <20. 변형례 19>
- [0362] 본 변형례에서는 제2 기관(200)에서의 화소 트랜지스터(증폭 트랜지스터(AMP), 선택 트랜지스터(SEL), 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG))의 구체적인 레이아웃례를 설명한다.
- [0363] 예를 들면, 화소 트랜지스터는 도 110에 도시한 바와 같이 증폭 트랜지스터(AMP)를 핀형 등의 3차원 구조로 구성하고 선택 트랜지스터(SEL), 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG)를 플레이너 구조로 구성해도 좋다.
- [0364] 예를 들면, 화소 트랜지스터는 도 111에 도시한 바와 같이 증폭 트랜지스터(AMP) 및 선택 트랜지스터를 핀형 등의 3차원 구조로 구성하고 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG)를 플레이너 구조로 구성해도 좋다. 또한 핀 구조는 도 110에 도시한 바와 같은 1핀 구조가 아니라 2핀 구조로 해도 좋다.
- [0365] 예를 들면, 화소 트랜지스터는 도 112에 도시한 바와 같이 증폭 트랜지스터(AMP), 선택 트랜지스터, 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG)의 전부를 핀형 등의 3차원 구조로 구성해도 좋다.
- [0366] 예를 들면, 화소 트랜지스터는 도 113에 도시한 바와 같이 증폭 트랜지스터(AMP), 선택 트랜지스터, 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG)를 서로 독립한 반도체층(200S)에 마련하도록 해도 좋다.
- [0367] 도 114는 도 1에 도시한, 서로 직렬 접속된 증폭 트랜지스터(AMP)와 선택 트랜지스터(SEL)가 평면 구성(A) 및 도 114(A)에 도시한 A-A' 선에서의 단면 구성(B)을 모식적으로 도시한 것이다.
- [0368] 이와 같이 제2 기관(200)에 마련되는 화소 트랜지스터를 3차원 구조로 함에 의해 콧 프린트당의 특성을 향상시킬 수 있다. 예를 들면, 도 111에 도시한 바와 같이 선택 트랜지스터(SEL)를 3차원 구조로 한 경우에는 선택 트랜지스터(SEL)의 다이내믹 레인지를 확대할 수 있다.
- [0369] 또한 선택 트랜지스터(SEL)의 실리콘 채널에 도펀트로서 이온을 주입하여 이온 주입 영역을 형성함에 의해 선택 트랜지스터(SEL)의 임계치 전압(Vth)을 제어하는 것이 가능해진다. 예를 들면, 핀 형상의 실리콘 채널의 선택 트랜지스터(SEL) 부분에 도펀트로서 붕소(B)를 주입함에 의해 이온 주입 영역을 p형의 반도체로 할 수 있다. 즉, 선택 트랜지스터(SEL)의 임계치 전압(Vth)을 도펀트를 주입하지 않는 경우보다도 높게 할 수 있다. 또한 예를 들면, 핀 형상의 실리콘 채널의 선택 트랜지스터(SEL)의 부분에 도펀트로서 인(P)을 주입함에 의해 이온 주입 영역을 n형의 반도체로 할 수 있다. 즉, 선택 트랜지스터(SEL)의 임계치 전압(Vth)을 도펀트를 주입하지 않는 경우보다도 낮게 할 수 있다.
- [0370] 또한 핀 형의 트랜지스터(예를 들면, 증폭 트랜지스터(AMP)) 및 플레이너 구조의 트랜지스터(예를 들면, 선택 트랜지스터(SEL))의 확산층의 깊이는 각각 달라도 좋다. 그 경우에는 핀 형의 트랜지스터의 확산층은 플레이너 구조의 트랜지스터보다도 깊게 형성된다.
- [0371] 또한 붕소(B)나 인(P)은 열 확산 계수가 비교적 크고, 비교적 열 확산하기 쉽다. 이와 같은 열 확산하기 쉬운 도펀트를 이용하면, 그 도펀트가 그 후의 열처리에 의해 선택 트랜지스터(SEL)의 영역으로부터 증폭 트랜지스터(AMP)의 영역에 확산하여 증폭 트랜지스터(AMP)의 임계치 전압(Vth)의 제어성이 악화하거나, MOS 계면 전자 밀도의 증대에 의한 1/f 노이즈의 증대를 초래할 우려가 있고 이에 의해 활상 화상의 화질이 저하될 우려가 있다.

- [0372] 그래서, 선택 트랜지스터(SEL)의 실리콘 채널에는 예를 들어 붕소(B)보다도 열 확산 계수의 작은 이온을 주입하는 것이 바람직하다. 이에 의해 도펀트로서 붕소(B)를 이용한 경우와 비교하여 선택 트랜지스터(SEL)의 실리콘 채널에 형성된 이온 주입 영역의 확대를 억제하는 것이 가능해진다. 즉, 활상 화상의 화질의 저하를 저감하는 것이 가능해진다.
- [0373] 또한 선택 트랜지스터(SEL)의 실리콘 채널에는 예를 들어 인(P)보다도 열 확산 계수가 작은 이온을 주입하는 것이 바람직하다. 예를 들면, 도펀트로서 비소(As)나 안티몬(Sb)을 주입하도록 해도 좋다. 이에 의해 도펀트로서 인(P)을 이용한 경우와 비교하여 선택 트랜지스터(SEL)의 실리콘 채널에 형성된 이온 주입 영역의 확대를 억제하는 것이 가능해진다. 따라서, 증폭 트랜지스터(AMP)의 임계치 전압(V_{th})의 제어성의 악화나, MOS 계면 전자 밀도의 증대에 의한 $1/f$ 노이즈의 증대를 억제할 수 있다. 덧붙여서, 선택 트랜지스터(SEL)의 변조도나 포화 전하량을 향상시킬 수 있다. 즉, 활상 화상의 화질의 저하를 저감하는 것이 가능해진다.
- [0374] 또한 선택 트랜지스터(SEL)의 실리콘 채널에 예를 들어 붕소(B)나 인(P)보다도 열 확산 계수가 작은 이온을 주입함에 의해 증폭 트랜지스터(AMP)와 선택 트랜지스터(SEL) 사이에 요구되는 거리를 삭감할 수 있다. 따라서, 화소 사이즈의 증대를 억제할 수 있다.
- [0375] 또한 선택 트랜지스터(SEL)의 실리콘 채널에 도펀트를 주입하는 대신에 게이트의 일 함수를 제어하도록 해도 좋다. 즉, 선택 트랜지스터(SEL)의 게이트나 증폭 트랜지스터(AMP)의 게이트로서 적용하는 재료를 선택함에 의해 선택 트랜지스터(SEL) 및 증폭 트랜지스터(AMP)의 임계치 전압(V_{th})을 제어할 수 있다.
- [0376] 예를 들면, 선택 트랜지스터(SEL) 및 증폭 트랜지스터(AMP)의 게이트를 각각, 일 함수가 보다 작은 재료를 이용하여 형성함에 의해 선택 트랜지스터(SEL) 및 증폭 트랜지스터(AMP)의 임계치 전압(V_{th})을 높게 할 수 있다. 이에 의해 선택 트랜지스터(SEL) 및 증폭 트랜지스터(AMP)의 오프 특성을 향상시킬 수 있다. 즉, 활상 화상의 화질의 저하를 저감하는 것이 가능해진다.
- [0377] 예를 들면, 선택 트랜지스터(SEL) 및 증폭 트랜지스터(AMP)의 게이트를 각각, 일 함수가 보다 큰 재료를 이용하여 형성함에 의해 선택 트랜지스터(SEL) 및 증폭 트랜지스터(AMP)의 임계치 전압(V_{th})을 낮게 할 수 있다. 이에 의해 선택 트랜지스터(SEL) 및 증폭 트랜지스터(AMP)의 변조도나 포화 전하량을 향상시킬 수 있다. 즉, 활상 화상의 화질의 저하를 저감하는 것이 가능해진다.
- [0378] 이와 같이 게이트를 소정의 일 함수를 갖는 재료를 이용한 선택 트랜지스터(SEL) 및 증폭 트랜지스터(AMP)에서는 도펀트의 주입은 불필요해진다. 따라서, 증폭 트랜지스터(AMP)와 선택 트랜지스터(SEL) 사이에 요구되는 거리를 삭감할 수 있다. 따라서, 화소 사이즈의 증대를 억제할 수 있다.
- [0379] 또한 선택 트랜지스터(SEL) 및 증폭 트랜지스터(AMP)의 게이트에는 일 함수가 서로 다른 재료를 이용하도록 해도 좋다. 예를 들면, 선택 트랜지스터(SEL)의 게이트 재료로서 텅스텐(W), 루테튬(Ru) 또는 로듐(Rh)을 이용하고 증폭 트랜지스터(AMP)의 게이트 재료를 n형 반도체로 함에 의해 선택 트랜지스터(SEL)의 임계치 전압(V_{th})을 증폭 트랜지스터(AMP)의 임계치 전압(V_{th})보다도 높게 할 수 있다. 또한 선택 트랜지스터(SEL) 및 증폭 트랜지스터(AMP)의 게이트에는 예를 들어 금속과 실리콘의 화합물(실리사이드)을 이용하도록 해도 좋다.
- [0380] 더욱 또한 반도체층(200S)은 예를 들면, 45° 노치 기판을 이용하는 것이 바람직하다. 이에 의해 증폭 트랜지스터(AMP)의 FinFET 측벽이 (100)면이 되기 때문에 계면 준위가 줄고, 노이즈의 발생을 저감하는 것이 가능해진다.
- [0381] <21. 변형례 20>
- [0382] 도 115, 도 123, 도 125, 도 127, 도 129는 상기 변형례 5에서 설명한 트랜지스터(Tr_1) 및 보호 소자(PE)의 다른 예를 도시한 것이다. 변형례 5에서는 보호 소자(PE)로서 pn 접합을 갖는 다이오드를 이용한 예를 나타냈지만, 이것으로 한하지 않는다. 보호 소자(PE)는 예를 들면, Gated Diode형의 보호 소자(도 115), 더미 안테나를 이용한 트랜지스터형의 보호 소자(도 123), PMOS형의 보호 소자(도 125), 역방향 다이오드를 포함하는 PMOS형의 보호 소자(도 127) 및 또한 NMOS 트랜지스터를 추가한 PMOS형의 보호 소자(도 129)를 이용할 수 있다.
- [0383] 도 116은 도 115에 도시한 트랜지스터(Tr_1) 및 Gated Diode형의 보호 소자(PE)의 평면 구성의 한 예를 도시한 것이다. 도 117은 도 115에 도시한 트랜지스터(Tr_1)와 보호 소자(PE)의 관계의 한 예를 도시한 회로도이다. 보호 소자(PE)는 드레인에 안테나 배선(WH)이 접속되어 있고 게이트 및 소스가 웰 영역(211)에 접속되어 있다.
- [0384] 이와 같이 Gated Diode형의 보호 소자(PE)를 반도체층(200S)에 마련함에 의해 플라즈마 프로세스 중에 보호 소자(PE)의 게이트와 드레인의 오버랩 부분에서의 전위가 억제된다. 이에 의해 밴드 사이의 터널 전류에 의한 반

도체층(200S)에의 큰 리크 전류가 흐르게 되고, 이것이 보호 전류가 된다. 따라서, 보호 소자(PE)로서 역방향 다이오드를 이용한 경우와 비교하여 보다 높은 보호 기능을 얻는 것이 가능해진다. 또한 보호 소자(PE)의 소스를 접지함에 의해 Ioff도 보호하는 것이 가능해진다.

- [0385] 도 118~도 122는 도 115에 도시한 트랜지스터(Tr1) 및 Gated Diode형의 보호 소자(PE)의 다른 예를 도시한 것이다.
- [0386] 반도체층(200S)의 p형 반도체 영역(207)은 예를 들면, 접속부(207V), 접속 배선(WL1) 및 관통 전극(107E)을 통하여 반도체층(100S)의 p형 반도체 영역(107)(예를 들면, 도 6의 VSS 콘택트 영역(118))에 전기적으로 접속되어 있어도 좋다(도 118). 이에 의해 보호 소자(PE)가 도통되었을 때, 트랜지스터(Tr1)의 게이트 전극(208)의 전위는 반도체층(200S)의 전위 및 반도체층(100S)의 전위와 개략 동전위가 된다. 따라서, 트랜지스터(Tr1)에의 PID가 억제된다.
- [0387] 트랜지스터(Tr1)가 마련된 반도체층(200S)과, 보호 소자(PE)가 마련된 반도체층(200S)은 절연 영역(212)에 의해 분단되어 있어도 좋다(도 119). 예를 들면, 이때, 트랜지스터(Tr1)가 마련된 반도체층(200S)의 p형 반도체 영역(207)은 접속 배선(WL1)을 통하여 반도체층(100S)의 p형 반도체 영역(107)에 접속되고, 보호 소자(PE)가 마련된 반도체층(200S)의 p형 반도체 영역(207)은 접속 배선(WL2)을 통하여 반도체층(100S)의 p형 반도체 영역(107)에 접속되어 있다. 이에 의해 보호 소자(PE)가 도통되었을 때, 트랜지스터(Tr1)의 게이트 전극(208)의 전위는 트랜지스터(Tr1)가 마련된 반도체층(200S)의 전위, 보호 소자(PE)가 마련된 반도체층(200S)의 전위 및 반도체층(100S)의 전위와 개략 동전위가 된다. 따라서, 트랜지스터(Tr1)에의 PID가 억제된다.
- [0388] 트랜지스터(Tr1)가 마련된 반도체층(200S)의 p형 반도체 영역(207)과, 보호 소자(PE)가 마련된 반도체층(200S)의 p형 반도체 영역(207)을 접속 배선(WL)에 의해 전기적으로 접속하도록 해도 좋다(도 120). 이때도, 도 118에서 설명한 것과 마찬가지로, 트랜지스터(Tr1)에의 PID가 억제된다.
- [0389] 보호 소자(PE)에 의해 보호 받는 트랜지스터(Tr1)는 제1 기관(100)에 마련되어 있어도 좋다(도 121). 보호 소자(PE)의 n형 반도체 영역(214)과, 트랜지스터(Tr1)의 게이트 전극(208)은 예를 들면, 접속부(214V), 안테나 배선(WH) 및 관통 전극(208E)을 통하여 전기적으로 접속되어 있다. 이에 의해 보호 소자(PE)가 도통되었을 때, 트랜지스터(Tr1)의 웰 영역(p웰층(115))과 게이트 전극(208)의 전위차가 작아지고, 트랜지스터(Tr1)에의 PID가 억제된다. 또는 보호 소자(PE)가 제1 기관(100)에 마련되어 있어도 좋다(도 122). 보호 소자(PE)의 n형 반도체 영역(214)과, 트랜지스터(Tr1)의 게이트 전극(208)은 예를 들면, 관통 전극(214E), 안테나 배선(WH) 및 관통 전극(208V)을 통하여 전기적으로 접속되어 있다. 이에 의해 보호 소자(PE)가 도통되었을 때, 트랜지스터(Tr1)의 게이트 전극(208)과 반도체층(100S)의 웰 영역(p웰층(115))의 전위가 공통으로 되고, 트랜지스터(Tr1)에의 PID가 억제된다.
- [0390] 도 124는 도 123에 도시한 트랜지스터(T1) 및 더미 안테나를 이용한 트랜지스터형의 보호 소자(PE)의 관계의 한 예를 도시한 회로도이다. 보호 소자(PE)는 트랜지스터(Tr1)의 게이트 전극(208)과 접속된 드레인과, 접지된 소스를 가지고 있다. 또한 보호 소자(PE)는 드레인에 안테나 배선(WH1)이 접속되어 있고 게이트에 더미 안테나가 되는 안테나 배선(WH2)이 접속되어 있다.
- [0391] 이와 같이 더미 안테나를 이용한 트랜지스터형의 보호 소자(PE)를 이용함에 의해 PID 차지에 의해 트랜지스터(Tr1)의 게이트 전극(208)에 차지가 축적하는 것보다도 먼저 보호 소자(PE)를 온 시키는 것이 가능해진다. 이에 의해 보호 소자(PE)의 게이트에는 더미 안테나(안테나 배선(WH2))를 통하여 유입하는 PID 차지의 전류가 흐름으로써 보호 소자(PE)가 온 되고, 그 온 전류에 의해 안테나 배선(WH2)을 통하여 유입하는 PID 차지를 놓아주는 것이 가능해진다.
- [0392] 또한 트랜지스터(Tr1) 및 더미 안테나(안테나 배선(WH2))를 이용한 트랜지스터형의 보호 소자(PE)는 상기 도 118~도 122에 도시한 구조도 취할 수 있다.
- [0393] 도 126은 도 125에 도시한 트랜지스터(T1) 및 PMOS형의 보호 소자(PE)의 관계의 한 예를 도시한 회로도이다. 보호 소자(PE)는 적어도 1개의 PMOS형의 트랜지스터(Tr2)를 가지고 있다. 트랜지스터(Tr2)의 p형 반도체 영역(245)은 트랜지스터(Tr1)의 게이트 전극(208)과 전기적으로 접속되어 있고 트랜지스터(Tr2)의 p형 반도체 영역(246)은 접지 전위에 접속되어 있다. 트랜지스터(Tr2)의 게이트 및 웰(248)에는 전원선이 별도로 마련되어 있다.
- [0394] 이와 같이 PMOS형의 보호 소자(PE)를 이용함에 의해 플라즈마 기인의 데미지를 받았을 때에 트랜지스터(Tr2)의 p형 반도체 영역(246), 게이트 및 웰(248)의 전압이 상대적으로 저하된다. 이에 의해 트랜지스터(Tr2)는 포워드

바이어스 모드에 의해 동작하게 된다.

- [0395] 또한 트랜지스터(Tr1) 및 PMOS형의 보호 소자(PE)는 상기 도 118~도 122에 도시한 구조도 취할 수 있다.
- [0396] 또한 PMOS형의 보호 소자(PE)에는 도 127 및 도 128에 도시한 바와 같이 역방향 다이오드를 추가해도 좋다. 역방향 다이오드를 추가함에 의해 트랜지스터(Tr2)의 게이트의 전위를 고정할 수 있고 보호 소자(PE)로서의 동작을 보다 안정화하는 것이 가능해진다.
- [0397] 또한 PMOS형의 보호 소자(PE)에는 도 129 및 도 130에 도시한 바와 같이 NMOS형의 트랜지스터(Tr3)를 더 추가해도 좋다. 트랜지스터(Tr3)는 소스 또는 드레인의 일방(예를 들면, n형 반도체 영역(219))이 트랜지스터(Tr1)의 게이트 전극(208)과 전기적으로 접속되어 있다. 또한 트랜지스터(Tr3)의 게이트 및 웰에는 전원선이 별도로 마련되어 있다.
- [0398] 이와 같이 보호 소자(PE)로서 NMOS형의 트랜지스터(Tr3)를 더 추가함에 의해 반도체층(200S)의 가공 단계에서, 플라즈마 기인의 데미지로서 정전하를 받았을 때에 NMOS형의 트랜지스터의 GID(Gate-Induced-Drain Leakage current)에 의해 보호하는 것이 가능해진다. 또한 플라즈마 기인의 데미지로서 부전하를 받았을 때에는 NMOS형의 트랜지스터(Tr3)가 포워드 바이어스 모드에 의해 동작하게 되고, 전하를 놓아주는 것이 가능해진다.
- [0399] 또한 도 129 및 도 130에 도시한 트랜지스터(T1) 및 역방향 다이오드 및 NMOS형의 트랜지스터를 추가한 PMOS형의 보호 소자(PE)는 도 131 및 도 132에 도시한 구조도 취할 수 있다. 구체적으로는 트랜지스터(Tr1)와 보호 소자(PE)를 절연 영역(212)에 의해 분단된 서로에게 독립한 반도체층(200S)에 마련하도록 해도 좋다. 보호 소자(PE)를 구성하는 트랜지스터(Tr2) 및 트랜지스터(Tr2)의 각각의 웰에는 각각의 전위를 조정하는 회로를 마련하는 것이 바람직하다. 이에 의해 보호 소자(PE)로서의 동작을 보다 안정화하는 것이 가능해진다.
- [0400] <22. 변형례 21>
- [0401] 상기 실시의 형태에서는 복수의 센서 화소의 각각에 플로팅 디퓨전(FD)에 전기적으로 접속하는 배선(즉, 플로팅 디퓨전용 콘택트)과, 웰층(WE)에 전기적으로 접속하는 배선(즉, 웰용 콘택트)이 각각 1개씩 배치되는 구조를 설명하였다. 그렇지만, 본 개시의 실시 형태는 이것으로 한정되지 않는다. 본 개시의 실시 형태에서는 복수의 센서 화소마다 1개의 플로팅 디퓨전용 콘택트가 배치되어 있어도 좋다. 예를 들면, 서로 이웃하는 4개의 센서 화소가 1개의 플로팅 디퓨전용 콘택트를 공유하고 있어도 좋다. 마찬가지로, 복수의 센서 화소마다 1개의 웰용 콘택트가 배치되어 있어도 좋다. 예를 들면, 서로 이웃하는 4개의 센서 화소가 1개의 웰용 콘택트를 공유하고 있어도 좋다.
- [0402] 도 133부터 도 135는 본 개시의 변형례 21에 관한 촬상 장치(1A)의 구성례를 도시하는 두께 방향의 단면도이다. 도 136부터 도 138은 본 개시의 변형례 21에 관한 복수의 화소 유닛(PU)의 레이아웃례를 도시하는 수평 방향의 단면도이다. 또한 도 133부터 도 135에 도시하는 단면도는 어디까지나 모식도이고, 실제의 구조를 엄밀하게 올바르게 나타내는 것을 목적으로 한 도면이 아니다. 도 133부터 도 135에 도시하는 단면도는 촬상 장치(1A)의 구성을 지면으로 알기 쉽게 설명하기 위해 위치(sec1부터 sec3)에서, 트랜지스터나 불순물 확산층의 수평 방향에서의 위치를 의도적으로 바꾸어서 나타내고 있다.
- [0403] 구체적으로는 도 133에 도시하는 촬상 장치(1A)의 화소 유닛(PU)에서, 위치(sec1)에서의 단면은 도 136을 A1-A1'선에서 절단한 단면이고, 위치(sec2)에서의 단면은 도 137을 B1-B1'선에서 절단한 단면이고, 위치(sec3)에서의 단면은 도 138을 C1-C1'선에서 절단한 단면이다. 마찬가지로, 도 134에 도시하는 촬상 장치(1A)에서, 위치(sec1)에서의 단면은 도 136을 A2-A2'선에서 절단한 단면이고, 위치(sec2)에서의 단면은 도 137을 B2-B2'선에서 절단한 단면이고, 위치(sec3)에서의 단면은 도 138을 C2-C2'선에서 절단한 단면이다. 도 135에 도시하는 촬상 장치(1A)에서, 위치(sec1)에서의 단면은 도 136을 A3-A3'선에서 절단한 단면이고, 위치(sec2)에서의 단면은 도 137을 B3-B3'선에서 절단한 단면이고, 위치(sec3)에서의 단면은 도 138을 C3-C3'선에서 절단한 단면이다.
- [0404] 도 134 및 도 138에 도시하는 바와 같이 촬상 장치(1A)는 복수의 센서 화소(1012)에 걸쳐도록 배치된 공통 패드 전극(1102)과, 공통 패드 전극(1102)상에 마련된 1개의 배선(L1002)을 공유한다. 예를 들면, 촬상 장치(1A)에는 평면시, 4개의 센서 화소(1012)의 각 플로팅 디퓨전(FD1)으로부터 FD(4)가 소자 분리 층(1016)을 통하여 서로 이웃하는 영역이 존재한다. 이 영역에 공통 패드 전극(1102)이 마련되어 있다. 공통 패드 전극(1102)은 4개의 플로팅 디퓨전(FD1부터 FD4)에 걸쳐도록 배치되어 있고 4개의 플로팅 디퓨전(FD1부터 FD4)과 각각 전기적으로 접속하고 있다. 공통 패드 전극(1102)은 예를 들면, n형 불순물 또는 p형 불순물이 도프된 폴리실리콘막으로 구성되어 있다.

- [0405] 공통 패드 전극(1102)의 중심부상에 1개의 배선(L1002)(즉, 플로팅 디퓨전용 콘택트)이 마련되어 있다. 도 134, 도 136부터 도 138에 도시하는 바와 같이 공통 패드 전극(1102)의 중심부상에 마련된 배선(L1002)은 제1 기관부(1010)로부터 제2 기관부(1020)의 하측 기관(1210)을 관통하여 제2 기관부(1020)의 상측 기관(1220)까지 연결(延設)되어 있고 상측 기관(1220)에 마련된 배선 등을 통하여 증폭 트랜지스터(AMP)의 게이트 전극(AG)에 접속하고 있다.
- [0406] 또한 도 133 및 도 138에 도시하는 바와 같이 활상 장치(1A)는 복수의 센서 화소(1012)에 걸치도록 배치된 공통 패드 전극(1110)과, 공통 패드 전극(1110)상에 마련된 1개의 배선(L1010)을 공유한다. 예를 들면, 활상 장치(1A)에는 평면시, 4개의 센서 화소(1012)의 각 웰층(WE)이 소자 분리층(1016)을 통하여 서로 이웃하는 영역이 존재한다. 이 영역에 공통 패드 전극(1110)이 마련되어 있다. 공통 패드 전극(1110)은 4개의 센서 화소(1012)의 각 웰층(WE)에 걸치도록 배치되어 있고 4개의 센서 화소(1012)의 각 웰층(WE)과 각각 전기적으로 접속하고 있다. 한 예를 들면, 공통 패드 전극(1110)은 Y축 방향으로 나열되는 하나의 공통 패드 전극(1102)와 다른 공통 패드 전극(1102) 사이에 배치되어 있다. Y축 방향에서, 공통 패드 전극(1102, 1110)은 교대로 나란히 배치되어 있다. 공통 패드 전극(1110)은 예를 들면, n형 불순물 또는 p형 불순물이 도프된 폴리실리콘막으로 구성되어 있다.
- [0407] 공통 패드 전극(1110)의 중심부상에 1개의 배선(L1010)(즉, 웰층 콘택트)이 마련되어 있다. 도 133, 도 135부터 도 138에 도시하는 바와 같이 공통 패드 전극(1110)의 중심부상에 마련된 배선(L1010)은 제1 기관부(1010)로부터 제2 기관부(1020)의 하측 기관(1210)을 관통하여 제2 기관부(1020)의 상측 기관(1220)까지 연결되어 있고 상측 기관(1220)에 마련된 배선 등을 통하여 기준 전위(예를 들면, 접지 전위: 0V)를 공급하는 기준 전위선에 접속하고 있다.
- [0408] 공통 패드 전극(1110)의 중심부상에 마련된 배선(L1010)은 공통 패드 전극(1110)의 상면과, 하측 기관(1210)에 마련된 관통 구멍의 내측면과, 상측 기관(1220)에 마련된 관통 구멍의 내측면에 각각 전기적으로 접속하고 있다. 이에 의해 제1 기관부(1010)의 반도체 기관(1011)의 웰층(WE)과, 제2 기관부(1020)의 하측 기관(1210)의 웰층 및 상측 기관(1220)의 웰층은 기준 전위(예를 들면, 접지 전위: 0V)에 접속된다.
- [0409] 본 개시의 변형례 21에 관한 활상 장치(1A)는 실시의 형태에 관한 활상 장치(1)와 같은 효과를 이룬다. 또한 활상 장치(1A)는 제1 기관부(1010)를 구성하는 반도체 기관(1011)의 걸면(11A)측에 마련되고, 서로 이웃하는 복수(예를 들면, 4개)의 센서 화소(1012)에 걸치도록 배치된 공통 패드 전극(1102, 1110)을 또한 구비한다. 공통 패드 전극(1102)은 4개의 센서 화소(1012)의 플로팅 디퓨전(FD)과 전기적으로 접속하고 있다. 공통 패드 전극(1110)은 4개의 센서 화소(1012)의 웰층(WE)과 전기적으로 접속하고 있다. 이에 의하면, 4개의 센서 화소(1012)마다 플로팅 디퓨전(FD)에 접속하는 배선(L1002)을 공통화할 수 있다. 4개의 센서 화소(1012)마다 웰층(WE)에 접속하는 배선(L1010)을 공통화할 수 있다. 이에 의해 배선(L1002, L1010)의 개수를 저감할 수 있기 때문에 센서 화소(1012)의 면적 저감이 가능하고 활상 장치(1A)의 소형화가 가능하다.
- [0410] <23. 적용례>
- [0411] 도 140은 상기 실시의 형태 및 그 변형례에 관한 활상 장치(1)를 구비한 활상 시스템(7)의 개략 구성의 한 예를 도시한 것이다.
- [0412] 활상 시스템(7)은 예를 들면, 디지털 스틸 카메라나 비디오 카메라 등의 활상 장치나, 스마트폰이나 태블릿형 단말 등의 휴대 단말 장치 등의 전자 기기이다. 활상 시스템(7)은 예를 들면, 상기 실시의 형태 및 그 변형례에 관한 활상 장치(1), DSP 회로(1243), 프레임 메모리(1244), 표시부(1245), 기억부(1246), 조작부(1247) 및 전원부(1248)를 구비하고 있다. 활상 시스템(7)에서, 상기 실시의 형태 및 그 변형례에 관한 활상 장치(1), DSP 회로(1243), 프레임 메모리(1244), 표시부(1245), 기억부(1246), 조작부(1247) 및 전원부(1248)는 버스 라인(1249)을 통하여 서로 접속되어 있다.
- [0413] 상기 실시의 형태 및 그 변형례에 관한 활상 장치(1)는 입사광에 응한 화상 데이터를 출력한다. DSP 회로(1243)는 상기 실시의 형태 및 그 변형례에 관한 활상 장치(1)로부터 출력되는 신호(화상 데이터)를 처리하는 신호 처리 회로이다. 프레임 메모리(1244)는 DSP 회로(1243)에 의해 처리된 화상 데이터를 프레임 단위로 일시적으로 유지한다. 표시부(1245)는 예를 들면, 액정 패널이나 유기 EL(Electro Luminescence) 패널 등의 패널형 표시 장치로 이루어지고, 상기 실시의 형태 및 그 변형례에 관한 활상 장치(1)에서 활상된 동화 또는 정지화를 표시한다. 기억부(1246)는 상기 실시의 형태 및 그 변형례에 관한 활상 장치(1)에서 활상된 동화 또는 정지화의 화상 데이터를 반도체 메모리나 하드 디스크 등의 기록 매체에 기록한다. 조작부(1247)는 유저에 의한 조작에 따라

활상 시스템(7)이 갖는 각종의 기능에 관한 조작 지령을 발한다. 전원부(1248)는 상기 실시의 형태 및 그 변형례에 관한 활상 장치(1), DSP 회로(1243), 프레임 메모리(1244), 표시부(1245), 기억부(1246) 및 조작부(1247)의 동작 전원이 되는 각종의 전원을 이들 공급 대상에 대해 적절히 공급한다.

- [0414] 다음으로 활상 시스템(7)에서의 활상 순서에 관해 설명한다.
- [0415] 도 141은 활상 시스템(7)에서의 활상 동작의 플로우차트의 한 예를 도시한다. 유저는 조작부(1247)를 조작함에 의해 활상 시작을 지시한다(스텝 S101). 그래서, 조작부(1247)는 활상 지령을 활상 장치(1)에 송신한다(스텝 S102). 활상 장치(1)(구체적으로는 시스템 제어 회로(36))는 활상 지령을 받으면, 소정의 활상 방식으로서의 활상을 실행한다(스텝 S103).
- [0416] 활상 장치(1)는 활상에 의해 얻어진 화상 데이터를 DSP 회로(1243)에 출력한다. 여기서, 화상 데이터란, 플로팅 디퓨전(FD)에 일시적으로 유지된 전하에 의거하여 생성된 화소 신호의 전 화소분의 데이터이다. DSP 회로(1243)는 활상 장치(1)로부터 입력된 화상 데이터에 의거하여 소정의 신호 처리(예를 들어 노이즈 저감 처리 등)를 행한다(스텝 S104). DSP 회로(1243)는 소정의 신호 처리가 이루어진 화상 데이터를 프레임 메모리(1244)에 유지시키고, 프레임 메모리(1244)는 화상 데이터를 기억부(1246)에 기억시킨다(스텝 S105). 이와 같이 하여 활상 시스템(7)에서의 활상이 행해진다.
- [0417] 본 적용례에서는 상기 실시의 형태 및 그 변형례에 관한 활상 장치(1)가 활상 시스템(7)에 적용된다. 이에 의해 활상 장치(1)를 소형화 또는 고정밀화할 수 있기 때문에 소형 또는 고정밀 활상 시스템(7)을 제공할 수 있다.
- [0418] <24. 응용례>
- [0419] [응용례 1]
- [0420] 본 개시에 관한 기술(본 기술)은 다양한 제품에 응용할 수 있다. 예를 들면, 본 개시에 관한 기술은 자동차, 전기 자동차, 하이브리드 전기 자동차, 자동 이륜차, 자전거, 퍼스널 모빌리티, 비행기, 드론, 선박, 로봇 등의 어느 한 종류의 이동체에 탑재되는 장치로서 실현되어도 좋다.
- [0421] 도 142는 본 개시에 관한 기술이 적용될 수 있는 이동체 제어 시스템의 한 예인 차량 제어 시스템의 개략적인 구성례를 도시하는 블록도이다.
- [0422] 차량 제어 시스템(12000)은 통신 네트워크(12001)를 통하여 접속된 복수의 전자 제어 유닛을 구비한다. 도 142에 도시한 예에서는 차량 제어 시스템(12000)은 구동계 제어 유닛(12010), 바디계 제어 유닛(12020), 차외 정보 검출 유닛(12030), 차내 정보 검출 유닛(12040) 및 통합 제어 유닛(12050)을 구비한다. 또한 통합 제어 유닛(12050)의 기능 구성으로서, 마이크로 컴퓨터(12051), 음성 화상 출력부(12052) 및 차량 탑재 네트워크 I/F(interface)(12053)가 도시되어 있다.
- [0423] 구동계 제어 유닛(12010)은 각종 프로그램에 따라 차량의 구동계에 관련되는 장치의 동작을 제어한다. 예를 들면, 구동계 제어 유닛(12010)은 내연 기관 또는 구동용 모터 등의 차량의 구동력을 발생시키기 위한 구동력 발생 장치, 구동력을 차륜에 전달하기 위한 구동력 전달 기구, 차량의 타각을 조절하는 스티어링 기구 및 차량의 제동력을 발생시키는 제동 장치 등의 제어 장치로서 기능한다.
- [0424] 바디계 제어 유닛(12020)은 각종 프로그램에 따라 차체에 장비된 각종 장치의 동작을 제어한다. 예를 들면, 바디계 제어 유닛(12020)은 키레스 엔트리 시스템, 스마트 키 시스템, 파워 윈도우 장치, 또는 헤드 램프, 백 램프, 브레이크 램프, 윈커 또는 포그 램프 등의 각종 램프의 제어 장치로서 기능한다. 이 경우, 바디계 제어 유닛(12020)에는 키를 대체하는 휴대기로부터 발신되는 전파 또는 각종 스위치의 신호가 입력될 수 있다. 바디계 제어 유닛(12020)은 이들 전파 또는 신호의 입력을 접수하여 차량의 도어 로크 장치, 파워 윈도우 장치, 램프 등을 제어한다.
- [0425] 차외 정보 검출 유닛(12030)은 차량 제어 시스템(12000)을 탑재한 차량의 외부의 정보를 검출한다. 예를 들면, 차외 정보 검출 유닛(12030)에는 활상부(12031)가 접속된다. 차외 정보 검출 유닛(12030)은 활상부(12031)에 차외의 화상을 촬상시킴과 함께, 촬상된 화상을 수신한다. 차외 정보 검출 유닛(12030)은 수신한 화상에 의거하여 사람, 차, 장애물, 표지 또는 노면상의 문자 등의 물체 검출 처리 또는 거리 검출 처리를 행해도 좋다.
- [0426] 활상부(12031)는 광을 수광하고 그 광의 수광량에 응한 전기 신호를 출력하는 광센서이다. 활상부(12031)는 전기 신호를 화상으로서 출력할 수도 있고 거리 측정의 정보로서 출력할 수도 있다. 또한 활상부(12031)가 수광하는 광은 가시광이라도 좋고, 적외선 등의 비가시광이라도 좋다.

- [0427] 차내 정보 검출 유닛(12040)은 차내의 정보를 검출한다. 차내 정보 검출 유닛(12040)에는 예를 들면, 운전자의 상태를 검출하는 운전자 상태 검출부(12041)가 접속된다. 운전자 상태 검출부(12041)는 예를 들어 운전자를 촬영하는 카메라를 포함하고 차내 정보 검출 유닛(12040)은 운전자 상태 검출부(12041)로부터 입력되는 검출 정보에 의거하여 운전자의 피로 정도 또는 집중 정도를 산출해도 좋고, 운전자가 앉아서 졸고 있지 않는지를 판별해도 좋다.
- [0428] 마이크로 컴퓨터(12051)는 차외 정보 검출 유닛(12030) 또는 차내 정보 검출 유닛(12040)에서 취득되는 차내외의 정보에 의거하여 구동력 발생 장치, 스티어링 기구 또는 제동 장치의 제어 목표치를 연산하고 구동계 제어 유닛(12010)에 대해 제어 지령을 출력할 수 있다. 예를 들면, 마이크로 컴퓨터(12051)는 차량의 충돌 회피 또는 충격 완화, 차간 거리에 의거하는 추종 주행, 차속 유지 주행, 차량의 충돌 경고, 또는 차량의 레인 이탈 경고 등을 포함하는 ADAS(Advanced Driver Assistance System)의 기능 실현을 목적으로 한 협조 제어를 행할 수 있다.
- [0429] 또한 마이크로 컴퓨터(12051)는 차외 정보 검출 유닛(12030) 또는 차내 정보 검출 유닛(12040)에서 취득되는 차량의 주위의 정보에 의거하여 구동력 발생 장치, 스티어링 기구 또는 제동 장치 등을 제어함에 의해 운전자의 조작에 의하지 않고 자율적으로 주행하는 자동 운전 등을 목적으로 한 협조 제어를 행할 수 있다.
- [0430] 또한 마이크로 컴퓨터(12051)는 차외 정보 검출 유닛(12030)에서 취득되는 차외의 정보에 의거하여 바디계 제어 유닛(12020)에 대해 제어 지령을 출력할 수 있다. 예를 들면, 마이크로 컴퓨터(12051)는 차외 정보 검출 유닛(12030)에서 검지한 선행차 또는 대향차의 위치에 응하여 헤드 램프를 제어하여 하이 빔을 로우 빔으로 전환하는 등의 방현(防眩)을 도모하는 것을 목적으로 한 협조 제어를 행할 수 있다.
- [0431] 음성 화상 출력부(12052)는 차량의 탑승자 또는 차외에 대해 시각적 또는 청각적으로 정보를 통지하는 것이 가능한 출력 장치에 음성 및 화상 중의 적어도 일방의 출력 신호를 송신한다. 도 142의 예에서는 출력 장치로서, 오디오 스피커(12061), 표시부(12062) 및 인스트루먼트 패널(12063)이 예시되어 있다. 표시부(12062)는 예를 들면, 온 보드 디스플레이 및 헤드 업 디스플레이의 적어도 1개를 포함하고 있어도 좋다.
- [0432] 도 143은 촬상부(12031)의 설치 위치의 예를 도시하는 도면이다.
- [0433] 도 143에서는 차량(12100)은 촬상부(12031)로서, 촬상부(12101, 12102, 12103, 12104, 12105)를 가진다.
- [0434] 촬상부(12101, 12102, 12103, 12104, 12105)는 예를 들면, 차량(12100)의 프런트 노우즈, 사이드 미러, 리어 범퍼, 백 도어 및 차실내의 프런트글라스의 상부 등의 위치에 마련된다. 프런트 노우즈에 구비되는 촬상부(12101) 및 차실내의 프런트글라스의 상부에 구비되는 촬상부(12105)는 주로 차량(12100)의 전방의 화상을 취득한다. 사이드 미러에 구비되는 촬상부(12102, 12103)는 주로 차량(12100)의 측방의 화상을 취득한다. 리어 범퍼 또는 백 도어에 구비되는 촬상부(12104)는 주로 차량(12100)의 후방의 화상을 취득한다. 촬상부(12101 및 12105)에서 취득되는 전방의 화상은 주로 선행 차량 또는 보행자, 장애물, 신호기, 교통 표지 또는 차선 등의 검출에 이용된다.
- [0435] 또한 도 143에는 촬상부(12101 내지 12104)의 촬영 범위의 한 예가 도시되어 있다. 촬상 범위(12111)는 프런트 노우즈에 마련된 촬상부(12101)의 촬상 범위를 나타내고, 촬상 범위(12112, 12113)는 각각 사이드 미러에 마련된 촬상부(12102, 12103)의 촬상 범위를 나타내고, 촬상 범위(12114)는 리어 범퍼 또는 백 도어에 마련된 촬상부(12104)의 촬상 범위를 나타낸다. 예를 들면, 촬상부(12101 내지 12104)에서 촬상된 화상 데이터가 맞겹쳐짐에 의해 차량(12100)을 상방에서 본 부감(俯瞰) 화상이 얻어진다.
- [0436] 촬상부(12101 내지 12104)의 적어도 1개는 거리 정보를 취득하는 기능을 가지고 있어도 좋다. 예를 들면, 촬상부(12101 내지 12104)의 적어도 1개는 복수의 촬상 소자로 이루어지는 스테레오 카메라라도 좋고, 위상차 검출용의 화소를 갖는 촬상 소자라도 좋다.
- [0437] 예를 들면, 마이크로 컴퓨터(12051)는 촬상부(12101 내지 12104)로부터 얻어진 거리 정보를 기초로, 촬상 범위(12111 내지 12114) 내에서의 각 입체물까지의 거리와, 이 거리의 시간적 변화(차량(12100)에 대한 상대 속도)를 구함에 의해 특히 차량(12100)의 진행로상에 있는 가장 가까운 입체물로, 차량(12100)과 개략 같은 방향으로 소정의 속도(예를 들면, 0km/h 이상)로 주행하는 입체물을 선행차로서 추출할 수 있다. 또한 마이크로 컴퓨터(12051)는 선행차와 내 차와의 사이에 미리 확보해야 할 차간 거리를 설정하고 자동 브레이크 제어(추종 정지 제어도 포함한다)나 자동 가속 제어(추종 발진 제어도 포함한다) 등을 행할 수 있다. 이와 같이 운전자의 조작에 의하지 않고 자율적으로 주행하는 자동 운전 등을 목적으로 한 협조 제어를 행할 수 있다.

- [0438] 예를 들면, 마이크로 컴퓨터(12051)는 활상부(12101 내지 12104)로부터 얻어진 거리 정보를 기초로, 입체물에 관한 입체물 데이터를 이룬차, 보통 차량, 대형 차량, 보행자, 전신주 등 그 외의 입체물로 분류하여 추출하고 장애물의 자동 회피에 이용할 수 있다. 예를 들면, 마이크로 컴퓨터(12051)는 차량(12100)의 주변의 장애물을 차량(12100)의 드라이버가 시인 가능한 장애물과 시인 곤란한 장애물로 식별한다. 그리고, 마이크로 컴퓨터(12051)는 각 장애물과의 충돌의 위험도를 나타내는 충돌 리스크를 판단하고 충돌 리스크가 설정치 이상으로 충돌 가능성이 있는 상황일 때에는 오디오 스피커(12061)나 표시부(12062)를 통하여 드라이버에게 경보를 출력하는 것이나, 구동계 제어 유닛(12010)을 통하여 강제 감속이나 회피 조타를 행함으로써, 충돌 회피를 위한 운전 지원을 행할 수 있다.
- [0439] 활상부(12101 내지 12104)의 적어도 1개는 적외선을 검출하는 적외선 카메라라도 좋다. 예를 들면, 마이크로 컴퓨터(12051)는 활상부(12101 내지 12104)의 활상 화상 중에 보행자가 존재하는지의 여부를 판정함으로써 보행자를 인식할 수 있다. 이러한 보행자의 인식은 예를 들어 적외선 카메라로서의 활상부(12101 내지 12104)의 활상 화상에서의 특징점을 추출하는 순서와, 물체의 윤곽을 나타내는 일련의 특징점에 패턴 매칭 처리를 행하여 보행자인지의 여부를 판별하는 순서에 의해 행해진다. 마이크로 컴퓨터(12051)가 활상부(12101 내지 12104)의 활상 화상 중에 보행자가 존재한다고 판정하고 보행자를 인식하면, 음성 화상 출력부(12052)는 당해 인식된 보행자에게 강조를 위한 사각형 윤곽선을 중첩 표시하도록, 표시부(12062)를 제어한다. 또한 음성 화상 출력부(12052)는 보행자를 나타내는 아이콘 등을 소망하는 위치에 표시하도록 표시부(12062)를 제어해도 좋다.
- [0440] 이상, 본 개시에 관한 기술이 적용될 수 있는 이동체 제어 시스템의 한 예에 관해 설명하였다. 본 개시에 관한 기술은 이상 설명한 구성 중, 활상부(12031)에 적용될 수 있다. 구체적으로는 상기 실시의 형태 및 그 변형례에 관한 활상 장치(1)는 활상부(12031)에 적용할 수 있다. 활상부(12031)에 본 개시에 관한 기술을 적용함에 의해 노이즈가 적은 고정밀 촬영 화상을 얻을 수 있기 때문에 이동체 제어 시스템에서 촬영 화상을 이용한 고정밀한 제어를 행할 수 있다.
- [0441] [응용례 2]
- [0442] 도 144는 본 개시에 관한 기술(본 기술)이 적용될 수 있는 내시경 수술 시스템의 개략적인 구성의 한 예를 도시하는 도면이다.
- [0443] 도 144에서는 수술자(의사)(11131)가 내시경 수술 시스템(11000)을 이용하여 환자 베드(11133)상의 환자(11132)에게 수술을 행하고 있는 상태가 도시되어 있다. 도시하는 바와 같이 내시경 수술 시스템(11000)은 내시경(11100)과, 기복 튜브(11111)나 에너지 처치구(11112) 등의, 그 외의 수술구(11110)와, 내시경(11100)을 지지하는 지지 암장치(11120)와, 내시경하 수술을 위한 각종의 장치가 탑재된 카트(11200)로 구성된다.
- [0444] 내시경(11100)은 선단으로부터 소정 길이의 영역이 환자(11132)의 체강 내에 삽입되는 경통(11101)과, 경통(11101)의 기단에 접속되는 카메라 헤드(11102)로 구성된다. 도시하는 예에서는 경성의 경통(11101)을 갖는 이른바 경성경으로서 구성되는 내시경(11100)을 도시하고 있는데, 내시경(11100)은 연성의 경통을 갖는 이른바 연성경으로서 구성되어도 좋다.
- [0445] 경통(11101)의 선단에는 대물 렌즈가 감입된 개구부가 마련되어 있다. 내시경(11100)에는 광원 장치(11203)가 접속되어 있고 당해 광원 장치(11203)에 의해 생성된 광이 경통(11101)의 내부에 연결되는 라이트 가이드에 의해 당해 경통의 선단까지 도광되고, 대물 렌즈를 통하여 환자(11132)의 체강 내의 관찰 대상을 향하여 조사된다. 또한 내시경(11100)은 직시경이라도 좋고, 사시경 또는 측시경이라도 좋다.
- [0446] 카메라 헤드(11102)의 내부에는 광학계 및 활상 소자가 마련되어 있고 관찰 대상으로부터의 반사광(관찰광)은 당해 광학계에 의해 당해 활상 소자에 집광된다. 당해 활상 소자에 의해 관찰광이 광전 변환되고, 관찰광에 대응하는 전기 신호 즉 관찰상에 대응하는 화상 신호가 생성된다. 당해 화상 신호는 RAW 데이터로서 카메라 컨트롤 유닛(CCU: Camera Control Unit)(11201)에 송신된다.
- [0447] CCU(11201)는 CPU(Central Processing Unit)나 GPU(Graphics Processing Unit) 등에 의해 구성되고, 내시경(11100) 및 표시 장치(11202)의 동작을 통괄적으로 제어한다. 또한 CCU(11201)는 카메라 헤드(11102)로부터 화상 신호를 수취하고 그 화상 신호에 대해 예를 들어 현상 처리(디모자이크 처리) 등의, 당해 화상 신호에 의거하는 화상을 표시하기 위한 각종의 화상 처리를 시행한다.
- [0448] 표시 장치(11202)는 CCU(11201)로부터의 제어에 의해 당해 CCU(11201)에 의해 화상 처리가 시행된 화상 신호에 의거하는 화상을 표시한다.

- [0449] 광원 장치(11203)는 예를 들어 LED(Light Emitting Diode) 등의 광원으로 구성되고, 수술부 등을 촬영할 때의 조사광을 내시경(11100)에 공급한다.
- [0450] 입력 장치(11204)는 내시경 수술 시스템(11000)에 대한 입력 인터페이스이다. 유저는 입력 장치(11204)를 통하여 내시경 수술 시스템(11000)에 대해 각종의 정보의 입력이나 지시 입력을 행할 수 있다. 예를 들면, 유저는 내시경(11100)에 의한 촬상 조건(조사광의 종류, 배율 및 초점 거리 등)을 변경하는 취지의 지시 등을 입력한다.
- [0451] 처치구 제어 장치(11205)는 조직의 소작(燒灼), 절개 또는 혈관의 봉지 등을 위한 에너지 처치구(11112)의 구동을 제어한다. 기복 장치(11206)는 내시경(11100)에 의한 시야의 확보 및 수술자의 작업 공간의 확보의 목적으로 환자(11132)의 체강을 팽창시키기 위해 기복 튜브(11111)를 통하여 당해 체강 내에 가스를 보낸다. 레코더(11207)는 수술에 관한 각종의 정보를 기록 가능한 장치이다. 프린터(11208)는 수술에 관한 각종의 정보를 텍스트, 화상 또는 그래프 등 각종의 형식으로 인쇄 가능한 장치이다.
- [0452] 또한 내시경(11100)에 수술부를 촬영할 때의 조사광을 공급하는 광원 장치(11203)는 예를 들어 LED, 레이저 광원 또는 이들 조합에 의해 구성되는 백색 광원으로 구성할 수 있다. RGB 레이저 광원의 조합에 의해 백색 광원이 구성되는 경우에는 각 색(각 파장)의 출력 강도 및 출력 타이밍을 고정밀도로 제어할 수 있기 때문에 광원 장치(11203)에서 촬상 화상의 화이트 밸런스의 조정을 행할 수 있다. 또한 이 경우에는 RGB 레이저광원 각각으로부터의 레이저광을 시분할로 관찰 대상에 조사하고 그 조사 타이밍에 동기하여 카메라 헤드(11102)의 촬상 소자의 구동을 제어함에 의해 RGB 각각에 대응한 화상을 시분할로 촬상하는 것도 가능하다. 당해 방법에 의하면, 당해 촬상 소자에 컬러 필터를 마련하지 않아도, 컬러 화상을 얻을 수 있다.
- [0453] 또한 광원 장치(11203)는 출력하는 광의 강도를 소정의 시간마다 변경하도록 그 구동이 제어되어도 좋다. 그 광의 강도의 변경의 타이밍에 동기하여 카메라 헤드(11102)의 촬상 소자의 구동을 제어하여 시분할로 화상을 취득하고 그 화상을 합성함에 의해 이른바 흑바람 및 백바람이 없는 고다이내믹 레인지의 화상을 생성할 수 있다.
- [0454] 또한 광원 장치(11203)는 특수광 관찰에 대응한 소정의 파장 대역의 광을 공급 가능하게 구성되어도 좋다. 특수광 관찰에서는 예를 들면, 체조직에서의 광의 흡수의 파장 의존성을 이용하여 통상의 관찰 시에서의 조사광(즉, 백색광)에 비해 협대역의 광을 조사함에 의해 점막 표층의 혈관 등의 소정의 조직을 고콘트라스트로 촬영하는 이른바 협대역 광관찰(Narrow Band Imaging)이 행해진다. 또는 특수광 관찰에서는 여기광을 조사함에 의해 발생하는 형광에 의해 화상을 얻는 형광 관찰이 행해져도 좋다. 형광 관찰에서는 체조직에 여기광을 조사하고 당해 체조직으로부터의 형광을 관찰하는 것(자가 형광 관찰), 또는 인도시아닌그린(ICG) 등의 시약을 체조직에 국주(局注)함과 함께 당해 체조직에 그 시약의 형광 파장에 대응한 여기광을 조사하고 형광상을 얻는 것 등을 행할 수 있다. 광원 장치(11203)는 이와 같은 특수광 관찰에 대응한 협대역광 및/또는 여기광을 공급 가능하게 구성될 수 있다.
- [0455] 도 145는 도 144에 도시하는 카메라 헤드(11102) 및 CCU(11201)의 기능 구성의 한 예를 도시하는 블록도이다.
- [0456] 카메라 헤드(11102)는 렌즈 유닛(11401)과, 촬상부(11402)와, 구동부(11403)와, 통신부(11404)와, 카메라 헤드 제어부(11405)를 가진다. CCU(11201)는 통신부(11411)와, 화상 처리부(11412)와, 제어부(11413)를 가진다. 카메라 헤드(11102)와 CCU(11201)는 전송 케이블(11400)에 의해 서로 통신 가능하게 접속되어 있다.
- [0457] 렌즈 유닛(11401)은 경통(11101)과의 접속부에 마련되는 광학계이다. 경통(11101)의 선단으로부터 취입된 관찰 광은 카메라 헤드(11102)까지 도광되고, 당해 렌즈 유닛(11401)에 입사한다. 렌즈 유닛(11401)은 줌렌즈 및 포커스 렌즈를 포함하는 복수의 렌즈가 조합되어 구성된다.
- [0458] 촬상부(11402)는 촬상 소자로 구성된다. 촬상부(11402)를 구성하는 촬상 소자는 1개(이른바 단판식)라도 좋고, 복수(이른바 다판식)라도 좋다. 촬상부(11402)가 다판식으로 구성되는 경우에는 예를 들어 각 촬상 소자에 의해 RGB 각각에 대응하는 화상 신호가 생성되고, 그것들이 합성됨에 의해 컬러 화상이 얻어져도 좋다. 또는 촬상부(11402)는 3D(Dimensional) 표시에 대응하는 우안용 및 좌안용의 화상 신호를 각각 취득하기 위한 한 쌍의 촬상 소자를 갖도록 구성되어도 좋다. 3D 표시가 행해짐에 의해 수술자(11131)는 수술부에서의 생체 조직의 깊이를 보다 정확하게 파악하는 것이 가능해진다. 또한 촬상부(11402)가 다판식으로 구성되는 경우에는 각 촬상 소자에 대응하여 렌즈 유닛(11401)도 복수 계통 마련될 수 있다.
- [0459] 또한 촬상부(11402)는 반드시 카메라 헤드(11102)에 마련되지 않아도 좋다. 예를 들면, 촬상부(11402)는 경통(11101)의 내부에 대물 렌즈의 직후에 마련되어도 좋다.

- [0460] 구동부(11403)는 액추에이터에 의해 구성되고, 카메라 헤드 제어부(11405)로부터의 제어에 의해 렌즈 유닛(11401)의 줌렌즈 및 포커스 렌즈를 광축에 따라 소정의 거리만큼 이동시킨다. 이에 의해 촬상부(11402)에 의한 촬상 화상의 배율 및 초점이 적절히 조정될 수 있다.
- [0461] 통신부(11404)는 CCU(11201)와의 사이에서 각종의 정보를 송수신하기 위한 통신 장치에 의해 구성된다. 통신부(11404)는 촬상부(11402)로부터 얻은 화상 신호를 RAW 데이터로서 전송 케이블(11400)을 통하여 CCU(11201)에 송신한다.
- [0462] 또한 통신부(11404)는 CCU(11201)로부터 카메라 헤드(11102)의 구동을 제어하기 위한 제어 신호를 수신하고 카메라 헤드 제어부(11405)에 공급한다. 당해 제어 신호에는 예를 들면, 촬상 화상의 프레임 레이트를 지정하는 취지의 정보, 촬상 시의 노출치를 지정하는 취지의 정보 및/또는 촬상 화상의 배율 및 초점을 지정하는 취지의 정보 등, 촬상 조건에 관한 정보가 포함된다.
- [0463] 또한 상기 프레임 레이트나 노출치, 배율, 초점 등의 촬상 조건은 유저에 의해 적절히 지정되어도 좋고, 취득된 화상 신호에 의거하여 CCU(11201)의 제어부(11413)에 의해 자동적으로 설정되어도 좋다. 후자인 경우에는 이른바 AE(Auto Exposure) 기능, AF(Auto Focus) 기능 및 AWB(Auto White Balance) 기능이 내시경(11100)에 탑재되어 있는 것으로 된다.
- [0464] 카메라 헤드 제어부(11405)는 통신부(11404)를 통하여 수신한 CCU(11201)로부터의 제어 신호에 의거하여 카메라 헤드(11102)의 구동을 제어한다.
- [0465] 통신부(11411)는 카메라 헤드(11102)와의 사이에서 각종의 정보를 송수신하기 위한 통신 장치에 의해 구성된다. 통신부(11411)는 카메라 헤드(11102)로부터 전송 케이블(11400)을 통하여 송신되는 화상 신호를 수신한다.
- [0466] 또한 통신부(11411)는 카메라 헤드(11102)에 대해 카메라 헤드(11102)의 구동을 제어하기 위한 제어 신호를 송신한다. 화상 신호나 제어 신호는 전기 통신이나 광통신 등에 의해 송신할 수 있다.
- [0467] 화상 처리부(11412)는 카메라 헤드(11102)로부터 송신된 RAW 데이터인 화상 신호에 대해 각종의 화상 처리를 시행한다.
- [0468] 제어부(11413)는 내시경(11100)에 의한 수술부 등의 촬상 및 수술부 등의 촬상에 의해 얻어지는 촬상 화상의 표시에 관한 각종의 제어를 행한다. 예를 들면, 제어부(11413)는 카메라 헤드(11102)의 구동을 제어하기 위한 제어 신호를 생성한다.
- [0469] 또한 제어부(11413)는 화상 처리부(11412)에 의해 화상 처리가 시행된 화상 신호에 의거하여 수술부 등이 찍힌 촬상 화상을 표시 장치(11202)에 표시시킨다. 이때, 제어부(11413)는 각종의 화상 인식 기술을 이용하여 촬상 화상 내에서의 각종의 물체를 인식해도 좋다. 예를 들면, 제어부(11413)는 촬상 화상에 포함되는 물체의 에지의 형상이나 색 등을 검출함에 의해 겸자(鉗子) 등의 수술구, 특정한 생체 부위, 출혈, 에너지 처리구(11112)의 사용 시의 미스트 등을 인식할 수 있다. 제어부(11413)는 표시 장치(11202)에 촬상 화상을 표시시킬 때에 그 인식 결과를 이용하여 각종의 수술 지원 정보를 당해 수술부의 화상에 중첩 표시시켜도 좋다. 수술 지원 정보가 중첩 표시되고, 수술자(11131)에게 제시됨에 의해 수술자(11131)의 부담을 경감하는 것이나, 수술자(11131)가 확실하게 수술을 진행하는 것이 가능해진다.
- [0470] 카메라 헤드(11102) 및 CCU(11201)를 접속하는 전송 케이블(11400)은 전기 신호의 통신에 대응한 전기 신호 케이블, 광통신에 대응한 광파이버, 또는 이들 복합 케이블이다.
- [0471] 여기서, 도시하는 예에서는 전송 케이블(11400)을 이용하여 유선으로 통신이 행해지고 있었는데, 카메라 헤드(11102)와 CCU(11201) 사이의 통신은 무선으로 행해져도 좋다.
- [0472] 이상, 본 개시에 관한 기술이 적용될 수 있는 내시경 수술 시스템의 한 예에 관해 설명하였다. 본 개시에 관한 기술은 이상 설명한 구성 중, 내시경(11100)의 카메라 헤드(11102)에 마련된 촬상부(11402)에 알맞게 적용될 수 있다. 촬상부(11402)에 본 개시에 관한 기술을 적용함에 의해 촬상부(11402)를 소형화 또는 고정밀화할 수 있기 때문에 소형 또는 고정밀 내시경(11100)을 제공할 수 있다.
- [0473] 이상, 실시의 형태 및 그 변형례, 적용례 및 응용례를 들어 본 개시를 설명했지만, 본 개시는 상기 실시의 형태 등으로 한정되는 것이 아니고, 여러 가지 변형이 가능하다. 또한 본 명세서 중에 기재된 효과는 어디까지나 예시이다. 본 개시의 효과는 본 명세서 중에 기재된 효과로 한정되는 것이 아니다. 본 개시가 본 명세서 중에 기재된 효과 이외의 효과를 가지고 있어도 좋다.

- [0474] 또한 예를 들면, 본 개시는 이하와 같은 구성을 취할 수 있다. 이하의 구성을 갖는 고체 활상 장치에서는 광전 변환부가 마련된 제1 반도체층과, 화소 트랜지스터가 마련된 제2 반도체층을 적층하여 마련하도록 했기 때문에 광전 변환부와 화소 트랜지스터를 각각, 보다 자유롭게 설계할 수 있다. 따라서, 보다 설계의 자유도를 높이는 것이 가능해진다.
- [0475] (1) 화소마다 광전 변환부 및 상기 광전 변환부에서 발생한 신호 전하가 축적되는 전하 축적부를 갖는 제1 반도체층과,
- [0476] 상기 제1 반도체층에 마련되고, 복수의 상기 화소를 서로 구획하는 화소 분리부와,
- [0477] 상기 전하 축적부의 상기 신호 전하를 판독하는 화소 트랜지스터가 마련됨과 함께, 상기 제1 반도체층에 적층된 제2 반도체층과,
- [0478] 상기 제2 반도체층과 상기 제1 반도체층 사이에 마련되고 또한 상기 화소 분리부를 넘어서 마련됨과 함께 복수의 상기 전하 축적부에 전기적으로 접속된 제1 공유 접속부를 구비한 고체 활상 장치.
- [0479] (2) 또한 상기 제1 반도체층과 상기 제1 공유 접속부가 마련된 제1 배선층을 포함하는 제1 기판과,
- [0480] 상기 제2 반도체층과 상기 제2 반도체층을 사이에 두고 상기 제1 기판에 대향하는 제2 배선층을 포함하는 제2 기판과,
- [0481] 상기 제2 기판을 사이에 두고 상기 제1 기판에 대향함과 함께, 상기 제2 반도체층에 전기적으로 접속된 회로를 포함하는 제3 기판을 포함하는 상기 (1)에 기재된 고체 활상 장치.
- [0482] (3) 또한 상기 제1 공유 접속부와 상기 화소 트랜지스터를 전기적으로 접속하고 또한 상기 제1 기판 및 상기 제2 기판에 마련된 제1 관통 전극을 갖는 상기 (2)에 기재된 고체 활상 장치.
- [0483] (4) 또한 상기 제1 반도체층에 상기 화소마다 마련됨과 함께, 상기 전하 축적부와 이간하여 배치된 불순물 확산 영역과,
- [0484] 상기 제1 배선층에 마련되고 또한 상기 화소 분리부를 넘어서 마련됨과 함께 복수의 상기 불순물 확산 영역에 전기적으로 접속된 제2 공유 접속부와,
- [0485] 상기 제2 공유 접속부와 상기 제2 반도체층의 소정의 영역을 전기적으로 접속하고 또한 상기 제1 기판 및 상기 제2 기판에 마련된 제2 관통 전극을 갖는 상기 (2) 또는 (3)에 기재된 고체 활상 장치.
- [0486] (5) 상기 제1 공유 접속부는 폴리실리콘을 포함하는 상기 (1) 내지 (4) 중 어느 1개에 기재된 고체 활상 장치.
- [0487] (6) 상기 전하 축적부는 비소를 포함하는 상기 (1) 내지 (5) 중 어느 1개에 기재된 고체 활상 장치.
- [0488] (7) 상기 제1 반도체층에 대향하는 게이트 전극을 가짐과 함께, 상기 광전 변환부의 상기 신호 전하를 상기 전하 축적부에 전송하는 전송 트랜지스터와,
- [0489] 상기 전송 트랜지스터의 게이트와 전기적으로 접속된 제3 관통 전극을 또한 가지고,
- [0490] 상기 제1 공유 접속부에 의해 전기적으로 접속되는 복수의 상기 전하 축적부를 각각 갖는 상기 복수의 화소의 각각에 마련된 상기 제3 관통 전극은 평면시에서, 서로 비대칭으로 배치되어 있는 상기 (1) 내지 (6) 중 어느 1개에 기재된 고체 활상 장치.
- [0491] (8) 상기 제2 반도체층에 상기 화소 트랜지스터와 전기적으로 접속되는 불순물 영역이 또한 마련되어 있는 상기 (4) 내지 (7) 중 어느 1개에 기재된 고체 활상 장치.
- [0492] (9) 상기 제1 공유 접속부는 폴리실리콘을 포함함과 함께 일부가 합금화된 합금 영역을 가지고, 상기 합금 영역에는 상기 제1 관통 전극이 접속되어 있는 상기 (3) 내지 (8) 중 어느 한 항에 기재된 고체 활상 장치.
- [0493] (10) 상기 제1 공유 접속부는 상기 제1 반도체층에 매입 형성되어 있는 상기 (1) 내지 (9) 중 어느 한 항에 기재된 고체 활상 장치.
- [0494] (11) 상기 제1 반도체층은 상기 제1 반도체층에 대향하는 게이트 전극을 가짐과 함께, 상기 광전 변환부의 상기 신호 전하를 상기 전하 축적부에 전송하는 전송 트랜지스터를 또한 가지고,
- [0495] 상기 전송 트랜지스터와 상기 화소 트랜지스터는 서로 다른 형상을 가지고 있는 상기 (1) 내지 (10) 중 어느 한 항에 기재된 고체 활상 장치.

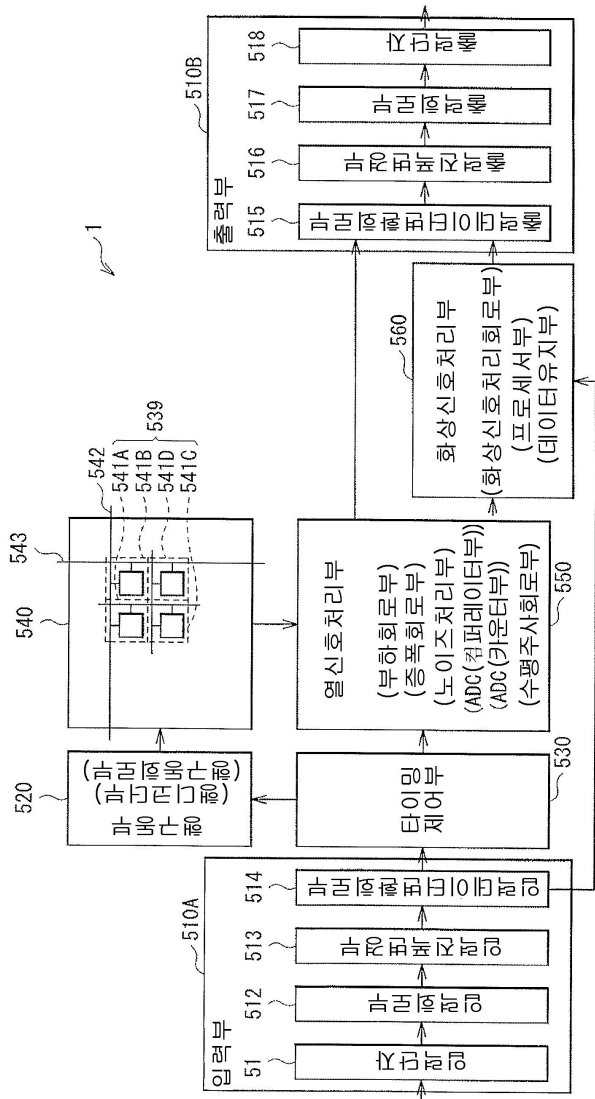
- [0496] (12) 상기 전송 트랜지스터 및 상기 화소 트랜지스터의 게이트 전극은 각각, 서로 다른 폭을 갖는 사이드 월에 의해 덮여 있는 상기 (11)에 기재된 고체 활상 장치.
- [0497] (13) 상기 전송 트랜지스터 및 상기 화소 트랜지스터의 게이트 전극은 서로 다른 높이를 갖는 상기 (11) 또는 (12)에 기재된 고체 활상 장치.
- [0498] (14) 상기 제2 반도체층은 상기 화소 트랜지스터로서, 증폭 트랜지스터, 선택 트랜지스터, 리셋 트랜지스터 및 FD 변환 게인 전환 트랜지스터를 가지고,
- [0499] 상기 증폭 트랜지스터, 상기 선택 트랜지스터, 상기 리셋 트랜지스터 및 상기 FD 변환 게인 전환 트랜지스터는 각각, 플레이너 구조 또는 3차원 구조를 가지고 있는 상기 (1) 내지 (13) 중 어느 한 항에 기재된 고체 활상 장치.
- [0500] (15) 화소마다 광전 변환부 및 상기 광전 변환부에서 발생한 신호 전하가 축적되는 전하 축적부를 갖는 제1 반도체층과,
- [0501] 상기 전하 축적부의 상기 신호 전하를 판독하는 화소 트랜지스터가 마련됨과 함께, 상기 제1 반도체층에 적층된 제2 반도체층과,
- [0502] 상기 제2 반도체층을 분단하는 절연 영역과,
- [0503] 상기 절연 영역을 두께 방향으로 관통함과 함께 상기 제1 반도체층에 전기적으로 접속되고 또한 상기 두께 방향을 따라 상기 제1 반도체층측으로부터 제1 부분과 상기 제1 부분에 접합된 제2 부분을 갖는 관통 전극을 구비한 고체 활상 장치.
- [0504] (16) 상기 제2 부분의 구성 재료는 상기 제1 부분의 구성 재료와 다른 상기 (15)에 기재된 고체 활상 장치.
- [0505] (17) 상기 제1 부분은 폴리실리콘을 포함하고,
- [0506] 상기 제2 부분은 금속을 포함하는 상기 (15) 또는 (16)에 기재된 고체 활상 장치.
- [0507] (18) 화소마다 광전 변환부 및 상기 광전 변환부에서 발생한 신호 전하가 축적되는 전하 축적부를 갖는 제1 반도체층과,
- [0508] 상기 전하 축적부의 상기 신호 전하를 판독하는 화소 트랜지스터가 마련됨과 함께, 상기 제1 반도체층에 적층된 제2 반도체층과,
- [0509] 상기 제2 반도체층을 분단하는 절연 영역과,
- [0510] 상기 제2 반도체층의 표면으로부터 두께 방향의 일부에 마련된 소자 분리 영역을 구비한 고체 활상 장치.
- [0511] (19) 또한 상기 절연 영역을 두께 방향으로 관통하여 마련됨과 함께, 상기 제1 반도체층의 소정의 영역과 상기 제2 반도체층의 소정의 영역을 전기적으로 접속하는 관통 전극을 갖는 상기 (18)에 기재된 고체 활상 장치.
- [0512] (20) 화소마다 광전 변환부 및 상기 광전 변환부에서 발생한 신호 전하가 축적되는 전하 축적부를 갖는 제1 기판과,
- [0513] 상기 전하 축적부의 상기 신호 전하를 판독하는 화소 트랜지스터가 마련됨과 함께, 상기 제1 기판에 적층된 제2 반도체층과, 상기 제2 반도체층을 분단하는 절연 영역을 포함하는 제2 기판과,
- [0514] 상기 절연 영역을 두께 방향으로 관통하여 상기 제1 기판에 달하는 관통 전극과,
- [0515] 상기 제2 기판에 마련됨과 함께 상기 제2 반도체층에 대향하는 위치에 배치되고 또한 상기 관통 전극의 구멍 지름과 다른 구멍 지름을 갖는 접속부를 구비한 고체 활상 장치.
- [0516] (21) 상기 접속부의 구멍 지름은 상기 관통 전극의 구멍 지름보다도 작은 상기 (20)에 기재된 고체 활상 장치.
- [0517] (22) 화소마다 광전 변환부 및 상기 광전 변환부에서 발생한 신호 전하가 축적되는 전하 축적부를 갖는 제1 기판과,
- [0518] 상기 전하 축적부의 상기 신호 전하를 판독하는 화소 트랜지스터가 마련됨과 함께, 상기 제1 기판에 적층된 제2 기판과,
- [0519] 상기 제2 기판과 상기 제1 기판의 접합면에 마련됨과 함께, 상기 제2 기판과 제1 기판 사이의 선택적인 영역에

마련된 접합막과,

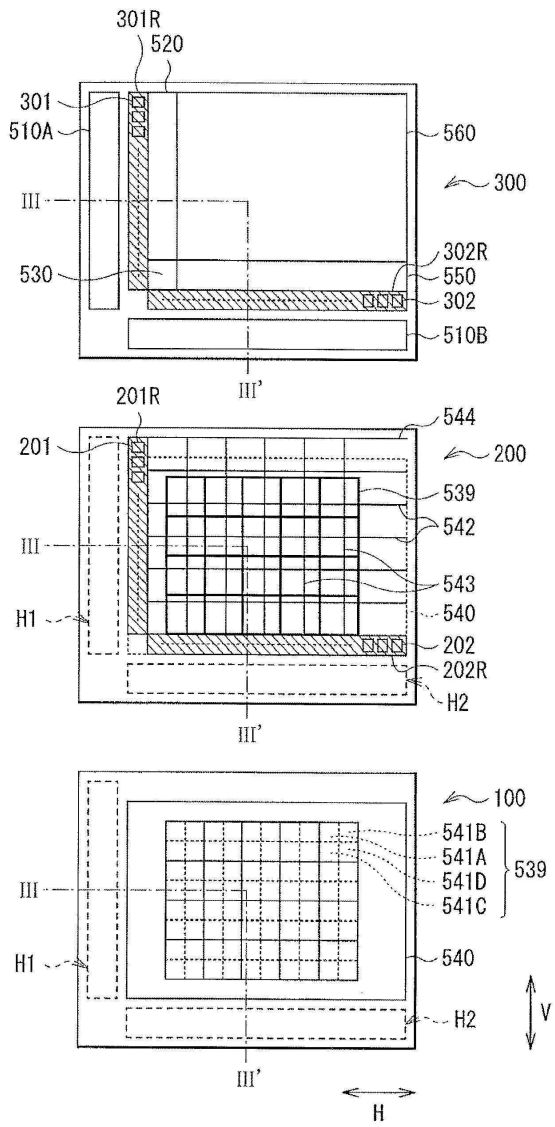
- [0520] 상기 접합막의 간극에 배치되고 또한 상기 제2 기판과 상기 제1 기판을 전기적으로 접속하는 관통 전극을 구비한 고체 활상 장치.
- [0521] (23) 또한 상기 접합막의 간극은 상기 접합막이 제거된 영역인 상기 (22)에 기재된 고체 활상 장치.
- [0522] (24) 상기 제2 기판은 제2 반도체층과, 상기 제2 반도체층을 분단하는 절연 영역을 포함하고 상기 절연 영역은 상기 접합막의 간극에 선택적으로 배치되어 있는 상기 (22) 또는 (23)에 기재된 고체 활상 장치.
- [0523] (25) 상기 접합막은 제1 질화막에 의해 구성되어 있는 상기 (22) 내지 (24) 중 어느 1개에 기재된 고체 활상 장치.
- [0524] (26) 상기 제2 기판은 상기 화소 트랜지스터를 덮는 제2 질화막을 포함하고,
- [0525] 상기 관통 전극은 상기 제2 질화막의 개구 또는 간극을 통하여 상기 제1 기판에 접속되어 있는 상기 (22) 내지 (25) 중 어느 1개에 기재된 고체 활상 장치.
- [0526] (27) 화소마다 광전 변환부 및 상기 광전 변환부에서 발생한 신호 전하가 축적되는 전하 축적부를 갖는 제1 반도체층과,
- [0527] 3차원 구조를 가짐과 함께 상기 전하 축적부의 상기 신호 전하를 관독하는 화소 트랜지스터가 마련되고 또한 상기 제1 반도체층에 적층된 제2 반도체층을 구비한 고체 활상 장치.
- [0528] (28) 상기 화소 트랜지스터는 핀(Fin)형 구조를 갖는 상기 (27)에 기재된 고체 활상 장치.
- [0529] (29) 화소마다 광전 변환부 및 상기 광전 변환부에서 발생한 신호 전하가 축적되는 전하 축적부를 갖는 제1 반도체층과,
- [0530] 상기 제1 반도체층에 대향하는 게이트 전극을 가짐과 함께, 상기 광전 변환부의 상기 신호 전하를 상기 전하 축적부에 전송하는 전송 트랜지스터와,
- [0531] 상기 전하 축적부의 상기 신호 전하를 관독하는 화소 트랜지스터가 마련됨과 함께, 상기 제1 반도체층에 적층된 제2 반도체층과,
- [0532] 상기 제1 반도체층의 제1 영역의 전위 또는 상기 제2 반도체층의 제2 영역에 전기적으로 접속된 제3 영역을 갖는 제3 반도체층과,
- [0533] 상기 제3 반도체층에 pn 접합을 갖는 보호 소자와,
- [0534] 상기 제2 반도체층을 사이에 두고 상기 제1 반도체층에 대향함과 함께, 상기 보호 소자와, 상기 화소 트랜지스터 또는 상기 전송 트랜지스터에 전기적으로 접속된 안테나 배선을 구비한 고체 활상 장치.
- [0535] (30) 상기 제3 반도체층은 상기 제1 반도체층 또는 상기 제2 반도체층과 일체화하여 마련되어 있는 상기 (29)에 기재된 고체 활상 장치.
- [0536] (31) 또한 상기 안테나 배선보다도 상기 제2 반도체층에 가까운 위치에 마련됨과 함께, 상기 제3 반도체층의 상기 제3 영역과 상기 제1 반도체층의 상기 제1 영역 또는 상기 제2 반도체층의 상기 제2 영역을 전기적으로 접속하는 배선층을 갖는 상기 (29) 또는 (30)에 기재된 고체 활상 장치.
- [0537] (32) 상기 보호 소자는 복수의 pn 접합을 갖는 상기 (29) 내지 (31) 중 어느 1개에 기재된 고체 활상 장치.
- [0538] 본 출원은 일본 특허청에서 2019년 6월 26일에 출원된 일본 특허출원 번호 2019-118222호를 기초로 하여 우선권을 주장하는 것이고, 이 출원의 모든 내용을 참조에 의해 본 출원에 원용한다.
- [0539] 당업자라면, 설계상의 요건이나 다른 요인에 응하여 여러 가지 수정, 콤비네이션, 서브 콤비네이션 및 변경을 상도할 수 있는데, 그것들은 첨부 청구의 범위나 그 균등물의 범위에 포함되는 것임이 이해된다.

도면

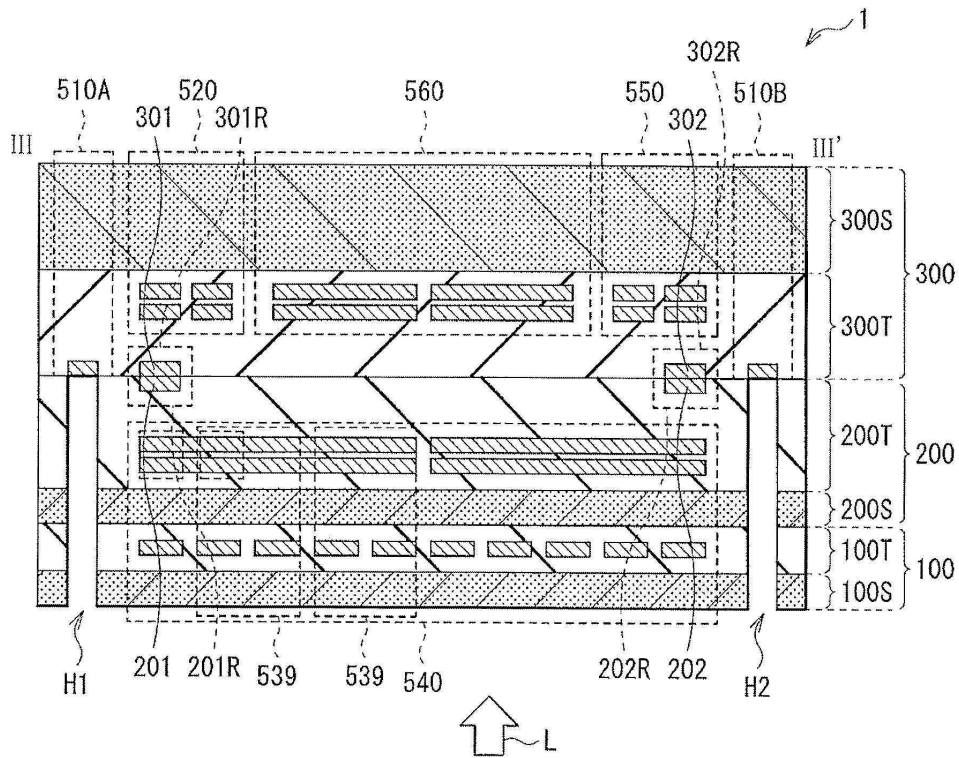
도면1



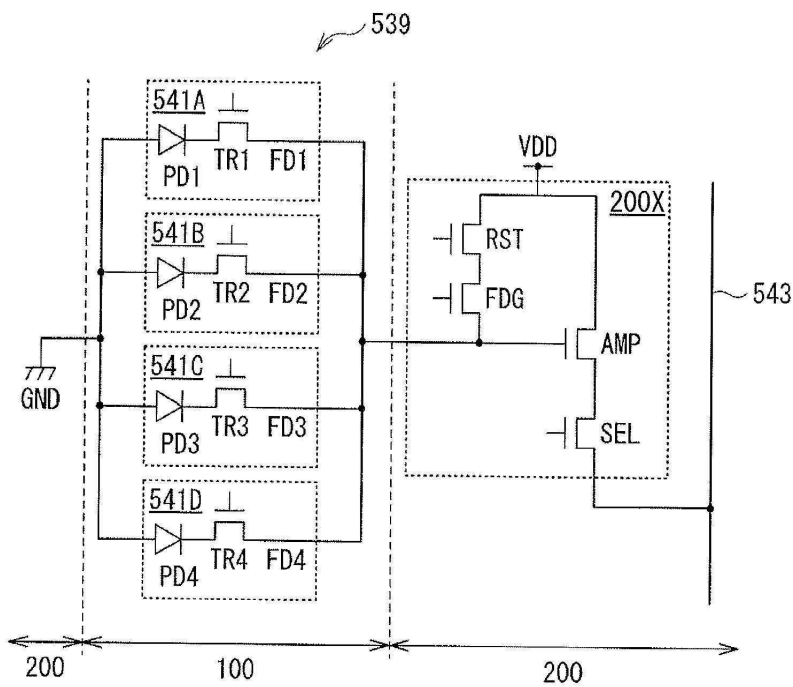
도면2



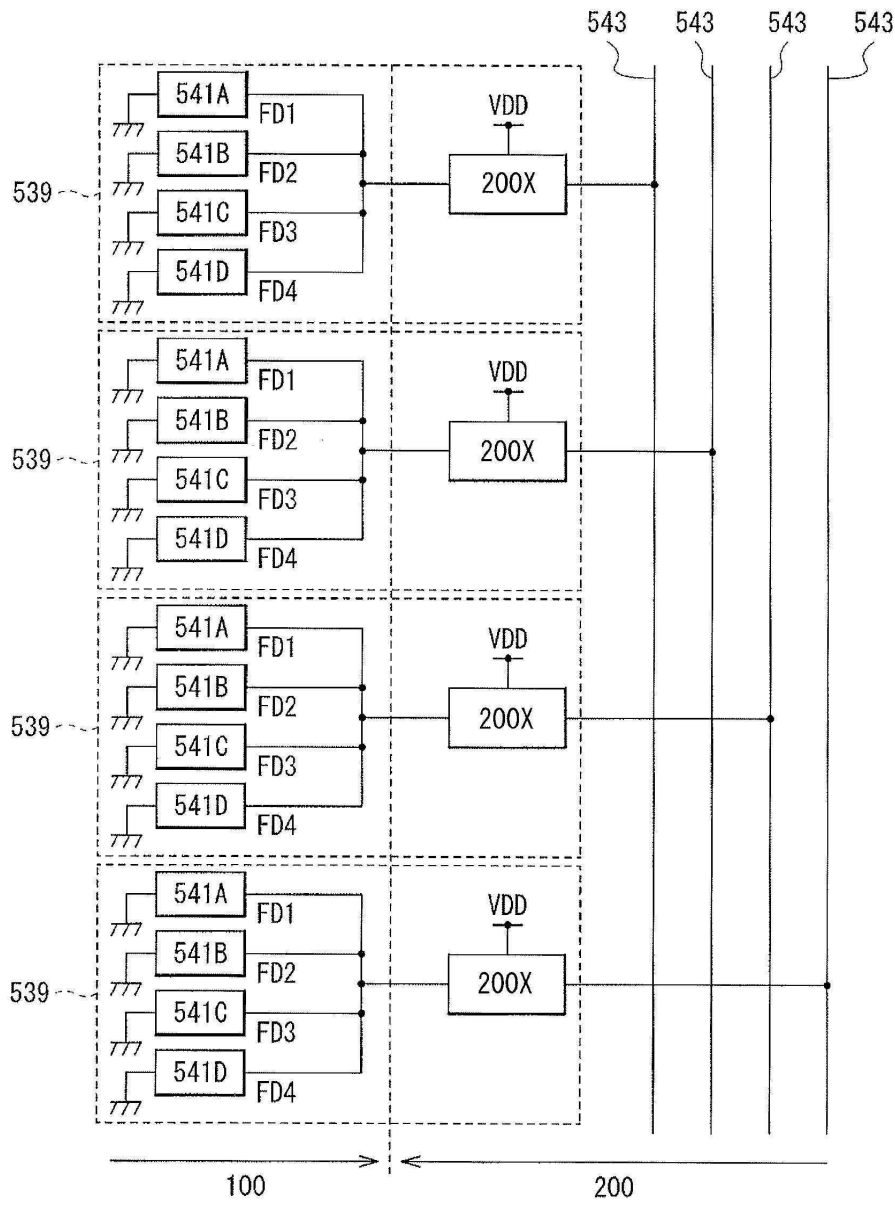
도면3



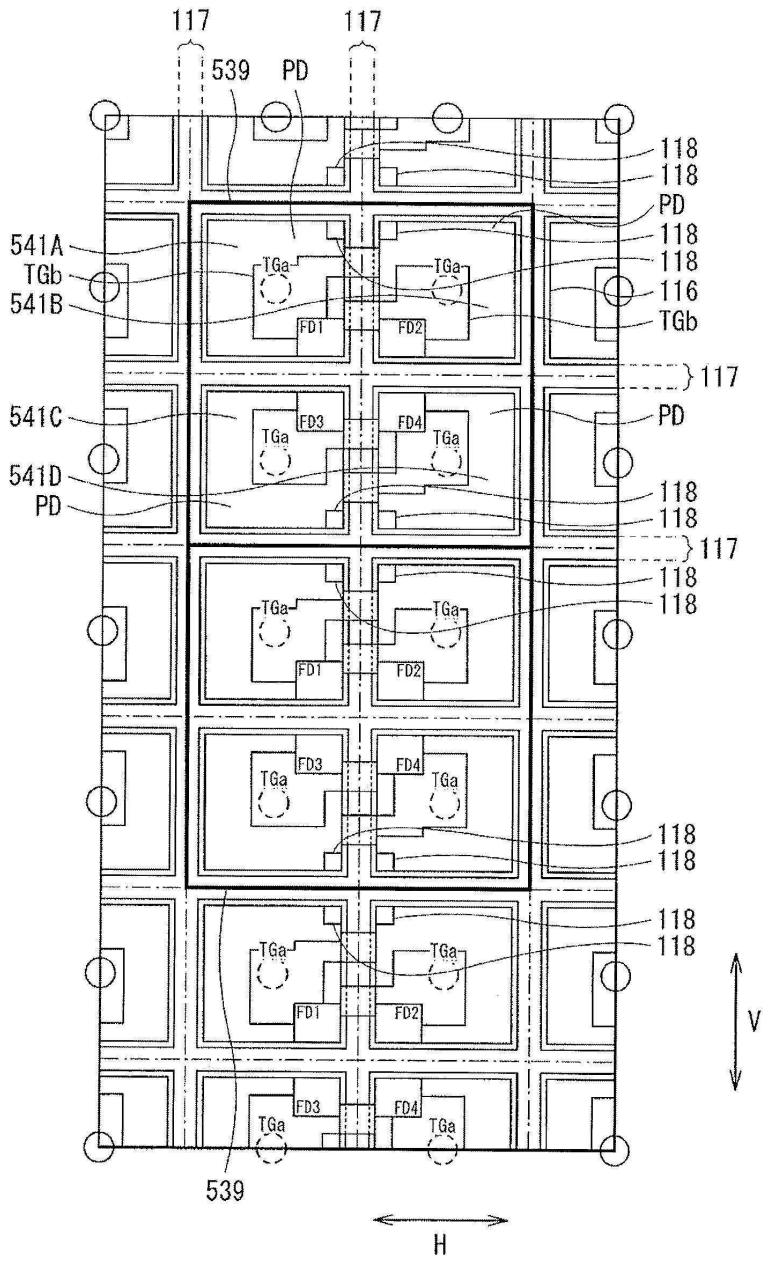
도면4



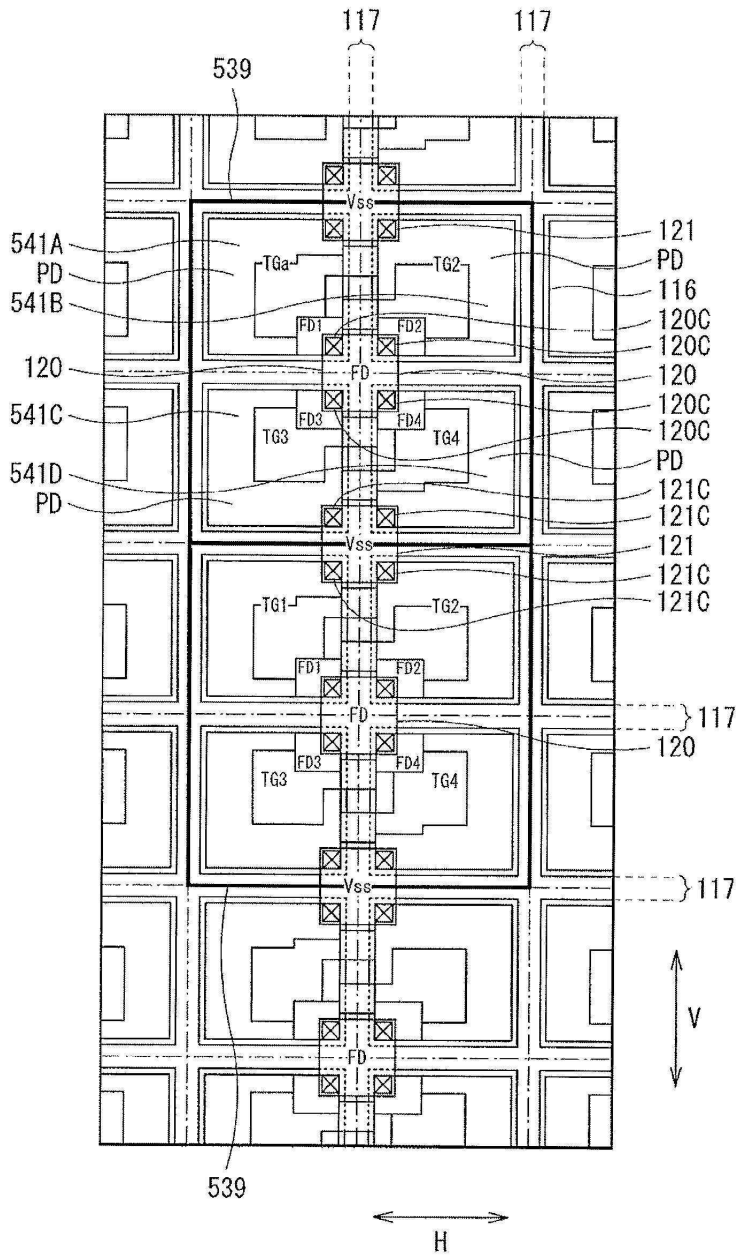
도면5



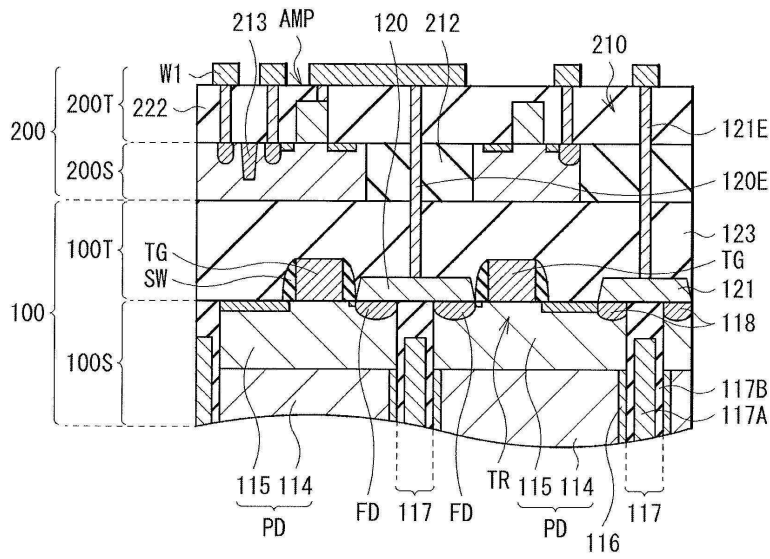
도면7a



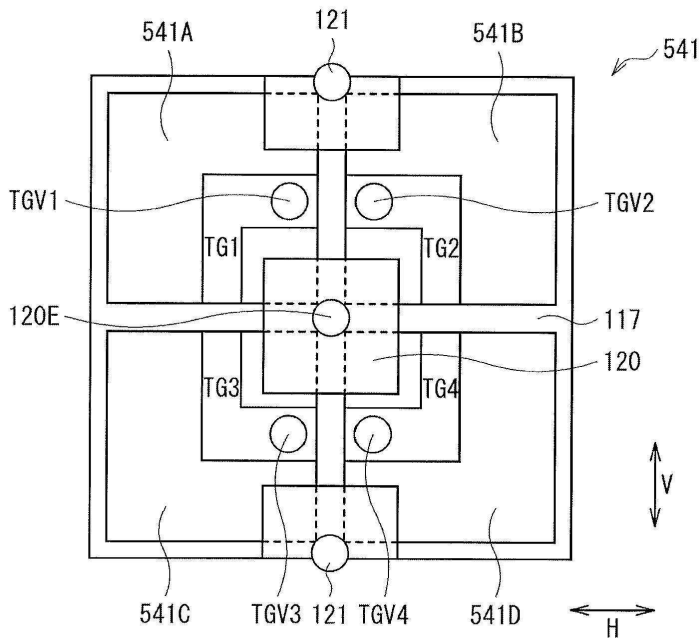
도면7b



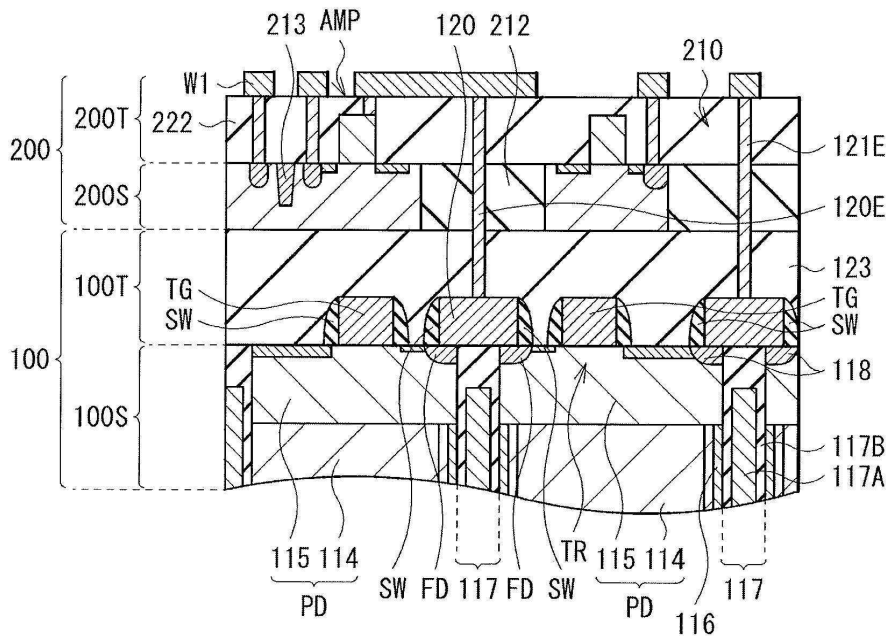
도면8a



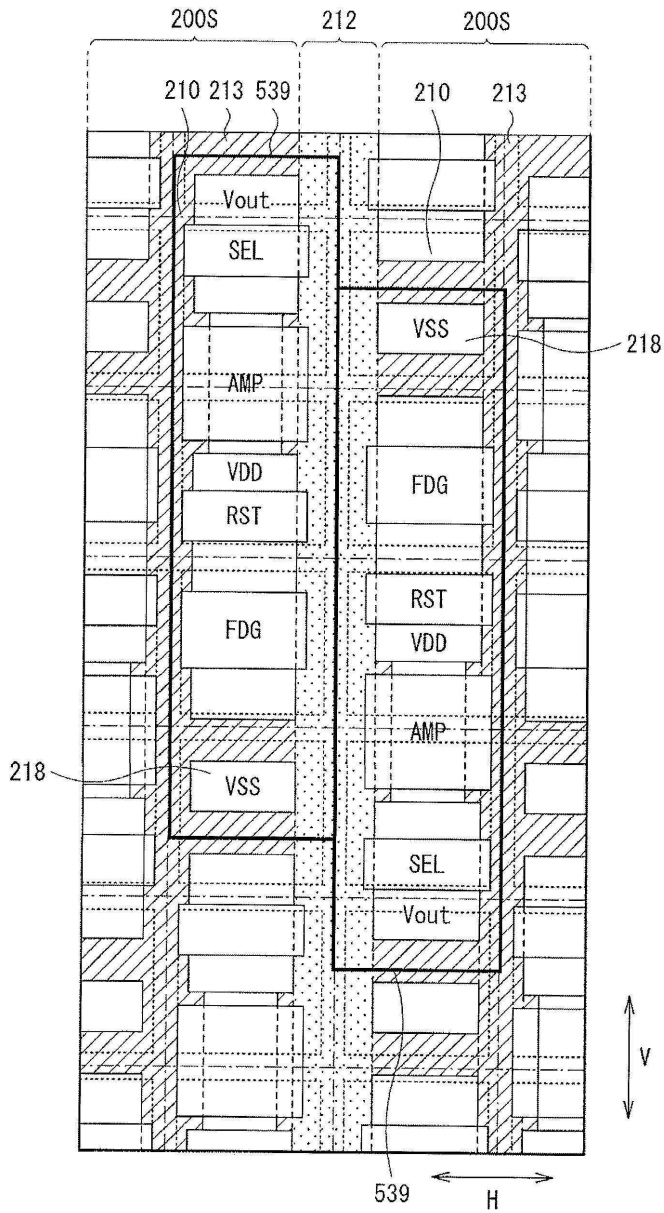
도면8b



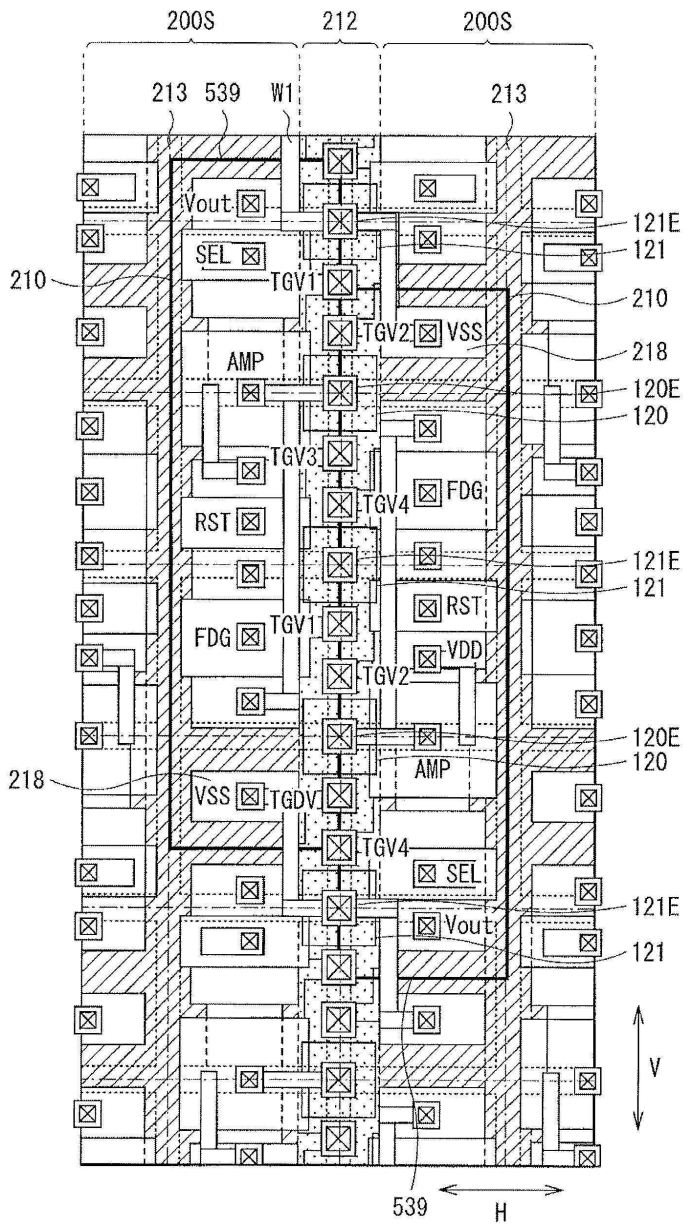
도면9



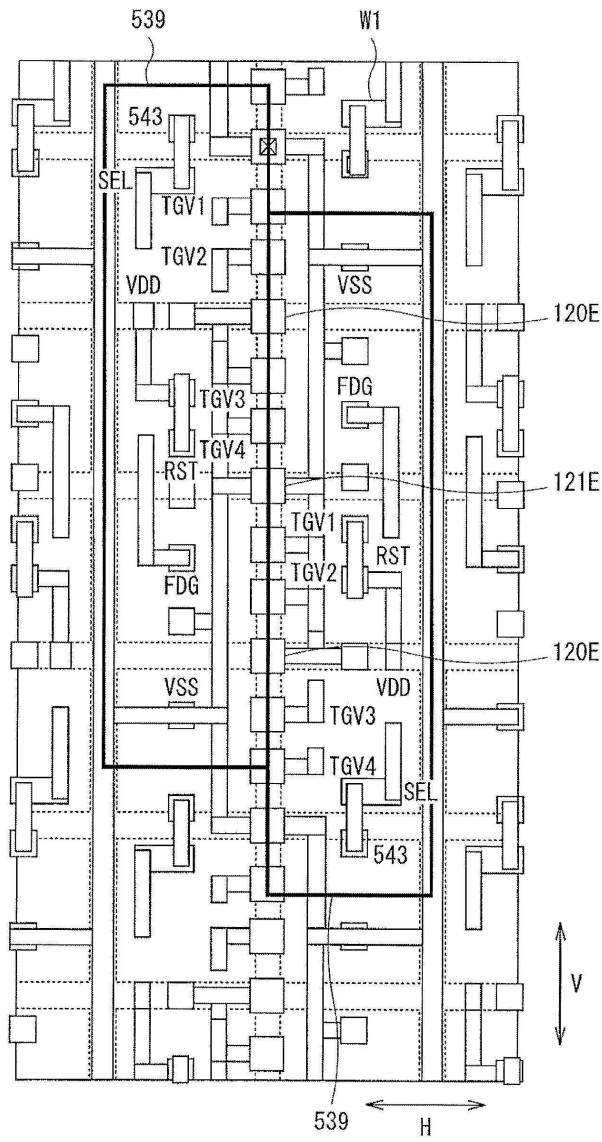
도면10



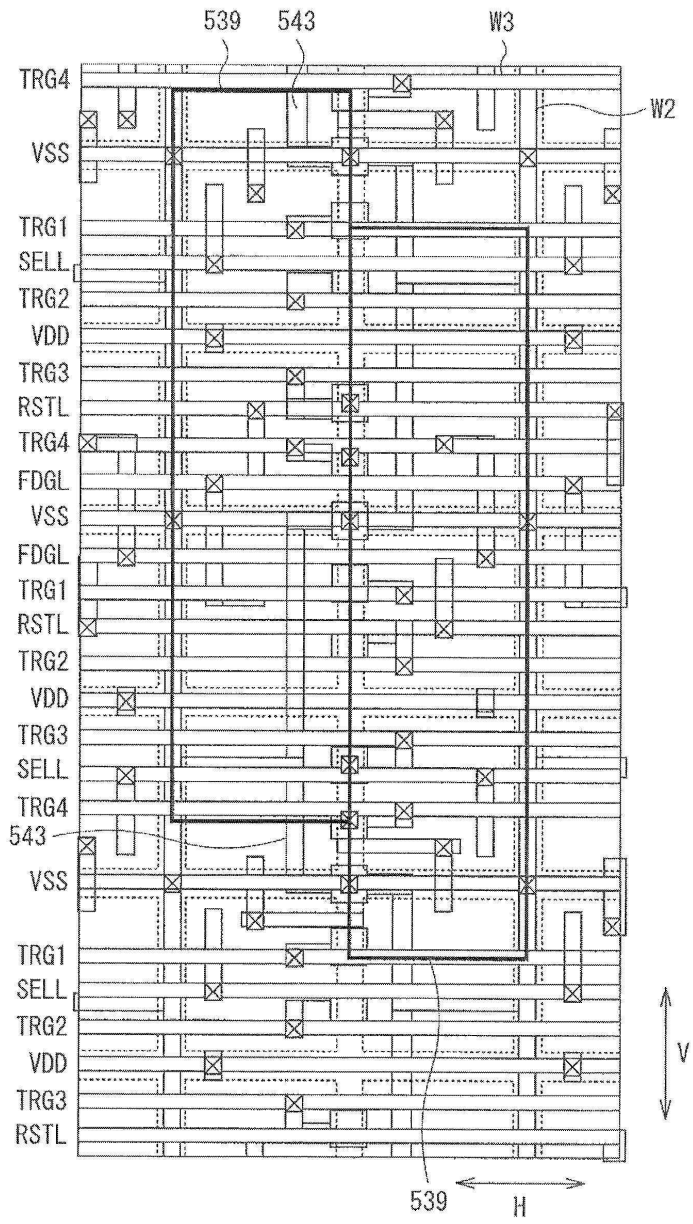
도면11



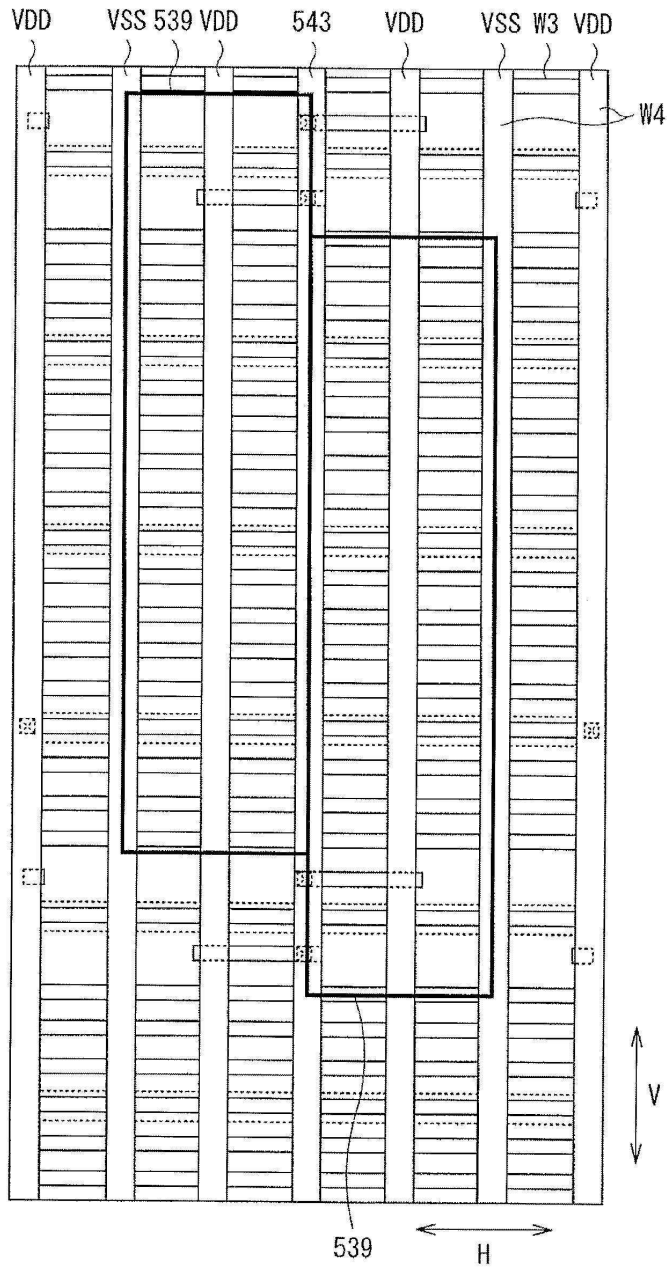
도면12



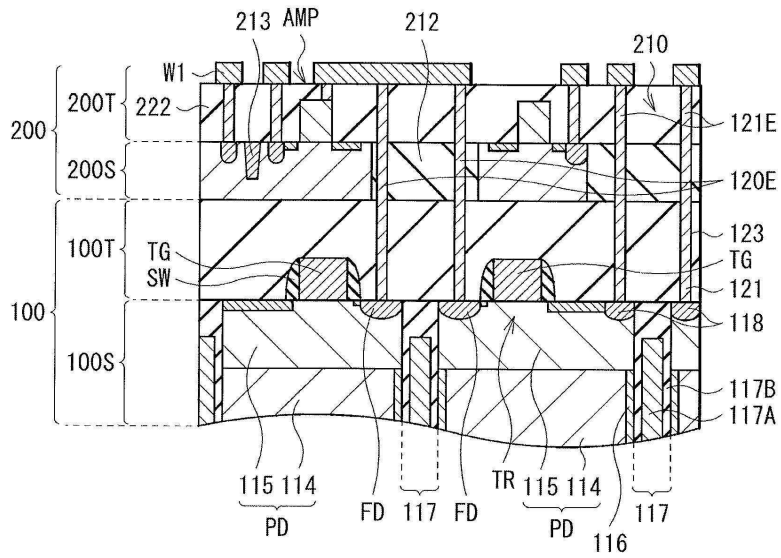
도면13



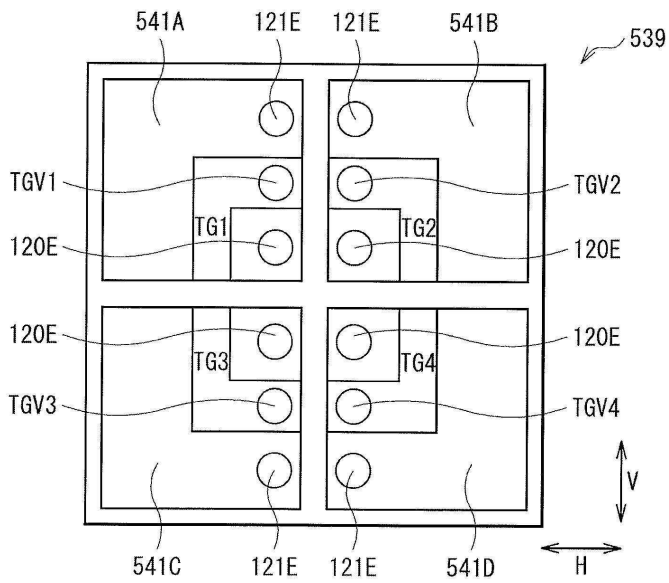
도면14



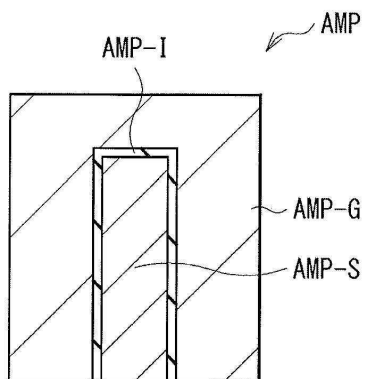
도면15a



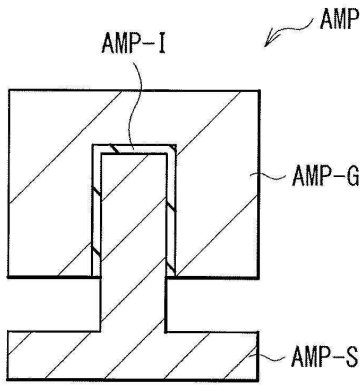
도면15b



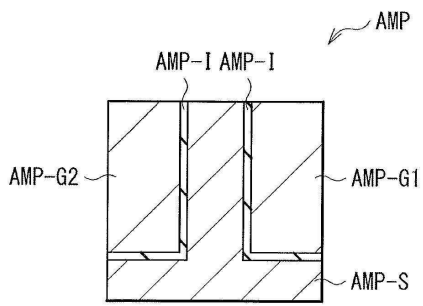
도면16a



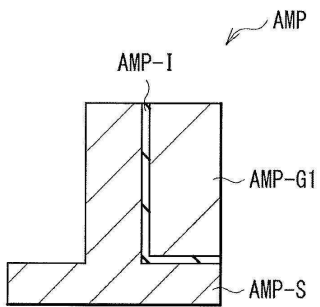
도면16b



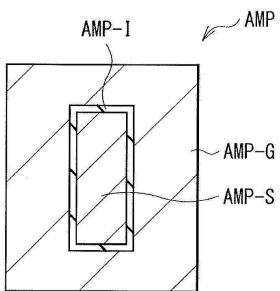
도면16c



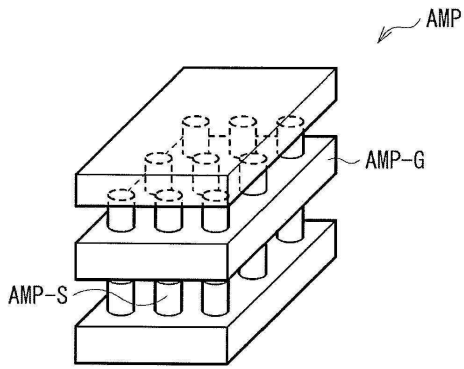
도면16d



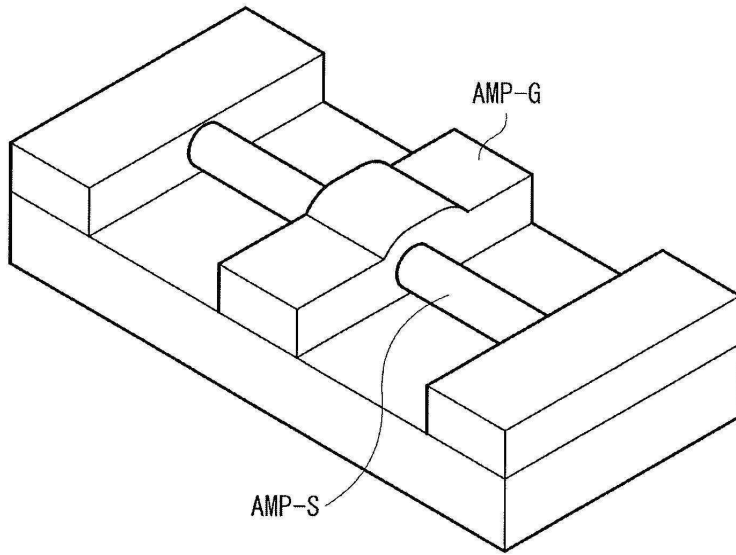
도면16e



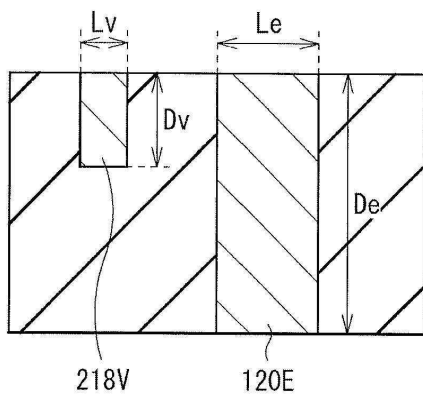
도면16f



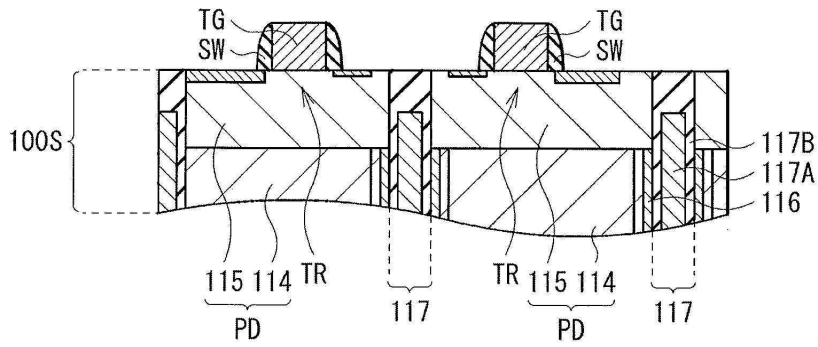
도면16g



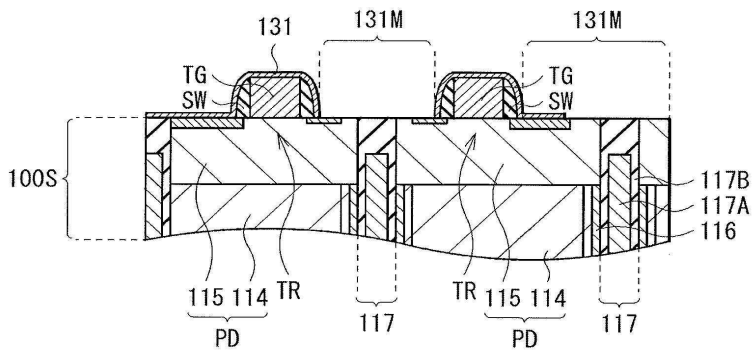
도면17



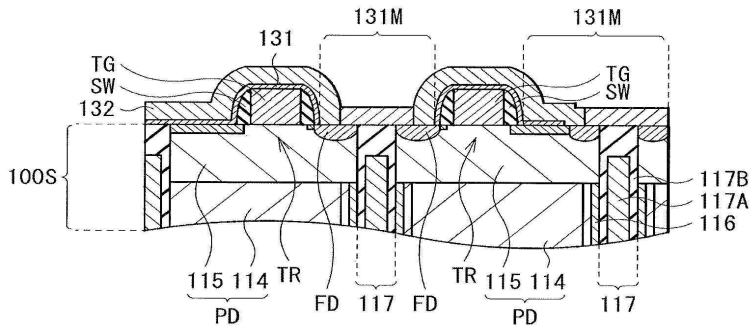
도면18a



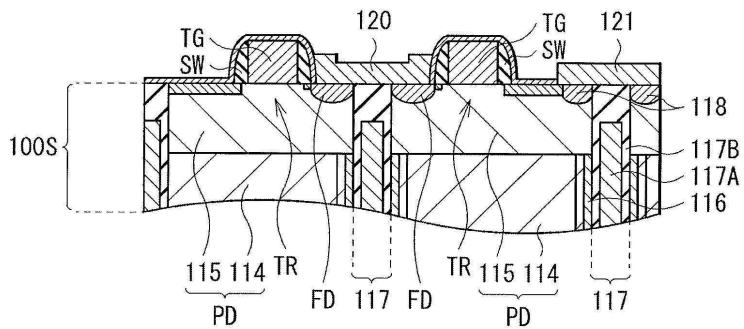
도면18b



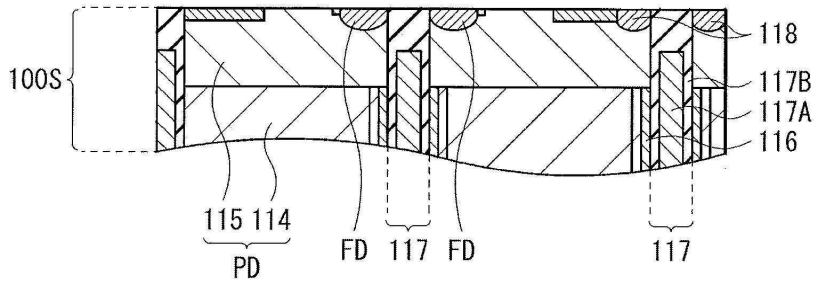
도면18c



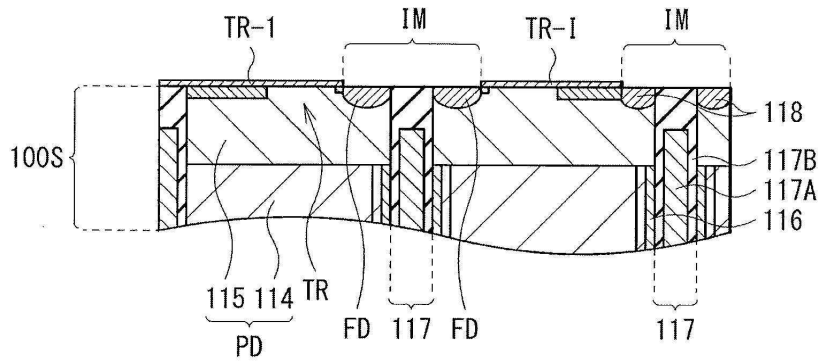
도면18d



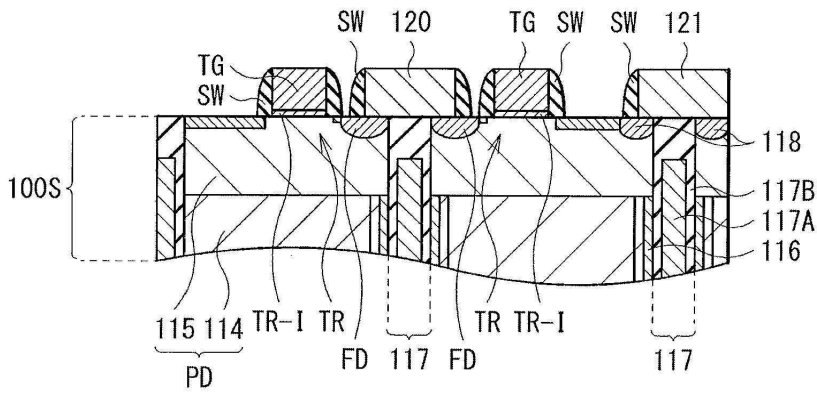
도면19a



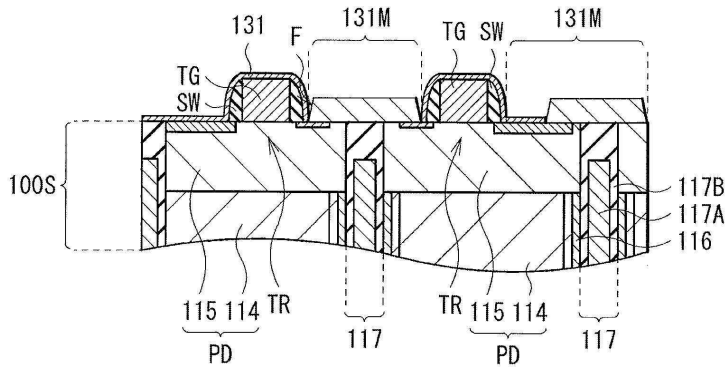
도면19b



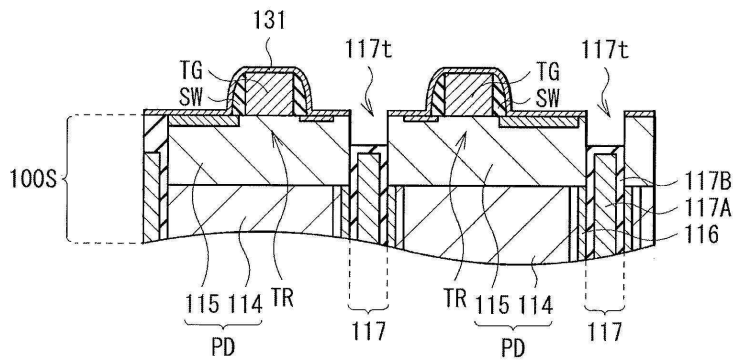
도면19c



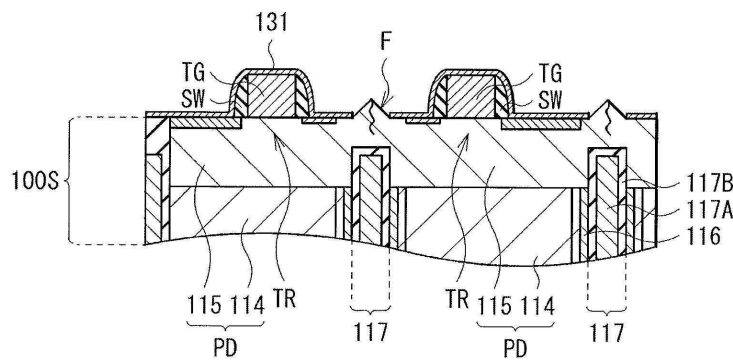
도면20a



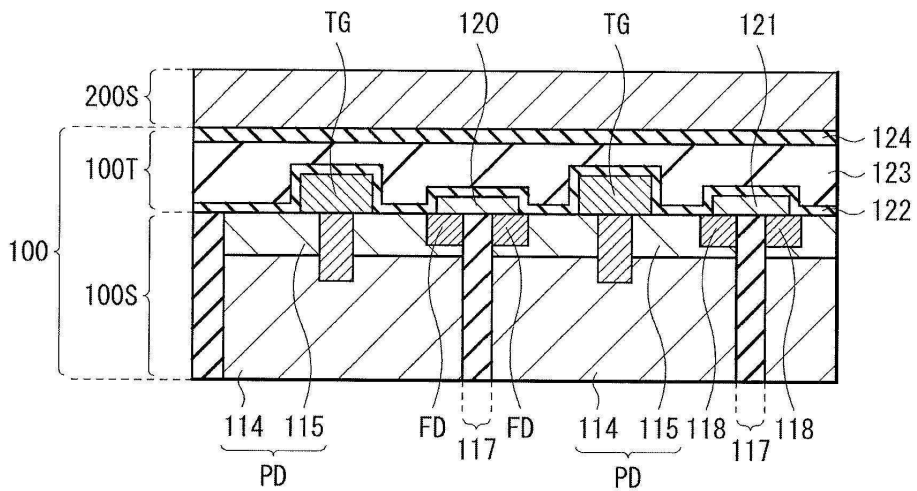
도면20b



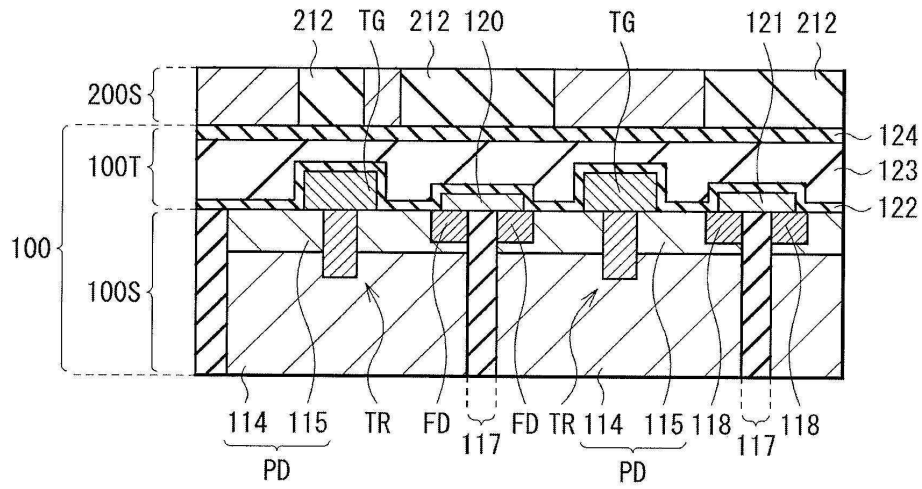
도면20c



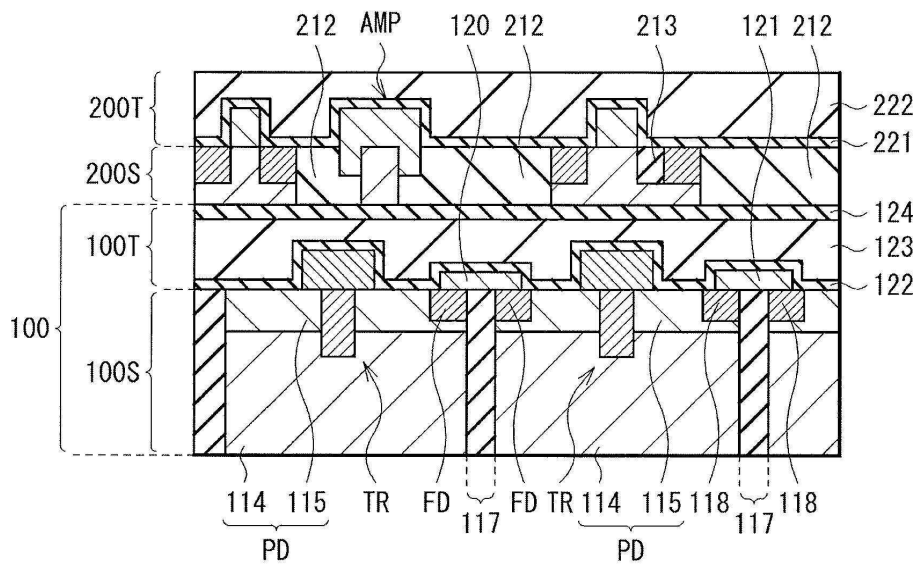
도면21a



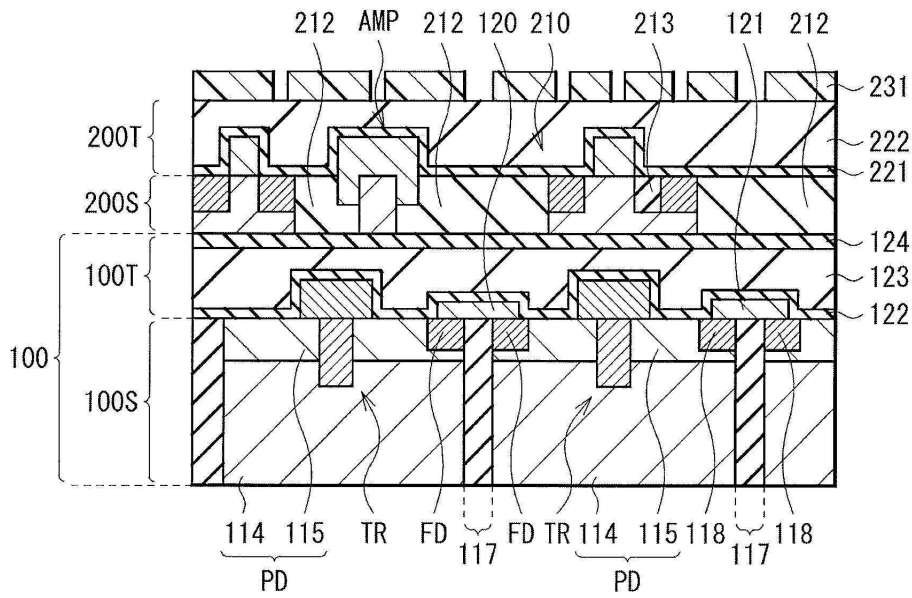
도면21b



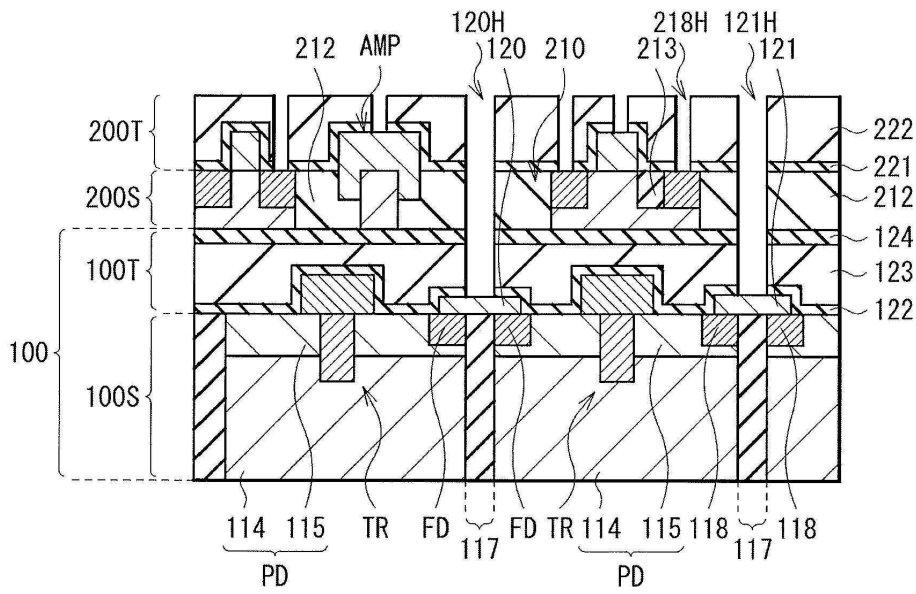
도면21c



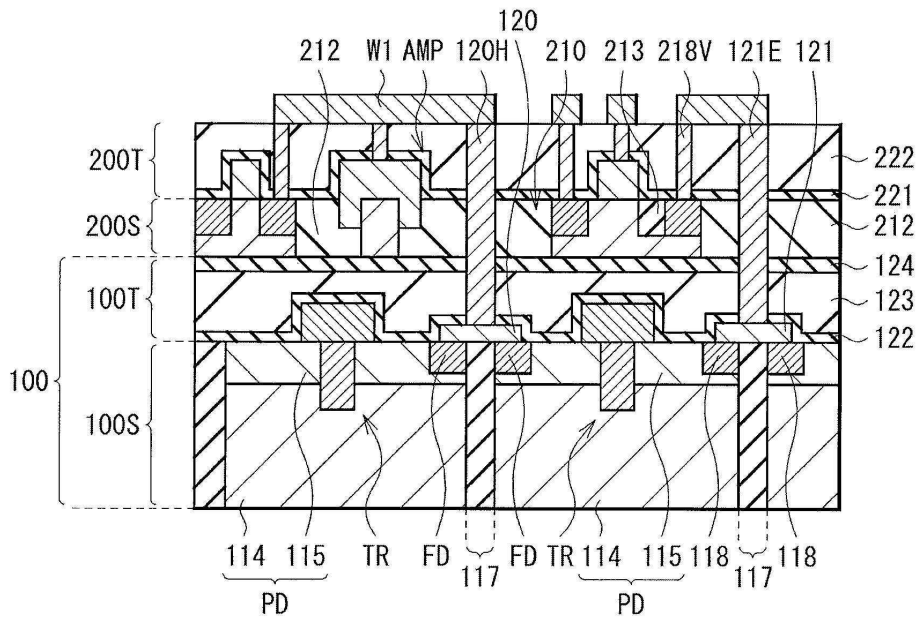
도면21d



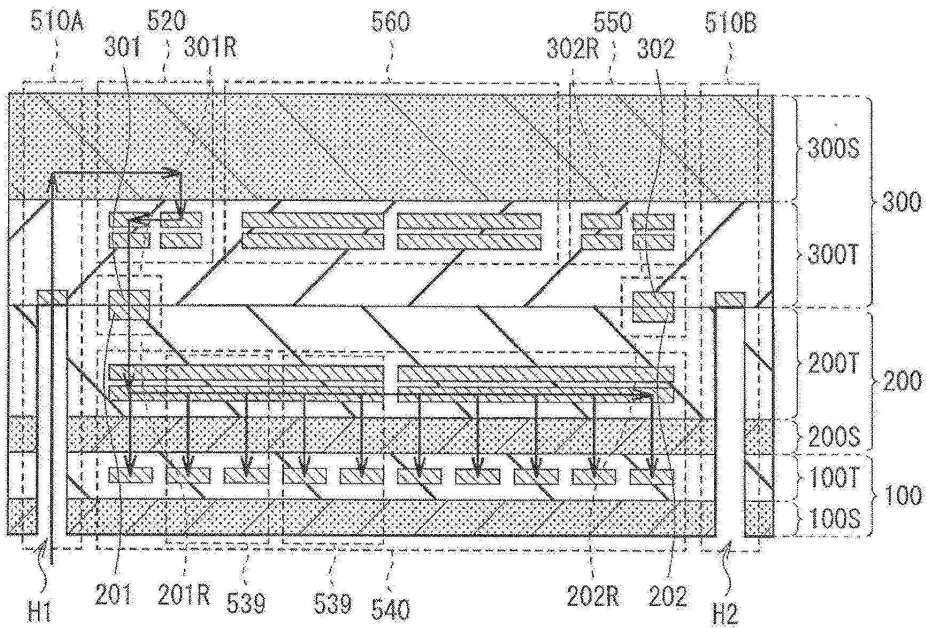
도면21e



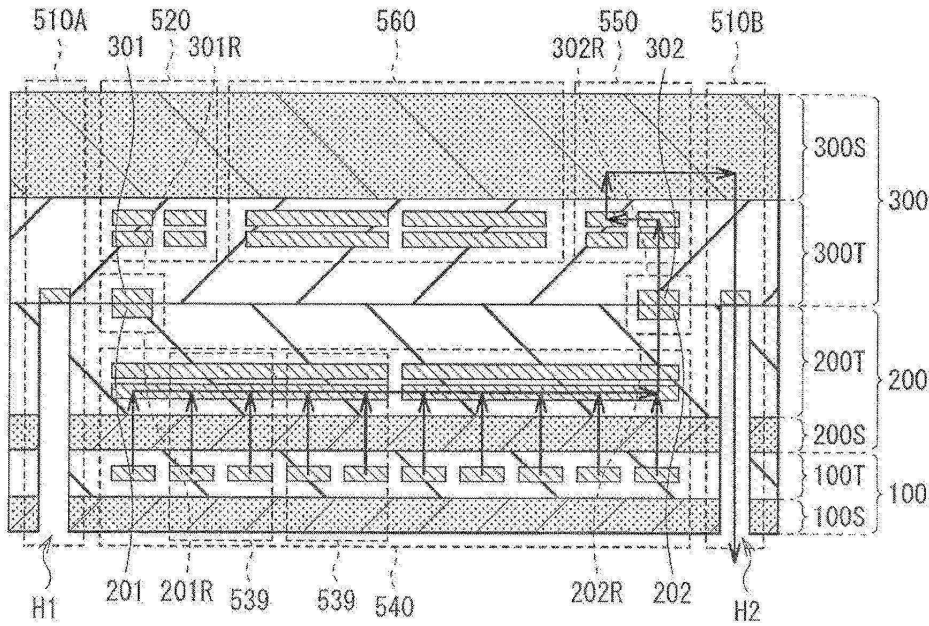
도면21f



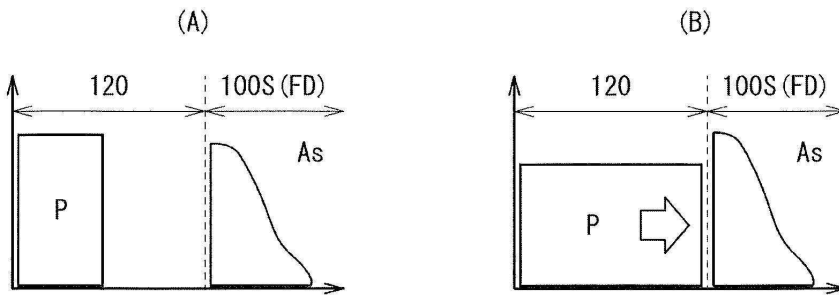
도면22



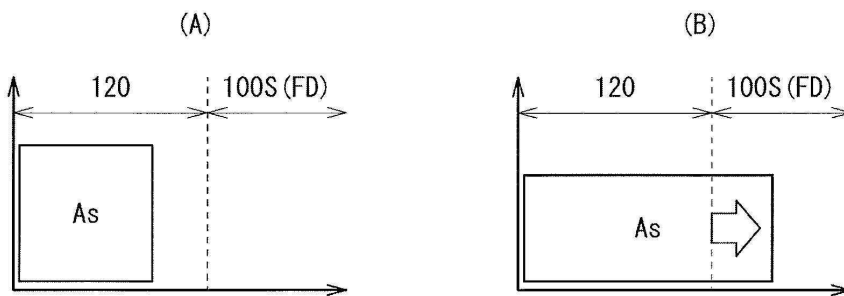
도면23



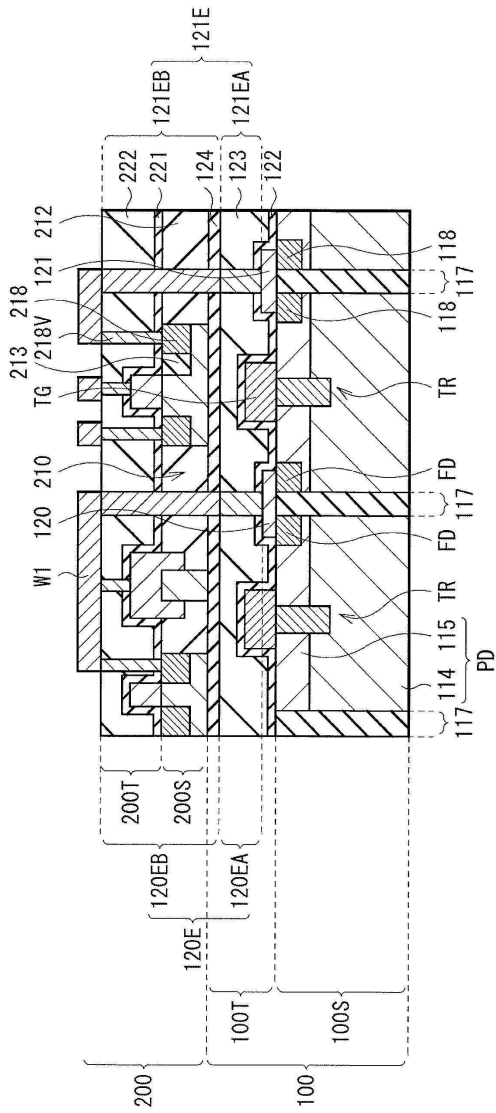
도면24



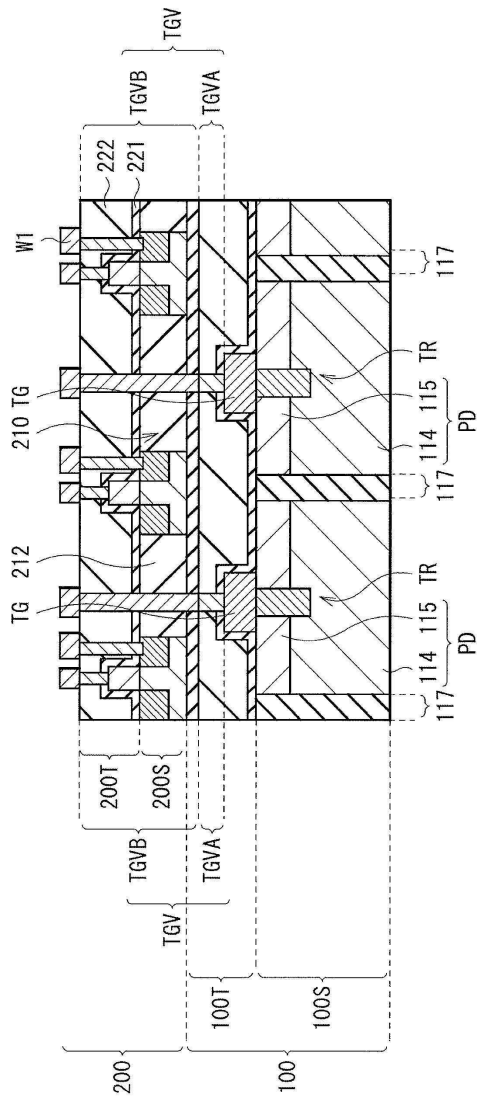
도면25



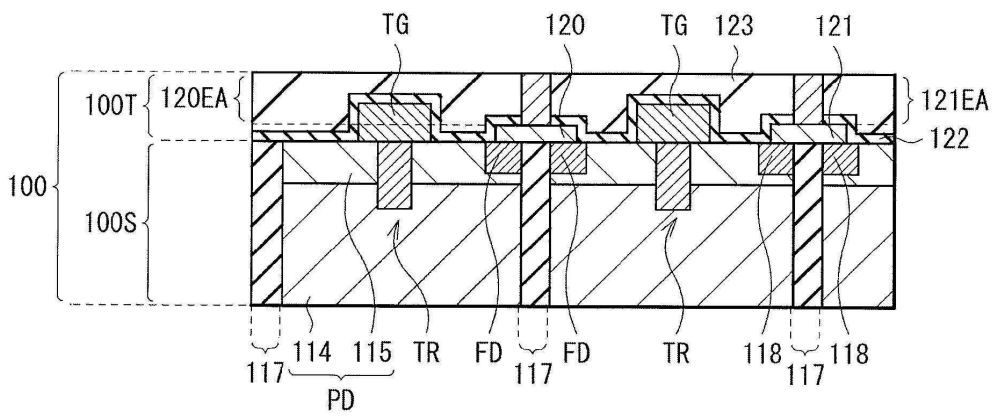
도면26a



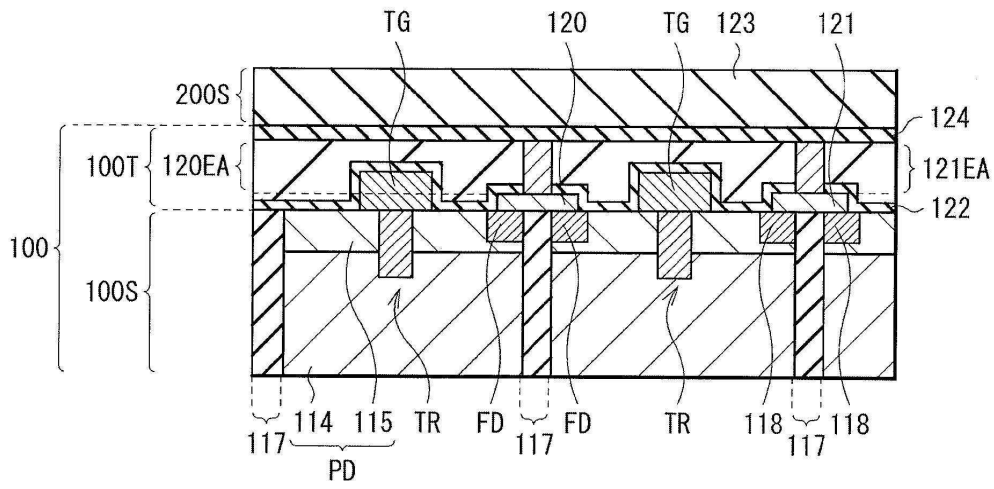
도면26b



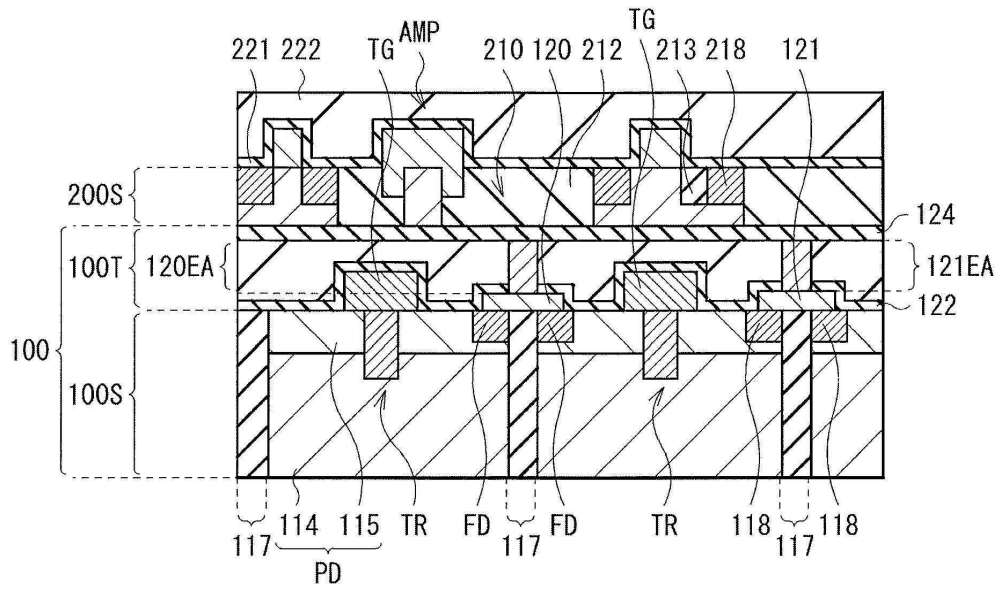
도면27a



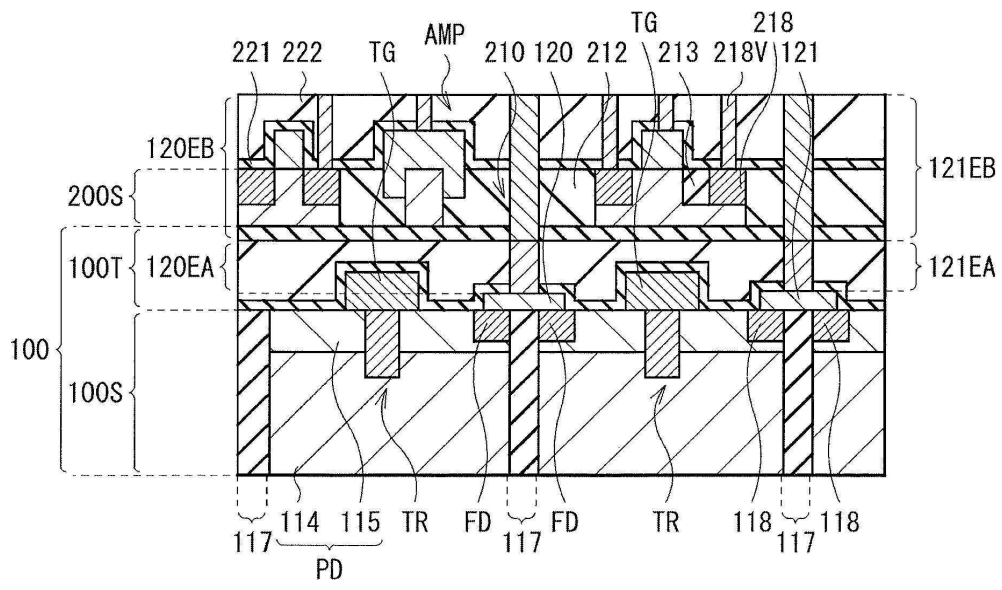
도면27b



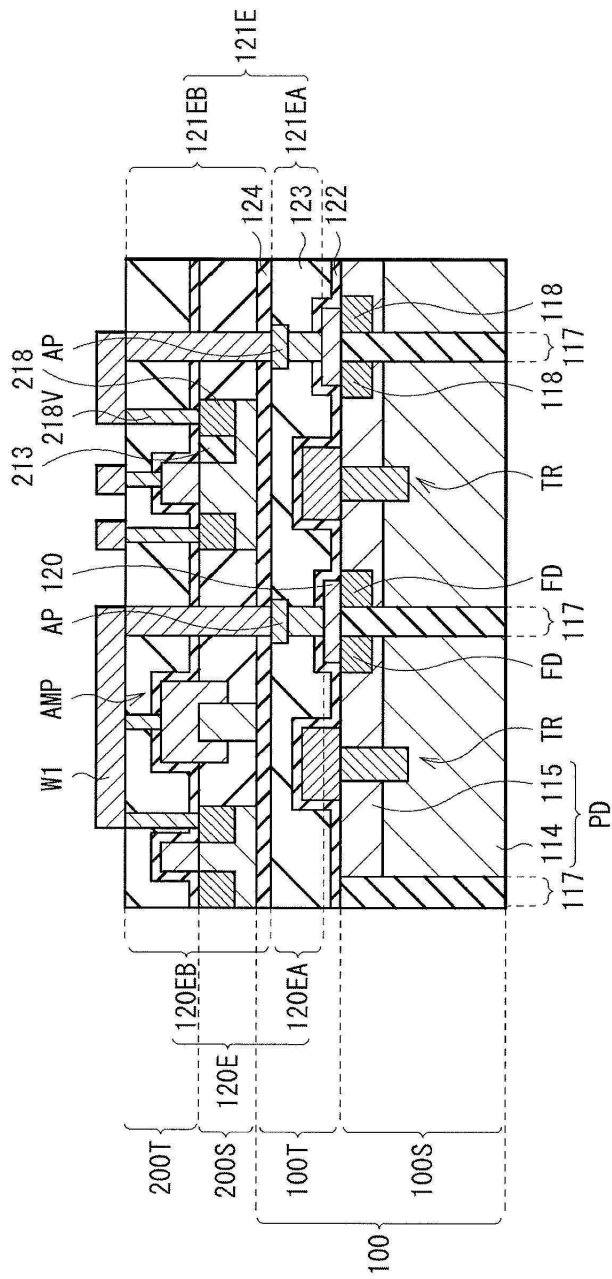
도면27c



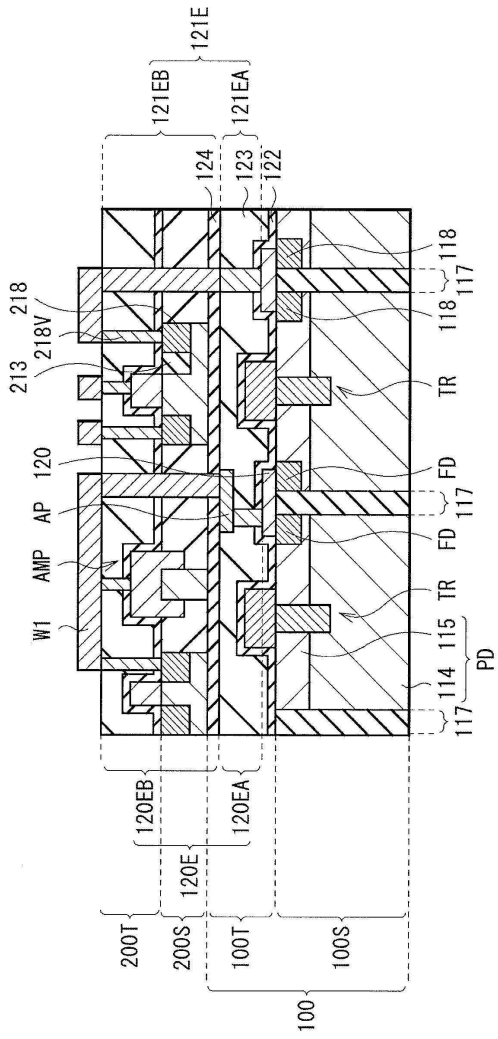
도면27d



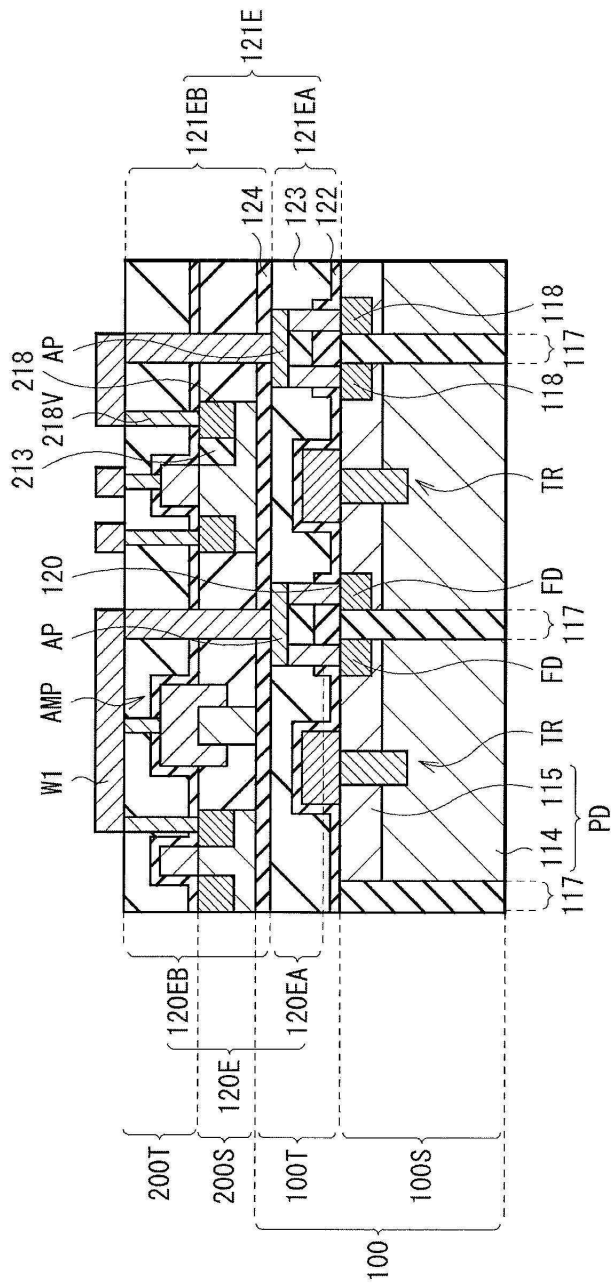
도면28



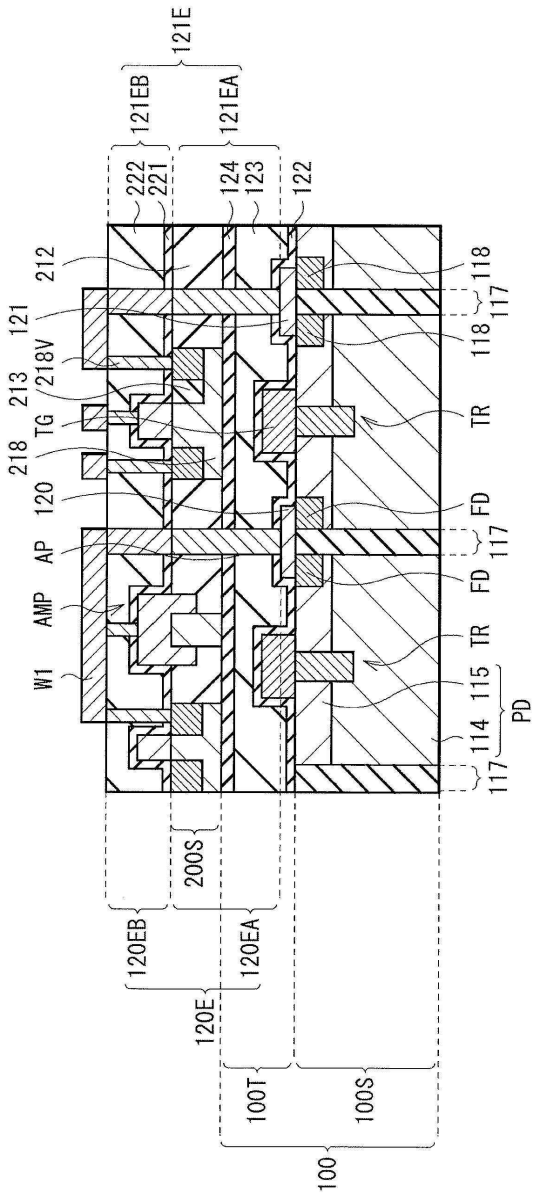
도면29



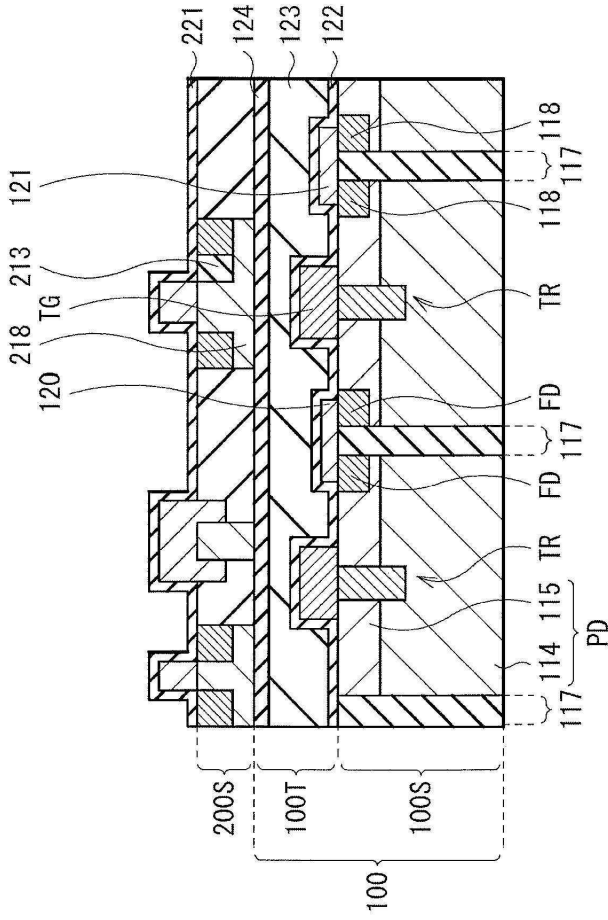
도면30



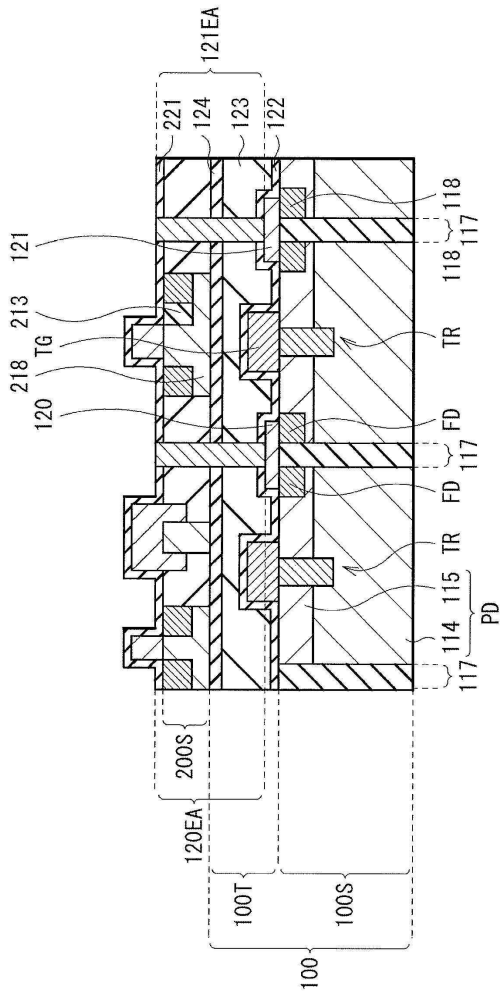
도면31



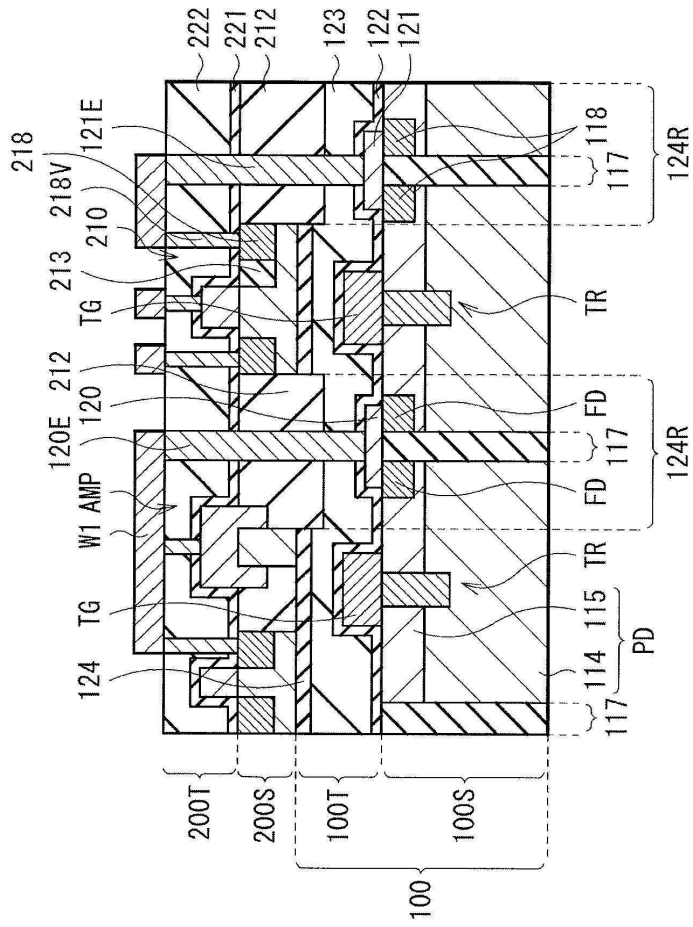
도면33a



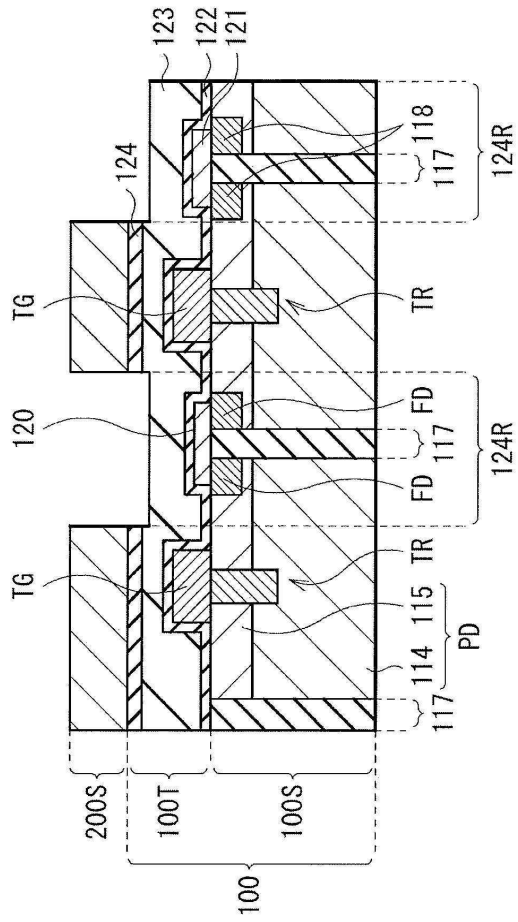
도면33b



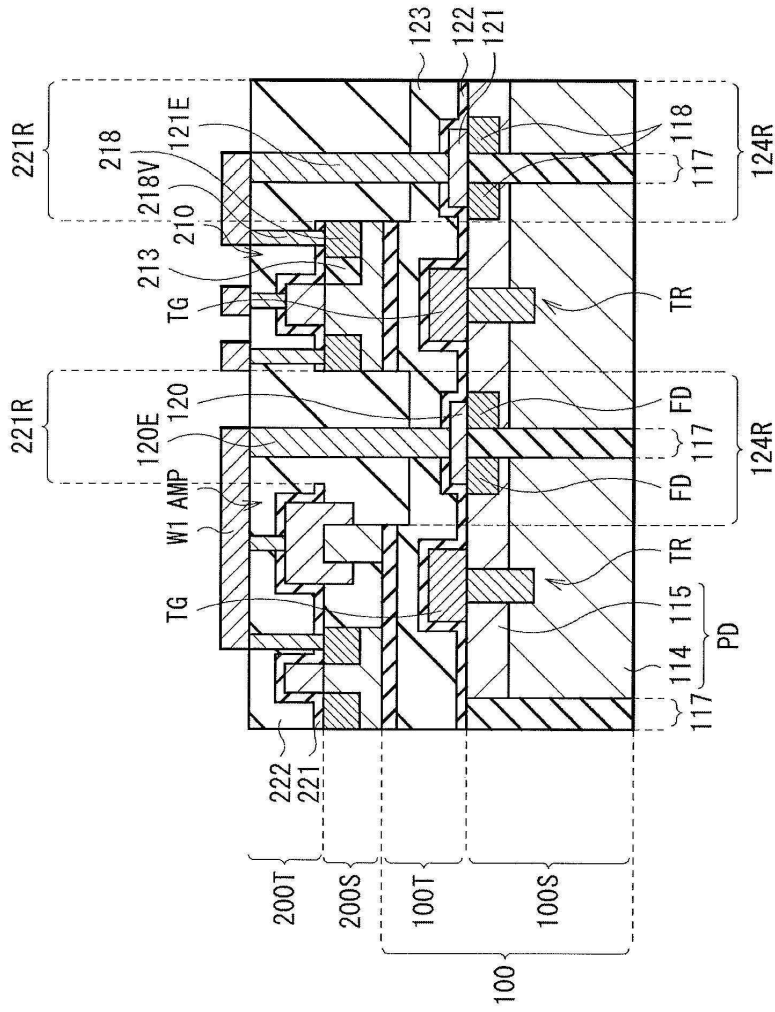
도면34



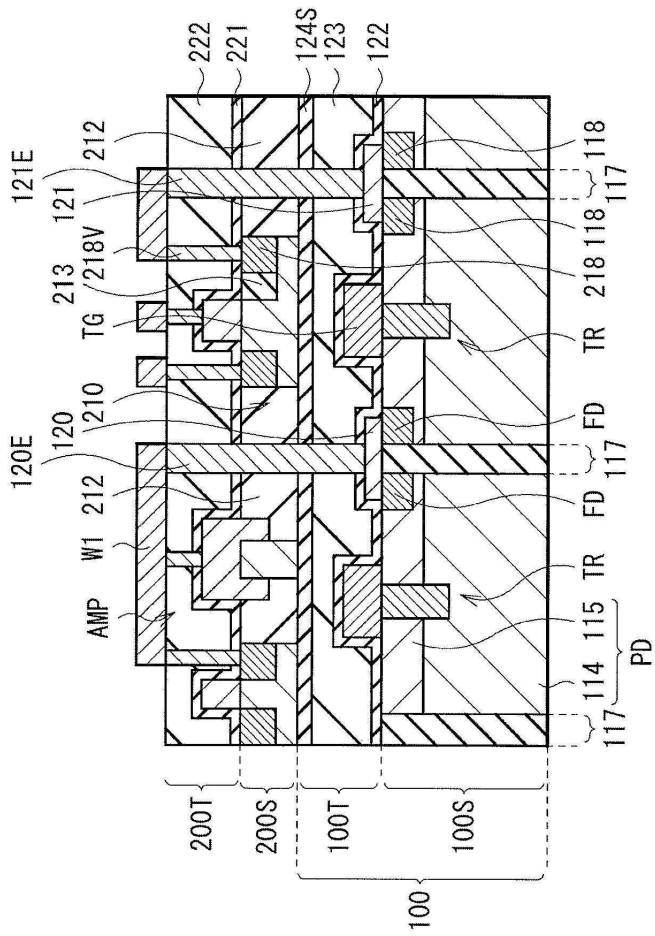
도면35



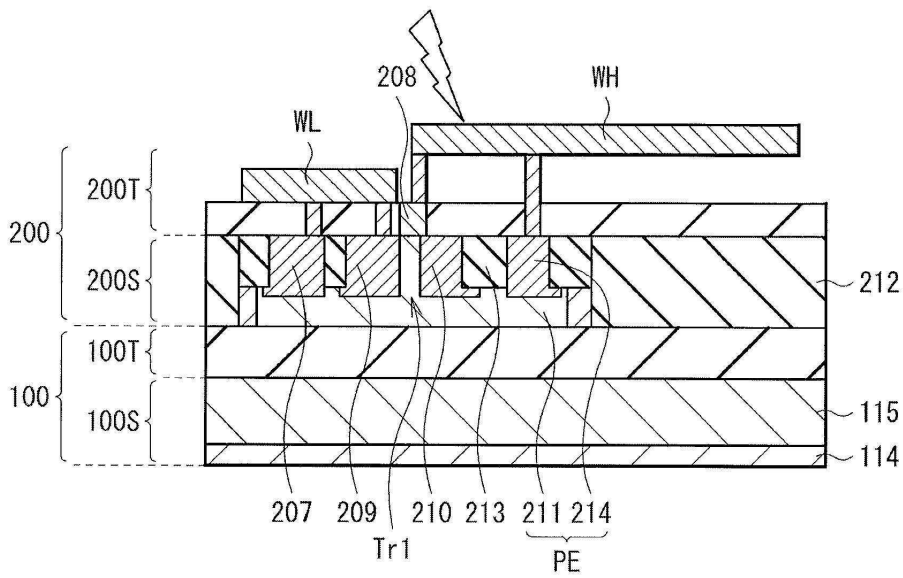
도면36



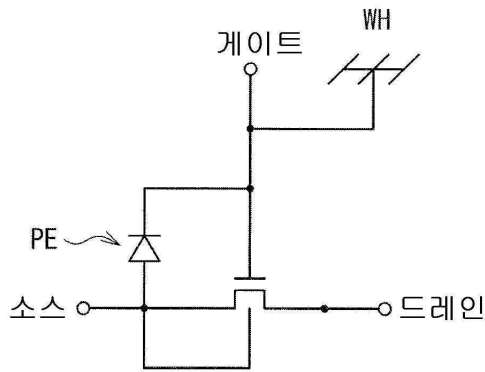
도면37



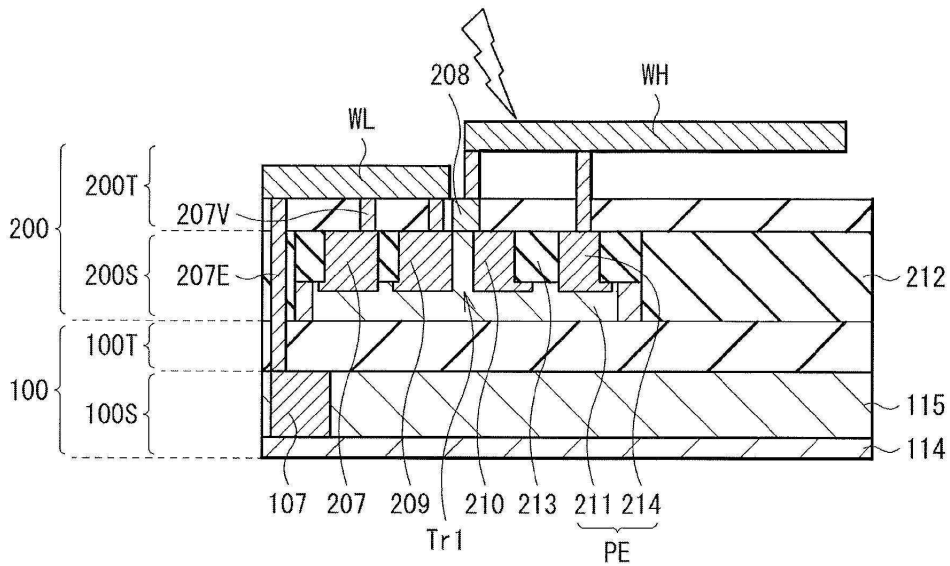
도면38



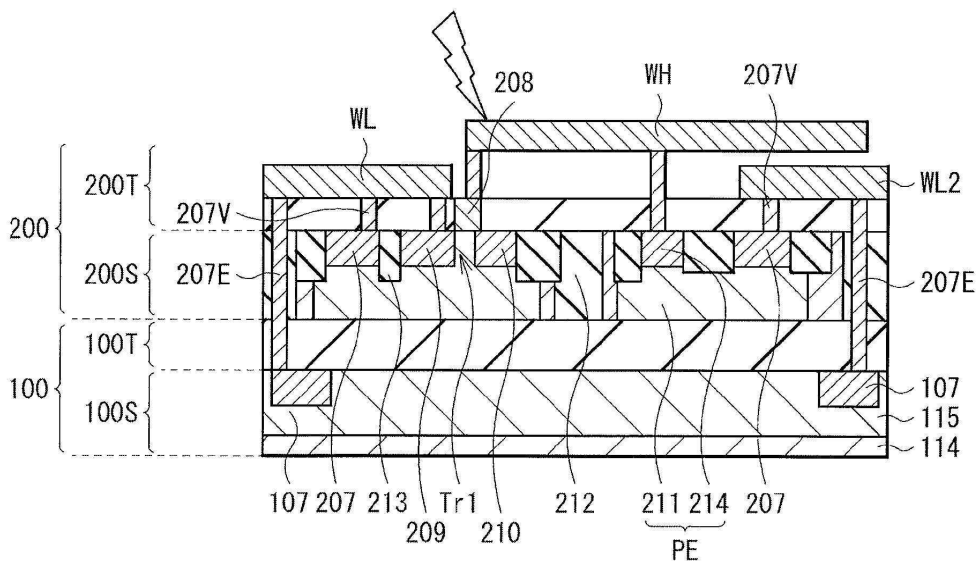
도면39



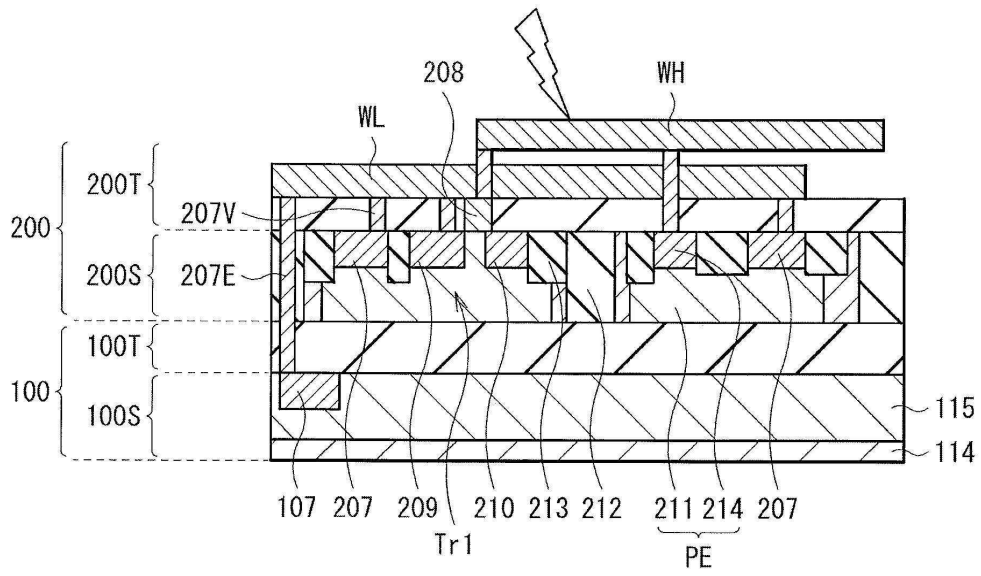
도면40



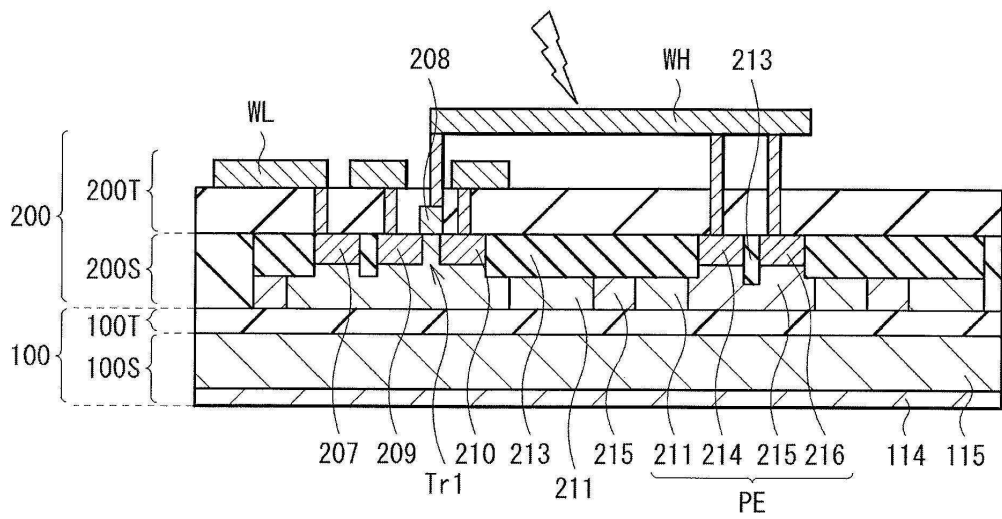
도면41



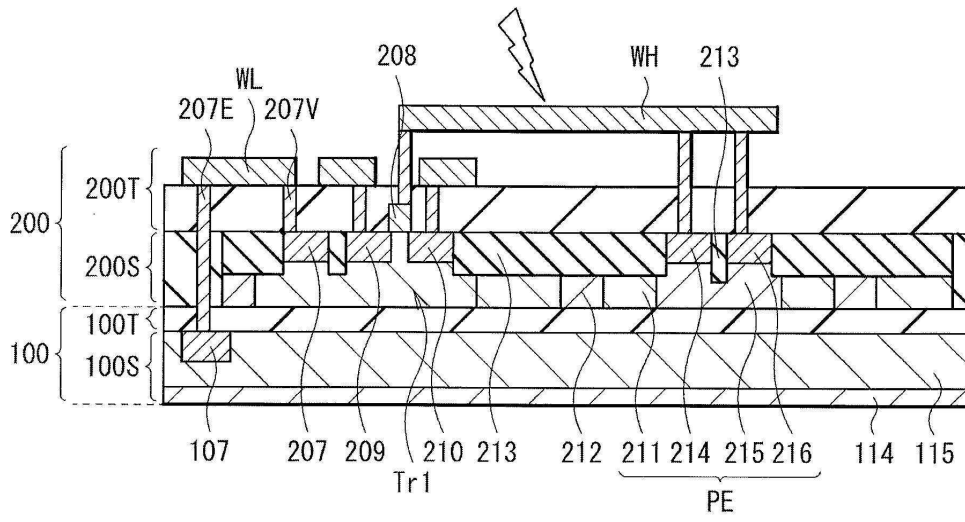
도면42



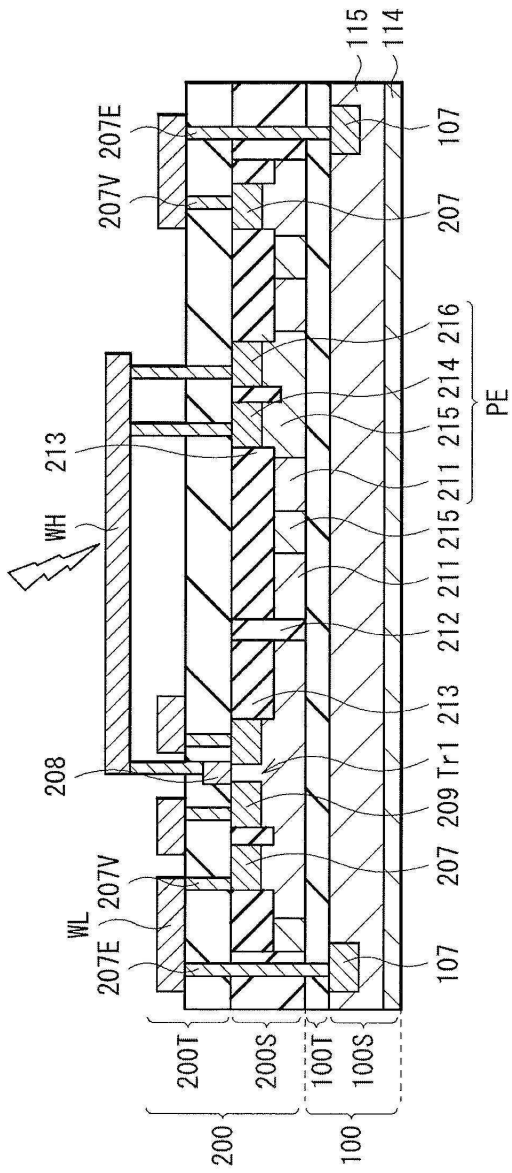
도면43



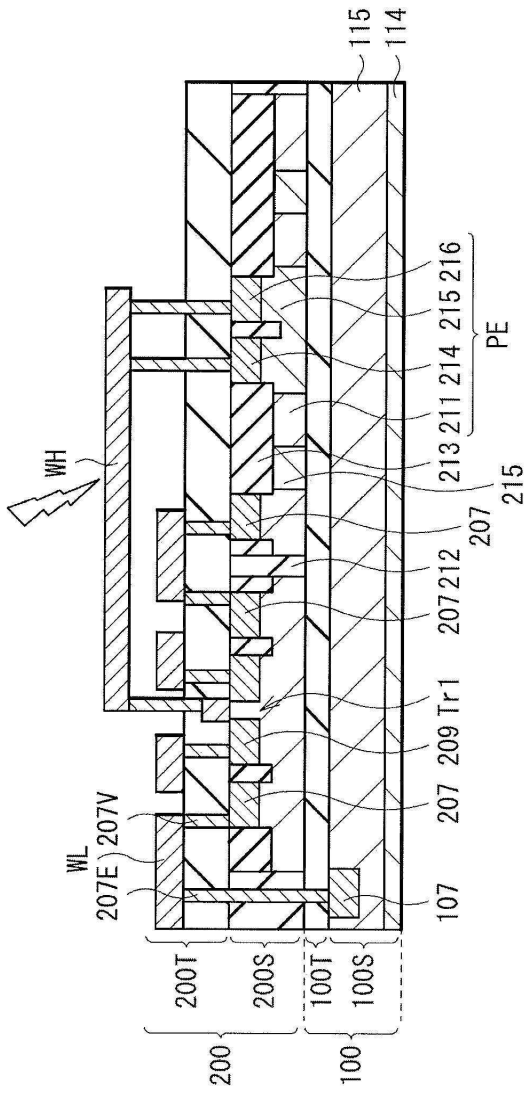
도면44



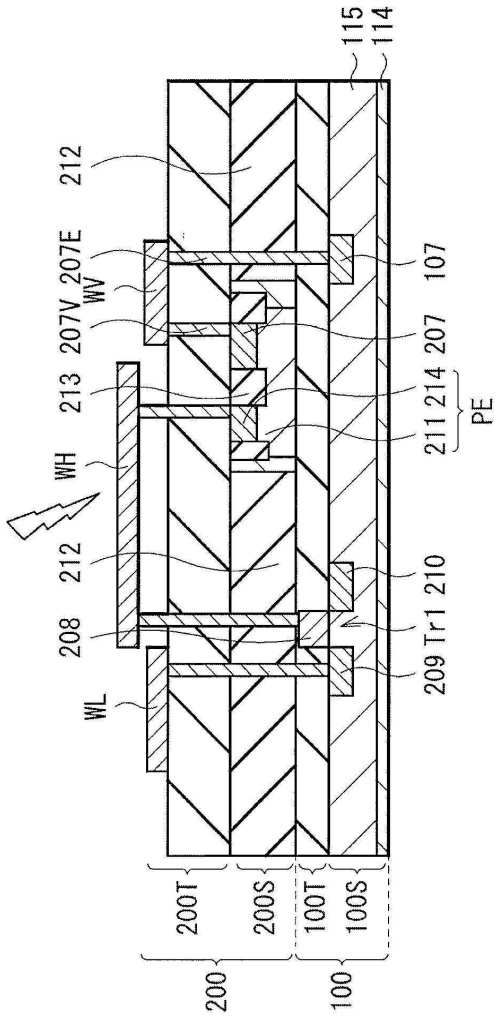
도면45



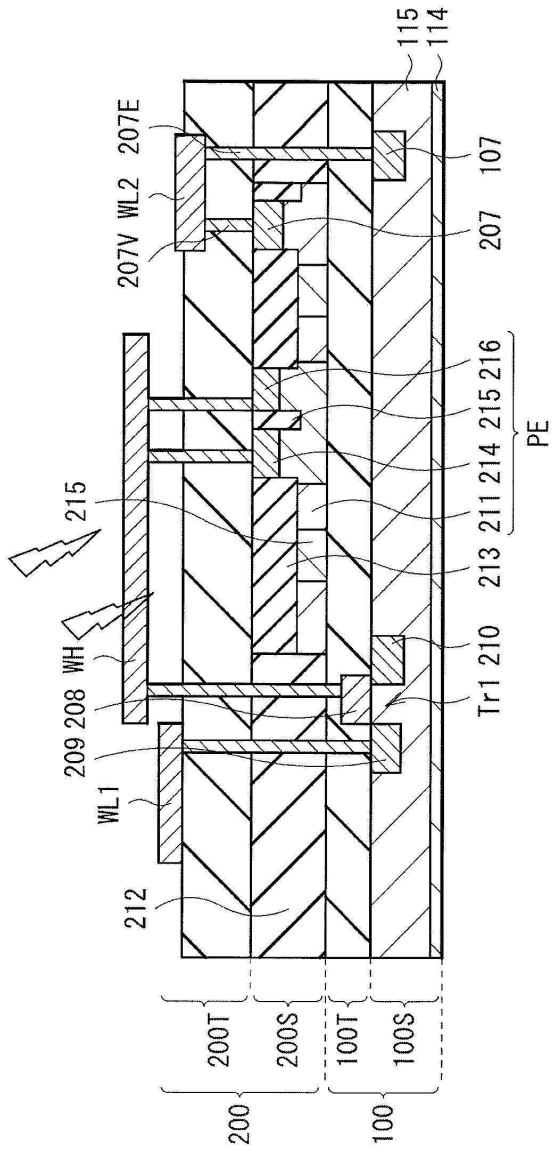
도면46



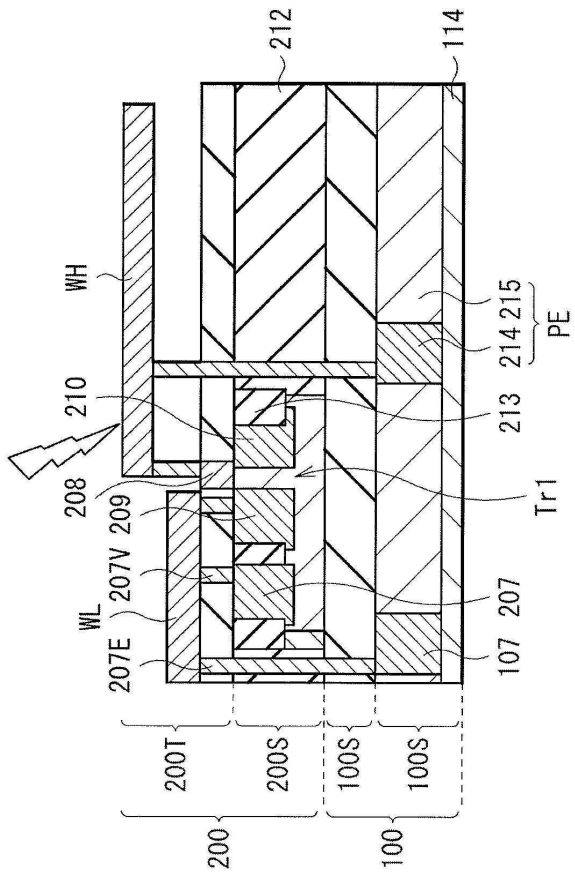
도면47



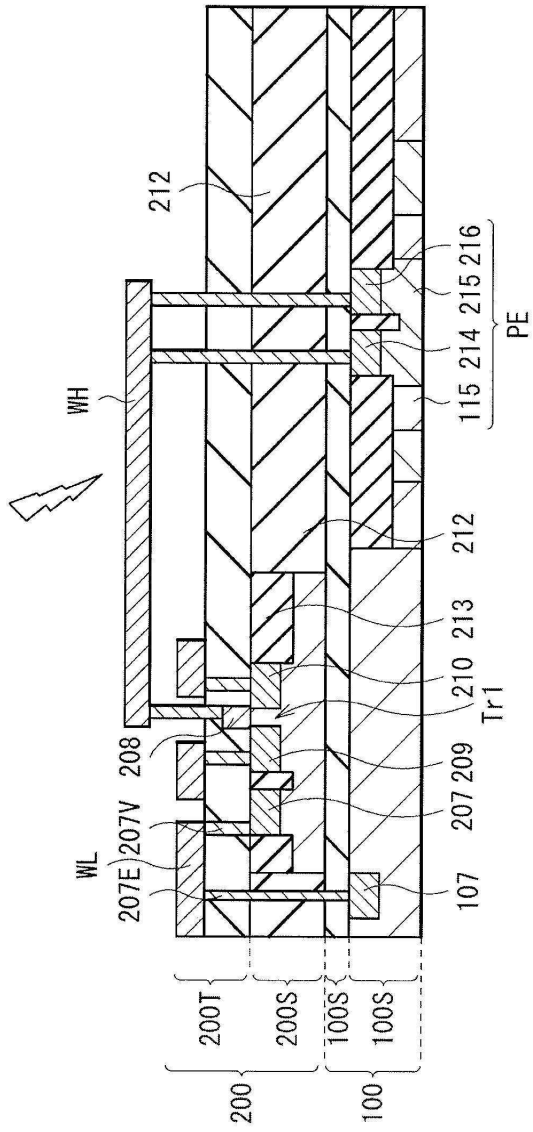
도면48



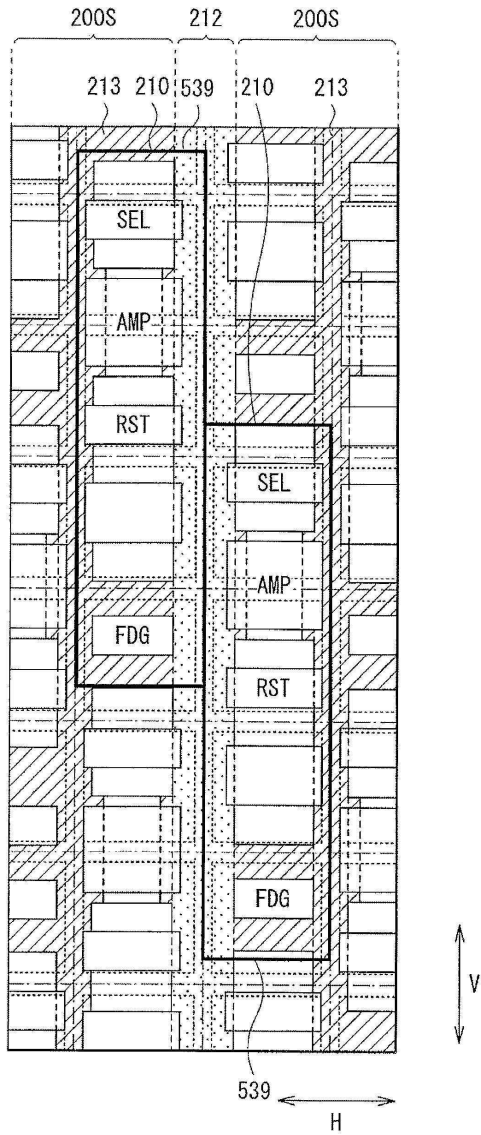
도면49



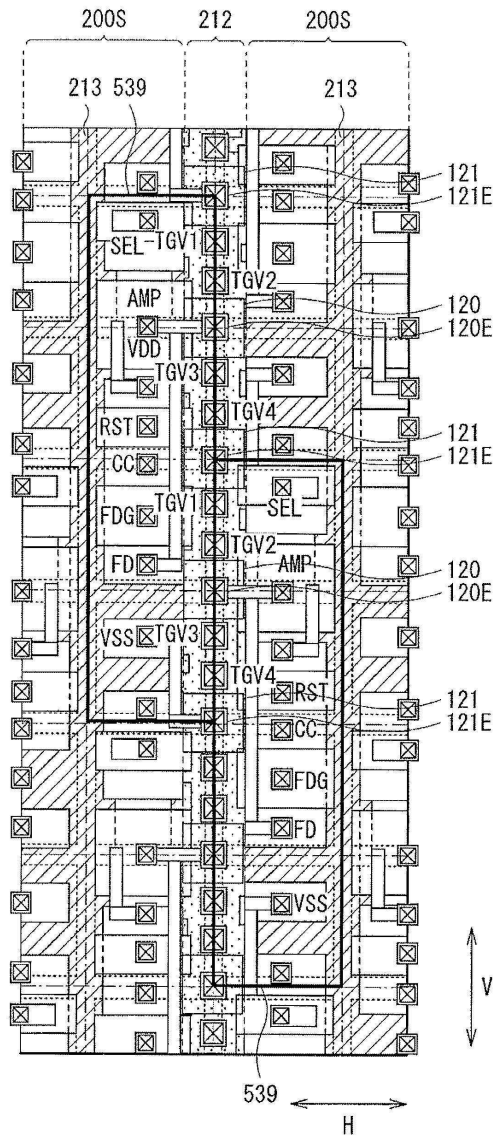
도면50



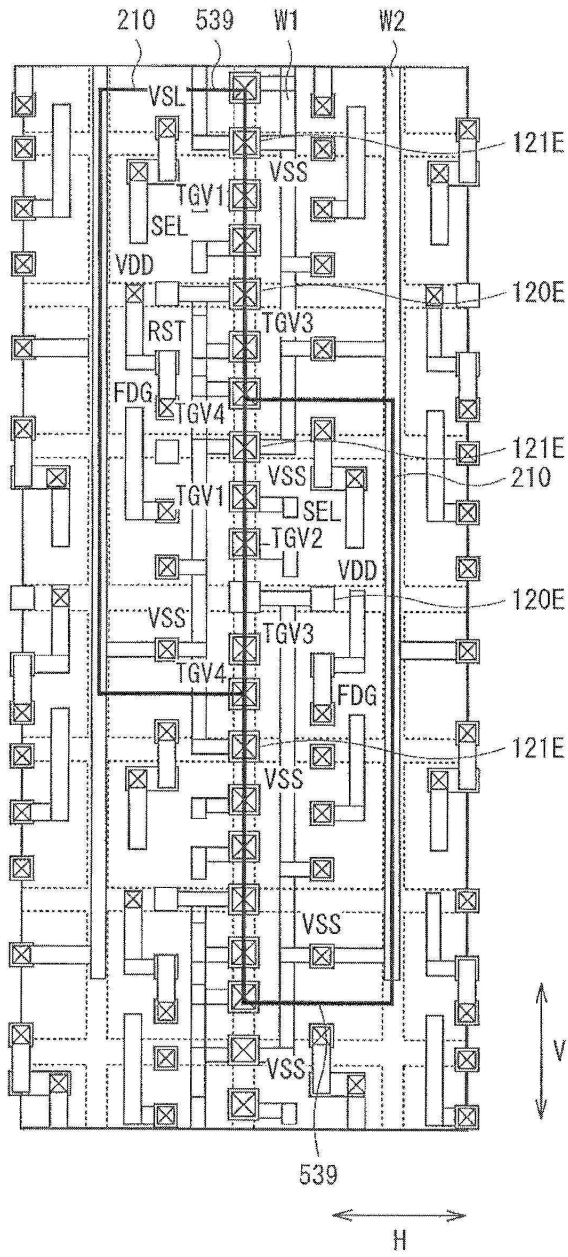
도면51



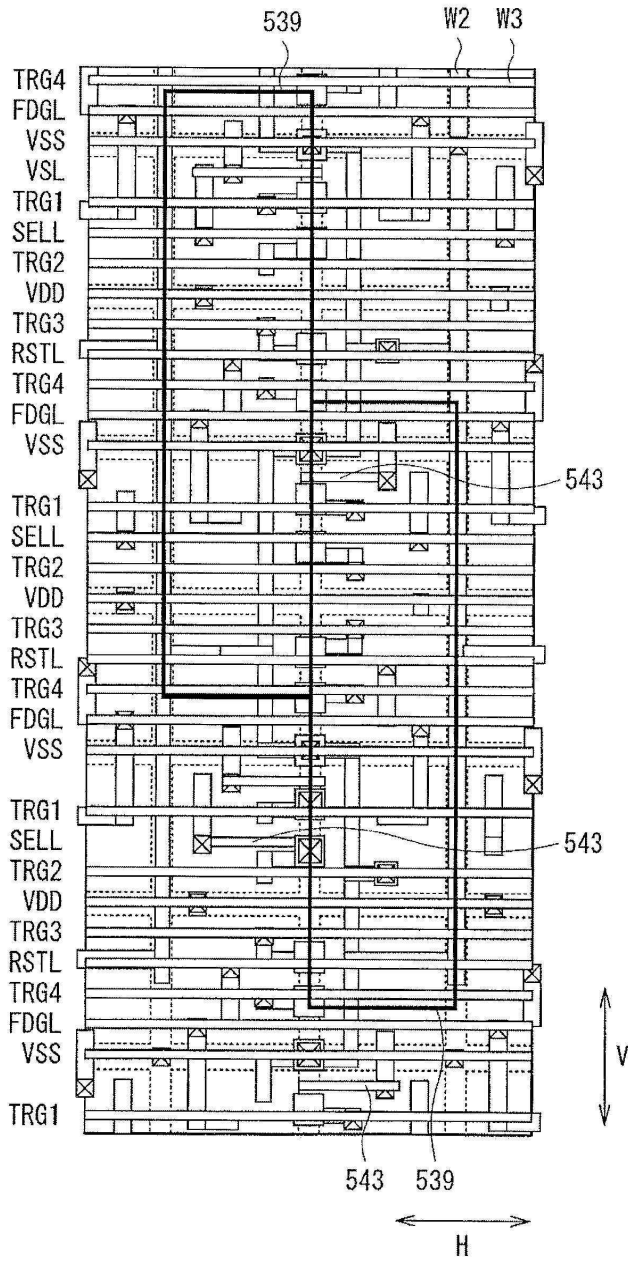
도면52



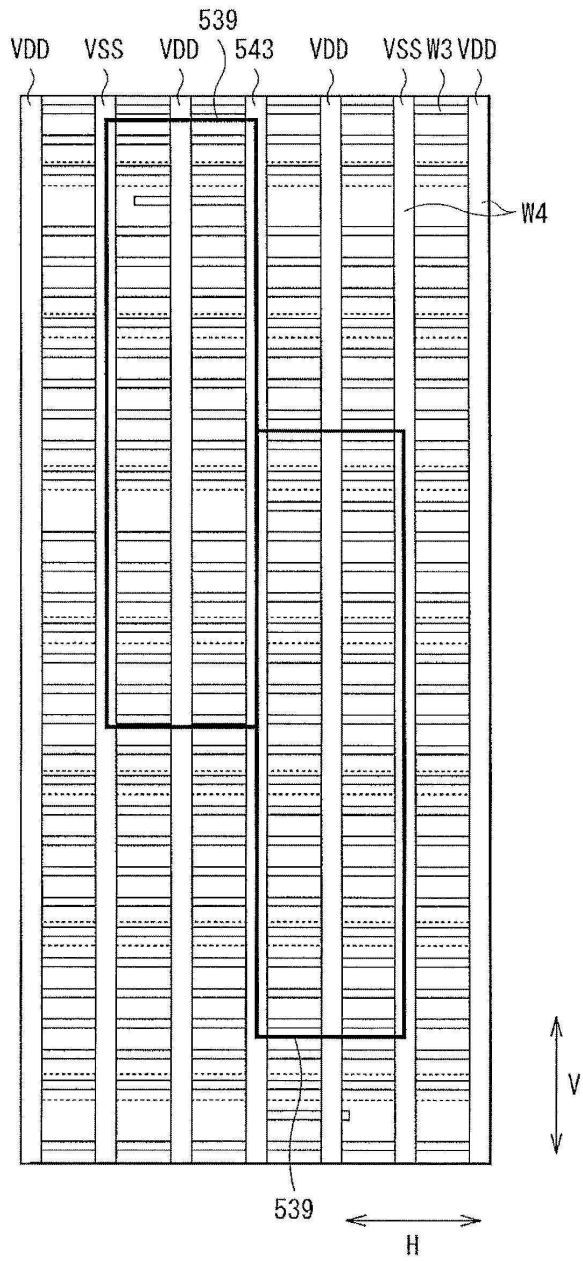
도면53



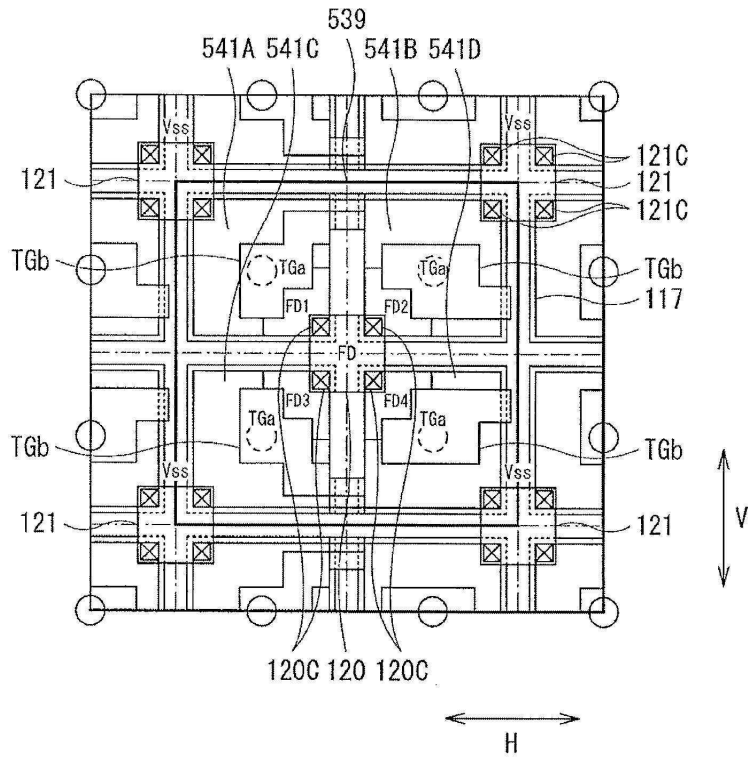
도면54



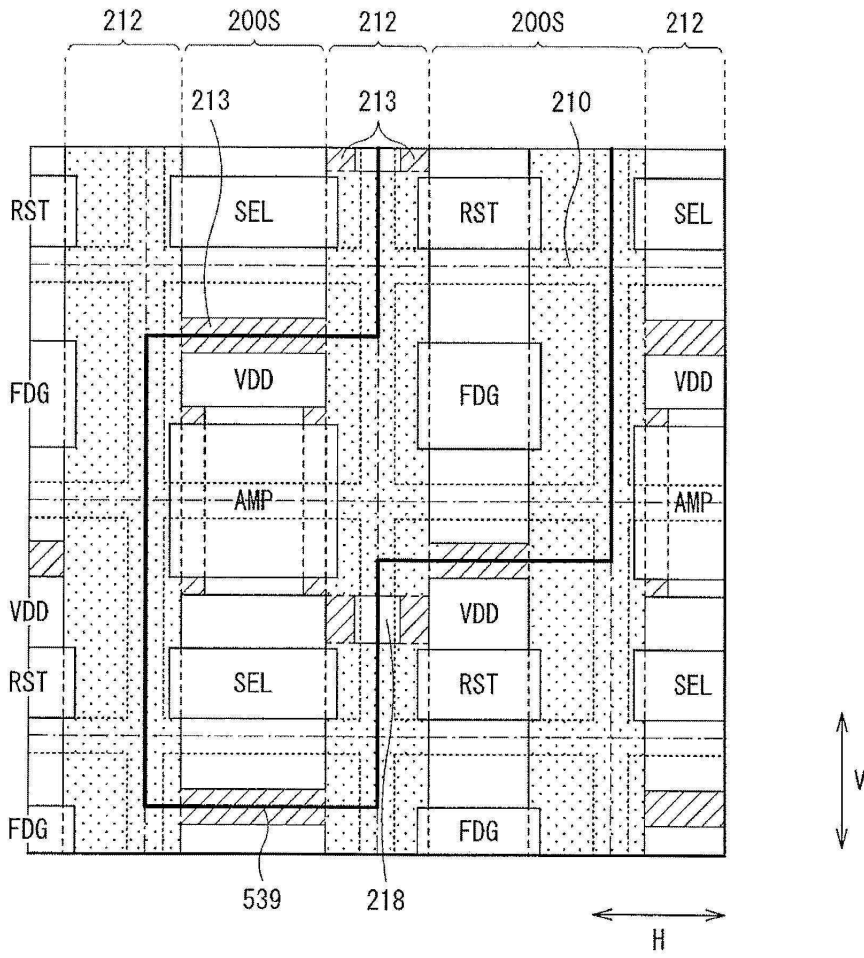
도면55



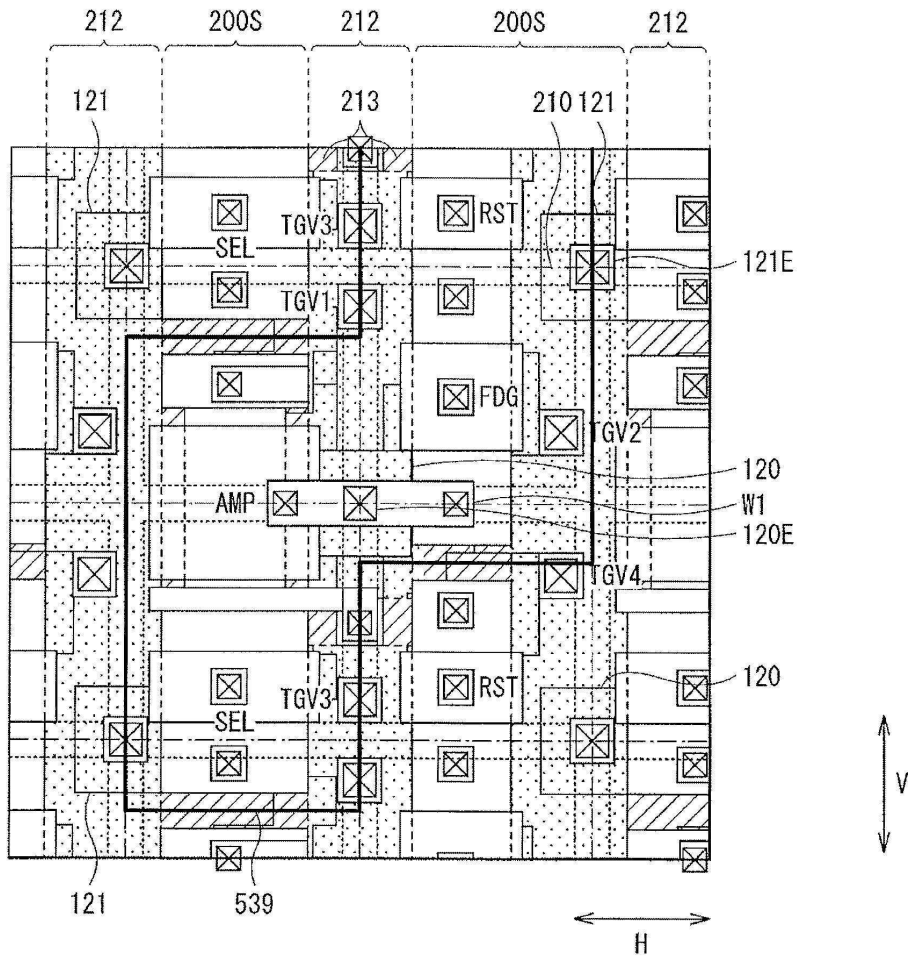
도면56



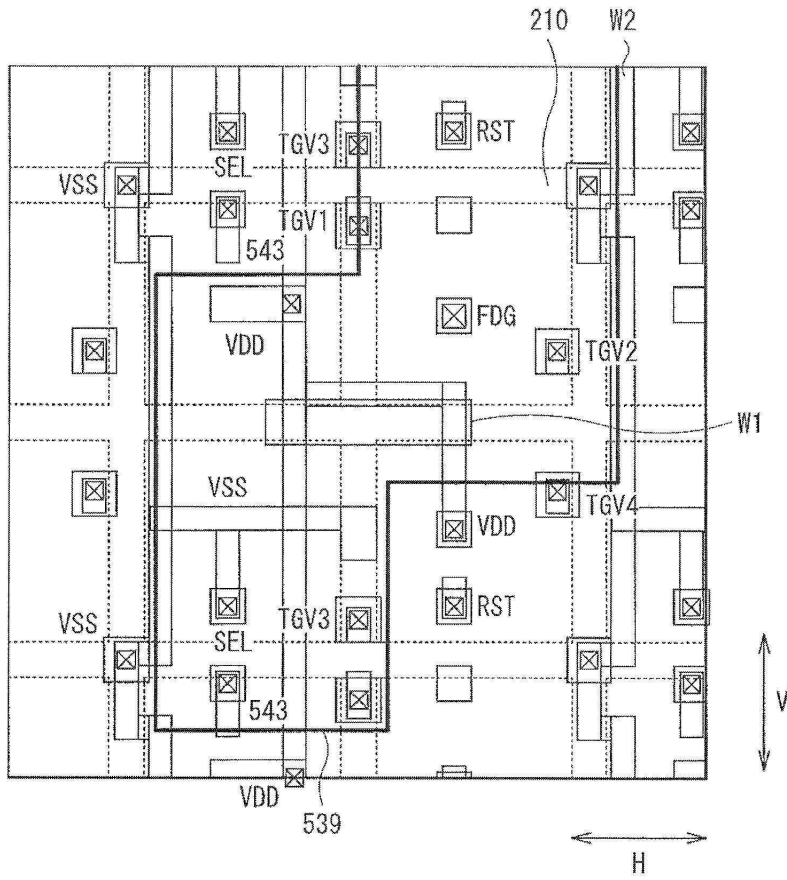
도면57



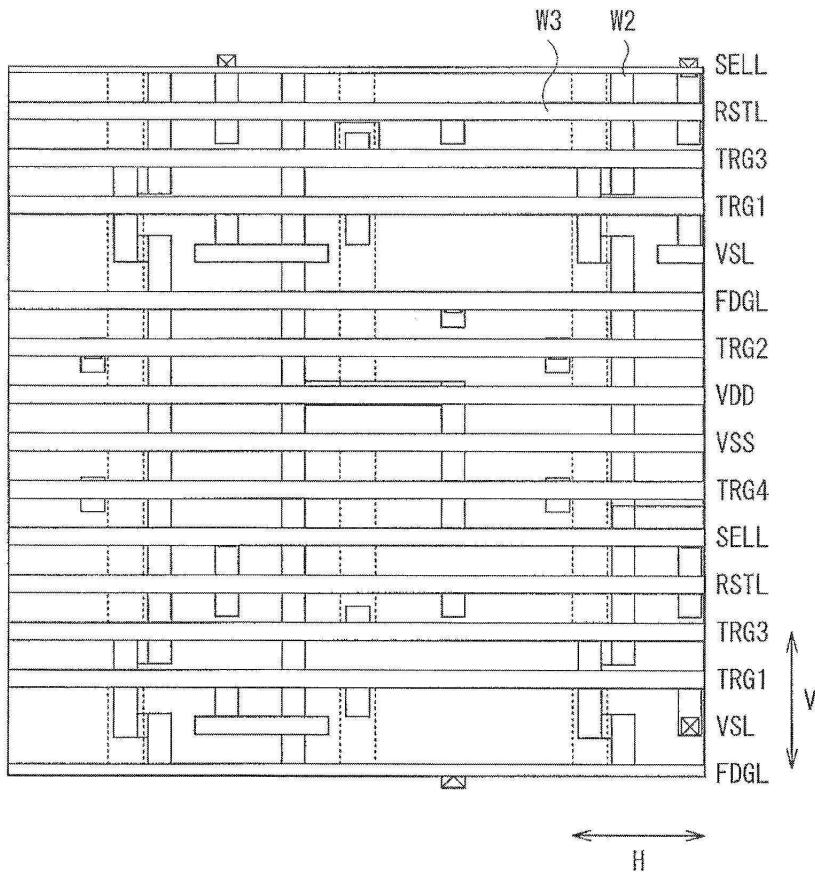
도면58



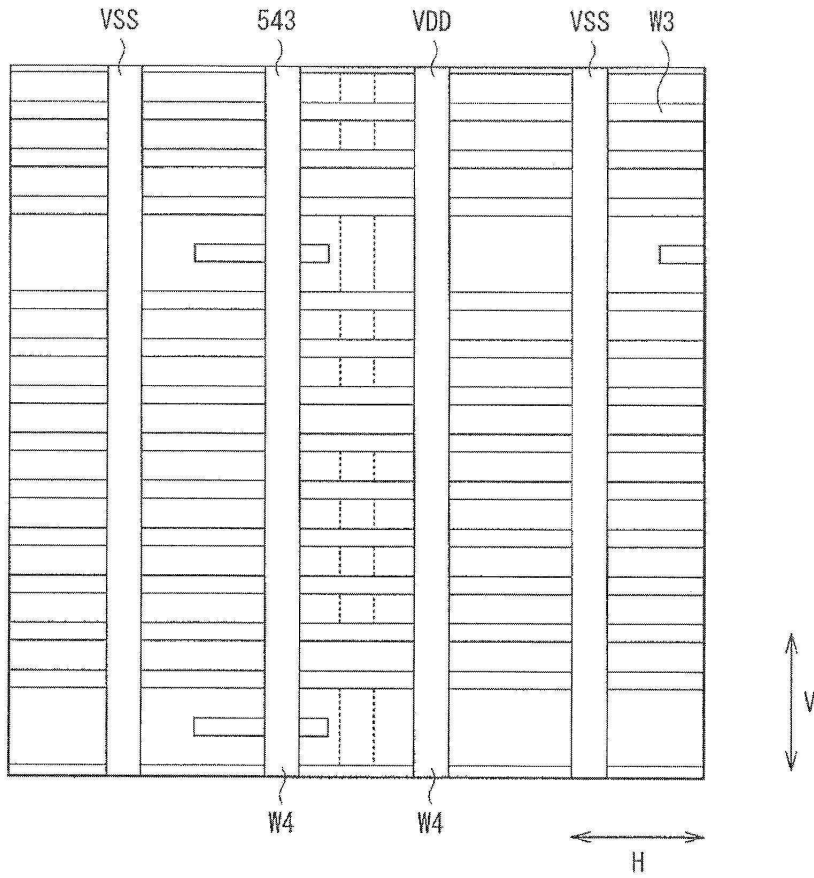
도면59



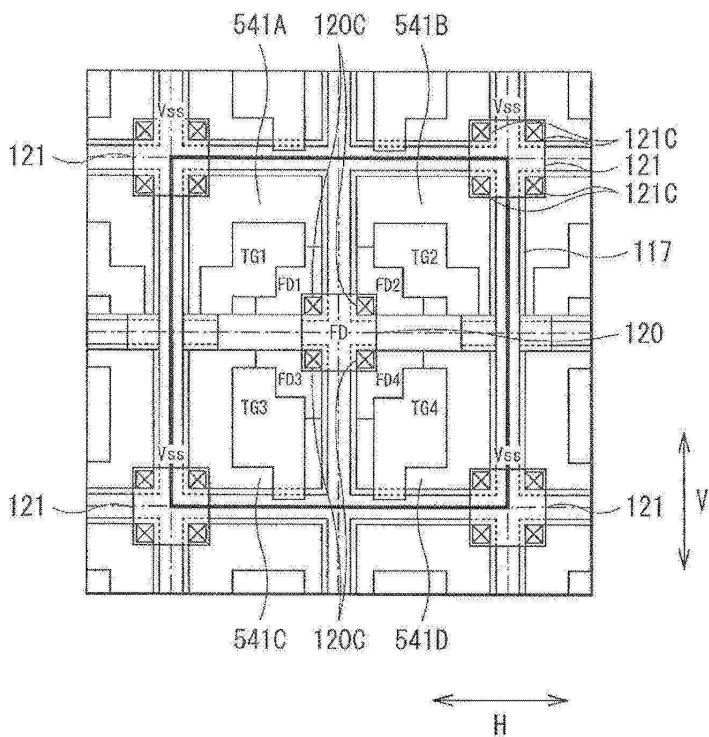
도면60



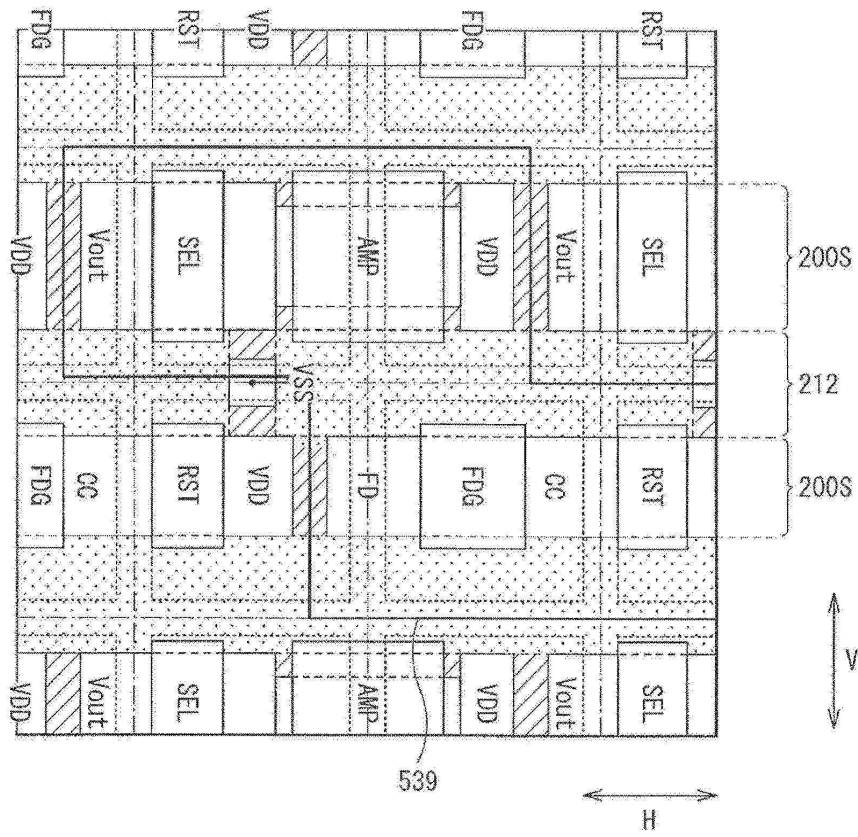
도면61



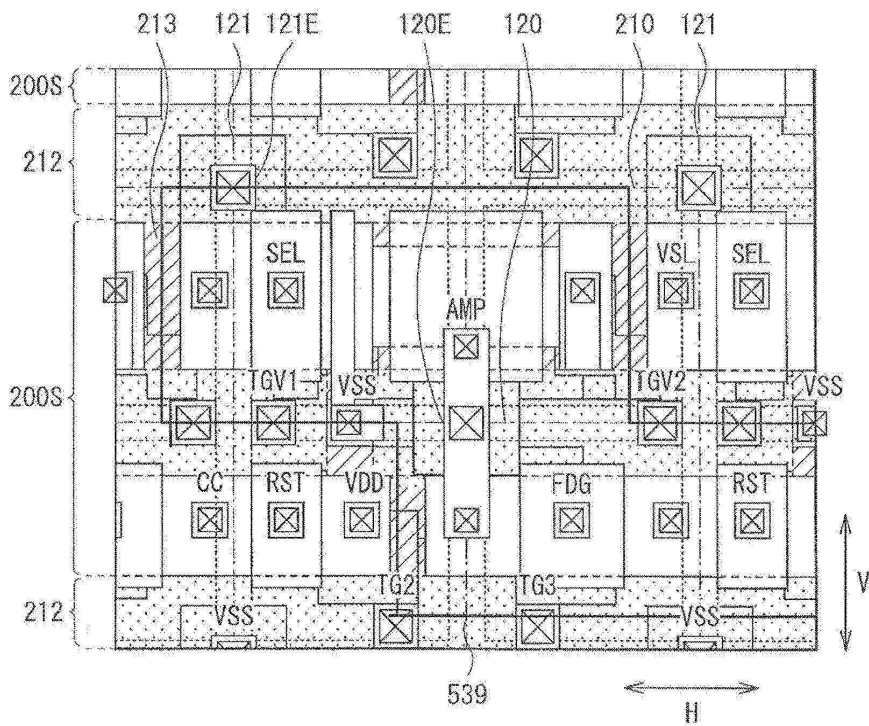
도면62



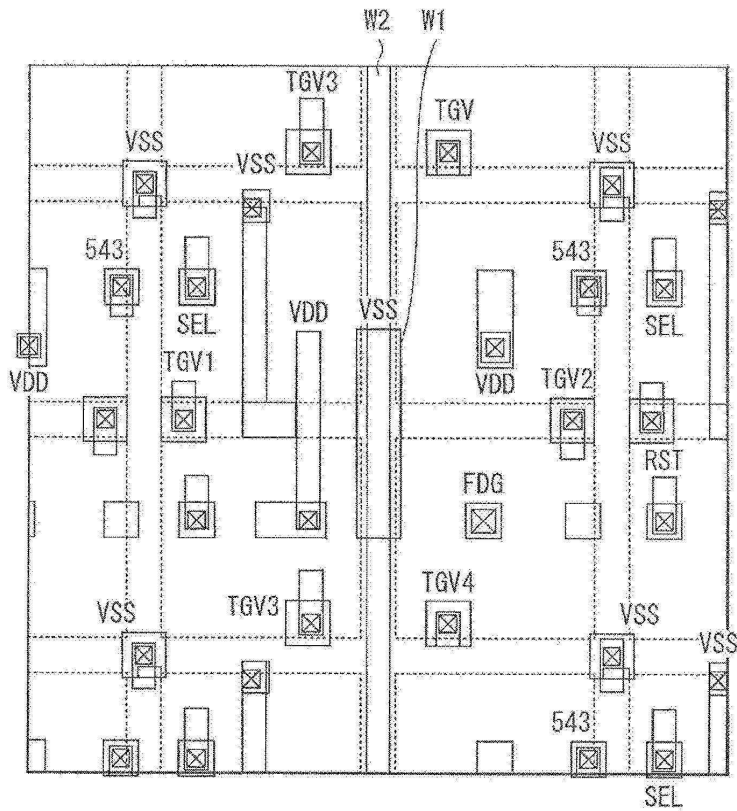
도면63



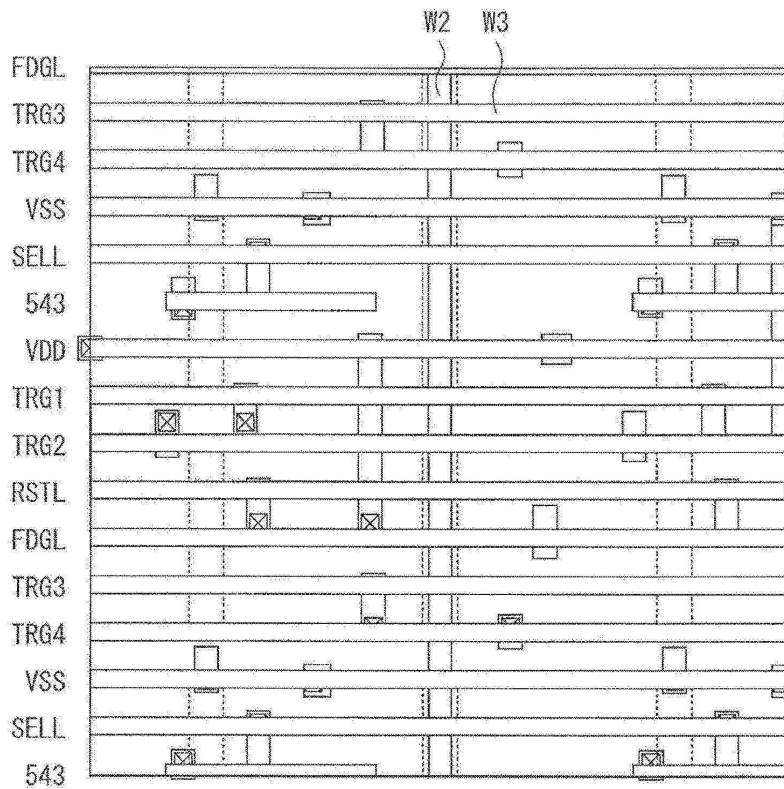
도면64



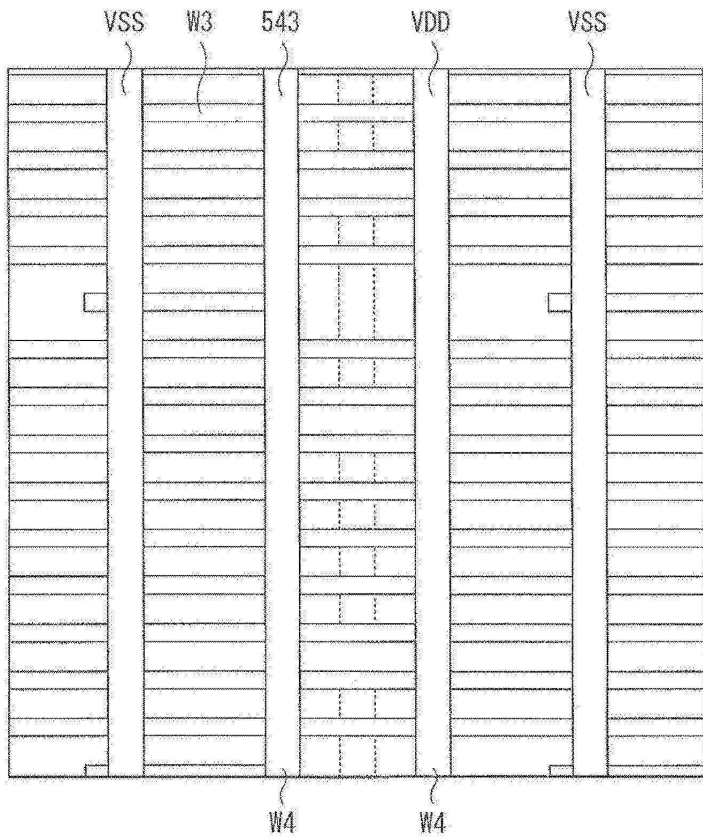
도면65



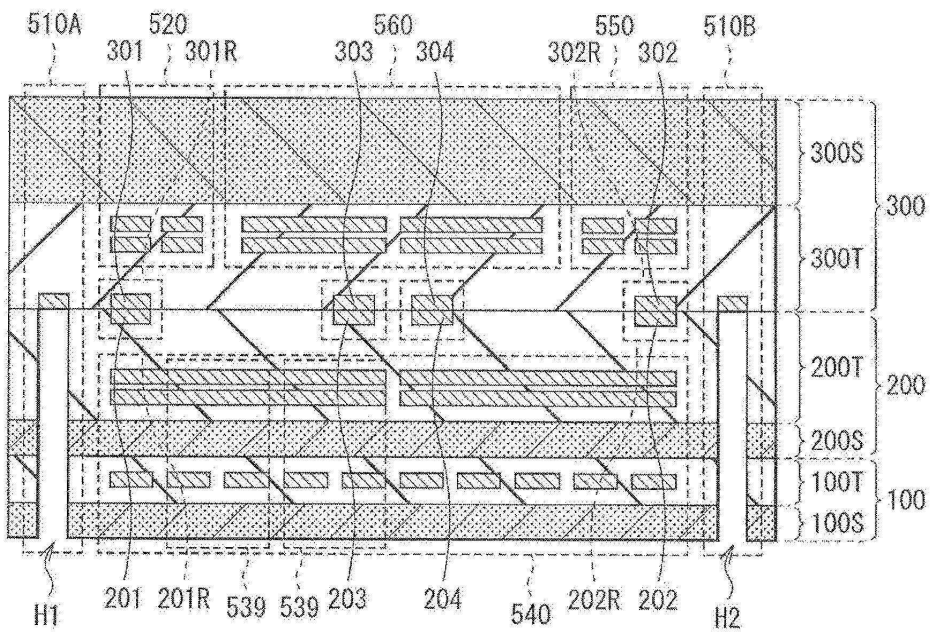
도면66



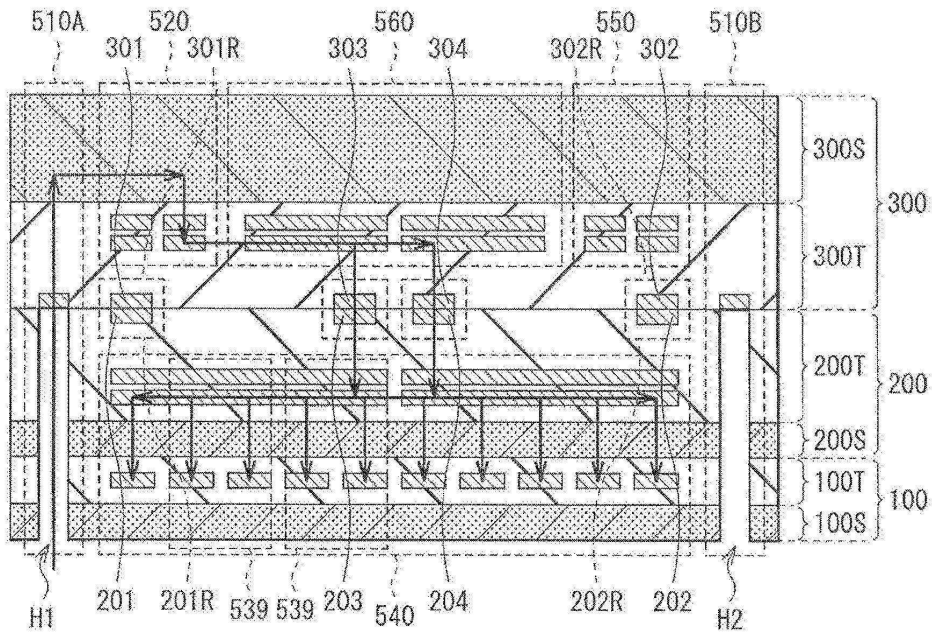
도면67



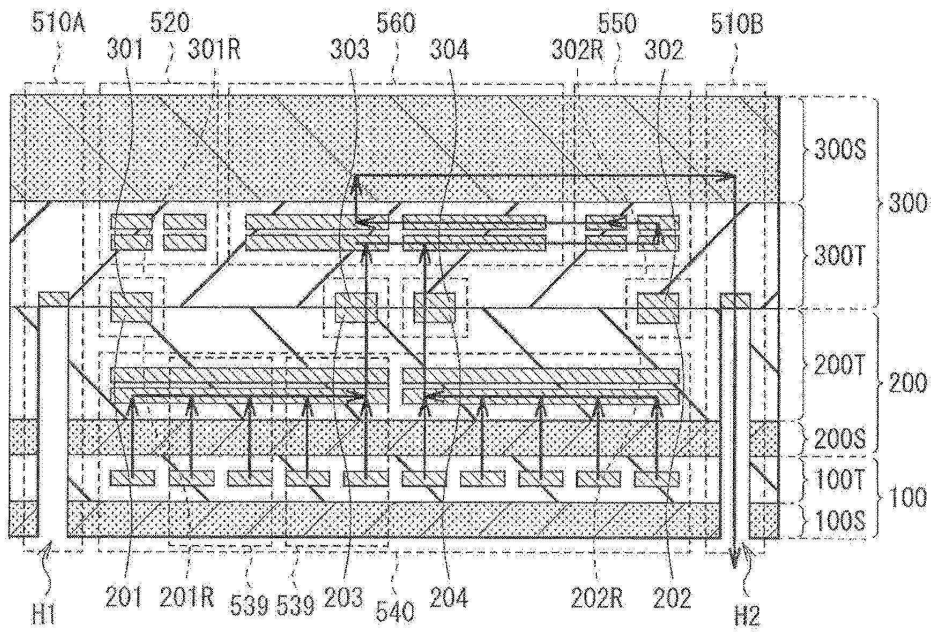
도면68



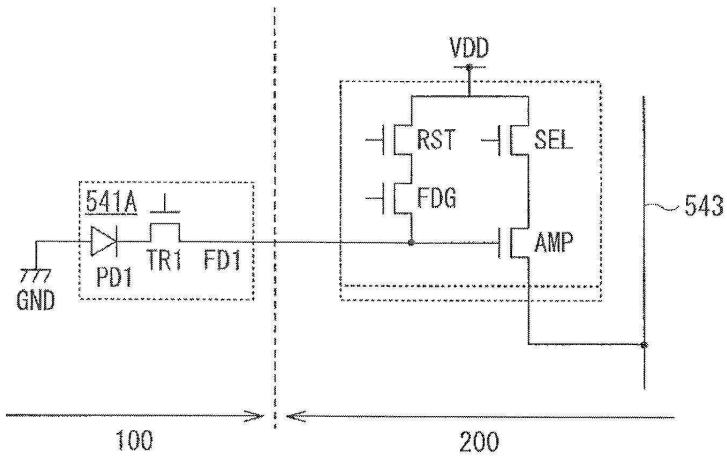
도면69



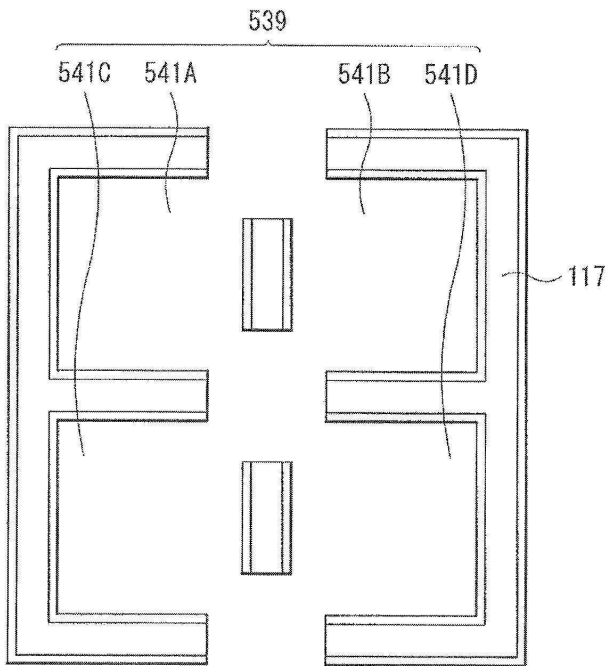
도면70



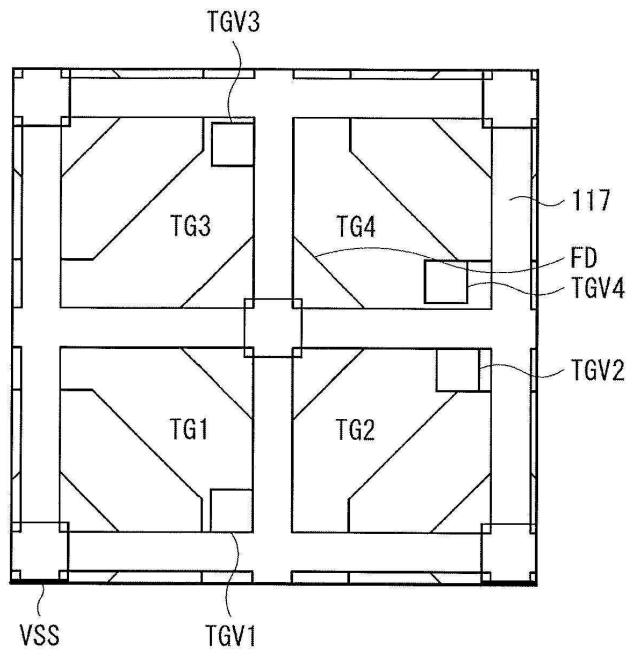
도면72



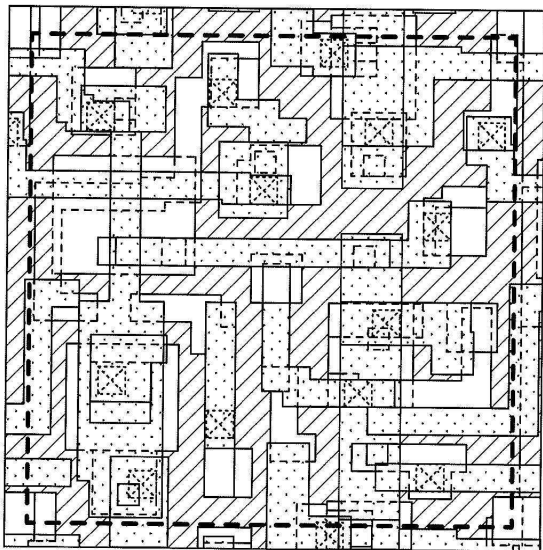
도면73



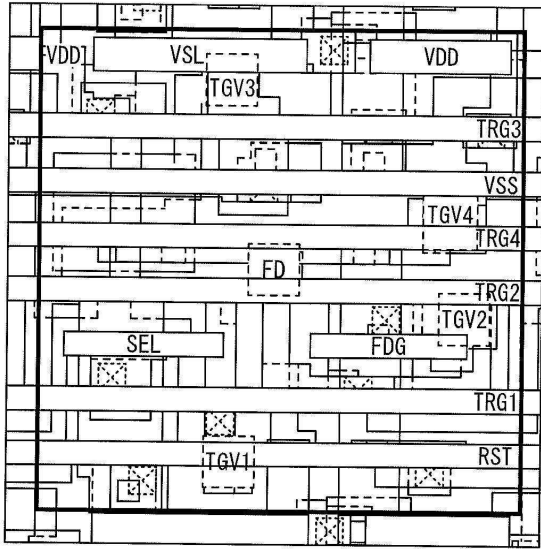
도면74



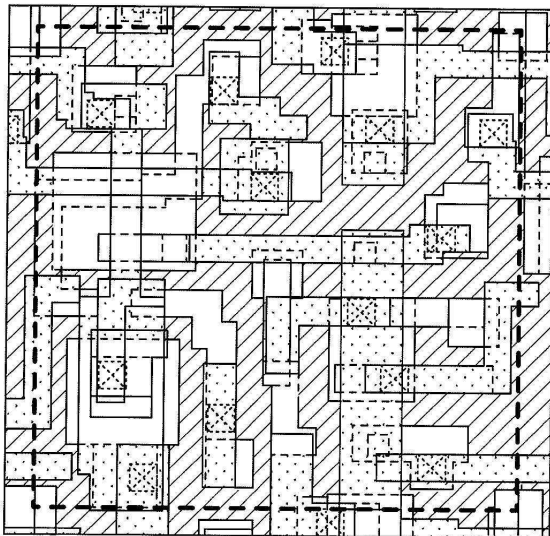
도면75



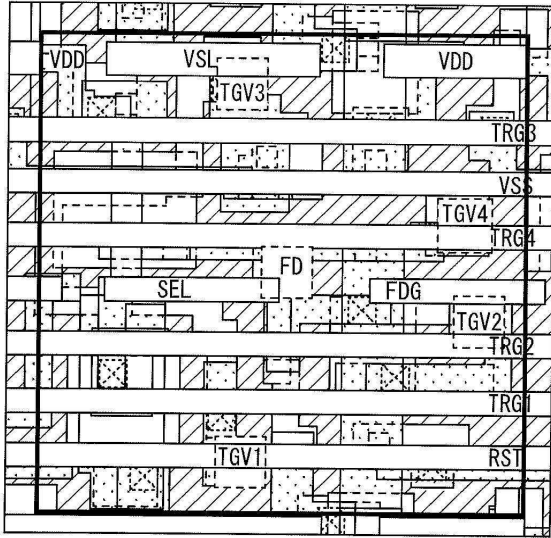
도면76



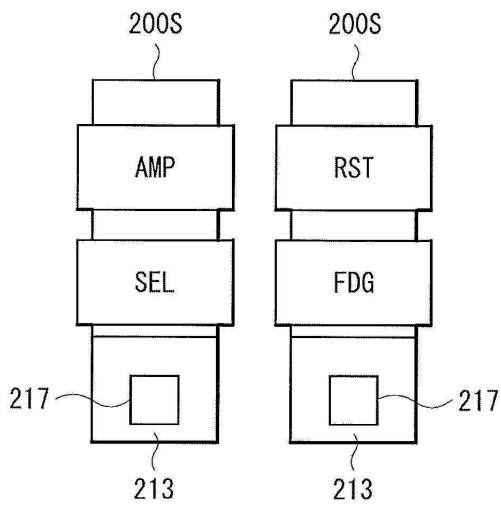
도면77



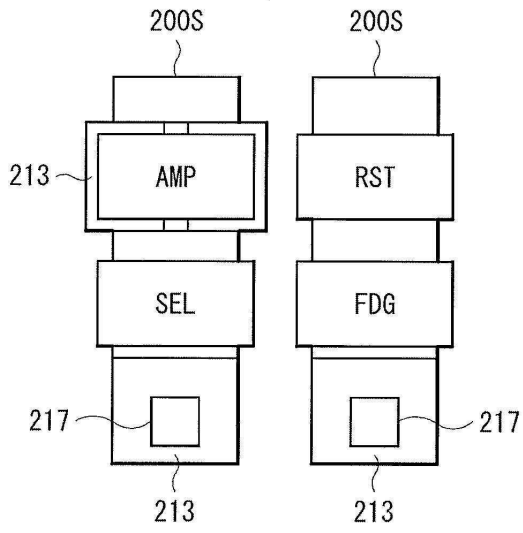
도면78



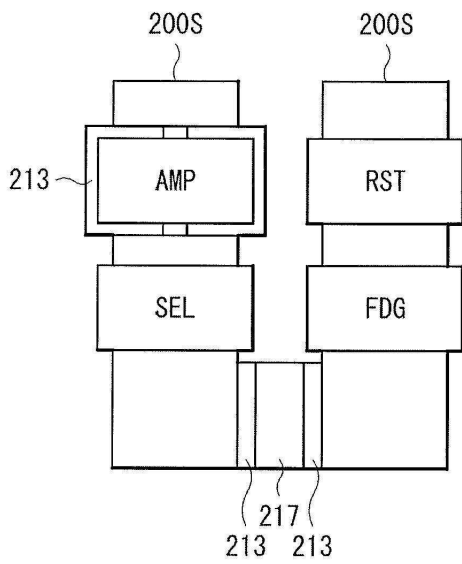
도면79



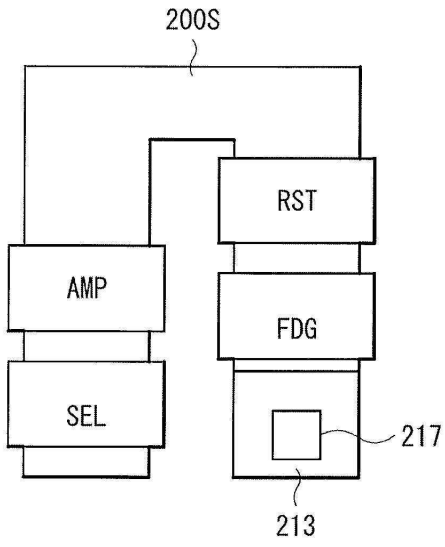
도면80



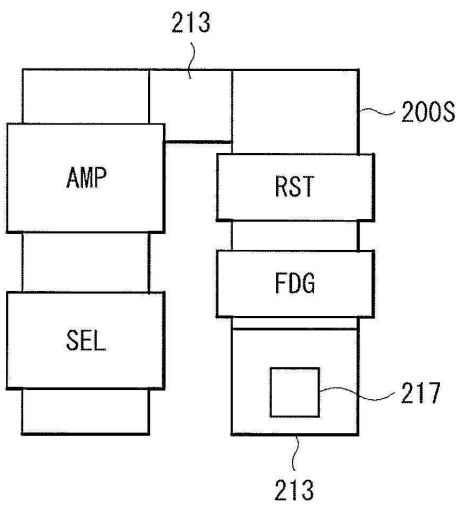
도면81



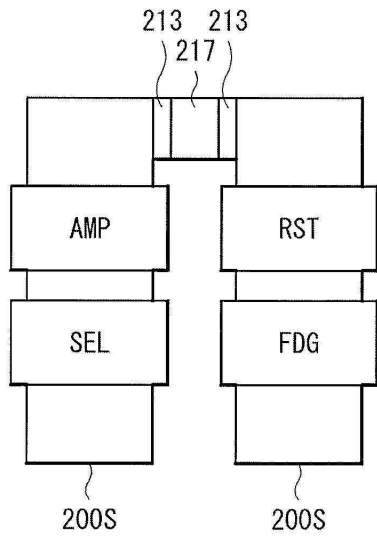
도면82



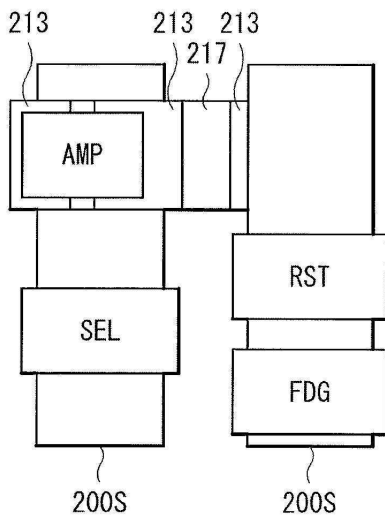
도면83



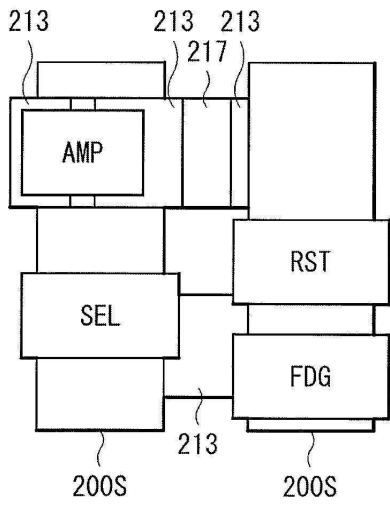
도면84



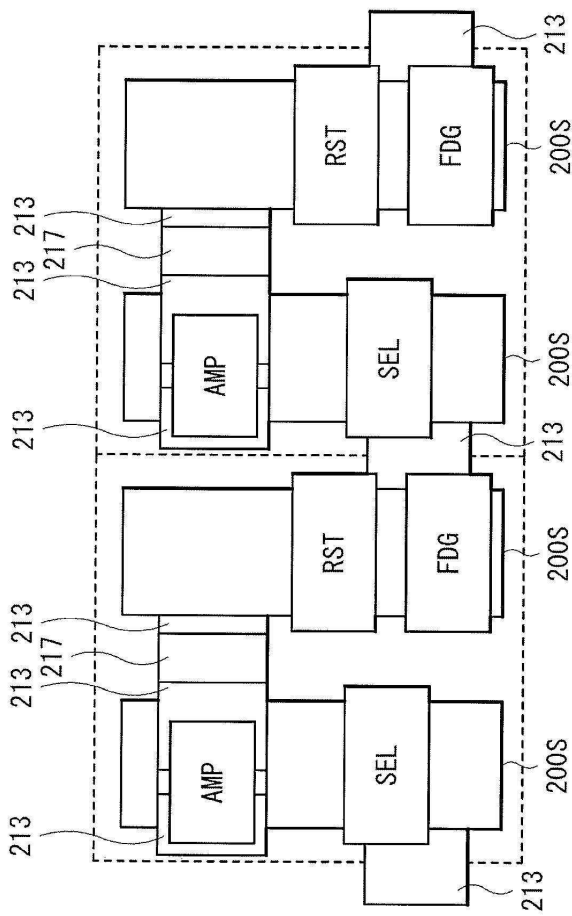
도면85



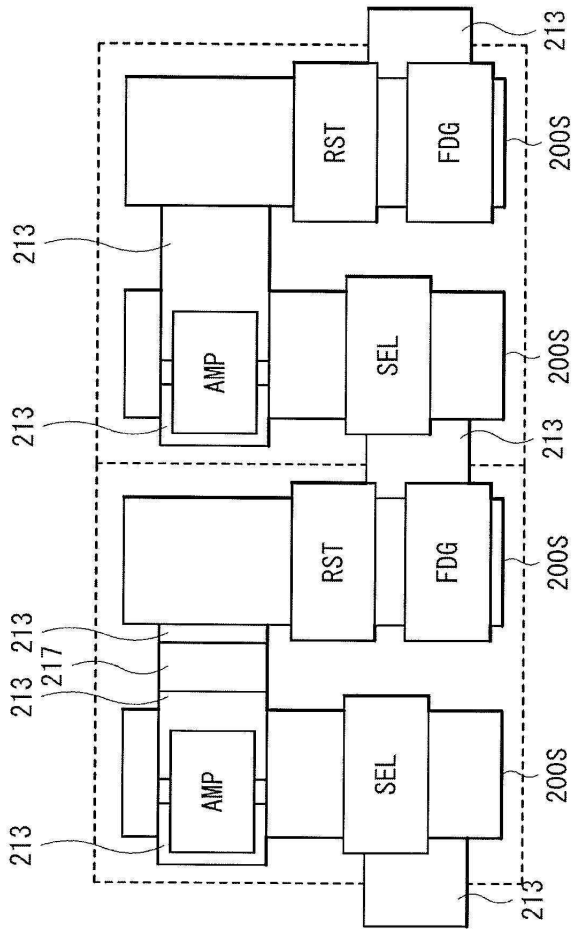
도면86



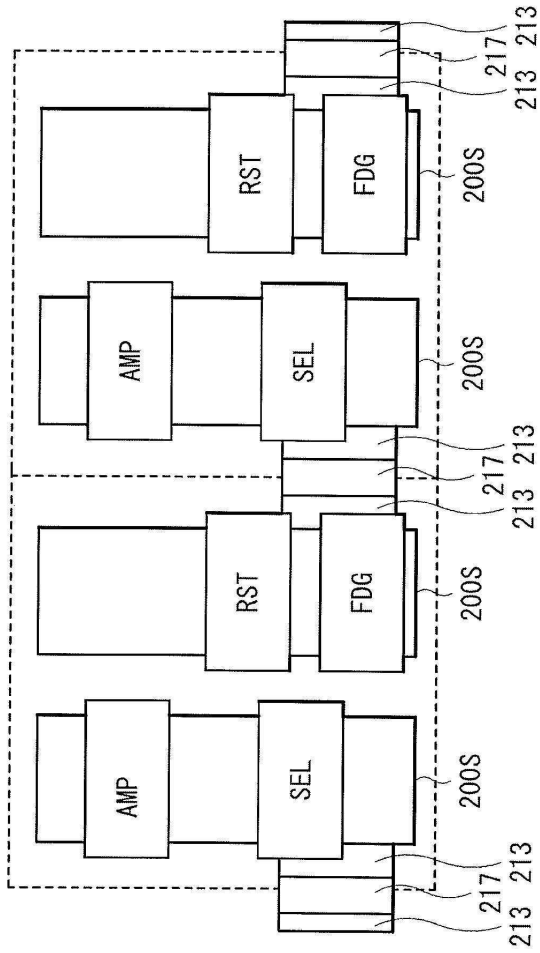
도면87



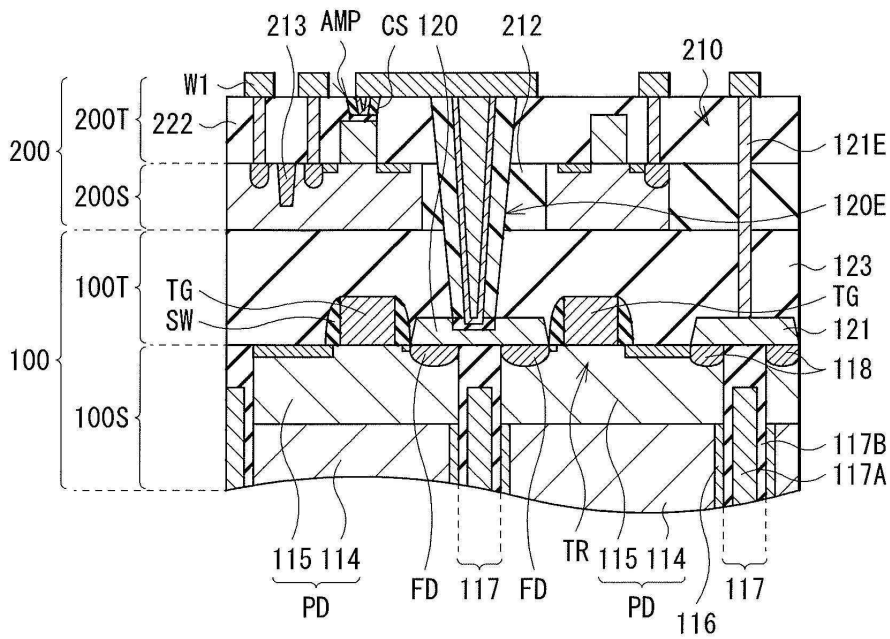
도면88



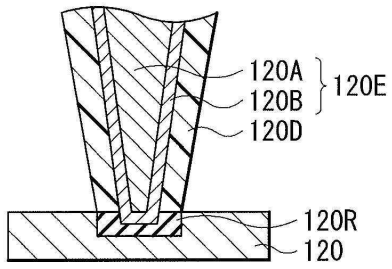
도면89



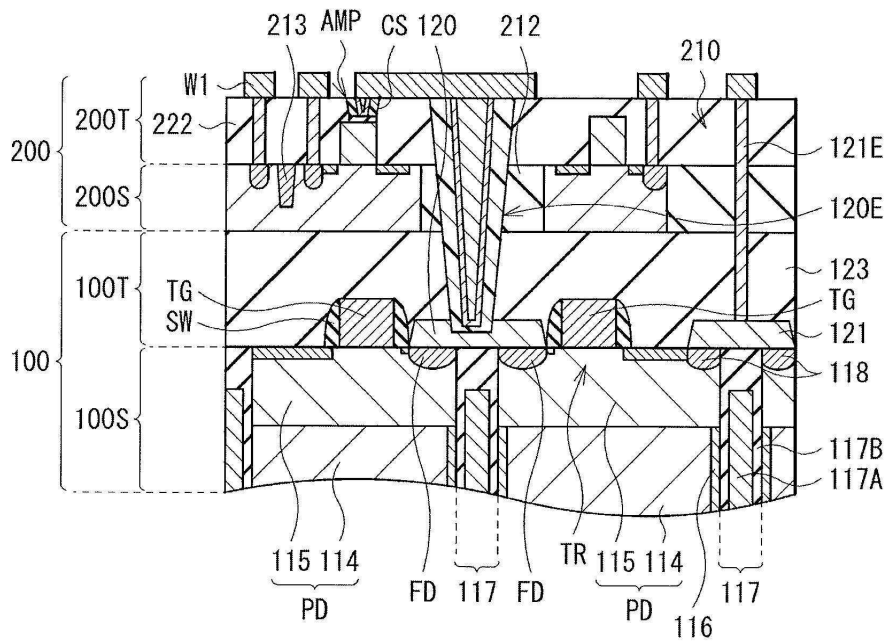
도면90



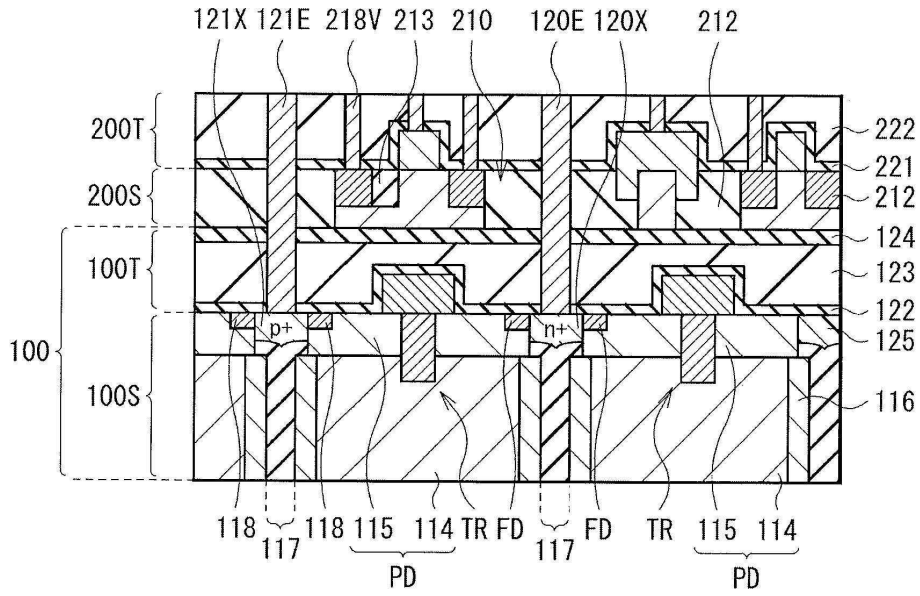
도면91



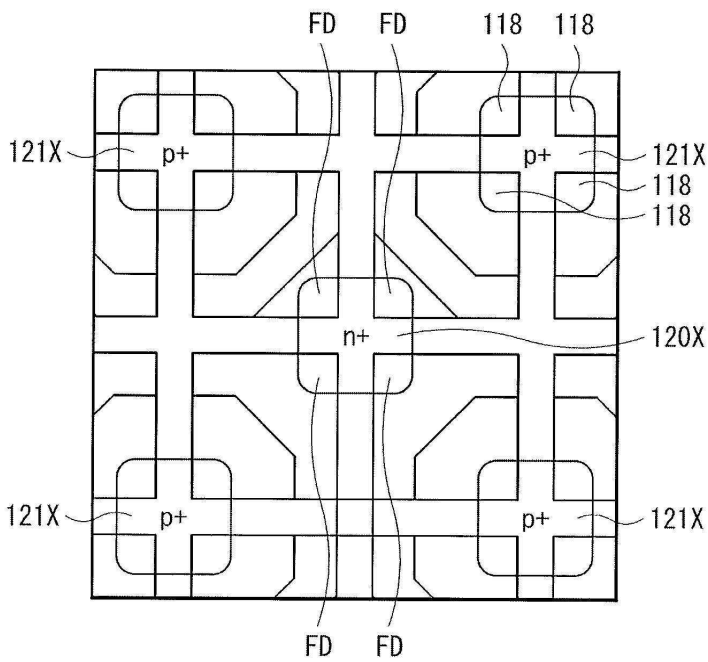
도면92



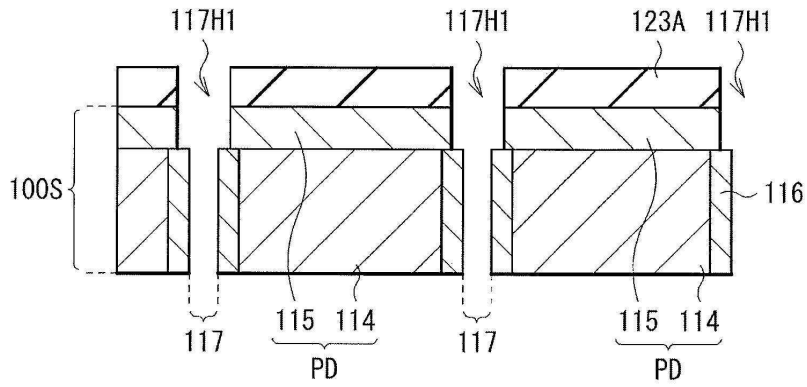
도면93



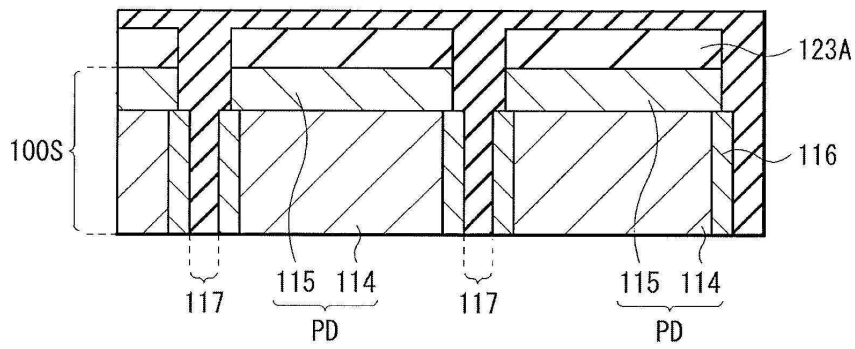
도면94



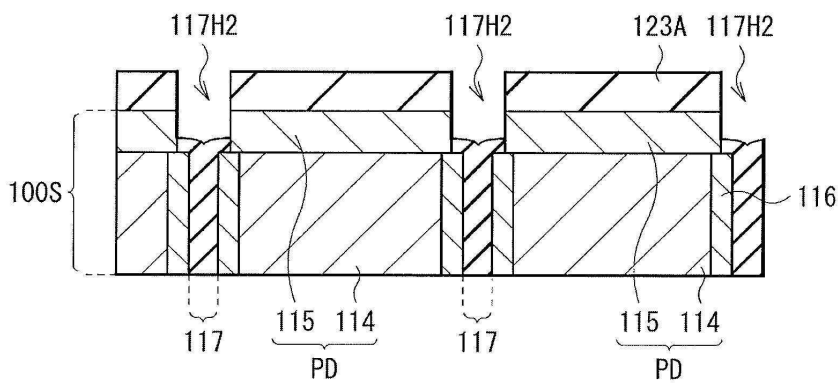
도면95a



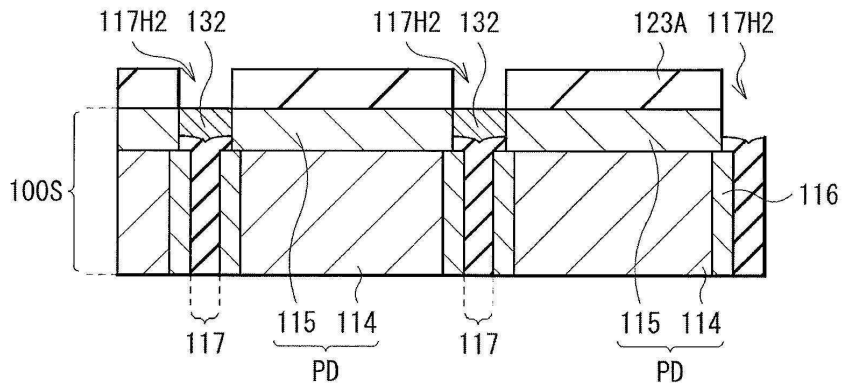
도면95b



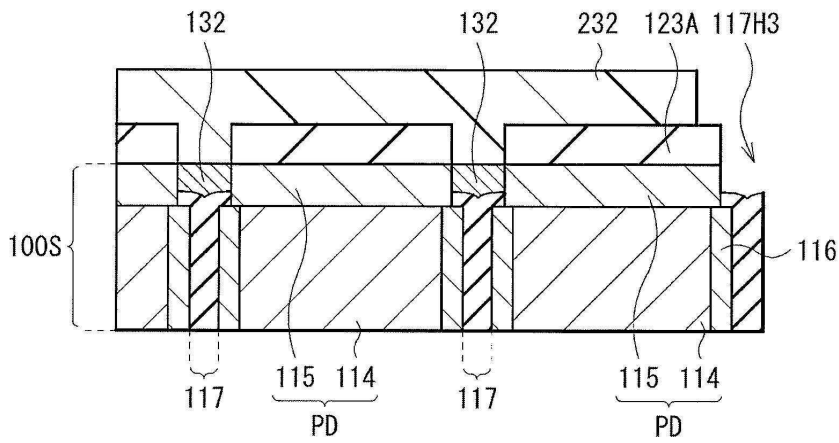
도면95c



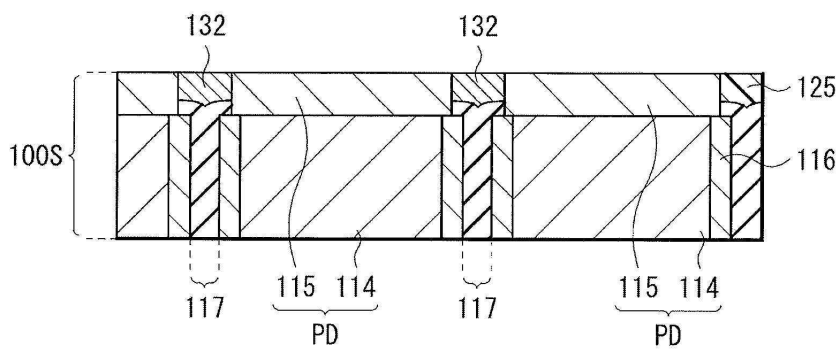
도면95d



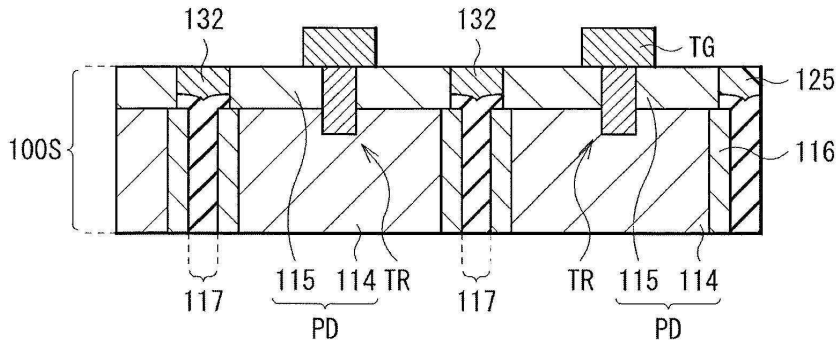
도면95e



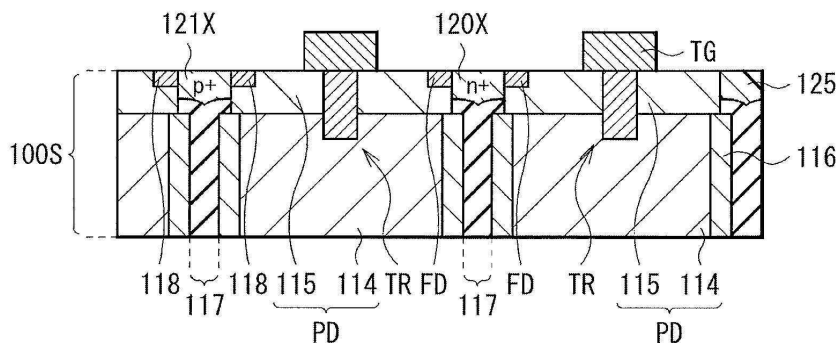
도면95f



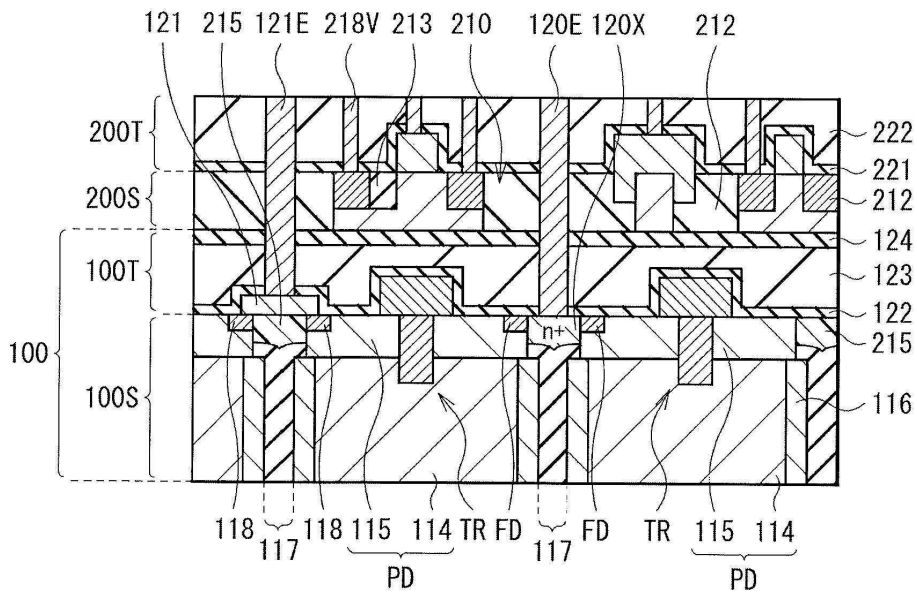
도면95g



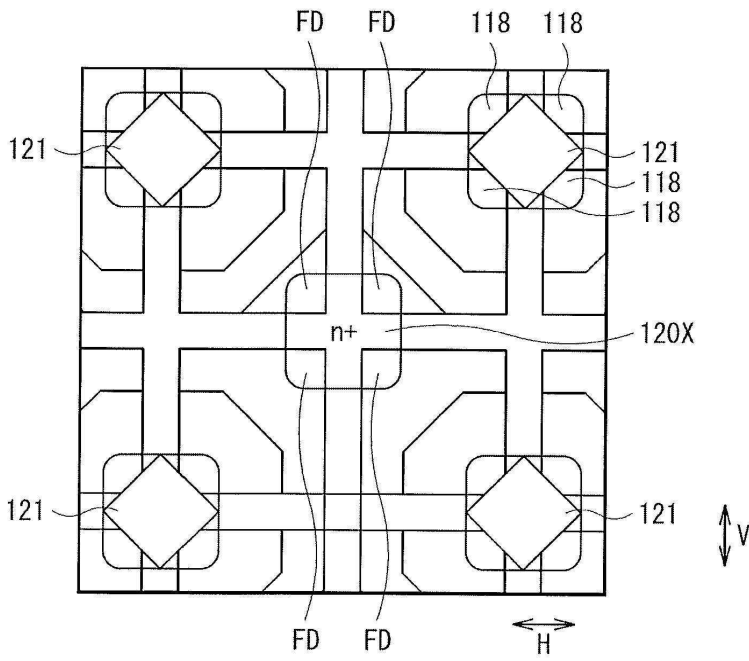
도면95h



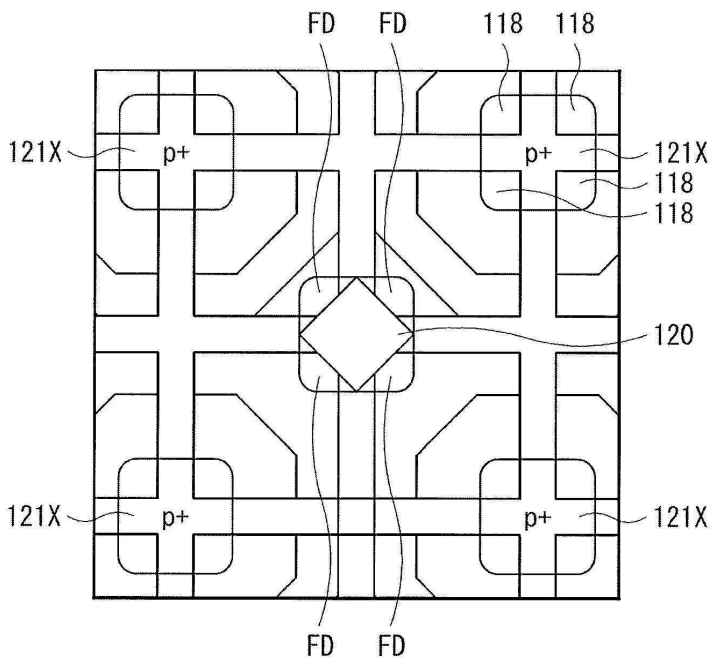
도면96



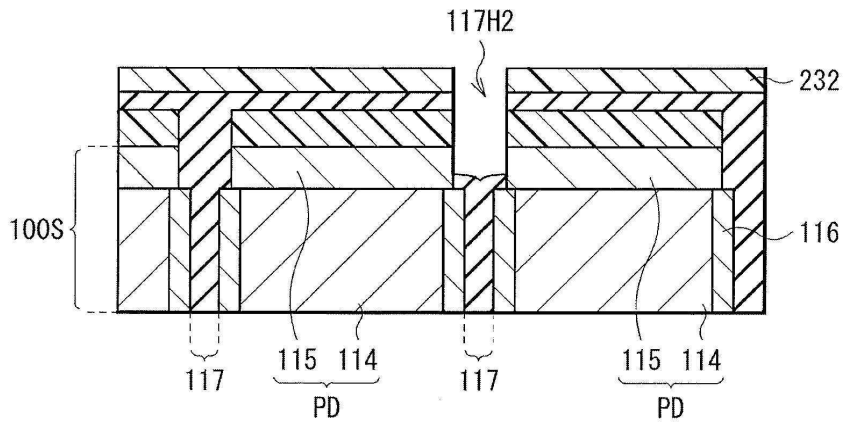
도면97



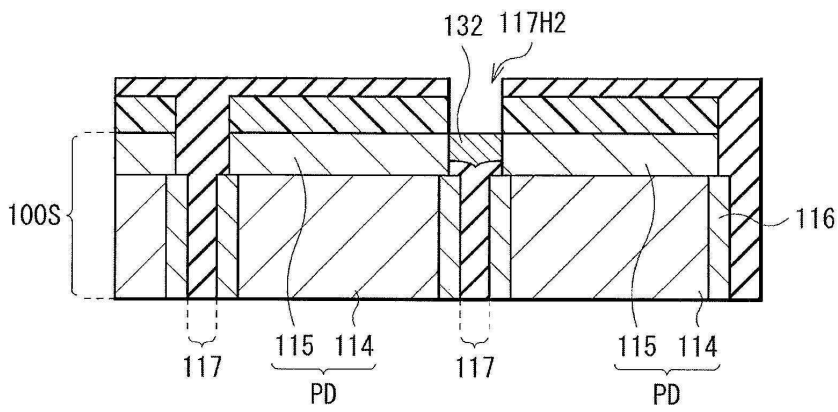
도면98



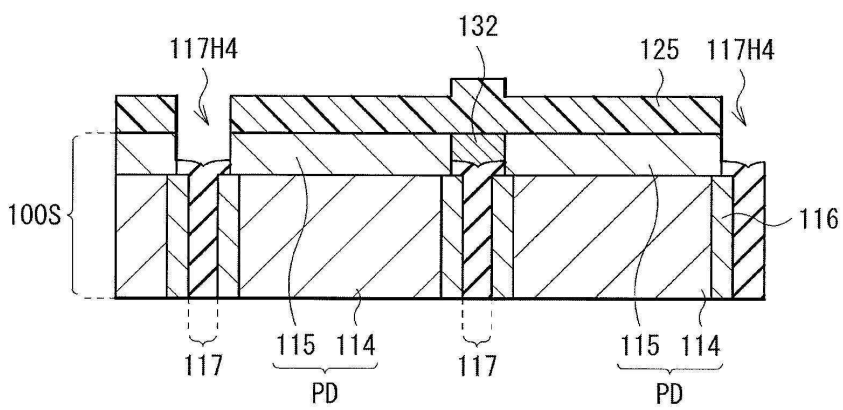
도면99a



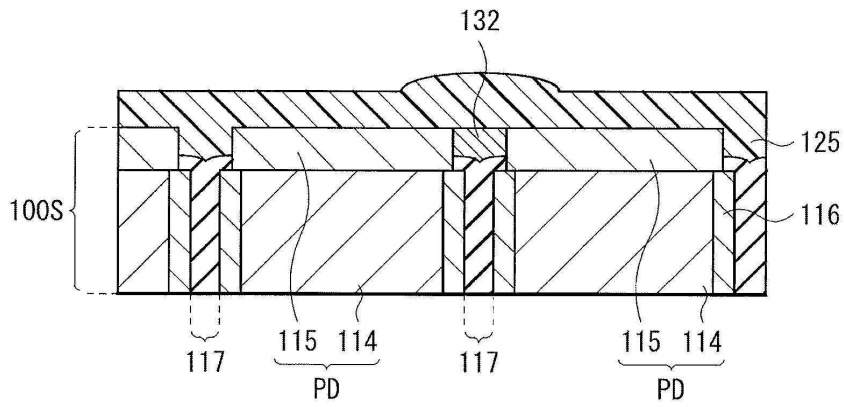
도면99b



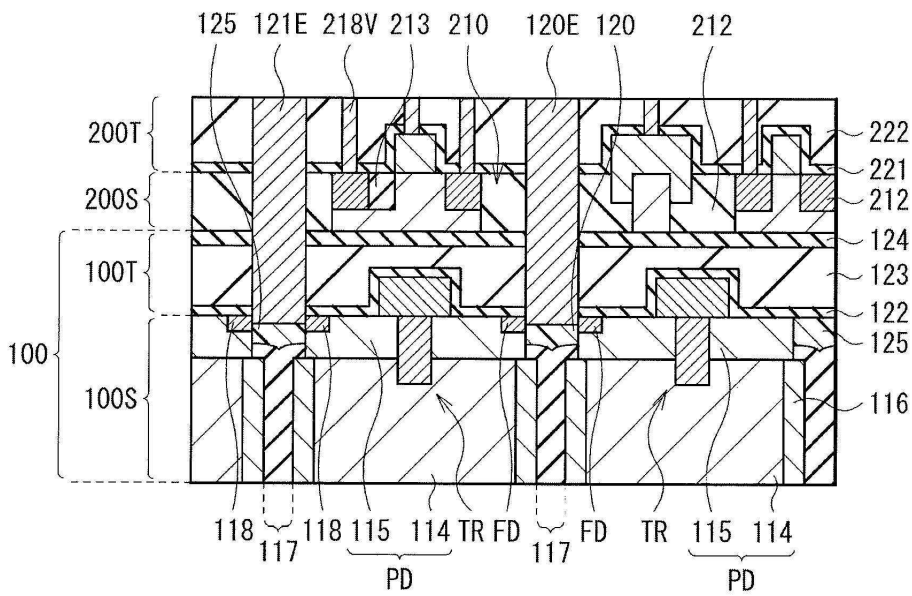
도면99c



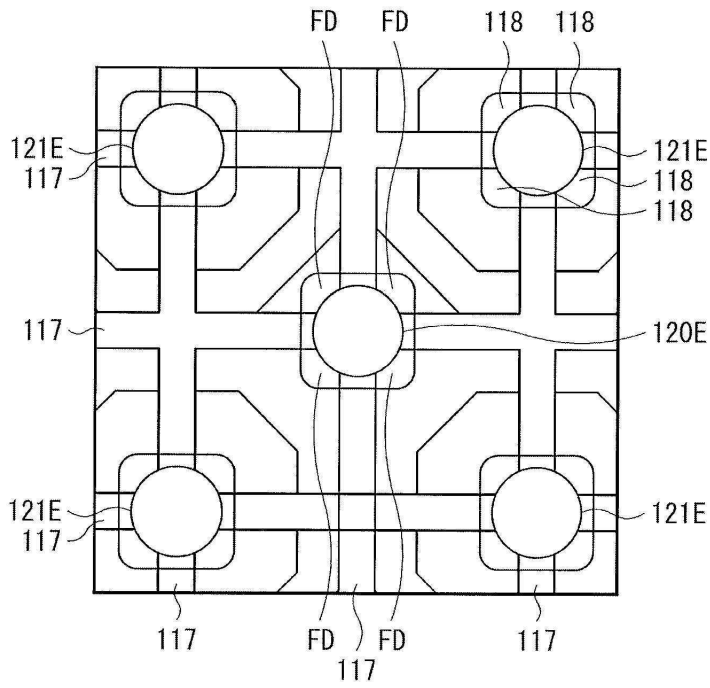
도면99d



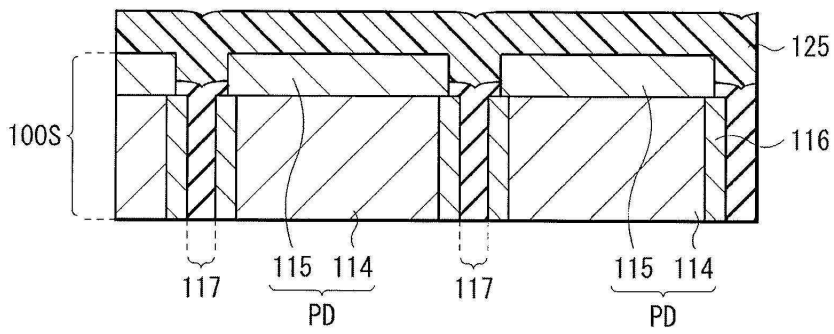
도면100



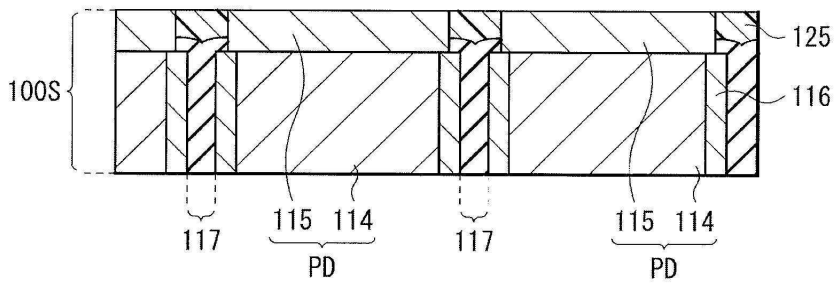
도면101



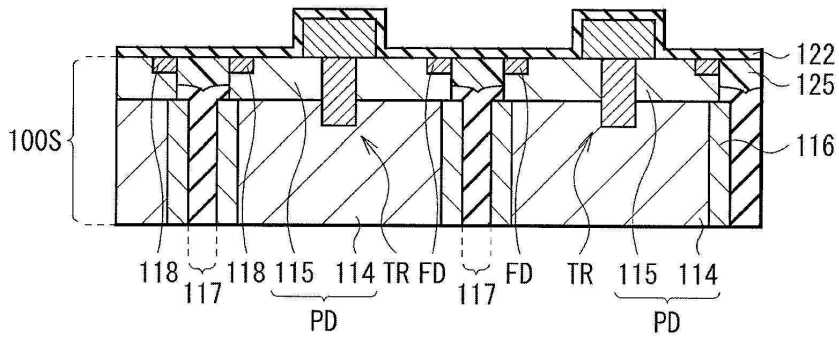
도면102a



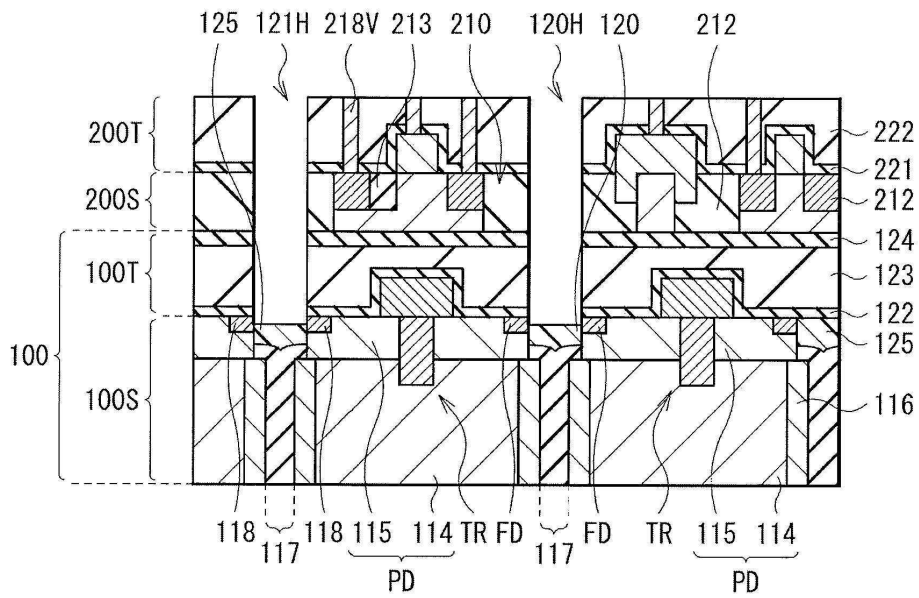
도면102b



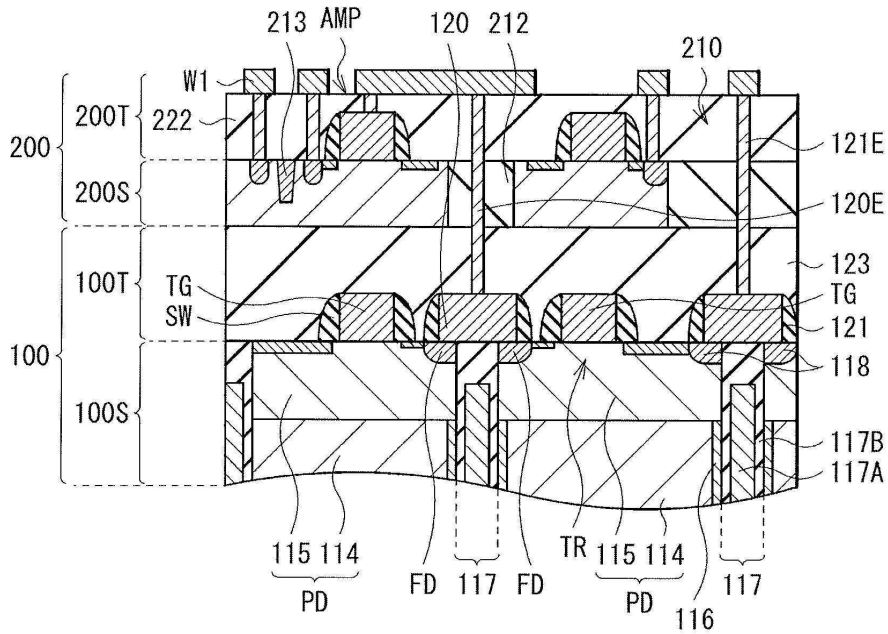
도면102c



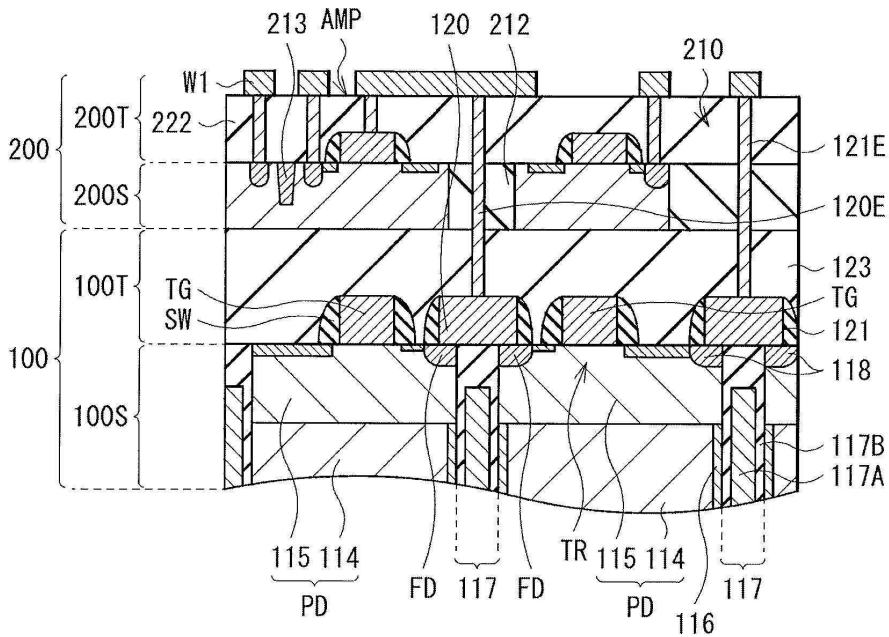
도면102d



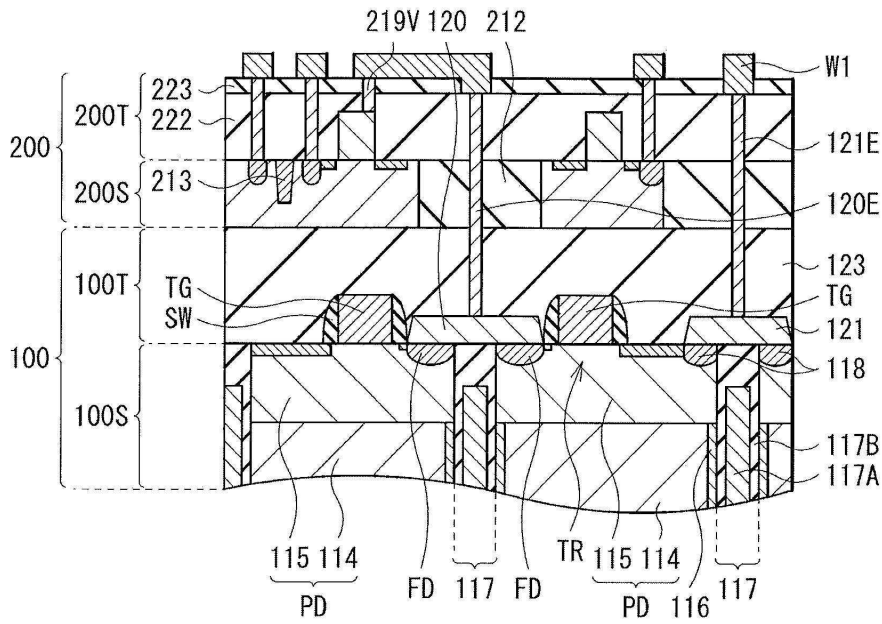
도면103



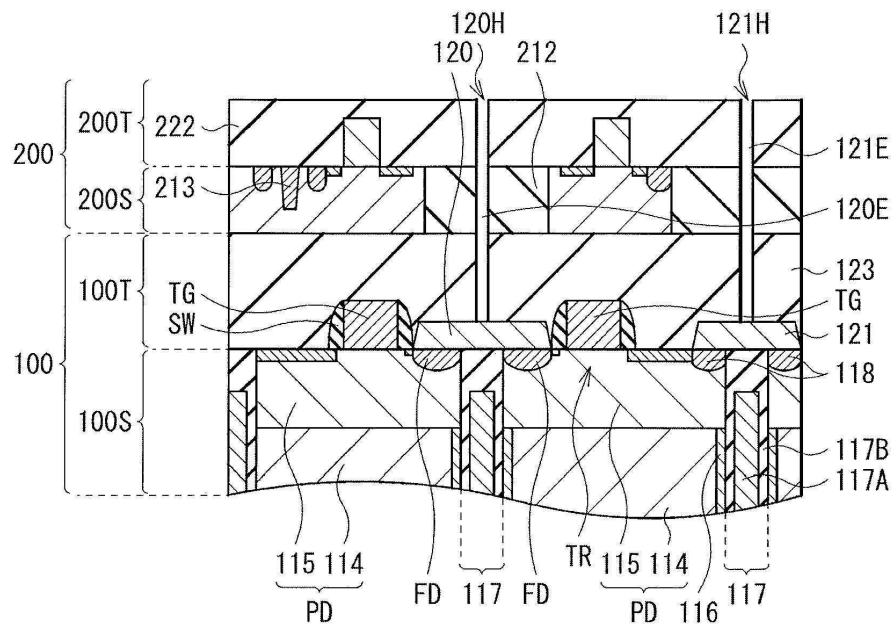
도면104



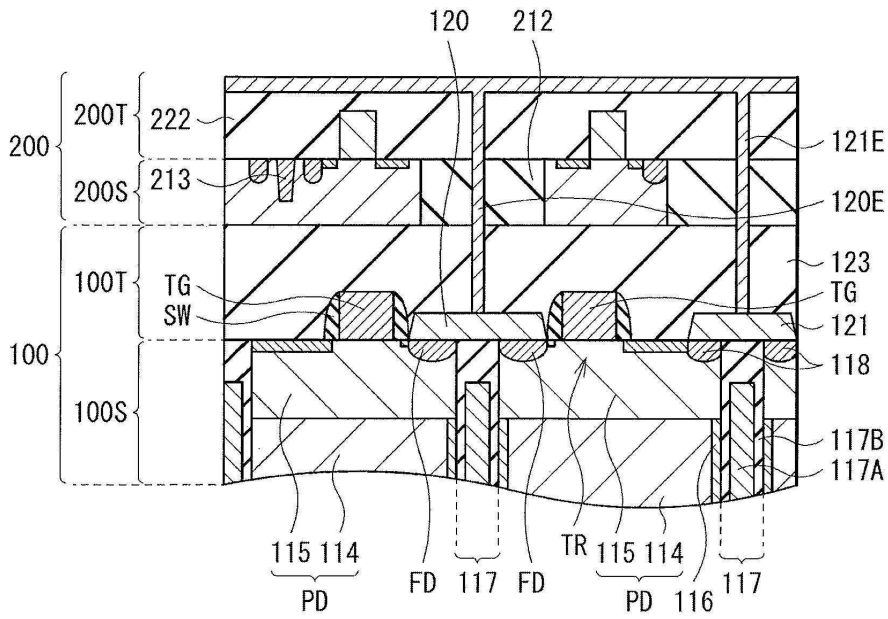
도면105



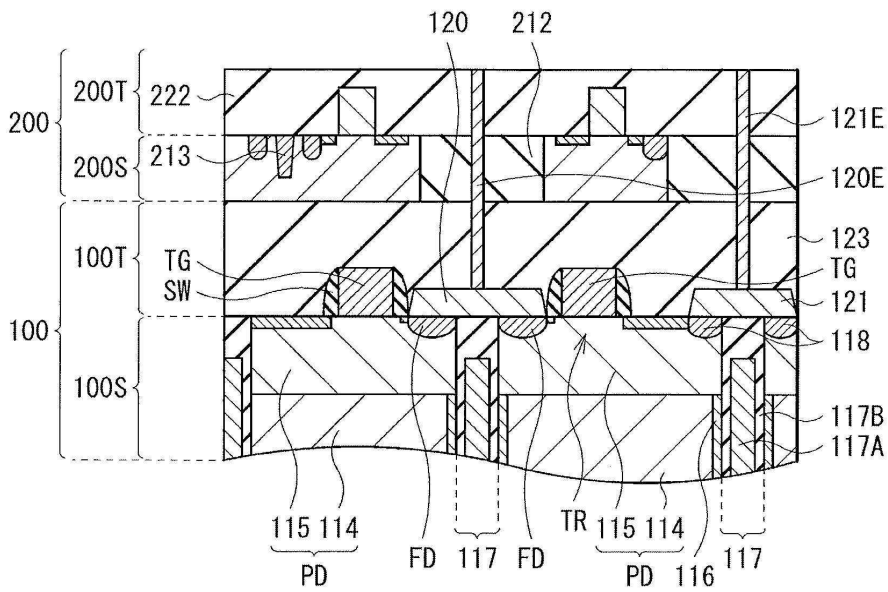
도면106a



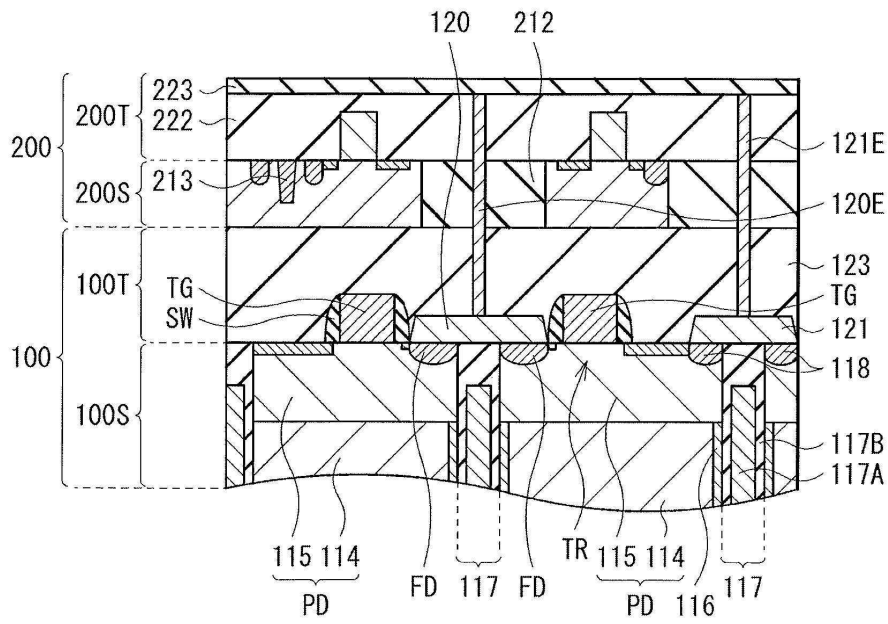
도면106b



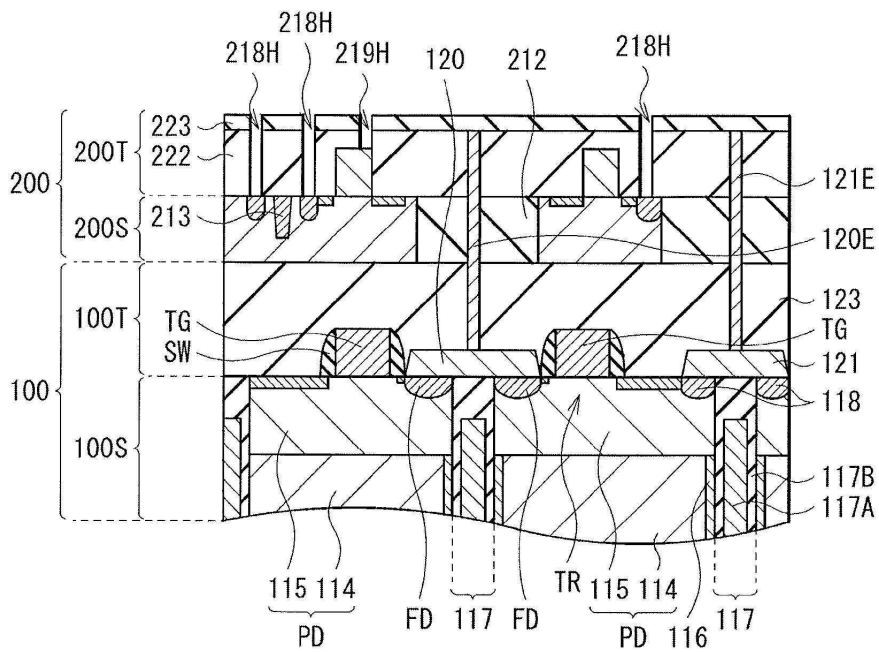
도면106c



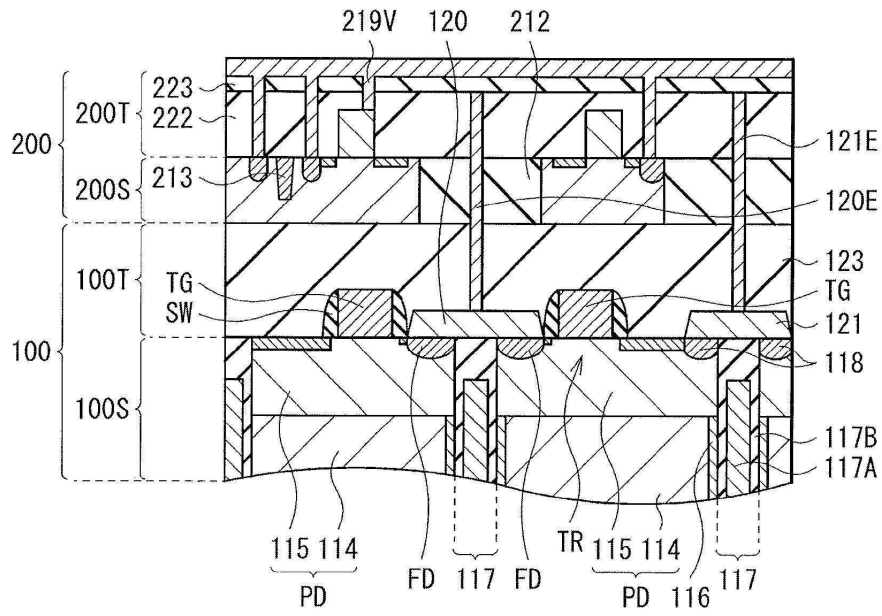
도면106d



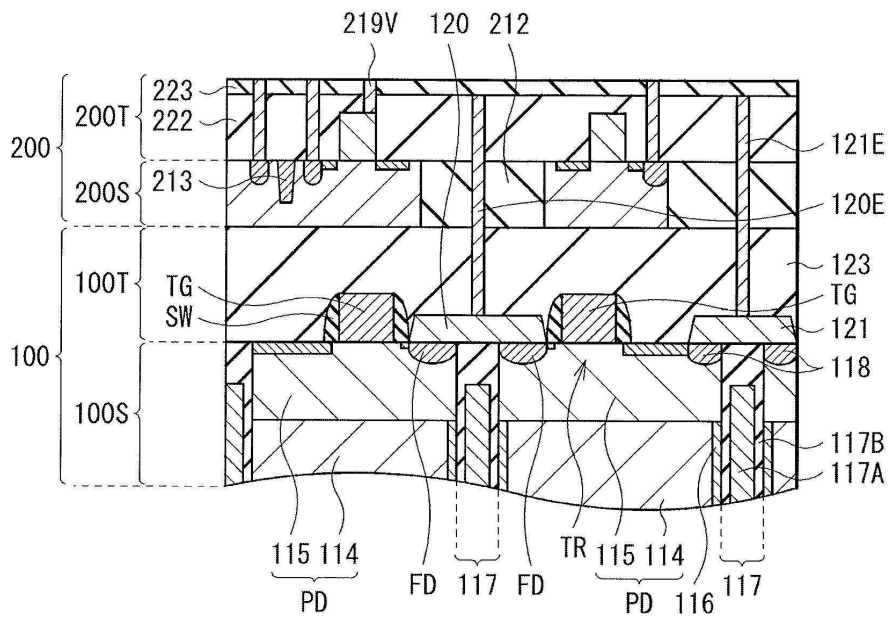
도면106e



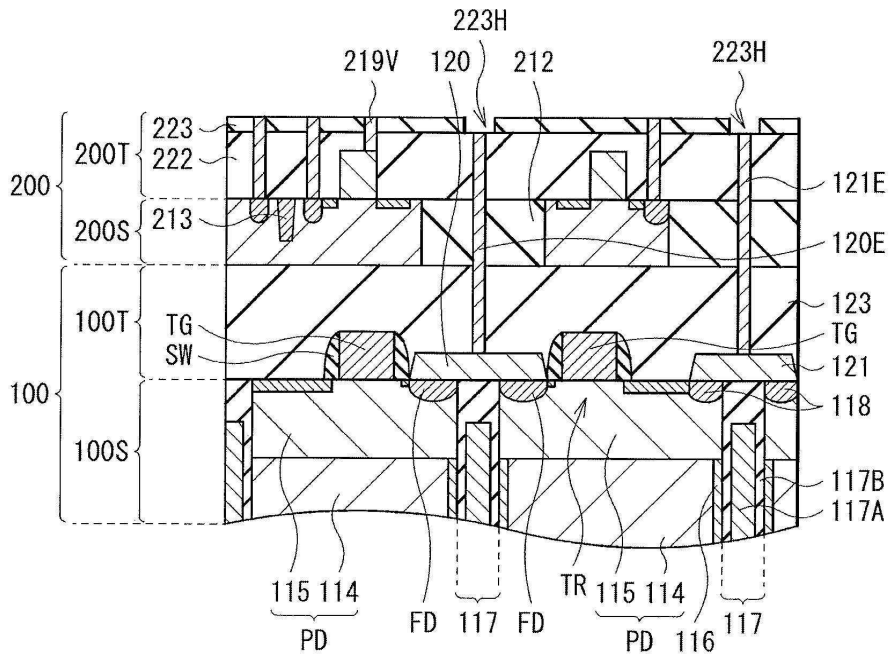
도면106f



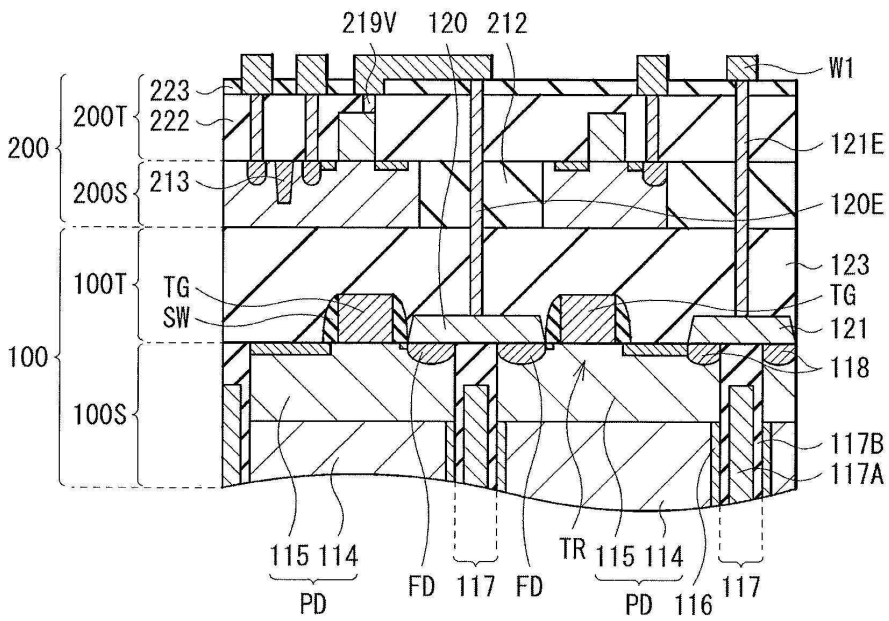
도면106g



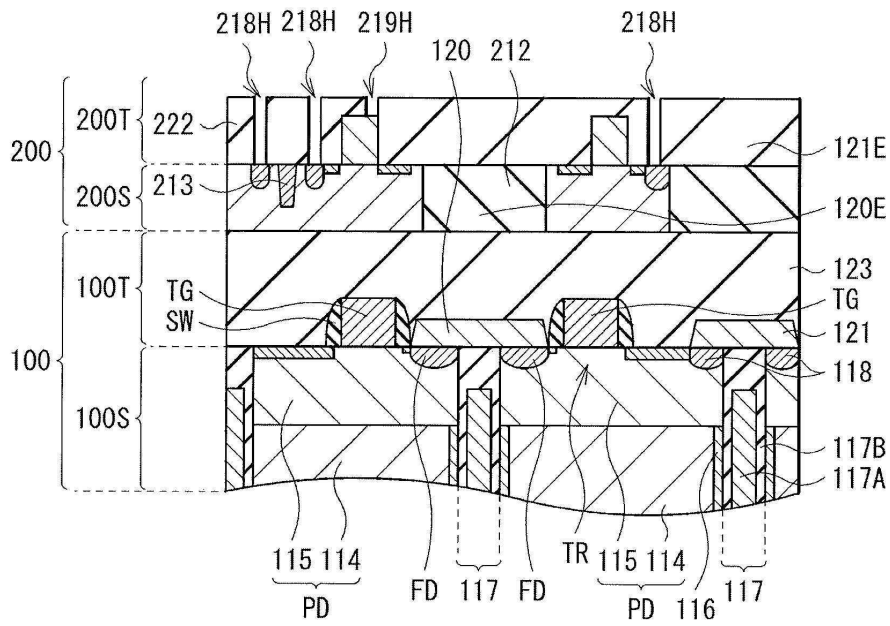
도면106h



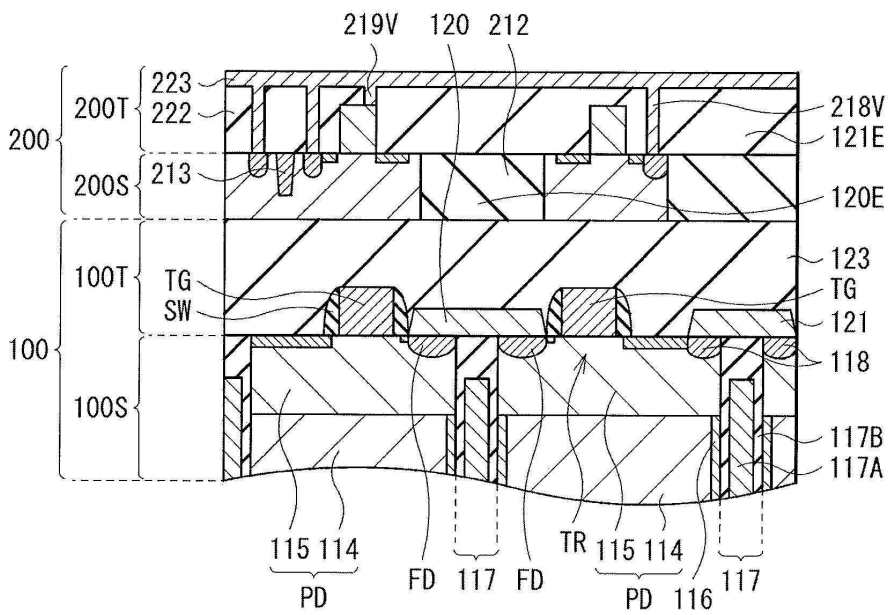
도면107



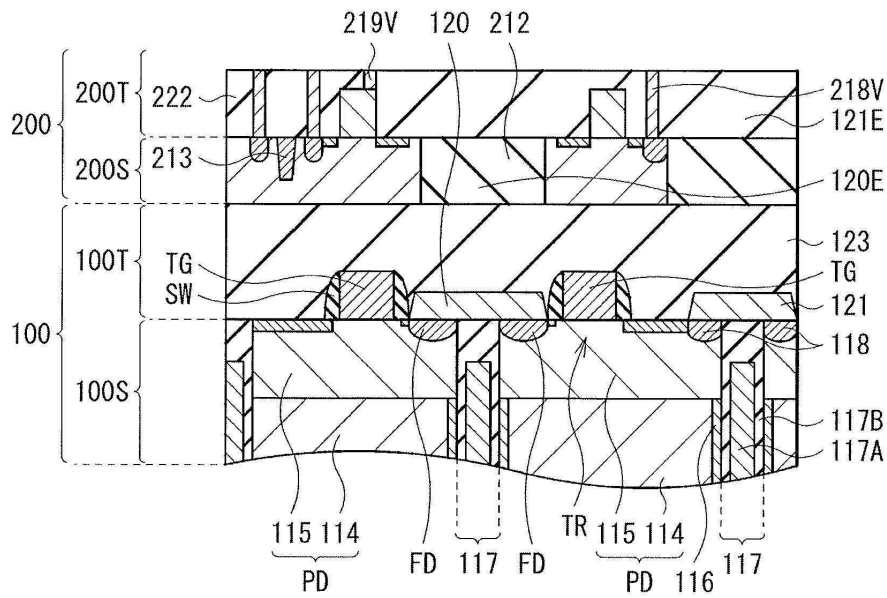
도면108a



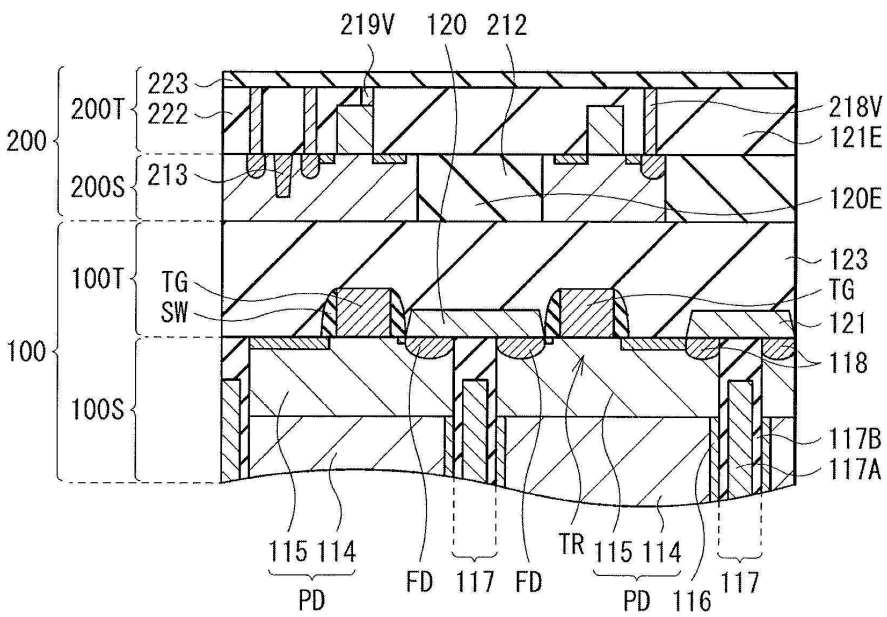
도면108b



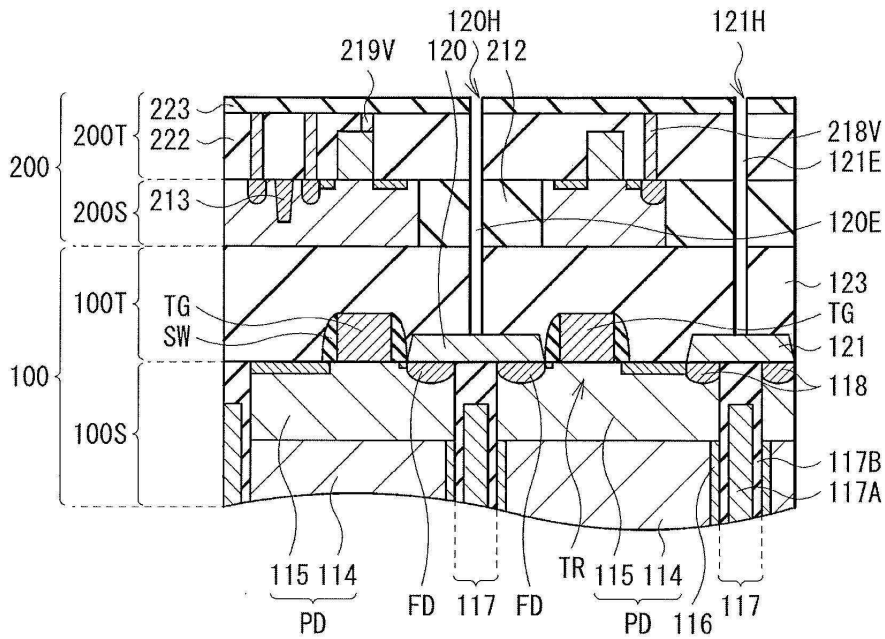
도면108c



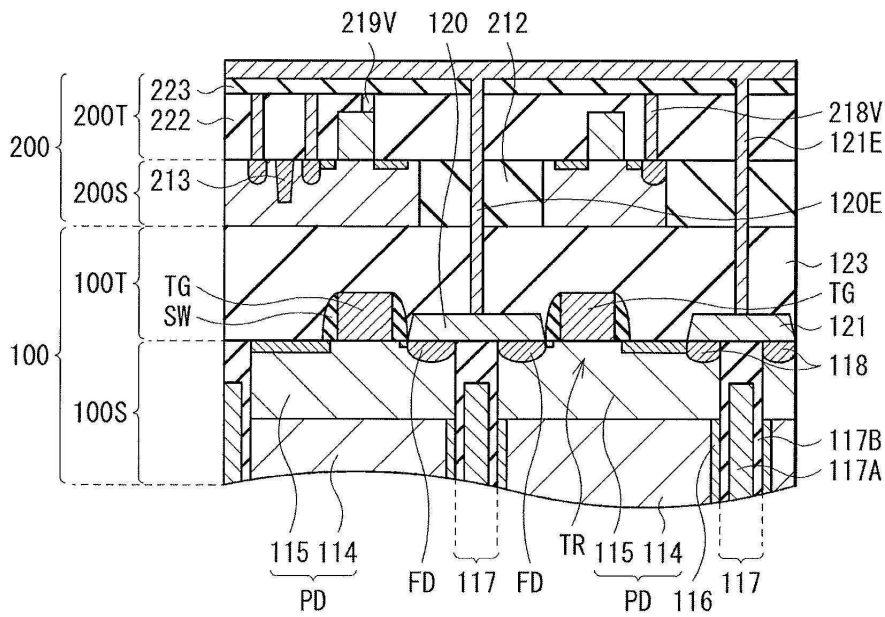
도면108d



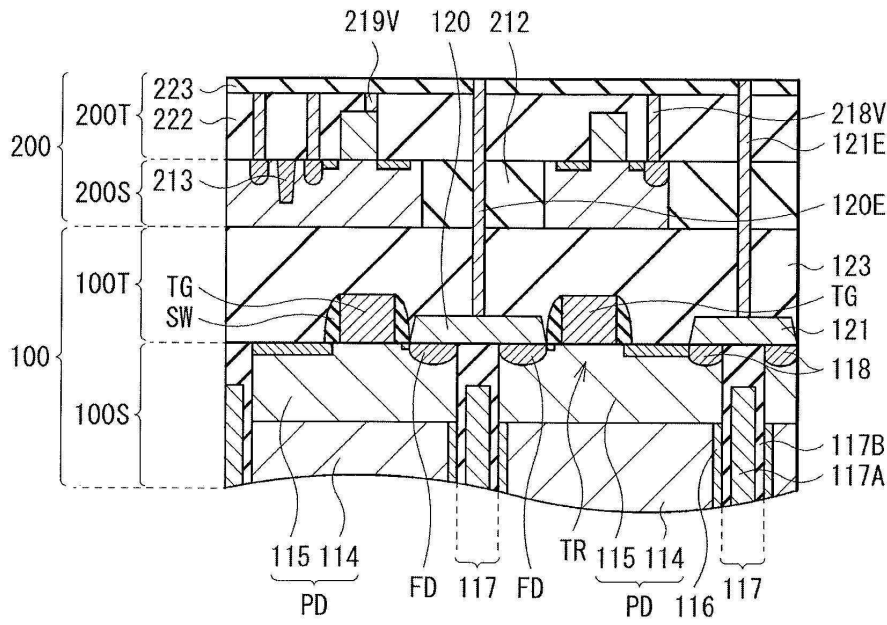
도면108e



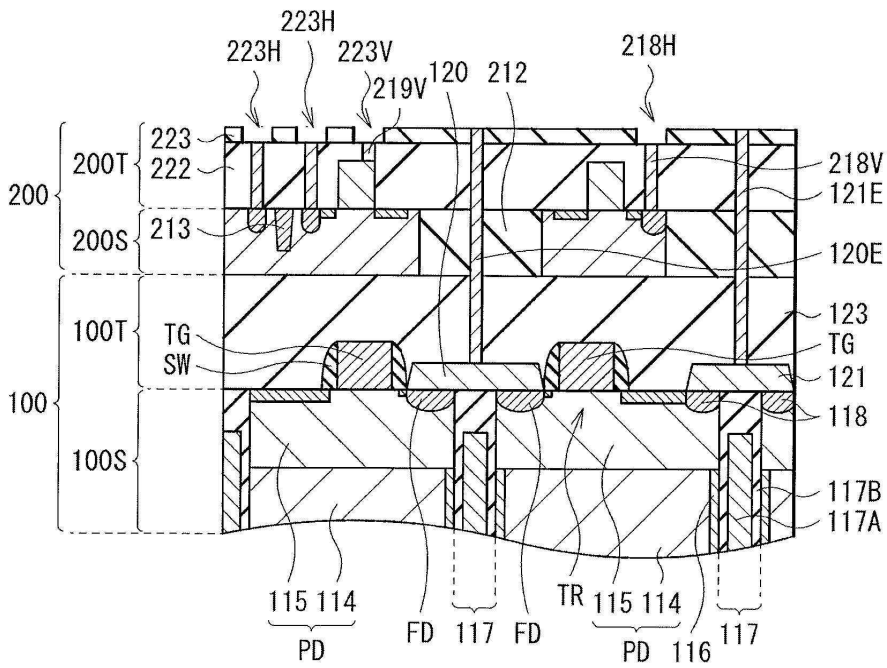
도면108f



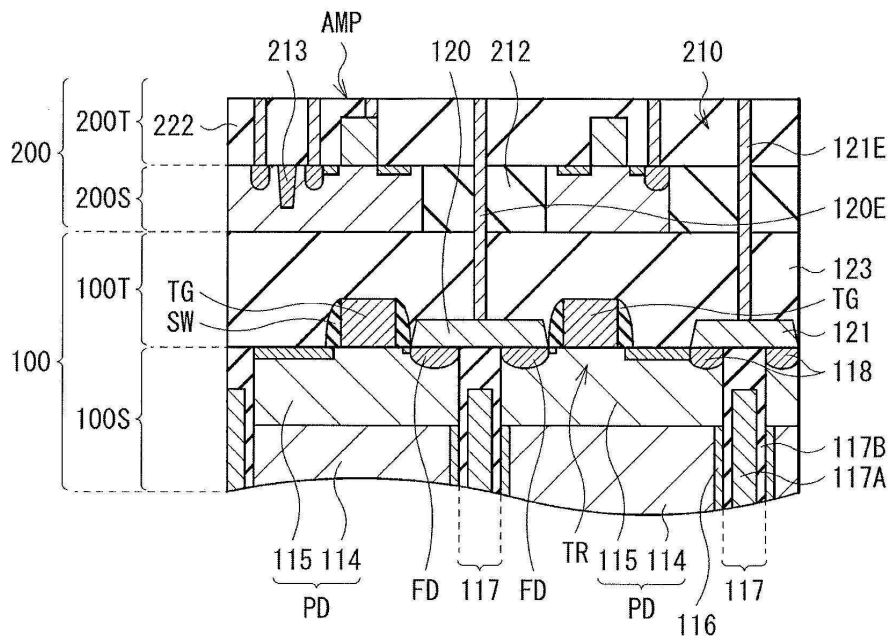
도면108g



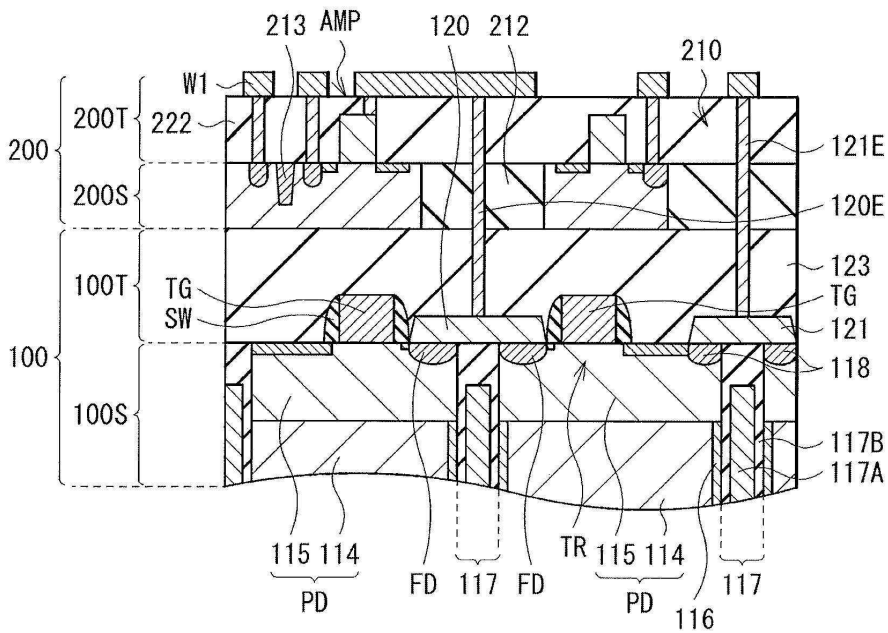
도면108h



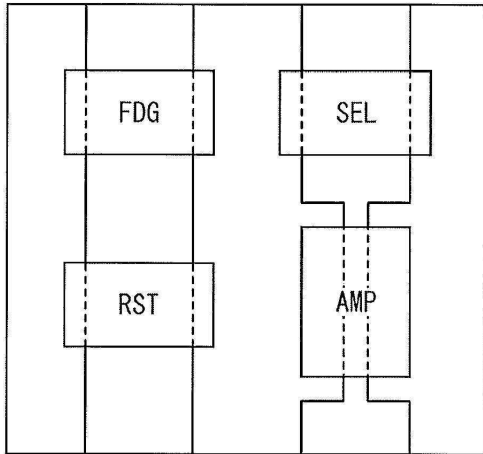
도면109a



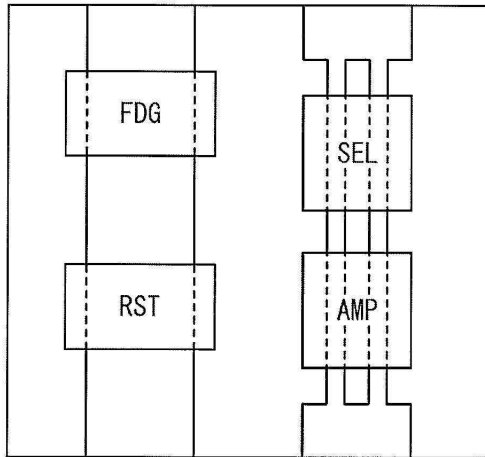
도면109b



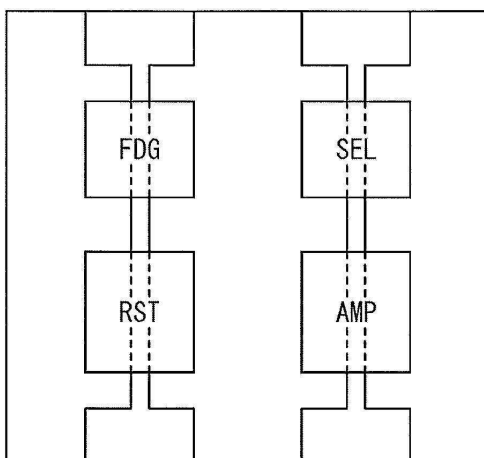
도면110



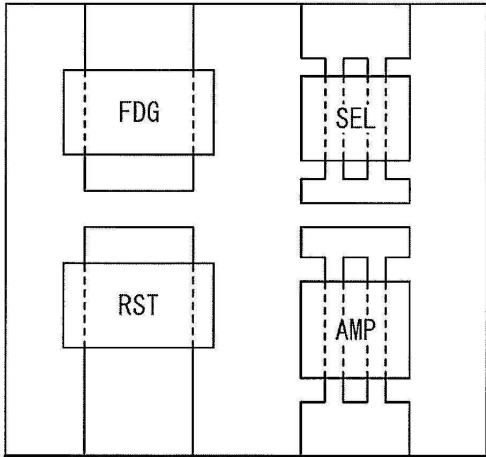
도면111



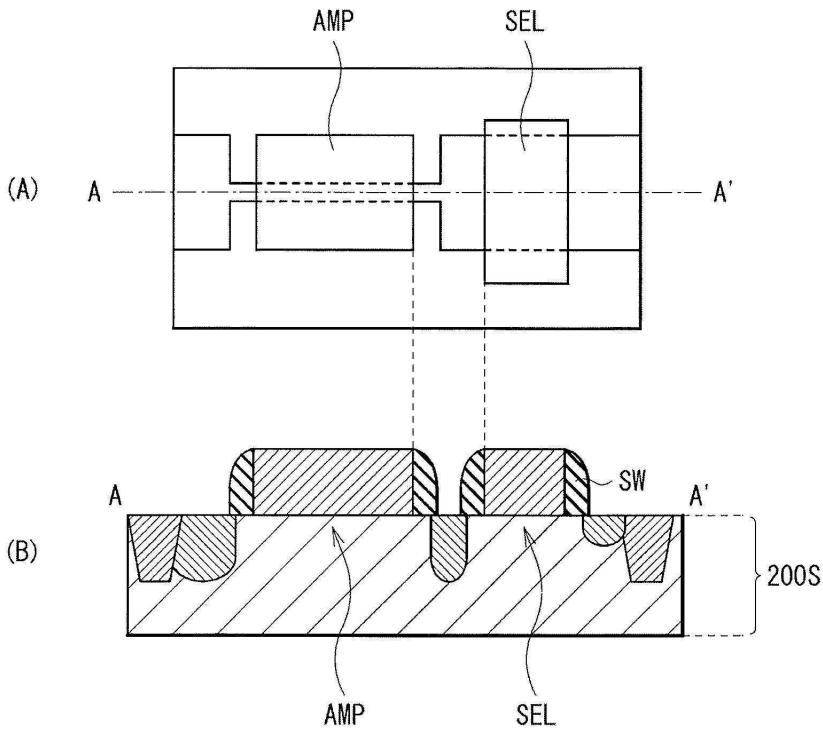
도면112



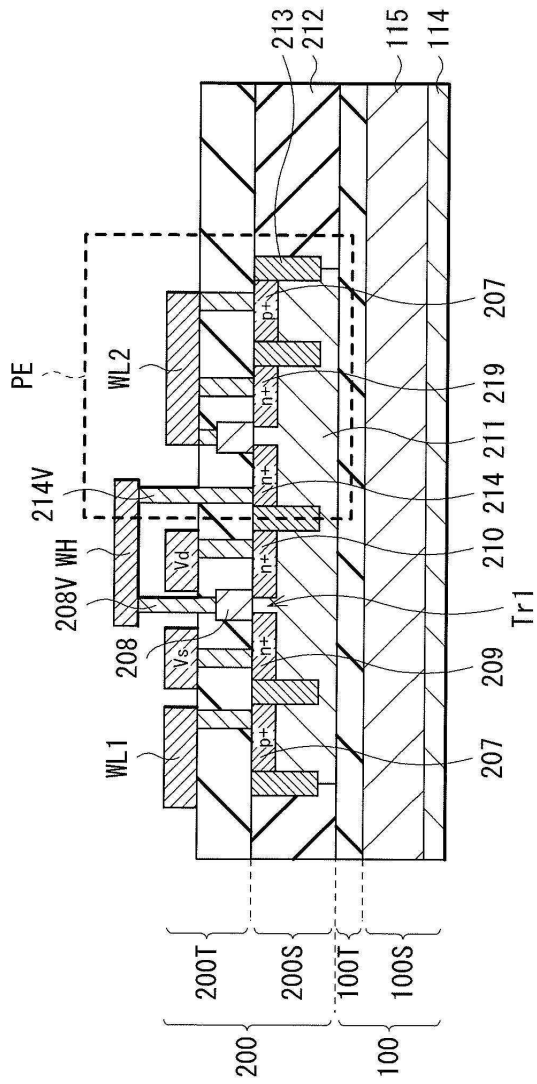
도면113



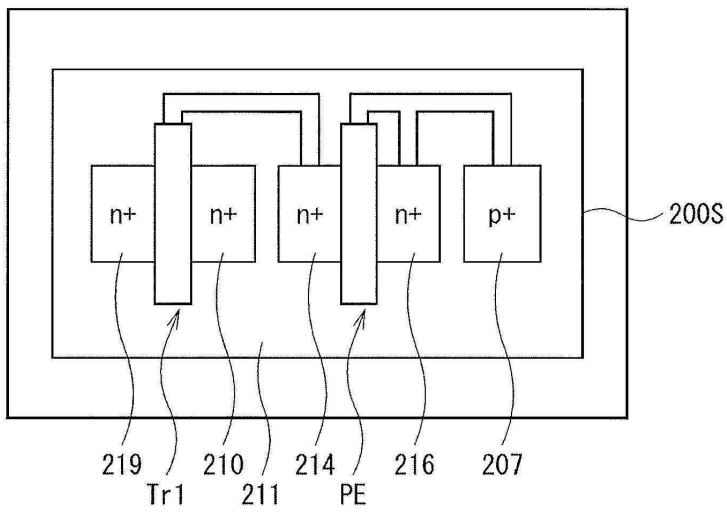
도면114



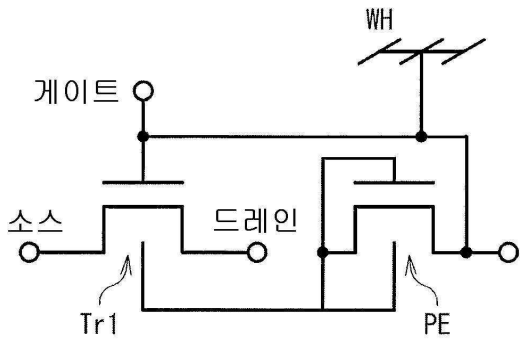
도면115



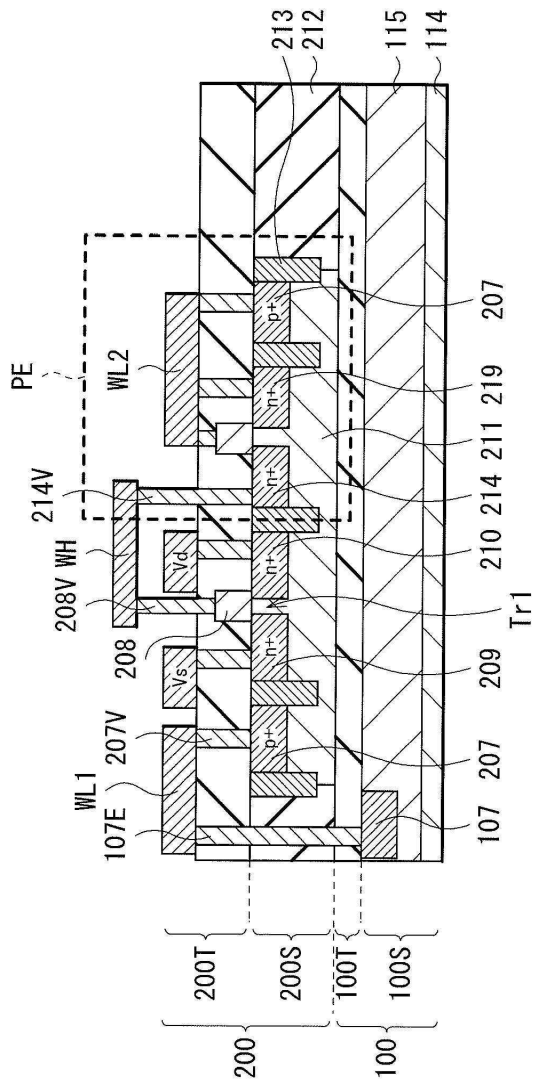
도면116



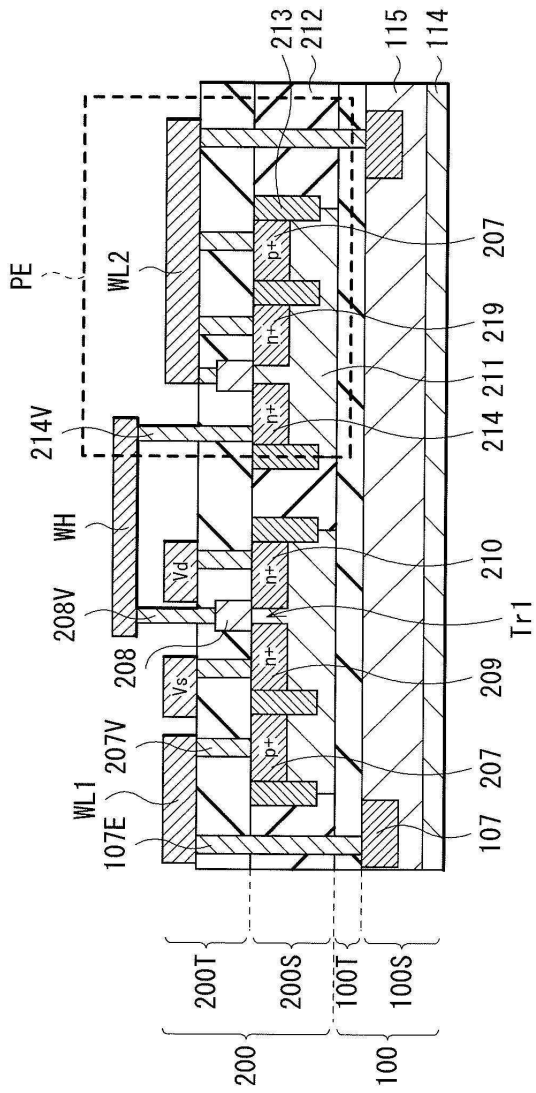
도면117



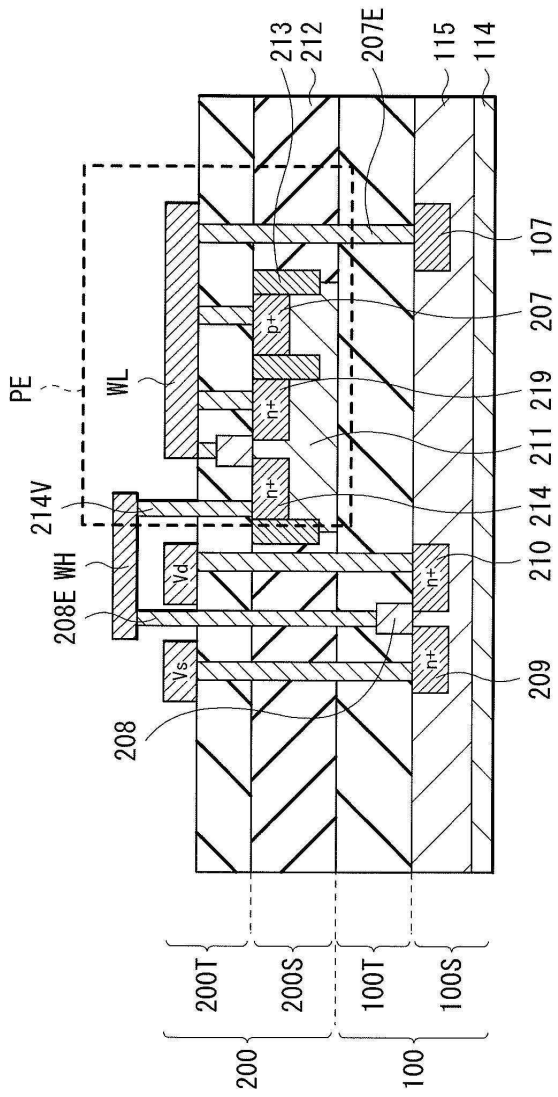
도면118



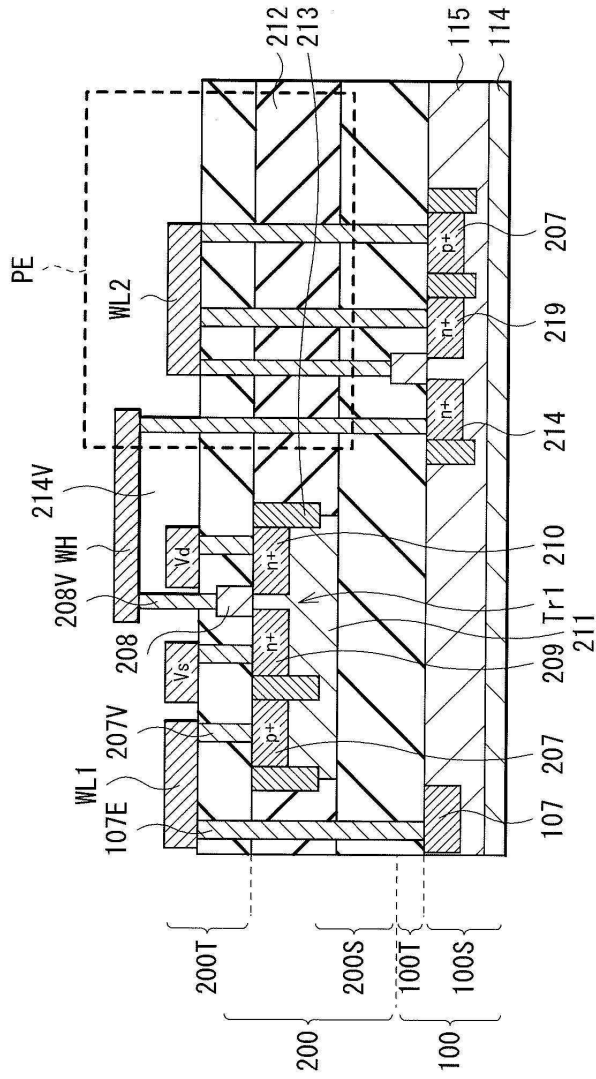
도면119



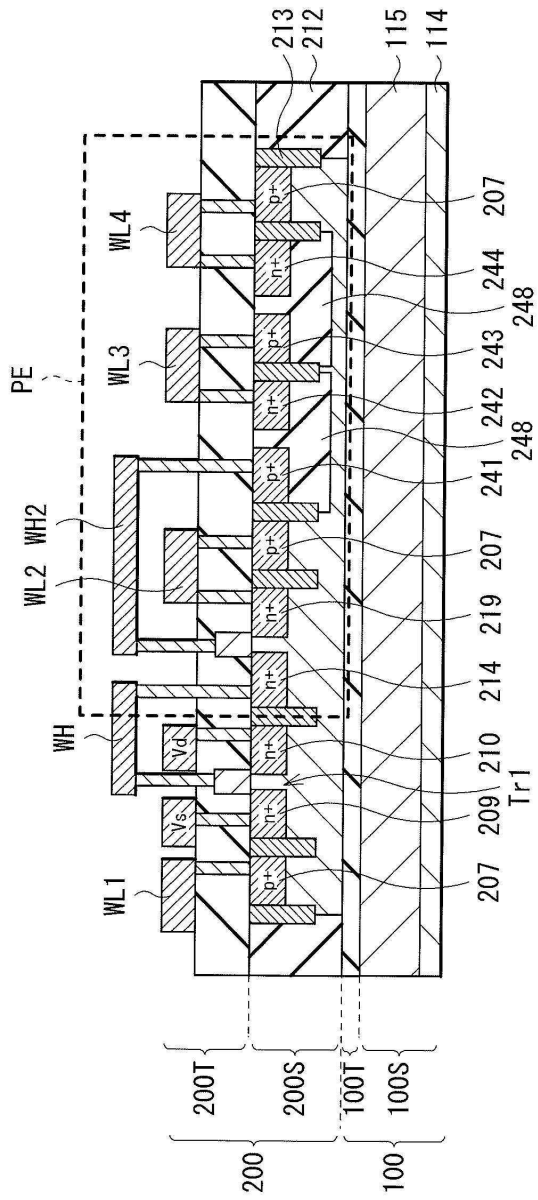
도면121



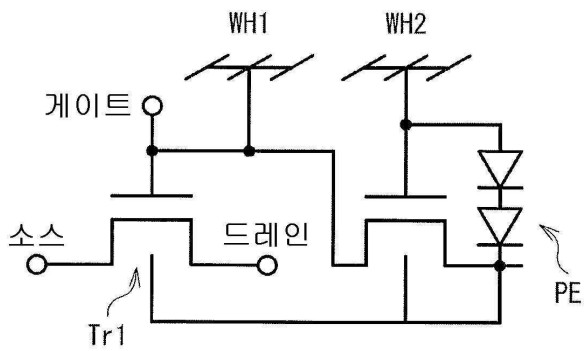
도면122



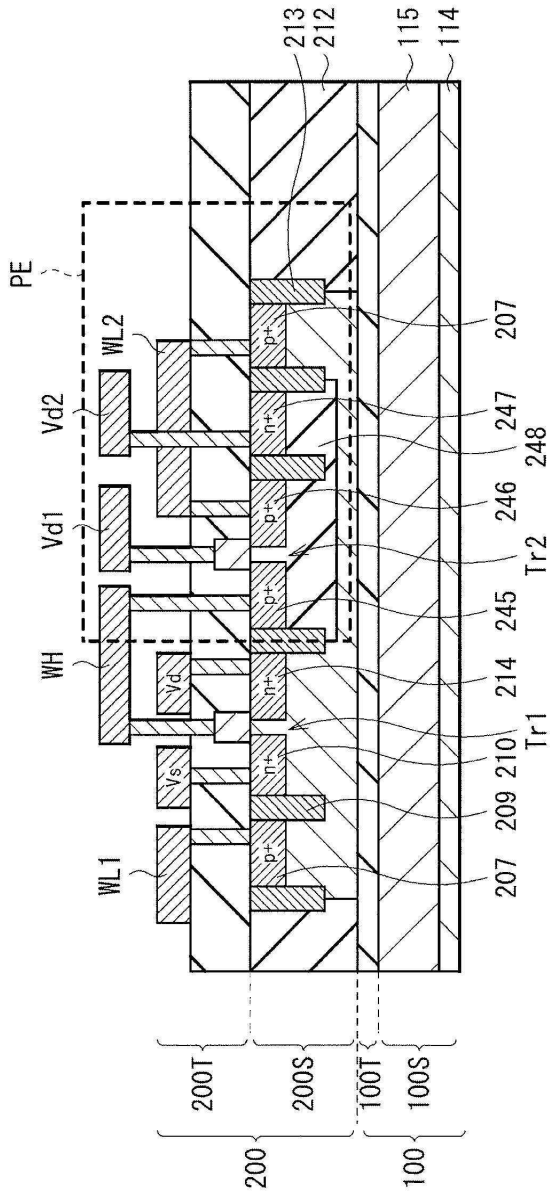
도면123



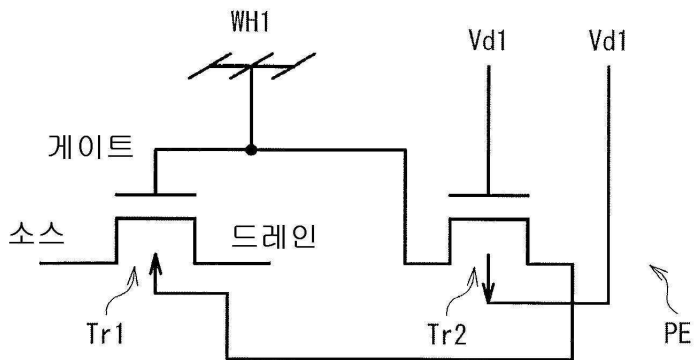
도면124



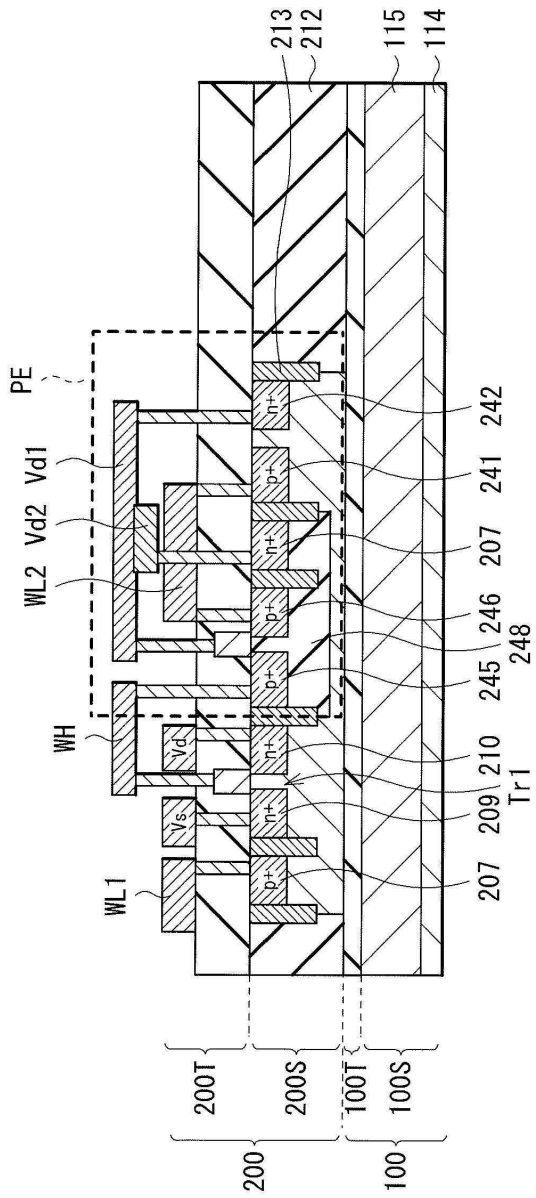
도면125



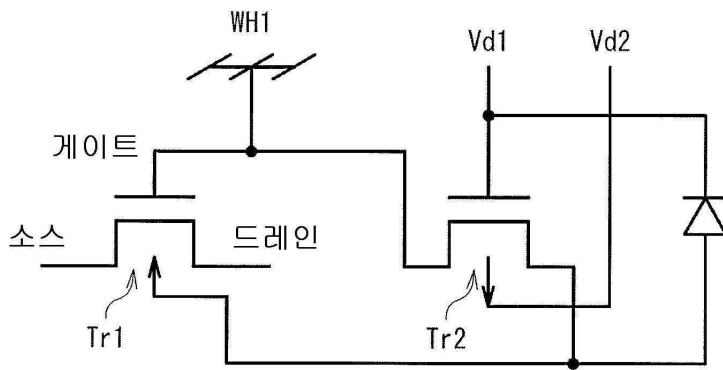
도면126



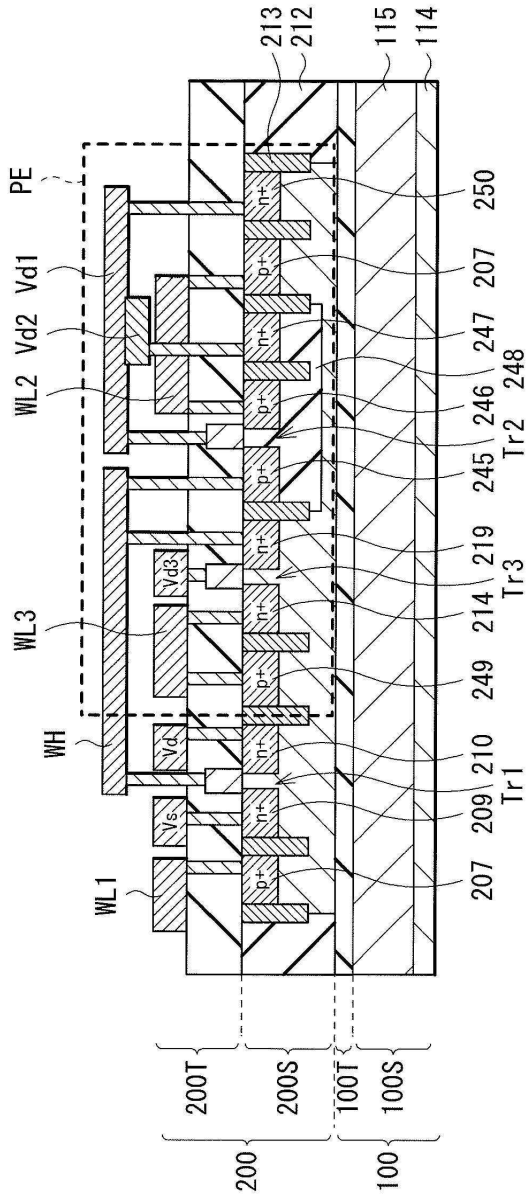
도면127



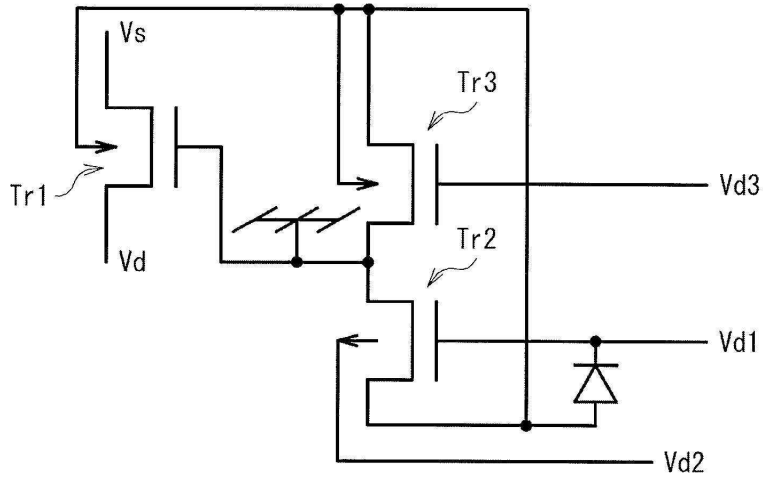
도면128



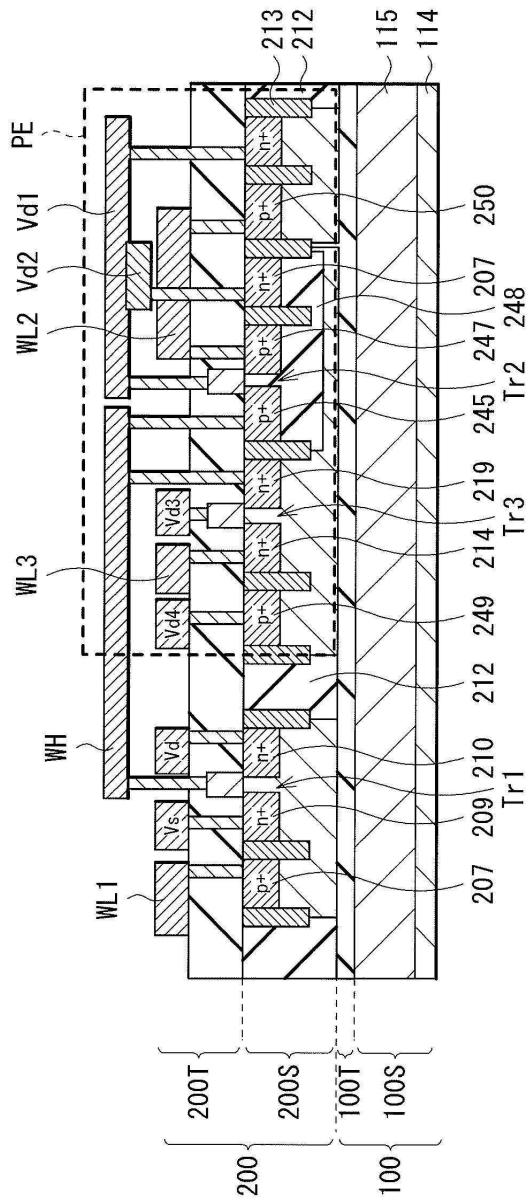
도면129



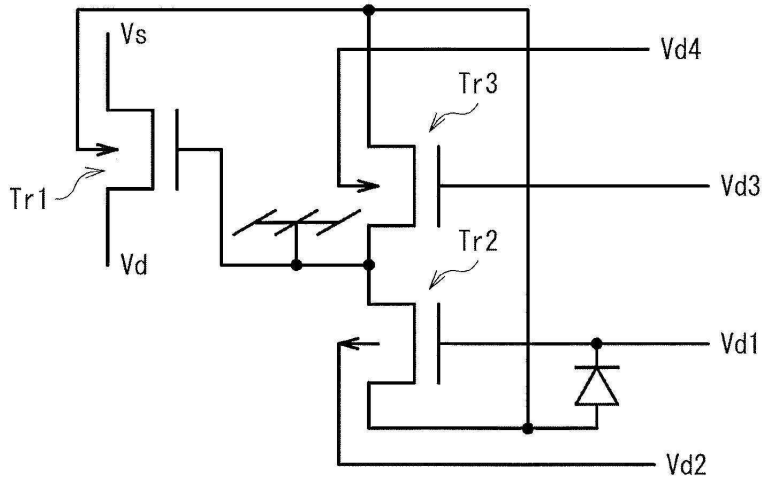
도면130



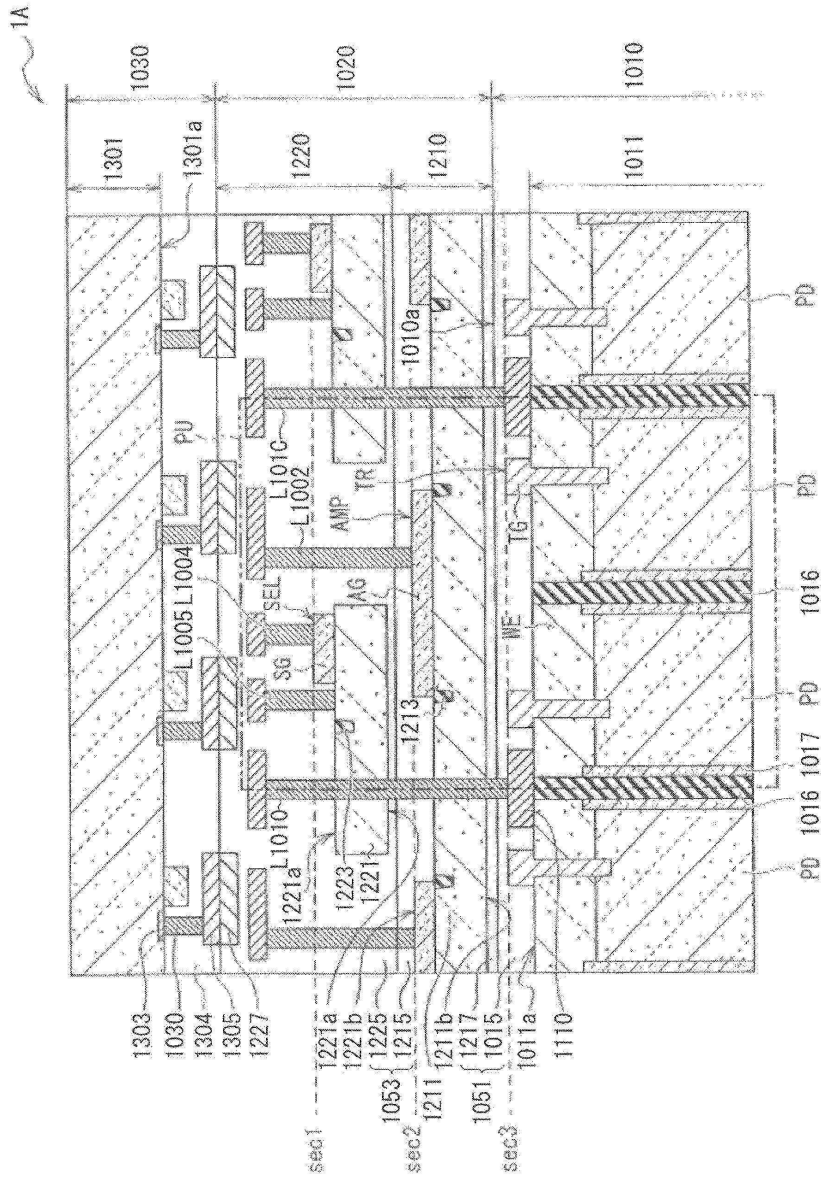
도면131



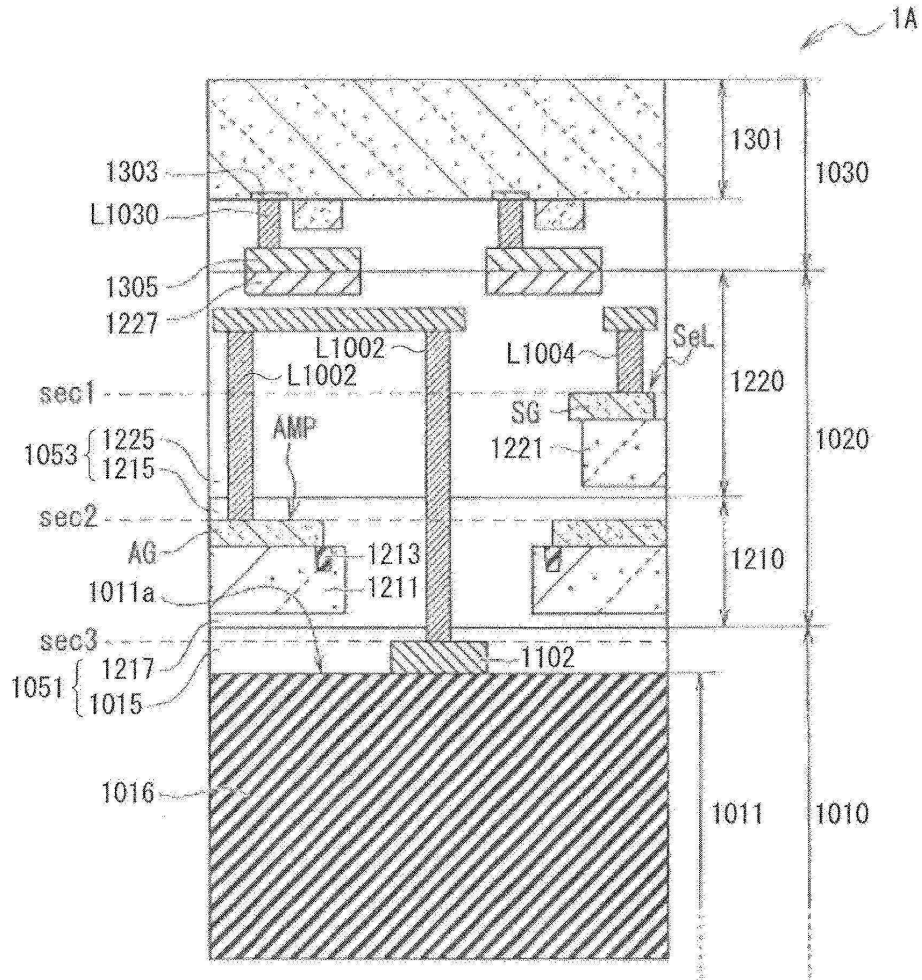
도면132



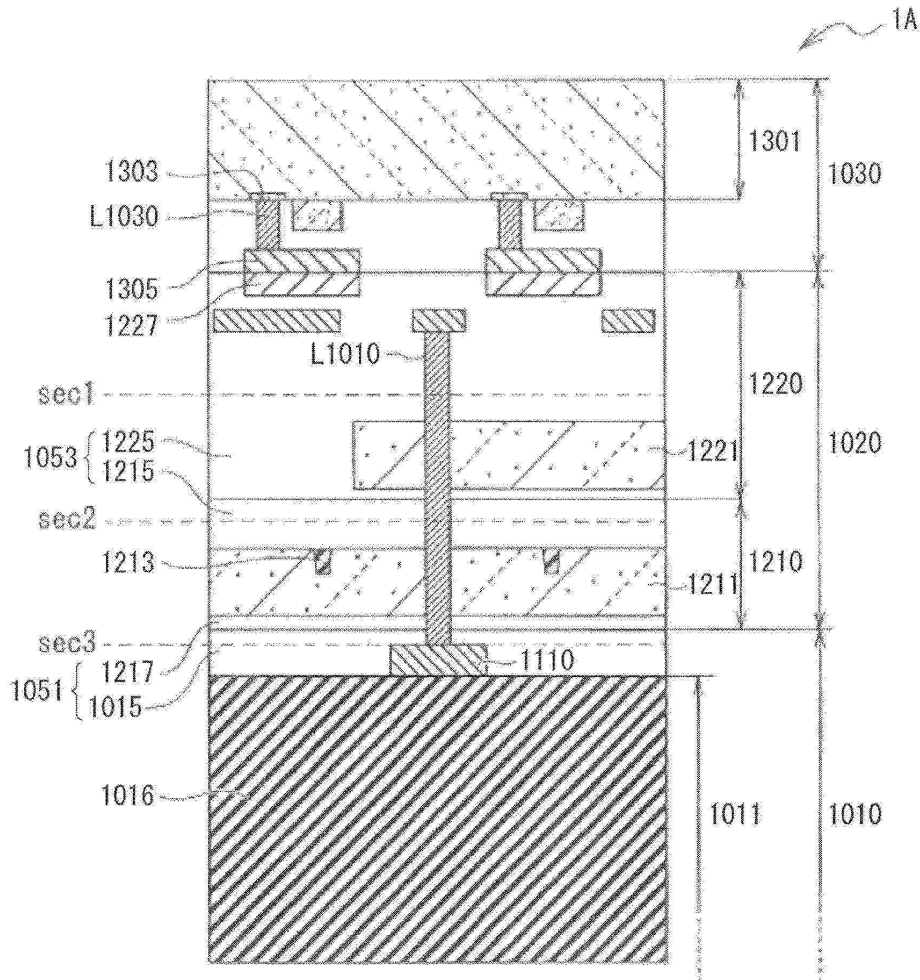
도면133



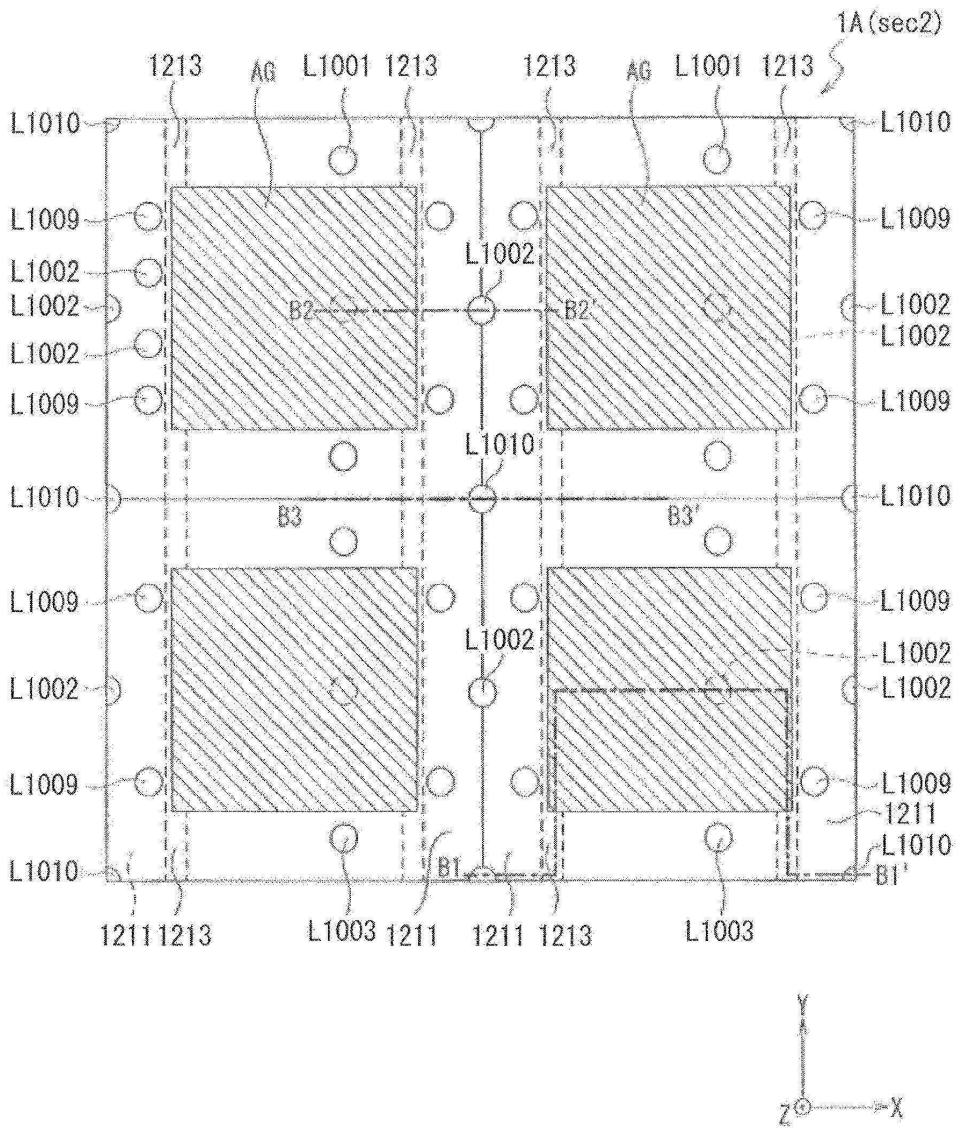
도면134



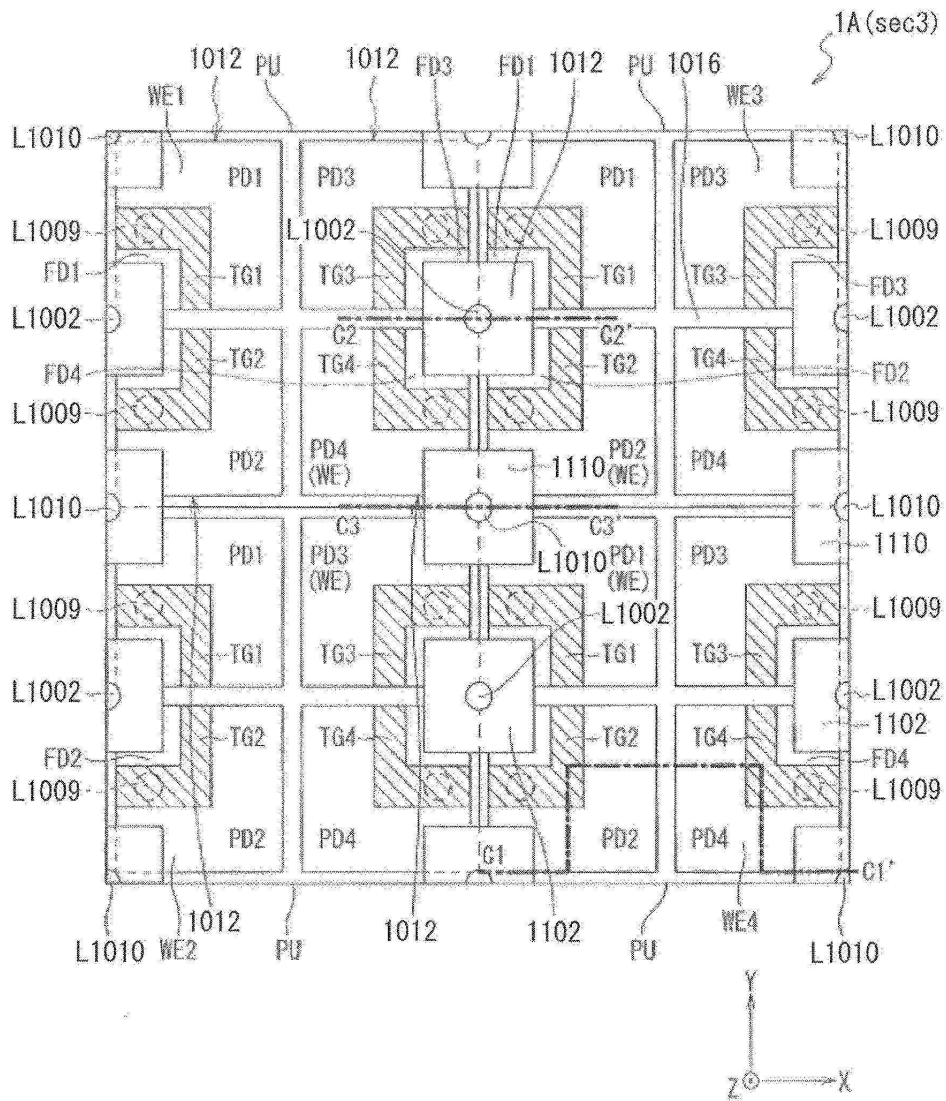
도면135



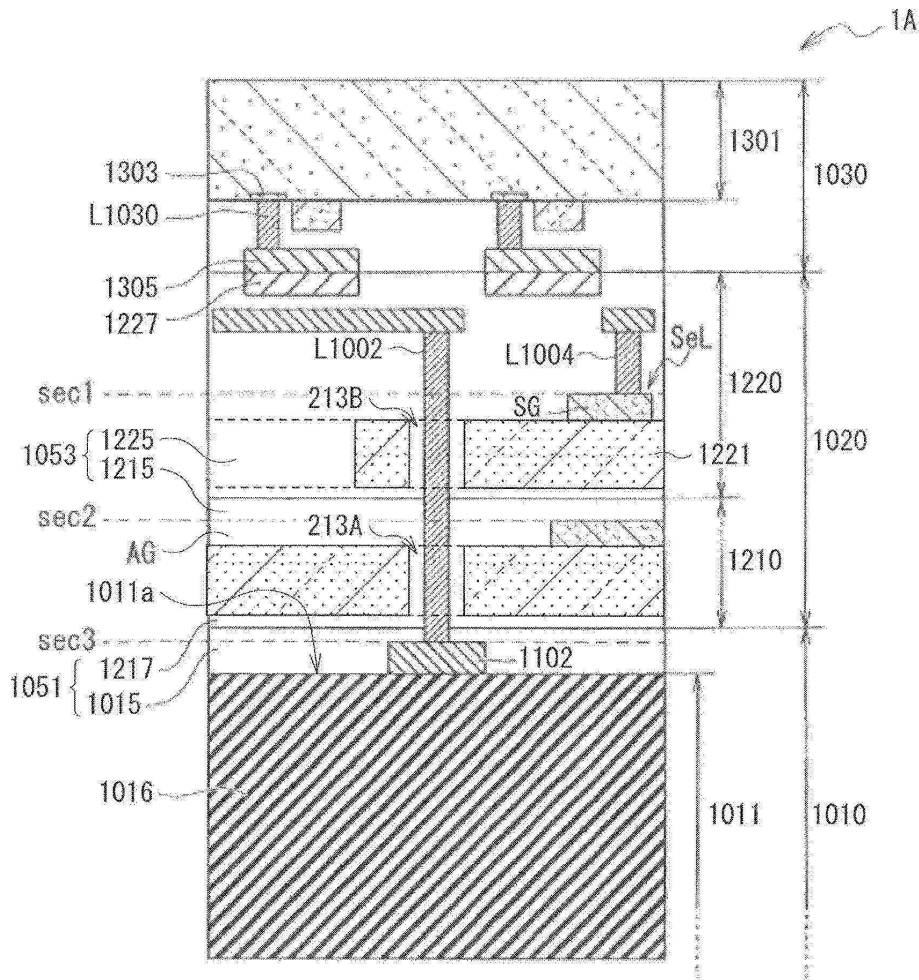
도면137



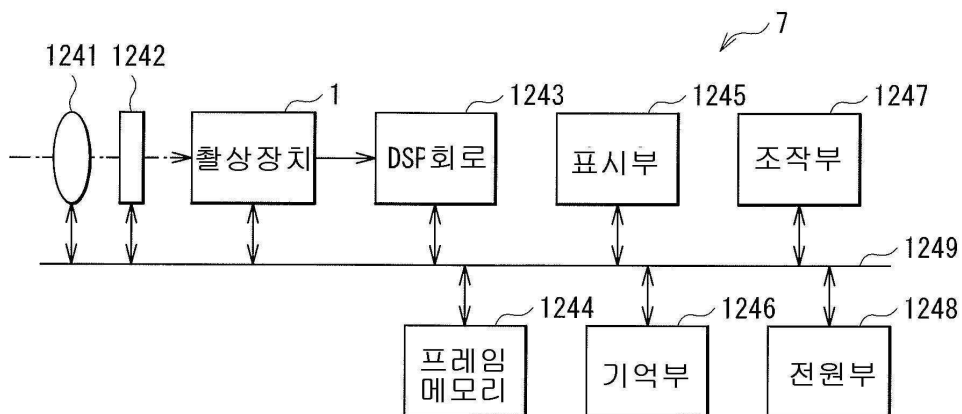
도면138



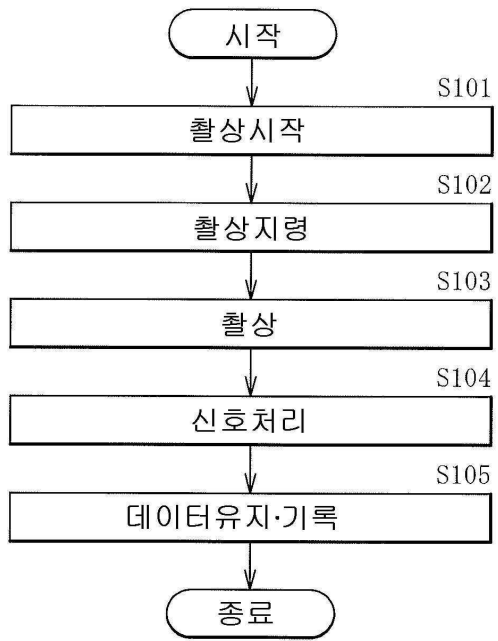
도면139



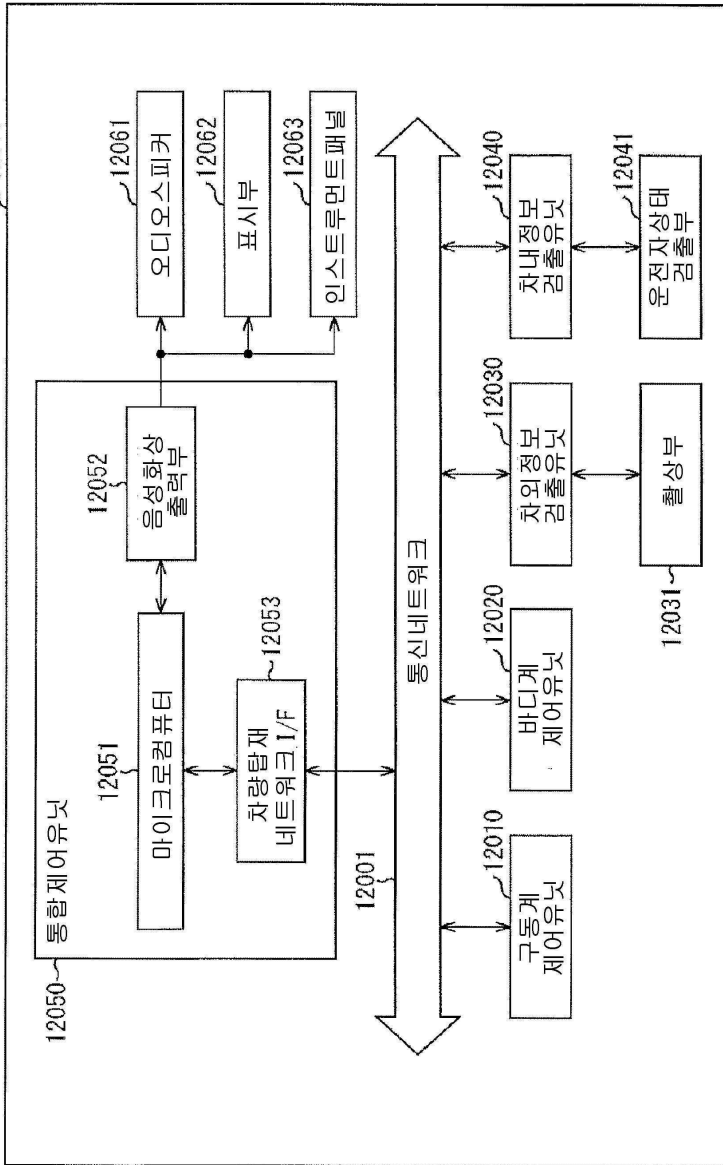
도면140



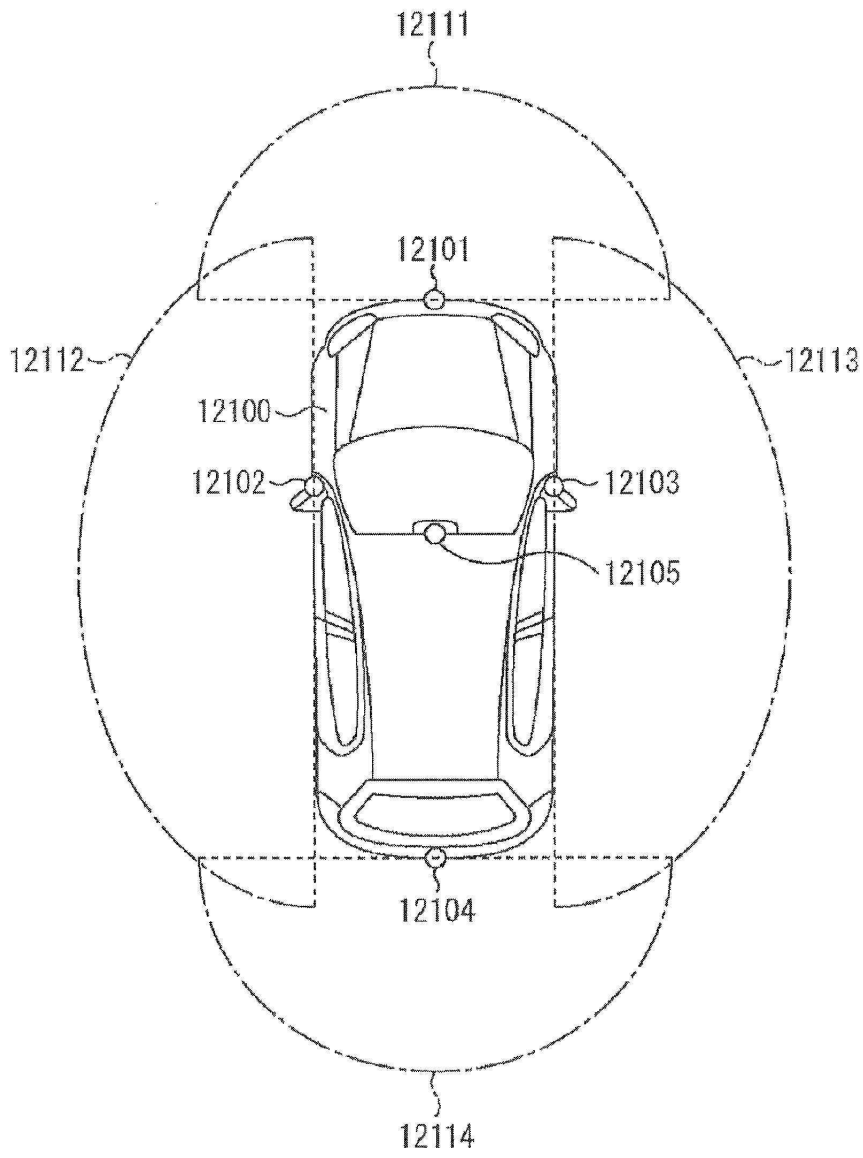
도면141



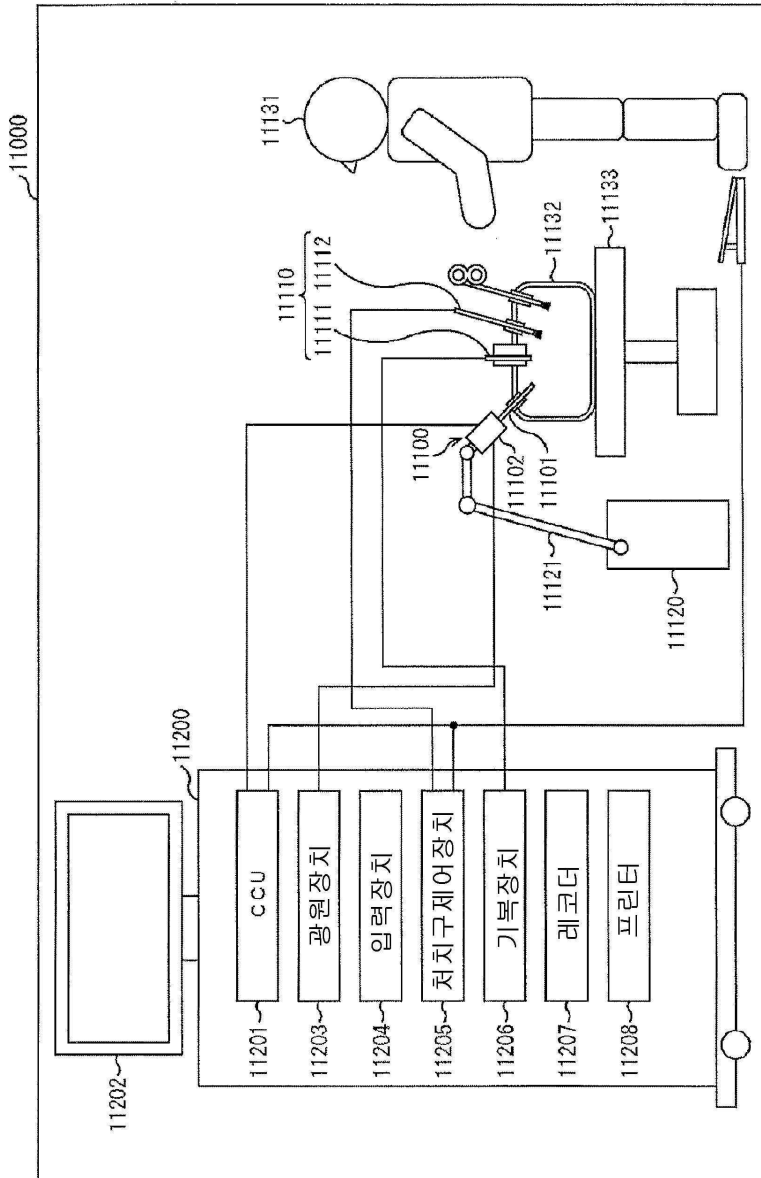
도면142



도면143



도면144



도면145

