



(12) 发明专利

(10) 授权公告号 CN 113745274 B

(45) 授权公告日 2024. 10. 15

(21) 申请号 202010479767.2

H10K 59/65 (2023.01)

(22) 申请日 2020.05.29

H10K 59/131 (2023.01)

(65) 同一申请的已公布的文献号

申请公布号 CN 113745274 A

(56) 对比文件

CN 110085646 A, 2019.08.02

CN 110874990 A, 2020.03.10

(43) 申请公布日 2021.12.03

审查员 师长义

(73) 专利权人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

专利权人 成都京东方光电科技有限公司

(72) 发明人 蔡建畅 杜丽丽 王彬艳 邱远游

程羽雕 杨国波

(74) 专利代理机构 北京市柳沈律师事务所

11105

专利代理师 彭久云

(51) Int. Cl.

H10K 59/60 (2023.01)

权利要求书3页 说明书17页 附图10页

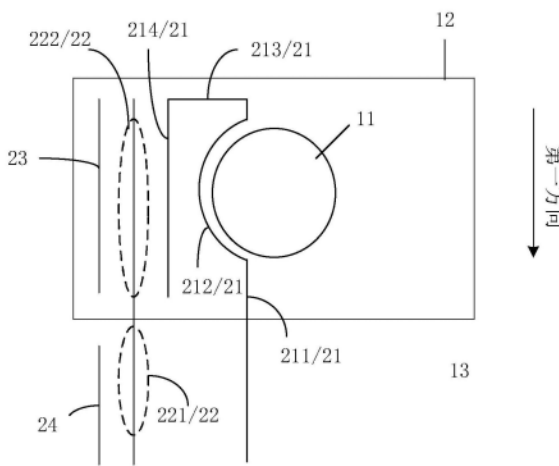
(54) 发明名称

显示基板及显示装置

(57) 摘要

一种显示基板及显示装置,该显示基板具有第一侧和第二侧,且包括显示区域。第一显示区域包括第一发光元件,且允许来自第一侧的光至少部分透射至第二侧。第二显示区域包括第一像素电路、第二发光元件和第二像素电路。第三显示区域包括第三发光元件和第三像素电路。显示基板上设有第一至第三信号线。第一信号线的第一绕线部沿曲线延伸,第一绕线部、第一弯折部和第一连接部均位于第二显示区域。第一信号线向第一像素电路传输第一驱动信号以驱动第一发光元件发光。第二信号线向第二和第三像素电路传输第二驱动信号以驱动第二和第三发光元件发光。第三信号线悬浮设置,位于第二显示区域且沿第一方向延伸。该显示基板能平衡电路环境,优化走线设计。

01



1. 一种显示基板,具有用于显示的第一侧和与所述第一侧相对的第二侧,且包括显示区域;

其中,所述显示区域包括第一显示区域、第二显示区域和第三显示区域,所述第二显示区域至少部分围绕所述第一显示区域,所述第三显示区域至少部分围绕所述第二显示区域,所述第一显示区域、所述第二显示区域和所述第三显示区域互不重叠;

所述第一显示区域包括至少一个第一发光元件,且所述第一显示区域允许来自所述第一侧的光至少部分透射至所述第二侧;

所述第二显示区域包括至少一个第一像素电路、至少一个第二发光元件和至少一个第二像素电路,所述第一发光元件与所述第一像素电路电连接,所述第二发光元件与所述第二像素电路电连接;

所述第三显示区域包括至少一个第三发光元件和至少一个第三像素电路,所述第三发光元件与所述第三像素电路电连接;

所述显示基板上设有至少一条第一信号线、至少一条第二信号线和至少一条第三信号线;

所述第一信号线包括依次连接的第一主体部、第一绕线部、第一弯折部和第一连接部;

所述第一主体部和所述第一连接部均沿第一方向延伸,所述第一主体部沿所述第一方向的虚拟延长线与所述第一连接部沿所述第一方向的虚拟延长线不重叠,所述第一绕线部沿曲线延伸;

所述第一绕线部、所述第一弯折部和所述第一连接部均位于所述第二显示区域,所述第一主体部至少部分位于所述第二显示区域,所述第一主体部沿所述第一方向的虚拟延长线穿过所述第一显示区域;

所述第一连接部与所述第一像素电路电连接,所述第一信号线配置为向所述第一像素电路传输第一驱动信号,以使所述第一像素电路驱动所述第一发光元件发光;

所述第二信号线沿所述第一方向延伸且包括第一部分和第二部分,所述第一部分位于所述第三显示区域,所述第二部分位于所述第二显示区域;

所述第一部分与所述第三像素电路电连接,所述第二部分与所述第二像素电路电连接,所述第二信号线配置为向所述第二像素电路和所述第三像素电路传输第二驱动信号,以使所述第二像素电路驱动所述第二发光元件发光且使所述第三像素电路驱动所述第三发光元件发光;

所述第三信号线位于所述第二显示区域且沿所述第一方向延伸,所述第三信号线悬浮设置。

2. 根据权利要求1所述的显示基板,还包括至少一条第四信号线;

其中,所述第四信号线位于所述第三显示区域且沿所述第一方向延伸,所述第四信号线与所述第三像素电路电连接,所述第四信号线配置为向所述第三像素电路传输第三驱动信号,以使所述第三像素电路驱动所述第三发光元件发光;

所述第三信号线与所述第四信号线位于同一条延伸线上,所述第三信号线与所述第四信号线之间具有间隙从而彼此绝缘。

3. 根据权利要求2所述的显示基板,其中,所述延伸线为直线。

4. 根据权利要求2所述的显示基板,其中,所述第一信号线的所述第一主体部包括第一

子部和第二子部,所述第一子部位于所述第三显示区域,所述第二子部位于所述第二显示区域;

所述第一子部与所述第三像素电路电连接,所述第二子部与所述第二像素电路电连接;

所述第一信号线还配置为向所述第二像素电路和所述第三像素电路传输所述第一驱动信号,以使所述第二像素电路驱动所述第二发光元件发光且使所述第三像素电路驱动所述第三发光元件发光。

5. 根据权利要求4所述的显示基板,其中,所述至少一个第二像素电路包括多个第二像素电路,所述多个第二像素电路沿所述第一方向呈多列排布;

与所述第一信号线连接的第二像素电路和与所述第二信号线连接的第二像素电路位于不同列。

6. 根据权利要求4所述的显示基板,其中,所述至少一个第三像素电路包括多个第三像素电路,所述多个第三像素电路沿所述第一方向呈多列排布;

与所述第一信号线连接的第三像素电路、与所述第二信号线连接的第三像素电路以及与所述第四信号线连接的第三像素电路位于不同列。

7. 根据权利要求1-6任一所述的显示基板,其中,所述第一绕线部与所述第一显示区域的边缘具有间距,所述第一绕线部沿着所述第一显示区域的边缘的延伸方向延伸。

8. 根据权利要求7所述的显示基板,其中,所述第一显示区域的形状为圆形或椭圆形,所述第一绕线部沿弧线延伸。

9. 根据权利要求1-6任一所述的显示基板,其中,所述至少一条第二信号线包括多条第二信号线,所述至少一条第三信号线包括多条第三信号线,所述多条第二信号线与所述多条第三信号线间隔设置。

10. 根据权利要求1-6任一所述的显示基板,其中,所述至少一条第二信号线包括多条第二信号线,所述至少一条第一信号线包括多条第一信号线,所述多条第二信号线与所述多条第一信号线的第一连接部间隔设置。

11. 根据权利要求2-6任一所述的显示基板,其中,所述第一驱动信号、所述第二驱动信号、所述第三驱动信号为不同或相同的数据信号,所述数据信号与显示灰阶对应。

12. 根据权利要求2-6任一所述的显示基板,其中,所述第一像素电路、所述第二像素电路和所述第三像素电路中的每个包括开关薄膜晶体管,所述开关薄膜晶体管包括栅极、第一极和第二极;

所述第一信号线、所述第二信号线或所述第四信号线与所述开关薄膜晶体管的第一极或第二极电连接。

13. 根据权利要求12所述的显示基板,其中,所述第一主体部、所述第一绕线部、所述第一连接部、所述第二信号线和所述第三信号线位于同一层。

14. 根据权利要求13所述的显示基板,还包括源漏极金属层,其中,所述开关薄膜晶体管的第一极和第二极位于所述源漏极金属层,所述第一主体部、所述第一绕线部、所述第一连接部、所述第二信号线和所述第三信号线位于所述源漏极金属层。

15. 根据权利要求13所述的显示基板,其中,所述第一弯折部与所述第一连接部位于不

同层。

16. 根据权利要求15所述的显示基板,还包括栅极金属层,其中,所述开关薄膜晶体管的栅极位于所述栅极金属层,所述第一信号线至少之一的第一弯折部位于所述栅极金属层。

17. 根据权利要求16所述的显示基板,还包括第一金属层,其中,所述第一金属层与所述栅极金属层为不同的膜层,且与所述栅极金属层绝缘,所述至少一条第一信号线包括多条第一信号线,一部分第一信号线的第一弯折部位于所述栅极金属层,另一部分第一信号线的第一弯折部位于所述第一金属层。

18. 根据权利要求1-6任一所述的显示基板,其中,所述第一信号线、所述第二信号线和所述第三信号线包括金属走线或透明导电走线。

19. 根据权利要求1-6任一所述的显示基板,其中,所述第一发光元件、所述第二发光元件和所述第三发光元件包括有机发光二极管。

20. 根据权利要求1-6任一所述的显示基板,其中,所述第二发光元件在所述第二显示区域内的单位面积分布密度小于所述第三发光元件在所述第三显示区域内的单位面积分布密度。

21. 一种显示装置,包括如权利要求1-20任一所述的显示基板。

22. 根据权利要求21所述的显示装置,还包括传感器,其中,所述传感器设置于所述显示基板的第二侧,所述传感器配置为接收来自所述第一侧的光。

23. 根据权利要求22所述的显示装置,其中,所述传感器在所述显示基板上的正投影与所述第一显示区域至少部分重叠。

显示基板及显示装置

技术领域

[0001] 本公开的实施例涉及一种显示基板及显示装置。

背景技术

[0002] 有机发光二极管(Organic Light-Emitting Diode,OLED)显示器件具有视角宽、对比度高、响应速度快、色域广、屏占比高、自发光、轻薄等特点。由于具有上述特点和优势,有机发光二极管(OLED)显示器件逐渐受到人们的广泛关注并且可以适用于手机、显示器、笔记本电脑、智能手表、数码相机、仪器仪表、柔性可穿戴装置等具有显示功能的装置。随着显示技术的进一步发展,具有高屏占比的显示装置已经不能满足人们的需求,具有全面屏的显示装置成为未来显示技术的发展趋势。

发明内容

[0003] 本公开至少一个实施例提供一种显示基板,具有用于显示的第一侧和与所述第一侧相对的第二侧,且包括显示区域;其中,所述显示区域包括第一显示区域、第二显示区域和第三显示区域,所述第二显示区域至少部分围绕所述第一显示区域,所述第三显示区域至少部分围绕所述第二显示区域,所述第一显示区域、所述第二显示区域和所述第三显示区域互不重叠;所述第一显示区域包括至少一个第一发光元件,且所述第一显示区域允许来自所述第一侧的光至少部分透射至所述第二侧;所述第二显示区域包括至少一个第一像素电路、至少一个第二发光元件和至少一个第二像素电路,所述第一发光元件与所述第一像素电路电连接,所述第二发光元件与所述第二像素电路电连接;所述第三显示区域包括至少一个第三发光元件和至少一个第三像素电路,所述第三发光元件与所述第三像素电路电连接;所述显示基板上设有至少一根第一信号线、至少一根第二信号线和至少一根第三信号线;所述第一信号线包括依次连接的第一主体部、第一绕线部、第一弯折部和第一连接部;所述第一主体部和所述第一连接部均沿第一方向延伸,所述第一主体部沿所述第一方向的虚拟延长线与所述第一连接部沿所述第一方向的虚拟延长线不重叠,所述第一绕线部沿曲线延伸;所述第一绕线部、所述第一弯折部和所述第一连接部均位于所述第二显示区域,所述第一主体部至少部分位于所述第二显示区域,所述第一主体部沿所述第一方向的虚拟延长线穿过所述第一显示区域;所述第一连接部与所述第一像素电路电连接,所述第一信号线配置为向所述第一像素电路传输第一驱动信号,以使所述第一像素电路驱动所述第一发光元件发光;所述第二信号线沿所述第一方向延伸且包括第一部分和第二部分,所述第一部分位于所述第三显示区域,所述第二部分位于所述第二显示区域;所述第一部分与所述第三像素电路电连接,所述第二部分与所述第二像素电路电连接,所述第二信号线配置为向所述第二像素电路和所述第三像素电路传输第二驱动信号,以使所述第二像素电路驱动所述第二发光元件发光且使所述第三像素电路驱动所述第三发光元件发光;所述第三信号线位于所述第二显示区域且沿所述第一方向延伸,所述第三信号线悬浮设置。

[0004] 例如,本公开一实施例提供的显示基板还包括至少一根第四信号线;其中,所述第

四信号线位于所述第三显示区域且沿所述第一方向延伸,所述第四信号线与所述第三像素电路电连接,所述第四信号线配置为向所述第三像素电路传输第三驱动信号,以使所述第三像素电路驱动所述第三发光元件发光;所述第三信号线与所述第四信号线位于同一条延伸线上,所述第三信号线与所述第四信号线之间具有间隙从而彼此绝缘。

[0005] 例如,在本公开一实施例提供的显示基板中,所述延伸线为直线。

[0006] 例如,在本公开一实施例提供的显示基板中,所述第一信号线的所述第一主体部包括第一子部和第二子部,所述第一子部位于所述第三显示区域,所述第二子部位于所述第二显示区域;所述第一子部与所述第三像素电路电连接,所述第二子部与所述第二像素电路电连接;所述第一信号线还配置为向所述第二像素电路和所述第三像素电路传输所述第一驱动信号,以使所述第二像素电路驱动所述第二发光元件发光且使所述第三像素电路驱动所述第三发光元件发光。

[0007] 例如,在本公开一实施例提供的显示基板中,所述至少一个第二像素电路包括多个第二像素电路,所述多个第二像素电路沿所述第一方向呈多列排布;与所述第一信号线连接的第二像素电路和与所述第二信号线连接的第二像素电路位于不同列。

[0008] 例如,在本公开一实施例提供的显示基板中,所述至少一个第三像素电路包括多个第三像素电路,所述多个第三像素电路沿所述第一方向呈多列排布;与所述第一信号线连接的第三像素电路、与所述第二信号线连接的第三像素电路以及与所述第四信号线连接的第三像素电路位于不同列。

[0009] 例如,在本公开一实施例提供的显示基板中,所述第一绕线部与所述第一显示区域的边缘具有间距,所述第一绕线部沿着所述第一显示区域的边缘的延伸方向延伸。

[0010] 例如,在本公开一实施例提供的显示基板中,所述第一显示区域的形状为圆形或椭圆形,所述第一绕线部沿弧线延伸。

[0011] 例如,在本公开一实施例提供的显示基板中,所述至少一条第二信号线包括多条第二信号线,所述至少一条第三信号线包括多条第三信号线,所述多条第二信号线与所述多条第三信号线间隔设置。

[0012] 例如,在本公开一实施例提供的显示基板中,所述至少一条第二信号线包括多条第二信号线,所述至少一条第一信号线包括多条第一信号线,所述多条第二信号线与所述多条第一信号线的第一连接部间隔设置。

[0013] 例如,在本公开一实施例提供的显示基板中,所述第一驱动信号、所述第二驱动信号、所述第三驱动信号为不同或相同的数据信号,所述数据信号与显示灰阶对应。

[0014] 例如,在本公开一实施例提供的显示基板中,所述第一像素电路、所述第二像素电路和所述第三像素电路中的每个包括开关薄膜晶体管,所述开关薄膜晶体管包括栅极、第一极和第二极;所述第一信号线、所述第二信号线或所述第四信号线与所述开关薄膜晶体管的第一极或第二极电连接。

[0015] 例如,在本公开一实施例提供的显示基板中,所述第一主体部、所述第一绕线部、所述第一连接部、所述第二信号线和所述第三信号线位于同一层。

[0016] 例如,本公开一实施例提供的显示基板还包括源漏极金属层,其中,所述开关薄膜晶体管的第一极和第二极位于所述源漏极金属层,所述第一主体部、所述第一绕线部、所述第一连接部、所述第二信号线和所述第三信号线位于所述源漏极金属层。

[0017] 例如,在本公开一实施例提供的显示基板中,所述第一弯折部与所述第一连接部位于不同层。

[0018] 例如,本公开一实施例提供的显示基板还包括栅极金属层,其中,所述开关薄膜晶体管的栅极位于所述栅极金属层,所述第一信号线至少之一的第一弯折部位于所述栅极金属层。

[0019] 例如,本公开一实施例提供的显示基板还包括第一金属层,其中,所述第一金属层与所述栅极金属层为不同的膜层,且与所述栅极金属层绝缘,所述至少一条第一信号线包括多条第一信号线,一部分第一信号线的第一弯折部位于所述栅极金属层,另一部分第一信号线的第一弯折部位于所述第一金属层。

[0020] 例如,在本公开一实施例提供的显示基板中,所述第一信号线、所述第二信号线和所述第三信号线包括金属走线或透明导电走线。

[0021] 例如,在本公开一实施例提供的显示基板中,所述第一发光元件、所述第二发光元件和所述第三发光元件包括有机发光二极管。

[0022] 例如,在本公开一实施例提供的显示基板中,所述第二发光元件在所述第二显示区域内的单位面积分布密度小于所述第三发光元件在所述第三显示区域内的单位面积分布密度。

[0023] 本公开至少一个实施例还提供一种显示装置,包括本公开任一实施例所述的显示基板。

[0024] 例如,本公开一实施例提供的显示装置还包括传感器,其中,所述传感器设置于所述显示基板的第二侧,所述传感器配置为接收来自所述第一侧的光。

[0025] 例如,在本公开一实施例提供的显示装置中,所述传感器在所述显示基板上的正投影与所述第一显示区域至少部分重叠。

附图说明

[0026] 为了更清楚地说明本公开实施例的技术方案,下面将对实施例的附图作简单地介绍,显而易见地,下面描述中的附图仅仅涉及本公开的一些实施例,而非对本公开的限制。

[0027] 图1为本公开至少一个实施例提供的一种显示基板的平面示意图;

[0028] 图2为图1所示的显示基板的第一显示区域和第二显示区域的平面示意图;

[0029] 图3为图2所示的显示基板的第一显示区域和第二显示区域的一个示例;

[0030] 图4为图3的部分区域的放大图;

[0031] 图5为图1所示的显示基板的第三显示区域的部分区域的放大图;

[0032] 图6A为本公开至少一个实施例提供的一种显示基板的部分区域的平面示意图之一;

[0033] 图6B为本公开至少一个实施例提供的一种显示基板的部分区域的平面示意图之二;

[0034] 图6C为本公开至少一个实施例提供的一种显示基板的部分区域的平面示意图之三;

[0035] 图7为本公开至少一个实施例提供的另一种显示基板的部分区域的平面示意图;

[0036] 图8A为本公开至少一个实施例提供的一种显示基板的示意版图之一;

- [0037] 图8B为本公开至少一个实施例提供的一种显示基板的示意版图之二;
- [0038] 图8C为本公开至少一个实施例提供的一种显示基板的示意版图之三;
- [0039] 图8D为本公开至少一个实施例提供的一种显示基板的示意版图之四;
- [0040] 图9为本公开至少一个实施例提供的一种显示基板的部分区域的平面示意图;
- [0041] 图10A为一种7T1C像素电路的结构示意图;
- [0042] 图10B为图10A所示的7T1C像素电路的驱动时序图;
- [0043] 图11为本公开至少一个实施例提供的一种显示基板的叠层结构示意图;
- [0044] 图12为本公开至少一个实施例提供的一种显示装置的示意框图;以及
- [0045] 图13为本公开至少一个实施例提供的一种显示装置的叠层结构示意图。

具体实施方式

[0046] 为使本公开实施例的目的、技术方案和优点更加清楚,下面将结合本公开实施例的附图,对本公开实施例的技术方案进行清楚、完整地描述。显然,所描述的实施例是本公开的一部分实施例,而不是全部的实施例。基于所描述的本公开的实施例,本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例,都属于本公开保护的范围。

[0047] 除非另外定义,本公开使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性,而只是用来区分不同的组成部分。同样,“一个”、“一”或者“该”等类似词语也不表示数量限制,而是表示存在至少一个。“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同,而不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接,而是可以包括电性的连接,不管是直接的还是间接的。“上”、“下”、“左”、“右”等仅用于表示相对位置关系,当被描述对象的绝对位置改变后,则该相对位置关系也可能相应地改变。

[0048] 对于当前的具有屏下传感器(例如,摄像头)的显示基板,为了提高显示基板的对应于屏下传感器(摄像头)的显示区域的透光率,对应于屏下传感器(摄像头)的显示区域的发光元件的单位面积分布密度(PPI)可以小于显示基板的其它显示区域的发光元件的单位面积分布密度。

[0049] 然而,由于显示基板上不同区域的发光元件的单位面积分布密度不同,导致不同区域的发光元件及相应的像素电路的设置方式不同,从而会产生不同的驱动需求,并且会降低电路环境的均一性,影响所加载的信号。传统的布线方式难以适应多种不同的驱动需求,难以改善电路环境,并且也会影响对应于屏下传感器(摄像头)的显示区域的透光率,这使得走线设计的难度大,影响了采用该显示基板的显示装置的性能。

[0050] 本公开至少一个实施例提供一种显示基板及显示装置,该显示基板可以满足不同显示区域的驱动需求,并且可以平衡电路环境,优化走线设计,提升版图布局的合理性,保证正常显示,有助于提高全面屏显示装置的性能。

[0051] 下面,将参考附图详细地说明本公开的实施例。应当注意的是,不同的附图中相同的附图标记将用于指代已描述的相同的元件。

[0052] 图1为本公开至少一个实施例提供的一种显示基板的平面示意图。如图1所示,该

显示基板01包括显示区域10,显示区域10包括第一显示区域11、第二显示区域12和第三显示区域13。例如,第一显示区域11、第二显示区域12和第三显示区域13互不重叠。例如,第三显示区域13至少部分围绕(例如,部分围绕)第二显示区域12,第二显示区域12至少部分围绕(例如,完全围绕)第一显示区域11。需要说明是,在一些示例中,显示基板01还可以包括周边区域,该周边区域至少部分围绕第三显示区域13。

[0053] 例如,该显示基板01具有用于显示的第一侧和与第一侧相对的第二侧。例如,在一些示例中,如图1所示,第一侧为显示基板01的正侧(也即图1所示的平面),第二侧为显示基板的背侧。例如,可以在显示基板01的第二侧对应于第一显示区域11的位置设置传感器,该传感器例如为图像传感器或红外传感器等。该传感器配置为接收来自显示基板01的第一侧的光线,从而可以进行图像拍摄、距离感知、光强感知等操作。

[0054] 图2为图1所示的显示基板的第一显示区域和第二显示区域的平面示意图。例如,如图1和图2所示,第二显示区域12至少部分围绕(例如,完全围绕)第一显示区域11。

[0055] 例如,第一显示区域11的形状可以为圆形或椭圆形,第二显示区域12的形状可以为矩形,但本公开的实施例不限于此。又例如,第一显示区域11和第二显示区域12的形状可以均为矩形或者其它适用的形状。

[0056] 图3为图2所示的显示基板的第一显示区域和第二显示区域的一个示例。图4为图3的部分区域REG1的放大图,图5为图1所示的显示基板的第三显示区域13的部分区域REG2的放大图。

[0057] 例如,如图3和图4所示,第一显示区域11包括至少一个(例如多个)第一发光元件411。需要说明的是,为清楚起见,相关附图使用了第一发光元件411的阳极结构来示意性的示出第一发光元件411。例如,第一显示区域11包括阵列排布的多个第一发光元件411,第一发光元件411被配置为发射光线。例如,第一显示区域11中没有像素电路,用于驱动第一发光元件411的像素电路设置在第二显示区域12中,从而减少第一显示区域11的金属覆盖面积,提高第一显示区域11的透光率。关于驱动第一发光元件411的像素电路,将在下文进行说明,此处不再赘述。

[0058] 例如,多个第一发光元件411可以设置在多个发光单元中,这些发光单元呈阵列排布。例如,每个发光单元可以包括一个或多个第一发光元件411。例如,多个第一发光元件411可以发射相同颜色的光或不同颜色的光,例如可以发射白光、红光、蓝光、绿光等,这可以根据实际需求而定,本公开的实施例对此不作限制。例如,多个第一发光元件411的排布方式可以参考常规的像素单元排布方式,例如GGRB、RGBG、RGB等,本公开的实施例对此不作限制。

[0059] 例如,第一显示区域11允许来自显示基板01的第一侧的光至少部分透射至显示基板01的第二侧。通过这种方式,可以便于在显示基板01的第二侧且对应于第一显示区域11的位置处设置传感器,该传感器可以接收来自第一侧的光线,从而可以进行图像拍摄、距离感知、光强感知等操作。

[0060] 例如,如图3和图4所示,第二显示区域12包括至少一个(例如多个)第一像素电路412。例如,第一发光元件411与第一像素电路412一一对应地电连接,多个第一像素电路412用于一一对应地驱动多个第一发光元件411。例如,图3和图4所示的矩形框(标号412所指示的黑色边框白色填充区域)表示第一像素驱动单元,每个第一像素驱动单元均包括第一像

素电路412。例如,第一像素电路412被配置为一一对应地驱动多个第一发光元件411发光。也即是,一个第一像素电路412驱动一个对应的第一发光元件411,不同的第一像素电路412驱动不同的第一发光元件411。

[0061] 需要说明的是,在图3和图4中,并非所有矩形框都表示第一像素驱动单元,在第一像素电路412及第一发光元件411的分布密度改变(例如分布密度减小)时,可以仅有一部分矩形框表示第一像素驱动单元,而另一部分矩形框中不再设置有第一像素驱动单元。

[0062] 需要说明的是,在图3和图4中,第一像素驱动单元可以包括一个或多个第一像素电路412。当第一显示区域11中的发光单元包括一个第一发光元件411时,该第一像素驱动单元也包括一个第一像素电路412。当第一显示区域11中的发光单元包括多个第一发光元件411时,该第一像素驱动单元也包括多个第一像素电路412,每个发光单元中的第一发光元件411的数量例如等于每个第一像素驱动单元中的第一像素电路412的数量,由此实现一一对应驱动。

[0063] 例如,多个第一发光元件411阵列排布,多个第一像素电路412也阵列排布。这里,“阵列排布”可以指多个器件为一组且多组器件阵列排布,也可以指多个器件自身阵列排布,本公开的实施例对此不作限制。例如,在一些示例中,如图3和图4所示,每4个第一发光元件411为一组,多组第一发光元件411呈阵列排布,相应地,每4个第一像素电路412为一组,多组第一像素电路412呈阵列排布,此时,每个第一像素驱动单元中包括4个第一像素电路412。

[0064] 例如,如图3和图4所示,第二显示区域12还包括至少一个(例如多个)第二发光元件421以及至少一个(例如多个)第二像素电路422。第二发光元件421与第二像素电路422一一对应地电连接,第二像素电路422用于驱动第二发光元件421发光。需要说明的是,图4中标号422所指示的矩形框仅用于示出第二像素电路422的大概位置,而并不表示第二像素电路422的具体形状以及第二像素电路422的具体边界。例如,多个第二发光元件421阵列排布,多个第二像素电路422也阵列排布。例如,至少一个第二发光元件421及其对应的第二像素电路422构成一个第二像素驱动单元42。

[0065] 需要说明的是,在图3和图4中,第二像素驱动单元42可以包括一个第二像素电路422及一个第二发光元件421,或者可以包括多个第二像素电路422及多个第二发光元件421。当第二像素驱动单元42包括多个第二像素电路422及多个第二发光元件421时,每个第二像素驱动单元42中的第二像素电路422的数量例如等于第二发光元件421的数量,由此实现一一对应驱动。

[0066] 例如,多个第二发光元件421阵列排布,多个第二像素电路422也阵列排布。这里,“阵列排布”可以指多个器件为一组且多组器件阵列排布,也可以指多个器件自身阵列排布,本公开的实施例对此不作限制。例如,在一些示例中,如图3和图4所示,每4个第二发光元件421为一组,多组第二发光元件421呈阵列排布,相应地,每4个第二像素电路422为一组,多组第二像素电路422呈阵列排布,此时,每个第二像素驱动单元42中包括4个第二像素电路422和4个第二发光元件421。

[0067] 例如,如图5所示,第三显示区域13包括至少一个(例如多个)第三发光元件431和至少一个(例如多个)第三像素电路432。第三发光元件431与第三像素电路432一一对应地电连接,第三像素电路432用于驱动第三发光元件431发光。需要说明的是,图5中标号432所

指示的矩形框仅用于示出第三像素电路432的大概位置,而并不表示第三像素电路432的具体形状以及第三像素电路432的具体边界。例如,多个第三发光元件431阵列排布,多个第三像素电路432也阵列排布。例如,至少一个第三发光元件431及其对应的第三像素电路432构成一个第三像素驱动单元43。

[0068] 需要说明的是,在图5中,第三像素驱动单元43可以包括一个第三像素电路432及一个第三发光元件431,或者可以包括多个第三像素电路432及多个第三发光元件431。当第三像素驱动单元43包括多个第三像素电路432及多个第三发光元件431时,每个第三像素驱动单元43中的第三像素电路432的数量例如等于第三发光元件431的数量,由此实现一一对应驱动。

[0069] 例如,多个第三发光元件431阵列排布,多个第三像素电路432也阵列排布。这里,“阵列排布”可以指多个器件为一组且多组器件阵列排布,也可以指多个器件自身阵列排布,本公开的实施例对此不作限制。例如,在一些示例中,如图5所示,每4个第三发光元件431为一组,多组第三发光元件431呈阵列排布,相应地,每4个第三像素电路432为一组,多组第三像素电路432呈阵列排布,此时,每个第三像素驱动单元43中包括4个第三像素电路432和4个第三发光元件431。

[0070] 例如,第一显示区域11中多个第一发光元件411的单位面积分布密度小于第二显示区域12中多个第二发光元件421的单位面积分布密度;第二显示区域12中多个第二发光元件421的单位面积分布密度小于第三显示区域13中多个第三发光元件431的单位面积分布密度。例如,第一显示区域11和第二显示区域12可以被称为显示基板01的低分辨率区域,相应地,第三显示区域13可以被称为显示基板01的高分辨率区域。例如,第二显示区域12与第一显示区域11的像素发光面积之和可以为第三显示区域13的像素发光面积的 $1/8 \sim 1/2$ 。

[0071] 需要说明的是,在一些示例中,第一显示区域11中多个第一发光元件411的单位面积分布密度也可以等于第二显示区域12中多个第二发光元件421的单位面积分布密度,这可以根据实际需求而定,本公开的实施例对此不作限制。

[0072] 通过使第一显示区域11、第二显示区域12和第三显示区域13的发光元件的单位面积分布密度依次增大,可以在保证三个显示区域正常发光以显示画面的同时,便于显示基板01的第一侧的光线透过第一显示区域11以到达第二侧,进而便于设置在显示基板01的第二侧的传感器感测光线。

[0073] 图6A为本公开至少一个实施例提供的一种显示基板的部分区域的平面示意图之一,图6B为本公开至少一个实施例提供的一种显示基板的部分区域的平面示意图之二,图6C为本公开至少一个实施例提供的一种显示基板的部分区域的平面示意图之三。例如,如图6A-6C所示,该显示基板01上设有至少一根第一信号线21、至少一根第二信号线22和至少一根第三信号线23。

[0074] 例如,如图6A-6C所示,第一信号线21包括依次连接的第一主体部211、第一绕线部212、第一弯折部213和第一连接部214。第一主体部211和第一连接部214均沿第一方向延伸,第一方向例如为前述的多个像素电路或发光元件阵列排布的列方向。当然,本公开的实施例不限于此,第一方向也可以与列方向具有一定夹角,这可以根据实际需求而定。

[0075] 例如,在一些示例中,第一主体部211和第一连接部214均为沿第一方向延伸的直线。例如,第一主体部211沿第一方向的虚拟延长线与第一连接部214沿第一方向的虚拟延

长线不重叠,也即是,第一主体部211和第一连接部214在垂直于第一方向的方向上彼此错开。当然,本公开的实施例不限于此,第一主体部211和第一连接部214也可以为具有一定弧度的曲线,该曲线大体上沿着第一方向延伸。

[0076] 例如,第一绕线部212沿曲线延伸。例如,第一绕线部212与第一显示区域11的边缘具有间距,第一绕线部212沿着第一显示区域11的边缘的延伸方向延伸。也即是,第一绕线部212不会穿过第一显示区域11,第一绕线部212至少部分围绕第一显示区域11分布。例如,在一些示例中,第一显示区域11的形状为圆形或椭圆形,相应地,第一绕线部212沿弧线延伸,该弧线的弧度小于或等于 π 。例如,第一绕线部212与第一显示区域11的边缘之前的间距可以设置为任意数值,本公开的实施例对此不作限制。第一弯折部213例如由多段折线组成,用于将第一绕线部212和第一连接部214连接。

[0077] 例如,第一绕线部212、第一弯折部213和第一连接部214均位于第二显示区域12,第一主体部211至少部分位于第二显示区域12,第一主体部211沿第一方向的虚拟延长线穿过第一显示区域11。例如,第一主体部211、第一绕线部212、第一弯折部213和第一连接部214均不位于第一显示区域11。由此可以避免影响第一显示区域11的透光率。

[0078] 例如,第一连接部214与第一像素电路412电连接。第一信号线21配置为向第一像素电路412传输第一驱动信号,以使第一像素电路412驱动第一发光元件411发光。例如,在一些示例中,第一像素电路412通过连接线60与第一发光元件411电连接,由此可以驱动第一发光元件411发光。例如,在一些示例中,连接线60可以与第一发光元件411的阳极同层设置,并且与第一发光元件411的阳极一体形成。当然,本公开的实施例不限于此,可以采用任意适用的方式使第一像素电路412与第一发光元件411电连接,这可以根据实际需求而定。例如,在另一些示例中,可以单独设置一层ITO以形成连接线60,该层ITO例如位于源漏极金属层(SD层)与第一发光元件411的阳极层之间,并通过过孔使得连接线60分别与第一像素电路412和第一发光元件411电连接。

[0079] 例如,如图6A和图6B所示,第二信号线22沿第一方向延伸且包括第一部分221和第二部分222。第一部分221位于第三显示区域13,第二部分222位于第二显示区域12。第一部分221与第三像素电路432电连接,第二部分222与第二像素电路422电连接。第二信号线22配置为向第二像素电路422和第三像素电路432传输第二驱动信号,以使第二像素电路422驱动第二发光元件421发光且使第三像素电路432驱动第三发光元件431发光。

[0080] 需要说明的是,本公开的实施例中,第二信号线22既与第二像素电路422电连接,又与第三像素电路432电连接,但这并非表示提供给第二像素电路422的第二驱动信号和提供给第三像素电路432的第二驱动信号相同。例如,可以采用逐行扫描或分时扫描的方式,从而使提供给第二像素电路422的第二驱动信号和提供给第三像素电路432的第二驱动信号不同,以便于使对应的第二发光元件421和第三发光元件431分别显示需要的灰阶。

[0081] 例如,如图6A和图6B所示,第三信号线23位于第二显示区域12且沿第一方向延伸,第三信号线23悬浮设置。例如,第三信号线23为沿第一方向延伸的直线。例如,第三信号线23为dummy线,不与任何像素电路电连接。由于第二显示区域12中多个第二发光元件421的单位面积分布密度小于第三显示区域13中多个第三发光元件431的单位面积分布密度,因此提供驱动信号(例如对应于显示灰阶的数据信号)的信号线在第二显示区域12的分布密度也小于其在第三显示区域13中的分布密度。提供驱动信号(例如对应于显示灰阶的数据

信号)的信号线通常沿第一方向(列方向)延伸,因此通过在第二显示区域12中设置沿第一方向延伸的第三信号线23,可以有效减小信号线在第二显示区域12和第三显示区域13中的分布密度差异,有效平衡第二显示区域12内的电路环境,提升刻蚀均一性。

[0082] 在本公开的实施例中,第一信号线21、第二信号线22和第三信号线23同时存在于显示区域(例如第二显示区域12)中,提供了多种不同的布线方式,从而可以满足不同显示区域的驱动需求,例如,同时满足第一显示区域11、第二显示区域12、第三显示区域13的驱动需求。并且,通过设置第三信号线23,使第三信号线23沿第一方向延伸,可以有效平衡电路环境。该显示基板01可以优化走线设计,提升版图布局的合理性,保证正常显示,有助于提高全面屏显示装置的性能。该显示基板01还可以提升具有屏下传感器的显示装置的性能。

[0083] 例如,在一些示例中,如图6A和图6B所示,该显示基板01还包括至少一根第四信号线24。第四信号线24位于第三显示区域13且沿第一方向延伸。例如,第四信号线24为沿第一方向延伸的直线。例如,第四信号线24与第三像素电路432电连接,第四信号线24配置为向第三像素电路432传输第三驱动信号,以使第三像素电路432驱动第三发光元件431发光。

[0084] 例如,第三信号线23与第四信号线24位于同一条延伸线上,第三信号线23与第四信号线24之间具有间隙从而彼此绝缘。例如,该延伸线为直线。例如,第三信号线23和第四信号线24可以看作是同一条信号线被截断之后所形成的彼此绝缘的两部分。由此,第三信号线23在第二显示区域12中的分布密度可以基本等于第四信号线24在第三显示区域13中的分布密度,使得第二显示区域12总体上的信号线分布密度与第三显示区域13总体上的信号线分布密度相差不大,从而可以有效平衡显示区域(例如第二显示区域12和第三显示区域13)内的电路环境。而且,可以在同一工艺中形成第三信号线23和第四信号线24,从而提升刻蚀均一性,可以简化生产工艺,提高生产效率,降低生产成本。例如,在一些示例中,可以首先形成一条贯穿第三显示区域13和第二显示区域12的信号线,然后在第三显示区域13和第二显示区域12的交界处将该信号线截断,从而形成第三信号线23和第四信号线24,由此可以兼容通常的面板制造工艺。

[0085] 图7为本公开至少一个实施例提供的另一种显示基板的部分区域的平面示意图。除了第一信号线21的设置方式不同,该实施例提供的显示基板01与图6A-6C所示的显示基板01基本相同。

[0086] 例如,在一些实施例中,如图7所示,第一信号线21的第一主体部211包括第一子部211a和第二子部211b,第一子部211a位于第三显示区域13,第二子部211b位于第二显示区域12。第一子部211a与第三像素电路432电连接,第二子部211b与第二像素电路422电连接。例如,第一信号线21还配置为向第二像素电路422和第三像素电路432传输第一驱动信号,以使第二像素电路422驱动第二发光元件421发光且使第三像素电路432驱动第三发光元件431发光。

[0087] 需要说明的是,在该实施例中,第一信号线21与第一像素电路412、第二像素电路422、第三像素电路432均电连接,但这并非表示提供给第一像素电路412的第一驱动信号、提供给第二像素电路422的第一驱动信号和提供给第三像素电路432的第一驱动信号相同。例如,可以采用逐行扫描或分时扫描的方式,从而使提供给第一像素电路412的第一驱动信号、提供给第二像素电路422的第一驱动信号和提供给第三像素电路432的第一驱动信号彼

此不同,以便于使对应的第一发光元件411、第二发光元件421和第三发光元件431分别显示需要的灰阶。

[0088] 例如,如图7所示,该显示基板01包括多个第二像素电路422和多个第三像素电路432。多个第二像素电路422沿第一方向呈多列排布,多个第三像素电路432沿第一方向呈多列排布。例如,与第一信号线21连接的第二像素电路422和与第二信号线22连接的第二像素电路422位于不同列。例如,与第一信号线21连接的第三像素电路432、与第二信号线22连接的第三像素电路432以及与第四信号线24连接的第三像素电路432位于不同列。

[0089] 需要说明的是,图7并未示出完整的多列像素电路,而仅示出了与第一信号线21、第二信号线22、第四信号线24电连接的几个像素电路,这并不构成对本公开实施例的限制。像素电路排布为多列的方式可以参考图3-5示出的结构以及参考常规设计,此处不再赘述。

[0090] 图8A为本公开至少一个实施例提供的一种显示基板的示意版图之一,图8A例如为图1中的部分区域REG3的放大图。图8B为本公开至少一个实施例提供的一种显示基板的示意版图之二,图8B例如为图8A中的部分区域REG4的放大图。图8C为本公开至少一个实施例提供的一种显示基板的示意版图之三,图8C例如为图8A中的部分区域REG5的一种放大图。图8D为本公开至少一个实施例提供的一种显示基板的示意版图之四,图8D例如为图8A中的部分区域REG5的另一种放大图。

[0091] 例如,如图8A所示,在该示例中,第一显示区域11中多个第一发光元件411的单位面积分布密度基本等于第二显示区域12中多个第二发光元件421的单位面积分布密度,第二显示区域12中多个第二发光元件421的单位面积分布密度小于第三显示区域13中多个第三发光元件431的单位面积分布密度。

[0092] 第一信号线21可以通过第一像素电路412为像素密度较低的第一显示区域11内的第一发光元件411提供驱动信号,第一显示区域11对应的位置例如设置有传感器(例如摄像头)。由于第一显示区域11内没有像素电路,因此需要利用第一信号线21将驱动信号传输至第二显示区域12内的第一像素电路412,以使第一像素电路412驱动第一发光元件411发光。因此,第一信号线21需要从第三显示区域13引入并绕着第一显示区域11延伸,第一信号线21截止于图8B的S1位置。

[0093] 第二信号线22可以从第三显示区域13沿第一方向(例如列方向)延伸至第二显示区域12,并截止于图8C所示的S2位置。第二信号线22穿过第三显示区域13和第二显示区域12。

[0094] 第三信号线23与第四信号线24位于同一条延伸线上,第三信号线23与第四信号线24之间具有间隙从而彼此绝缘。因此,可以将第三信号线23与第四信号线24看作彼此断开,例如在图8B的S3位置处断开。第三信号线23起到dummy线的作用,从而可以平衡第二显示区域12内的电路环境。由于第二显示区域12和第三显示区域13的像素密度并不一致,因此在第二显示区域12中不需要驱动像素电路的像素位置处保留第三信号线23的走线并使第三信号线23与第四信号线24彼此断开,从而可以保持第二显示区域12的电路环境的均一性。

[0095] 例如,如图8D所示,当显示基板01包括多条第一信号线21时,不同第一信号线21的第一弯折部213可以交替设置在不同的金属层中。例如,第一弯折部213_1、213_2、213_3、213_4分别属于4条不同的第一信号线21,第一弯折部213_1、213_2可以设置在栅极金属层,第一弯折部213_3、213_4可以设置在第一金属层,由此可以为布线提供便利,避免线路交叠

处短路。这里,第一金属层可以为显示基板01中任意的不同于栅极金属层的膜层,本公开的实施例对此不作限制。

[0096] 图9为本公开至少一个实施例提供的一种显示基板的部分区域的平面示意图。例如,如图9所示,在一些示例中,显示基板01包括多条第一信号线21、多条第二信号线22和多条第三信号线23。例如,多条第二信号线22与多条第三信号线23间隔设置,从而更有效地平衡第二显示区域12的电路环境。例如,多条第二信号线22与多条第一信号线21的第一连接部214间隔设置,从而可以有效利用第二显示区域12的布线空间,优化走线设计,提升版图布局的合理性。该显示基板01的其他结构与前述实施例所提供的显示基板01基本相同,此处不再赘述。

[0097] 需要说明的是,第二信号线22与第三信号线23可以按照1:1的数量比例间隔设置,也可以按照2:1、3:1等任意的数量比例间隔设置,类似地,第二信号线22与第一连接部214可以按照1:1的数量比例间隔设置,也可以按照2:1、3:1等任意的数量比例间隔设置,这可以根据实际需求而定,本公开的实施例对此不作限制。

[0098] 需要说明的是,本公开的实施例中,第一信号线21、第二信号线22和第三信号线23各自的数量不受限制,这可以根据实际需求而定,例如根据显示基板01的尺寸、像素分布密度等因素而定,本公开的实施例对此不作限制。

[0099] 例如,第一信号线21、第二信号线22和第四信号线24传输的驱动信号为数据信号,也即是,第一信号线21、第二信号线22和第四信号线24可以为数据线(data线),第一驱动信号、第二驱动信号和第三驱动信号均为数据信号。例如,该数据信号与显示灰阶对应。例如,第一驱动信号、第二驱动信号、第三驱动信号可以为不同或相同的数据信号,本公开的实施例对此不作限制。

[0100] 图10A为一种7T1C像素电路的结构示意图。例如,前述的第一像素电路412、第二像素电路422、第三像素电路432均可以采用该7T1C像素电路。

[0101] 例如,如图10A所示,该7T1C像素电路100包括第一晶体管CT1、第二晶体管CT2、第三晶体管CT3、第四晶体管CT4、第五晶体管CT5、第六晶体管CT6、第七晶体管CT7和存储电容Cst。例如,第一晶体管CT1至第七晶体管CT7均为P型晶体管。

[0102] 如图10A所示,存储电容Cst的第一端与第一电源电压端VDD相连,以接收第一电源电压V1,存储电容Cst的第二端与第一节点N1相连。发光元件EL的第一端与第四节点N4相连,发光元件EL的第二端与第二电源电压端VSS相连,以接收第二电源电压V2。第一晶体管CT1的控制端与第一节点N1相连,第一晶体管CT1的第一端与第二节点N2相连,第一晶体管CT1的第二端与第三节点N3相连。第二晶体管CT2的第一端与第二节点N2相连,第二晶体管CT2的第二端与数据信号端DAT相连,以接收数据信号(例如,数据电压)Vdata。第三晶体管CT3的第一端与第一节点N1相连,第三晶体管CT3的第二端与第三节点N3相连。

[0103] 第四晶体管CT4的第一端与第一节点N1相连,第四晶体管CT4的第二端与第一复位信号端Init1相连,以接收第一复位信号端Init1提供的第一复位信号Vinit1。第五晶体管CT5的第一端与第一电源电压端VDD相连,第五晶体管CT5的第一端与第二节点N2相连。第六晶体管CT6的第一端与第四节点N4相连,第六晶体管CT6的第二端与第二复位信号端Init2相连,以接收第二复位信号Vinit2。第七晶体管CT7的第一端与第三节点N3相连,第七晶体管CT7的第二端与第四节点N4相连。

[0104] 例如,第二晶体管CT2的控制端GAT1和第三晶体管CT3的控制端GAT2均连接至扫描信号端GAT(图中未示出),第五晶体管CT5的控制端EM1和第七晶体管CT7的控制端EM2均连接至发光控制端EM(图中未示出),第四晶体管CT4的控制端被配置为连接第一复位控制端RST1,第六晶体管CT6的控制端被配置为连接第二复位控制端RST2。为描述方便,图10A还示出了第一节点N1、第二节点N2、第三节点N3、第四节点N4和发光元件EL。

[0105] 图10B为图10A所示的7T1C像素电路的驱动时序图。如图10B所示,该7T1C像素电路100的每个驱动周期包括第一阶段t1、第二阶段t2和第三阶段t3。

[0106] 如图10A和图10B所示,在第一阶段t1中,第一复位控制端RST1接收有效电平,扫描信号端GAT、第二复位控制端RST2和发光控制端EM均接收无效电平。此种情况下,第四晶体管CT4开启,第二晶体管CT2、第三晶体管CT3、第五晶体管CT5、第六晶体管CT6和第七晶体管CT7关闭;第四晶体管CT4被配置接收第一复位信号(例如,复位电压)Vinit1,且将第一复位信号Vinit1写入至存储电容Cst,以对存储电容Cst复位;第一节点N1的电压为Vinit1, Vinit1例如为负值。例如,在对存储电容Cst复位之后,第一晶体管CT1开启。

[0107] 如图10A和图10B所示,在第二阶段t2中,扫描信号端GAT和第二复位控制端RST2接收有效电平,第一复位控制端RST1和发光控制端EM接收无效电平;此种情况下,第一晶体管CT1-第三晶体管CT3以及第六晶体管CT6开启,第四晶体管CT4、第五晶体管CT5和第七晶体管CT7关闭;第二晶体管CT2接收数据信号Vdata,且数据信号Vdata经由开启的第一晶体管CT1和第三晶体管CT3被写入至第一晶体管CT1的控制端,存储电容Cst在第一晶体管CT1的控制端存储被写入至第一晶体管CT1的控制端的数据信号Vdata,第一节点N1的电压为Vdata+Vth;第六晶体管CT6被配置接收第二复位信号(例如,复位电压)Vinit2,且将第二复位信号Vinit2写入至发光元件EL的第一端,以对发光元件EL的第一端复位,第四节点N4的电压为Vinit2, Vinit2例如为负值。

[0108] 如图10A和图10B所示,在第三阶段t3中,发光控制端EM接收有效电平,第一复位控制端RST1、扫描信号端GAT和第二复位控制端RST2接收无效电平;此种情况下,第一晶体管CT1、第五晶体管CT5和第七晶体管CT7开启,第二晶体管CT2、第三晶体管CT3、第四晶体管CT4和第六晶体管CT6关闭;第一晶体管CT1被配置为,基于存储在存储电容Cst中的数据信号(例如,数据电压)Vdata以及所接收的第一电源电压V1,控制流经第一晶体管CT1且从第一电源电压端VDD至发光元件EL、用于驱动发光元件EL的驱动电流;第一节点N1的电压为Vdata+Vth,第二节点N2的电压为VDD;驱动电流Id可以由以下的公式表示:

$$\begin{aligned}
 Id &= \frac{k}{2}(V_{gs}-V_{th})^2 \\
 &= \frac{k}{2}(V_g - V_s - V_{th})^2 \\
 [0109] \quad &= \frac{k}{2}(V_{data} + V_{th} - V_1 - V_{th})^2 \\
 &= \frac{k}{2}(V_{data} - V_1)^2
 \end{aligned}$$

[0110] 此处, $k = \mu \times C_{ox} \times W/L$; μ 为第一晶体管CT1中载流子的迁移率, C_{ox} 为第一晶体管CT1的栅氧化层的电容, W/L 为第一晶体管CT1的沟道的宽长比, V_{th} 为第一晶体管CT1的阈值电压, V_{th} 为第一晶体管CT1的栅源电压, V_g 为第一晶体管CT1的栅极电压, V_s 为第一晶体管

CT1的源极电压。

[0111] 由上述公式可知,第一晶体管CT1生成的驱动电流 I_d 与第一晶体管CT1的阈值电压无关,因此,图10A和图10B所示的7T1C像素电路100具有阈值补偿功能。

[0112] 需要说明的是,本公开的实施例中,第一像素电路412、第二像素电路422、第三像素电路432不限于采用上述7T1C像素电路,还可以采用其他适用的像素电路,本公开的实施例对此不作限制。第一像素电路412、第二像素电路422、第三像素电路432的具体电路结构可以相同,也可以彼此不同,这可以根据实际需求而定,本公开的实施例对此不作限制。

[0113] 例如,第一像素电路412、第二像素电路422和第三像素电路432中的每个包括开关薄膜晶体管,该开关薄膜晶体管例如为图10A中的第二晶体管CT2。例如,该开关薄膜晶体管(例如第二晶体管CT2)包括栅极、第一极和第二极,第一信号线21、第二信号线22或第四信号线24与该开关薄膜晶体管的第一极或第二极电连接。也即是,第一信号线21、第二信号线22或第四信号线24可以与图10A中的数据信号端DAT电连接,从而提供数据信号。

[0114] 例如,前述的第一发光元件411、第二发光元件421和第三发光元件431包括有机发光二极管(OLED)。也即是,第一发光元件411、第二发光元件421或第三发光元件431可以为图10A中的发光元件EL,该发光元件EL可以为有机发光二极管(OLED)。当然,本公开的实施例不限于此,第一发光元件411、第二发光元件421和第三发光元件431还可以为量子点发光二极管(QLED)或其他适用的发光器件,本公开的实施例对此不作限制。

[0115] 图11为本公开至少一个实施例提供的一种显示基板的叠层结构示意图,该叠层结构示意图主要示意性地示出了第一像素电路412和第一发光元件411。

[0116] 例如,第一像素电路412包括开关薄膜晶体管412T和存储电容412C等结构。第一发光元件411包括第一阳极结构4111、第一阴极结构4113以及位于第一阳极结构4111与第一阴极结构4113之间的第一发光层4112,第一阳极结构4111通过过孔与第一像素电路412包括的开关薄膜晶体管412T电连接。例如,在一些示例中,第一阳极结构4111可以与前述的连接线60一体形成,也即是,连接线60可以看作是第一阳极结构4111的一部分。例如,在另一些示例中,可以单独设置一层ITO以形成连接线60,该层ITO例如位于源漏极金属层(SD层)与第一阳极结构4111所在的膜层之间,并通过过孔实现所需要的电连接。例如,第一阳极结构4111可以包括多个阳极子层,例如包括ITO/Ag/ITO三层结构等(图中未标示),本公开的实施例对第一阳极结构4111的具体形式不做限定。

[0117] 例如,第一阴极结构4113可以为显示基板01上整个表面上形成的结构,第一阴极结构4113例如可以包括锂(Li)、铝(Al)、镁(Mg)、银(Ag)等金属材料。例如,由于第一阴极结构4113可以形成为很薄的一层,因此第一阴极结构4113具有良好的透光性。

[0118] 例如,开关薄膜晶体管412T包括有源层4121、栅极4122和源漏电极(即源极4123和漏极4124)等结构,存储电容412C包括第一电容极板4125和第二电容极板4126。例如,有源层4121设置在衬底基板74上,有源层4121的远离衬底基板74的一侧设置有第一栅绝缘层741。栅极4122和第一电容极板4125同层设置,且位于第一栅绝缘层741的远离衬底基板74的一侧,栅极4122和第一电容极板4125的远离衬底基板74的一侧设置有第二栅绝缘层742。第二电容极板4126设置在第二栅绝缘层742的远离衬底基板74的一侧,第二电容极板4126的远离衬底基板74的一侧设置有层间绝缘层743。源漏电极设置在层间绝缘层743的远离衬底基板74的一侧,并通过位于第一栅绝缘层741、第二栅绝缘层742和层间绝缘层743中的过

孔与有源层4121电连接。源漏电极的远离衬底基板74的一侧设置有平坦化层744,以平坦化第一像素电路412。

[0119] 例如,平坦化层744中具有过孔,第一阳极结构4111通过平坦化层744中过孔与开关薄膜晶体管412T的源极4123或漏极4124电连接。

[0120] 例如,第一显示区域11还包括位于衬底基板74上的透明支撑层78,第一发光元件411位于透明支撑层78的远离衬底基板74的一侧。由此,相对于衬底基板74来说,第一显示区域11中的第一发光元件411可以与第二显示区域12中的第二发光元件421以及第三显示区域13中的第三发光元件431处于基本相同的高度,从而可以提高显示基板01的显示效果。

[0121] 例如,在本公开的实施例中,第一主体部211、第一绕线部212、第一连接部214、第二信号线22和第三信号线23可以位于同一层。例如,在该显示基板01中,将源漏电极(即源极4123和漏极4124)所在的膜层称为源漏极金属层(SD层),也即是,如图11所示,开关薄膜晶体管412T的第一极和第二极(即源极4123和漏极4124)位于源漏极金属层。例如,第一主体部211、第一绕线部212、第一连接部214、第二信号线22和第三信号线23位于源漏极金属层,也即,与源极4123和漏极4124同层设置。

[0122] 例如,在本公开的实施例中,第一弯折部213与第一连接部214位于不同层,在第一主体部211、第一绕线部212、第一连接部214、第二信号线22和第三信号线23同层设置的情形下,第一弯折部213与第一主体部211、第一绕线部212、第一连接部214、第二信号线22和第三信号线23中的任意之一均位于不同层。例如,在该显示基板01中,将栅极4122所在的膜层称为栅极金属层,也即是,如图11所示,开关薄膜晶体管412T的栅极4122位于栅极金属层。例如,第一信号线21至少之一的第一弯折部213位于栅极金属层,也即是,至少一条第一信号线21的第一弯折部213与栅极4122同层设置。例如,可以全部第一信号线21的第一弯折部213均位于栅极金属层,也可以仅有一部分第一信号线21的第一弯折部213位于栅极金属层,本公开的实施例对此不作限制。

[0123] 例如,显示基板01还可以包括第一金属层,该第一金属层与栅极金属层为不同的膜层,第一金属层与栅极金属层绝缘。例如,第一金属层为显示基板01中任意的不同于栅极金属层的其他金属层。例如,在一些示例中,多条第一信号线21中的一部分第一信号线21的第一弯折部213位于栅极金属层,另一部分第一信号线21的第一弯折部213位于第一金属层。例如,不同第一信号线21的第一弯折部213可以交替设置在栅极金属层和第一金属层中。例如,如图11所示,不同第一信号线21的第一弯折部213可以交替地与栅极4122和第二电容极板4126同层设置,也即是,一部分第一信号线21的第一弯折部213与栅极4122同层设置,另一部分第一信号线21的第一弯折部213与第二电容极板4126同层设置。

[0124] 通过上述设置方式,可以兼容现有工艺,对工艺的改动小,且便于布线,可以降低布线设计的难度。

[0125] 当然,本公开的实施例不限于此,在其他一些示例中,第一信号线21、第二信号线22和第三信号线23也可以位于同一层,也即,在显示基板01中位于同一个膜层,从而可以减小显示基板01的厚度,并且便于在同一工艺中制备,简化制备工艺。第一信号线21、第二信号线22和第三信号线23的膜层关系可以根据实际需求而定,三者可以位于同一层或不同层,本公开的实施例对此不作限制。例如,第一信号线21、第二信号线22和第三信号线23中的任意两个可以位于同一层,而剩余的一个位于不同层;或者,也可以三者均位于不同层。

例如,第四信号线24可以与第一信号线21、第二信号线22和第三信号线23中的任意一个或多个位于同一层,也可以与第一信号线21、第二信号线22和第三信号线23位于不同层,本公开的实施例对此不作限制。

[0126] 例如,在一些示例中,第一信号线21、第二信号线22和第三信号线23包括金属走线,该金属走线的至少部分例如位于显示基板01的源漏极金属层。例如,该金属走线中除了第一弯折部213以外的部分均位于源漏极金属层。由此,可以在制备源漏极金属层中的源极和漏极时,一同制备第二信号线22、第三信号线23以及第一信号线21的第一主体部211、第一绕线部212和第一连接部214,从而可以简化生产工艺,提高生产效率,降低生产成本。在该情形中,可以在制备栅极金属层中的栅极时,一同制备作为第一弯折部213的金属走线。

[0127] 例如,在另一些示例中,第一信号线21、第二信号线22和第三信号线23可以包括透明导电走线,该透明导电走线例如采用氧化铟锡(Indium tin oxide,ITO)制备。例如,可以在任意适当的膜层设置该透明导电走线,本公开的实施例对此不作限制。将第一信号线21、第二信号线22和第三信号线23设置为透明导电走线,可以提高显示基板01的透光率。

[0128] 例如,在一些实施例中,如图11所示,该显示基板01还包括像素界定层746、封装层747等结构。例如,像素界定层746设置在第一阳极结构4111(例如第一阳极结构4111的部分结构)上,包括多个开口以界定不同的像素或子像素,第一发光层4112形成在像素界定层746的开口中。例如,封装层747可以包括单层或多层封装结构,多层封装结构例如包括无机封装层和有机封装层的叠层,由此提高对显示基板01的封装效果。

[0129] 例如,第一显示区域11、第二显示区域12和第三显示区域13中的像素界定层746是同层设置的,第一显示区域11、第二显示区域12和第三显示区域13中的封装层747是同层设置的,在一些实施例中还是一体连接的,本公开的实施例对此不作限制。

[0130] 例如,本公开的各个实施例中,衬底基板74可以为玻璃基板、石英基板、金属基板或树脂类基板等,可以是刚性基板或柔性基板。本公开的实施例对此不作限制。

[0131] 例如,第一栅极绝缘层741、第二栅极绝缘层742、层间绝缘层743以及平坦化层744、绝缘层745、像素界定层746、封装层747可以包括氧化硅、氮化硅、氮氧化硅等无机绝缘材料,或者可以包括聚酰亚胺、聚酰亚胺、聚酰胺、丙烯酸树脂、苯并环丁烯或酚醛树脂等有机绝缘材料。本公开的实施例对上述各功能层的材料均不做具体限定。

[0132] 例如,有源层4121的材料可以包括多晶硅或氧化物半导体(例如,氧化铟镓锌)等半导体材料。例如,有源层4121的部分可以通过掺杂等导体化处理以导体化,从而具有较高的导电性。

[0133] 例如,栅极4122、第一电容极板4125和第二电容极板4126的材料可以包括金属材料或者合金材料,例如包括钼、铝及钛等。

[0134] 例如,源极4123和漏极4124的材料可以包括金属材料或者合金材料,例如由钼、铝及钛等形成的金属单层或多层结构,例如,该多层结构为多金属层叠层,例如钛、铝、钛三层金属叠层(Ti/Al/Ti)等。

[0135] 例如,本公开实施例提供的显示基板01可以为有机发光二极管(OLED)显示基板或者量子点发光二极管(QLED)显示基板等,本公开的实施例对显示基板的具体种类不做限定。

[0136] 例如,在显示基板为有机发光二极管显示基板的情形,发光层(例如前述的第一发

光层4112)可以包括小分子有机材料或聚合物分子有机材料,可以为荧光发光材料或磷光发光材料,可以发红光、绿光、蓝光,或可以发白光等。并且,根据实际不同需要,在不同的示例中,发光层还可以进一步包括电子注入层、电子传输层、空穴注入层、空穴传输层等功能层。

[0137] 例如,在显示基板为量子点发光二极管(QLED)显示基板的情形,发光层(例如前述的第一发光层4112)可以包括量子点材料,例如,硅量子点、镉量子点、硫化镉量子点、硒化镉量子点、碲化镉量子点、硒化锌量子点、硫化铅量子点、硒化铅量子点、磷化铟量子点和砷化铟量子点等,量子点的粒径例如为2-20nm。

[0138] 本公开至少一个实施例还提供一种显示装置,该显示装置包括本公开任一实施例提供的显示基板。该显示装置可以满足不同显示区域的驱动需求,并且可以平衡电路环境,优化走线设计,提升版图布局的合理性,保证正常显示,有助于提高全面屏显示装置的性能。

[0139] 图12为本公开至少一个实施例提供的一种显示装置的示意框图。例如,如图12所示,该显示装置30包括显示基板310,显示基板310为本公开任一实施例提供的显示基板,例如前述的显示基板01。该显示装置30可以为任何具有显示功能的电子装置,例如智能手机、笔记本电脑、平板电脑、电视等。例如,当显示装置30为智能手机或平板电脑时,该智能手机或平板电脑可以具有全面屏设计,也即是,没有围绕第三显示区域13的周边区域。并且,该智能手机或平板电脑还具有屏下传感器(例如摄像头、红外传感器等),可以进行图像拍摄、距离感知、光强感知等操作。

[0140] 需要说明的是,对于该显示基板310和显示装置30的其它组成部分(例如,图像数据编码/解码装置、时钟电路等)可以采用适用的部件,这些均是本领域的普通技术人员所应该理解的,在此不做赘述,也不应作为对本公开实施例的限制。

[0141] 图13为本公开至少一个实施例提供的一种显示装置的叠层结构示意图。例如,如图13所示,该显示装置30包括显示基板310,显示基板310为本公开任一实施例提供的显示基板,例如前述的显示基板01。例如,该显示装置30还包括传感器320。

[0142] 例如,该显示基板01包括用于显示的第一侧F1和与第一侧F1相对的第二侧F2。也即是,第一侧F1为显示侧,第二侧F2为非显示侧。显示基板01被配置为在第一侧F1执行显示操作,也即,显示基板01的第一侧F1为显示基板01的出光侧,第一侧F1朝向用户。第一侧F1和第二侧F2在显示基板01的显示面的法线方向上对置。

[0143] 如图13所示,传感器320设置于显示基板01的第二侧F2,并且传感器320配置为接收来自第一侧F1的光。例如,传感器320与第一显示区域11在显示基板01的显示面的法线方向(例如,垂直于显示基板01的方向)上叠置,传感器320可以接收并处理穿过第一显示区域11的光信号,该光信号可以为可见光、红外光等。例如,第一显示区域11允许来自第一侧F1的光至少部分透射至第二侧F2。例如,第一显示区域11未设置像素电路,此种情况下,可以提升第一显示区域11的透光率。

[0144] 例如,传感器320在显示基板01上的正投影与第一显示区域11至少部分重叠。例如,在一些示例中,当采用直下式设置方式时,传感器320在显示基板01上的正投影位于第一显示区域11内。例如,在另一些示例中,当采用其他导光元件(例如导光板、导光管等)以使光线从侧面入射至传感器320上时,传感器320在显示基板01上的正投影与第一显示区域

11部分重叠。此时,由于光线可以横向传播至传感器320,不需要传感器320完全位于对应于第一显示区域11的位置处。

[0145] 例如,通过使第一像素电路412设置在第二显示区域12,并使传感器320与第一显示区域11在显示基板01的显示面的法线方向上叠置,可以减小第一显示区域11中的元件对入射至第一显示区域11并照射到传感器320的光信号的遮挡,由此可以提升传感器320输出的图像的信噪比。例如,第一显示区域11可以被称为显示基板01的低分辨率区域的高透光区。

[0146] 例如,传感器320可以是图像传感器,可以用于采集传感器320的集光面面对的外部环境的图像,例如可以为CMOS图像传感器或CCD图像传感器。该传感器320还可以是红外传感器、距离传感器等。例如,在该显示装置30为诸如手机、笔记本等移动终端的情形下,该传感器320可实现为诸如手机、笔记本等移动终端的摄像头,并且根据需要还可以包括例如透镜、反射镜或光波导等光学器件,以对光路进行调制。例如,该传感器320可以包括阵列排布感光像素。例如,每个感光像素可以包括光敏探测器(例如,光电二极管、光电晶体管)和开关晶体管(例如,开关薄膜晶体管)。例如,光电二极管可以将照射到其上的光信号转换为电信号,开关晶体管可以与光电二极管电连接,以控制光电二极管是否处于采集光信号的状态以及采集光信号的时间。

[0147] 在一些示例中,第一发光元件411的阳极采用ITO/Ag/ITO的叠层结构,则在第一显示区域11中,仅有第一发光元件411的阳极不透光,也即,用于驱动第一发光元件411的走线绕过第一显示区域11或者设置为透明走线。此种情况下,不仅可以进一步地提升第一显示区域11的透光率,还可以降低第一显示区域11中的各个元件导致的衍射。

[0148] 需要说明的是,本公开的实施例中,显示装置30还可以包括更多的部件和结构,本公开的实施例对此不作限制。关于该显示装置30的技术效果和详细说明,可以参考上文中关于显示基板01的描述,此处不再赘述。

[0149] 有以下几点需要说明:

[0150] (1) 本公开实施例附图只涉及到本公开实施例涉及到的结构,其他结构可参考通常设计。

[0151] (2) 在不冲突的情况下,本公开的实施例及实施例中的特征可以相互组合以得到新的实施例。

[0152] 以上所述,仅为本公开的具体实施方式,但本公开的保护范围并不局限于此,本公开的保护范围应以所述权利要求的保护范围为准。

01

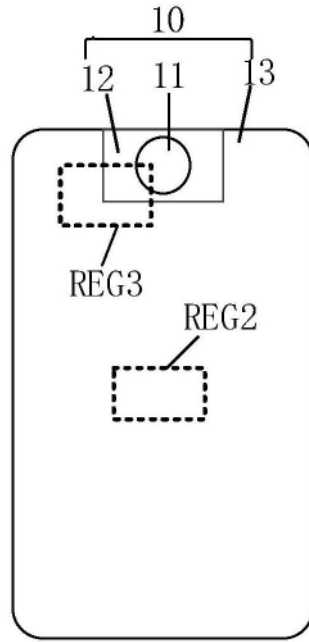


图1

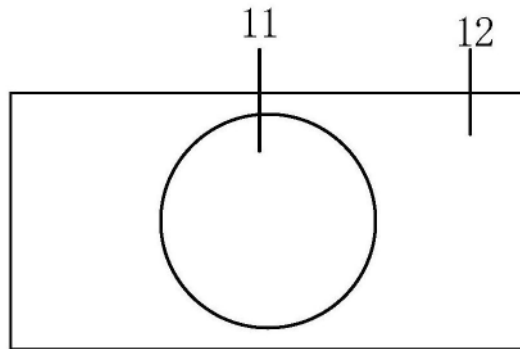


图2

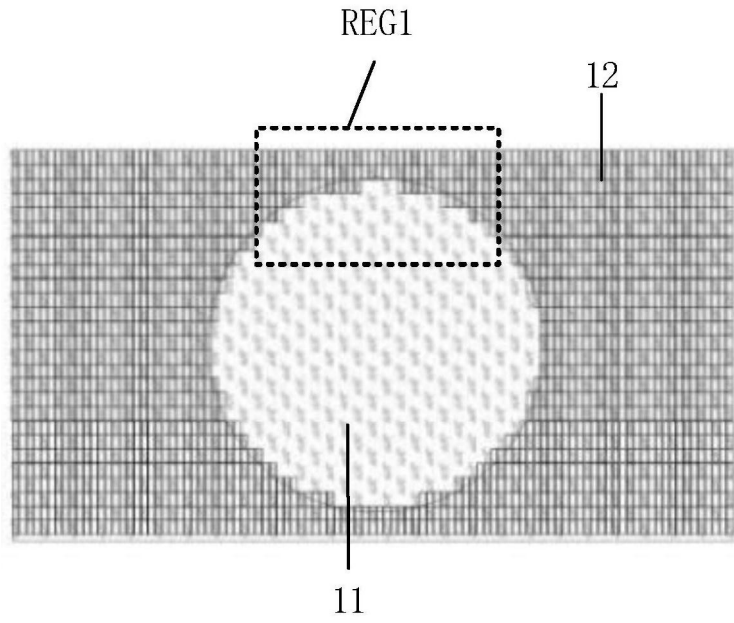


图3

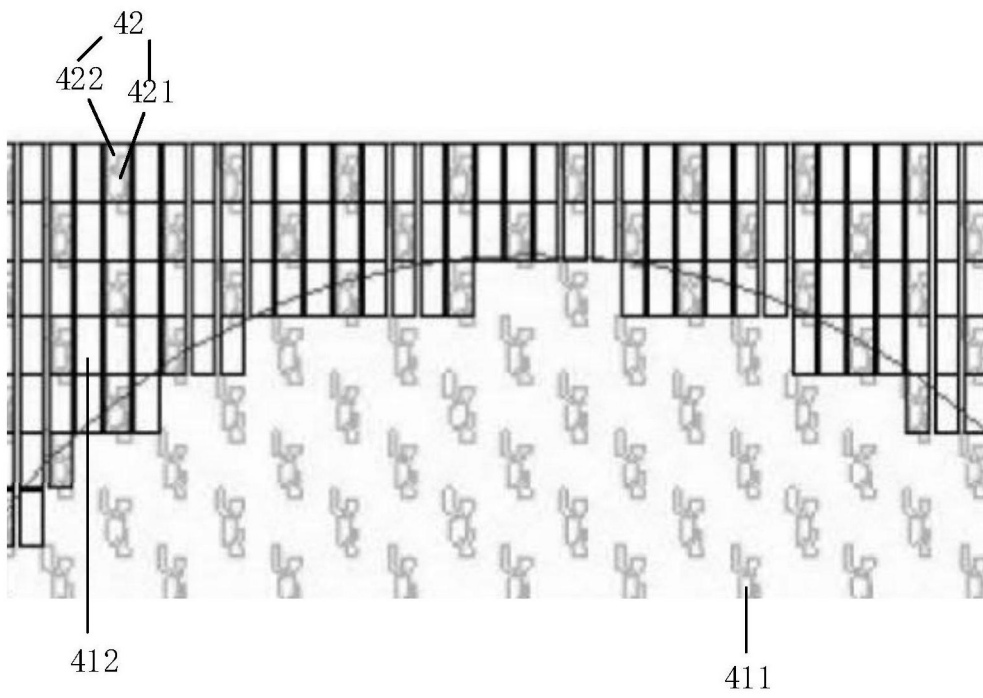


图4

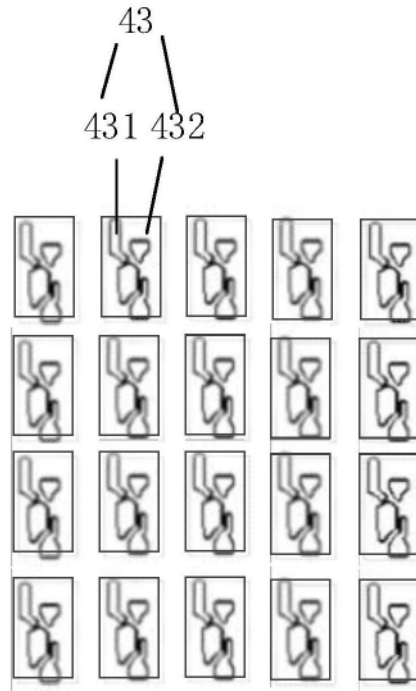


图5

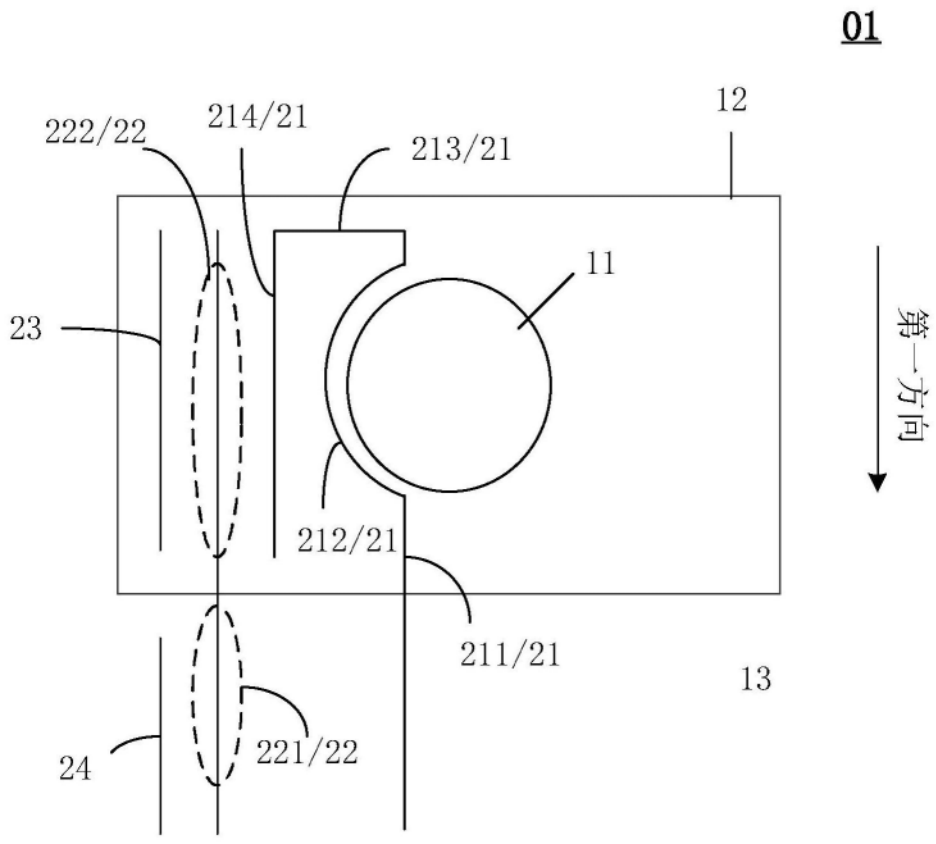


图6A

01

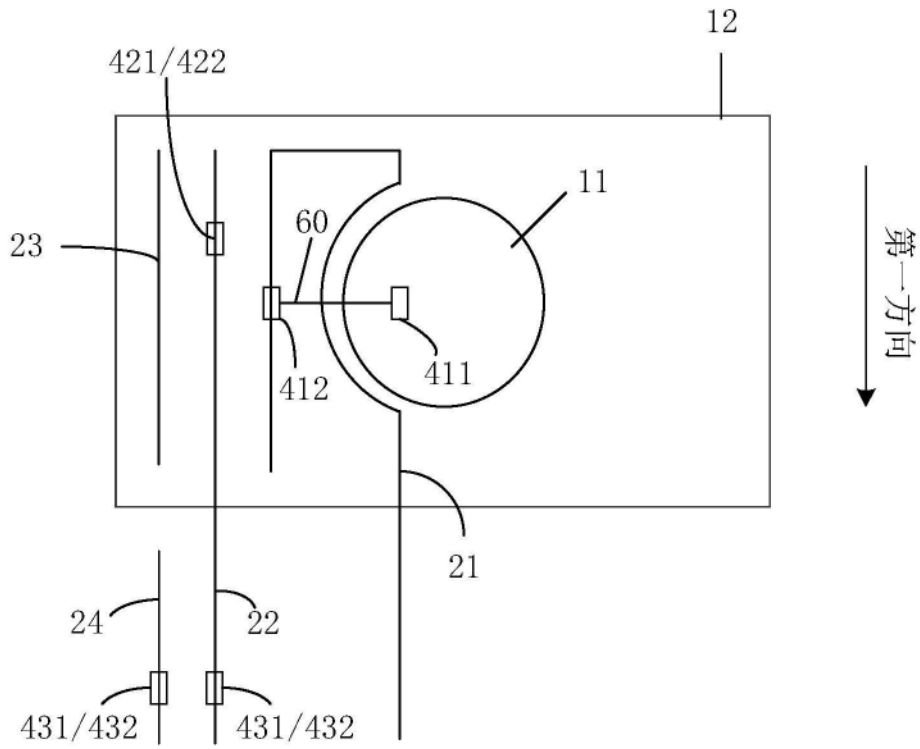


图6B

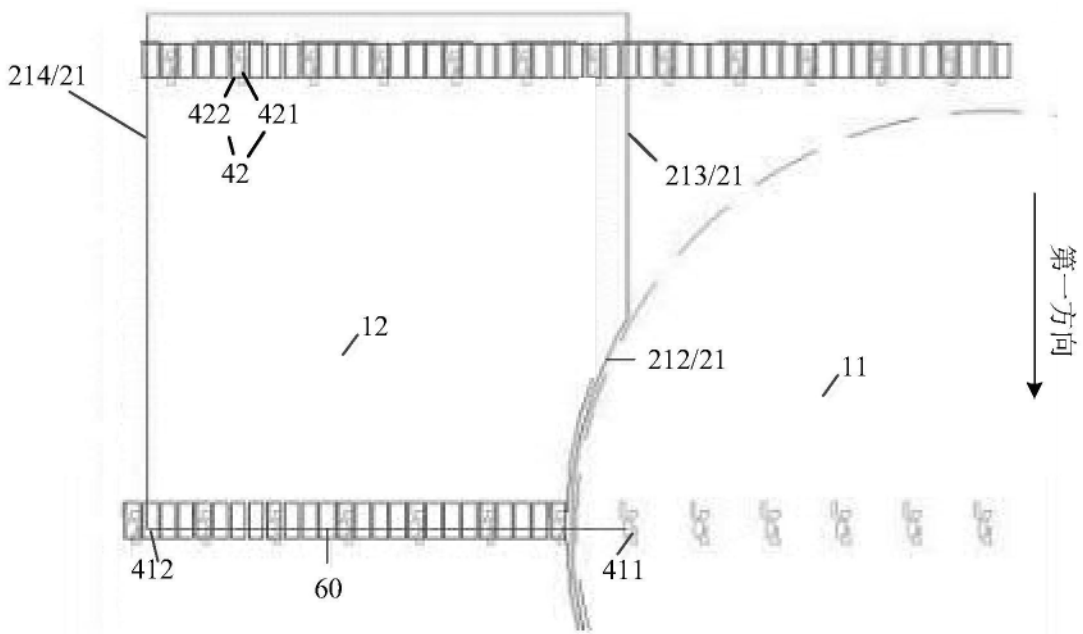


图6C

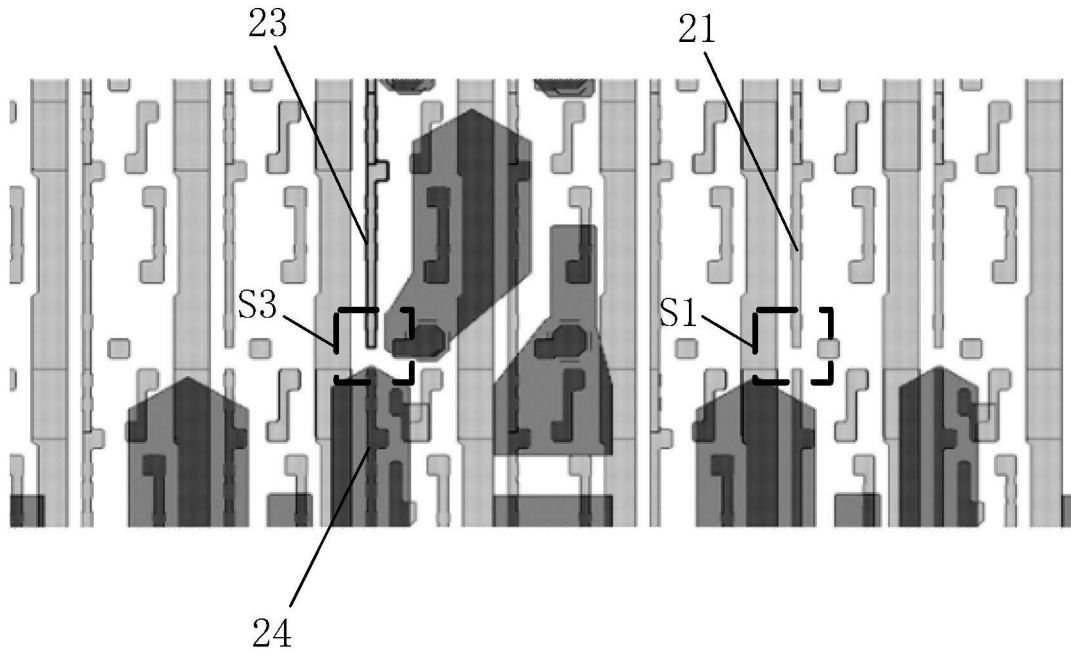


图8B

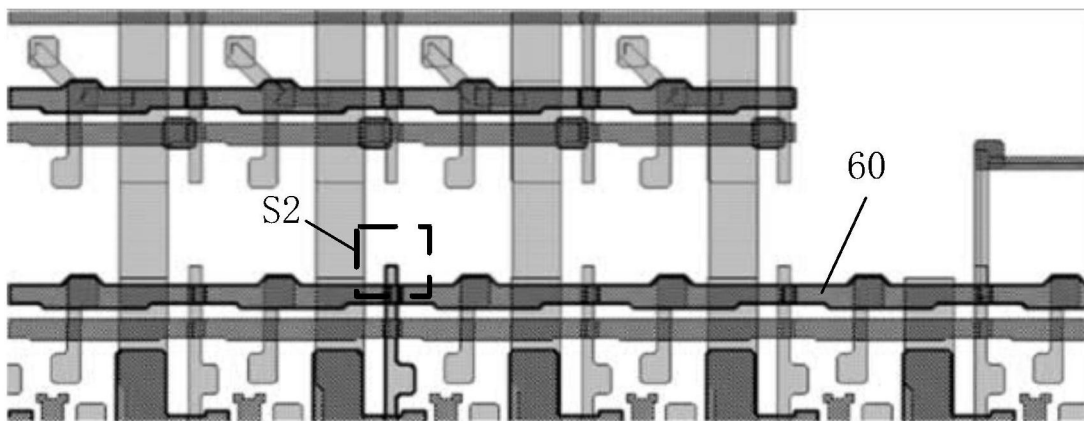


图8C

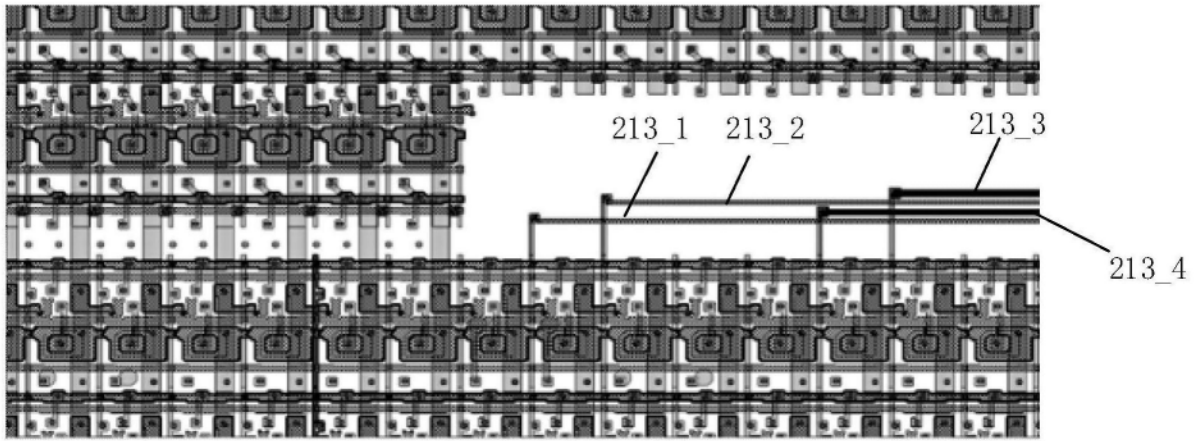


图8D

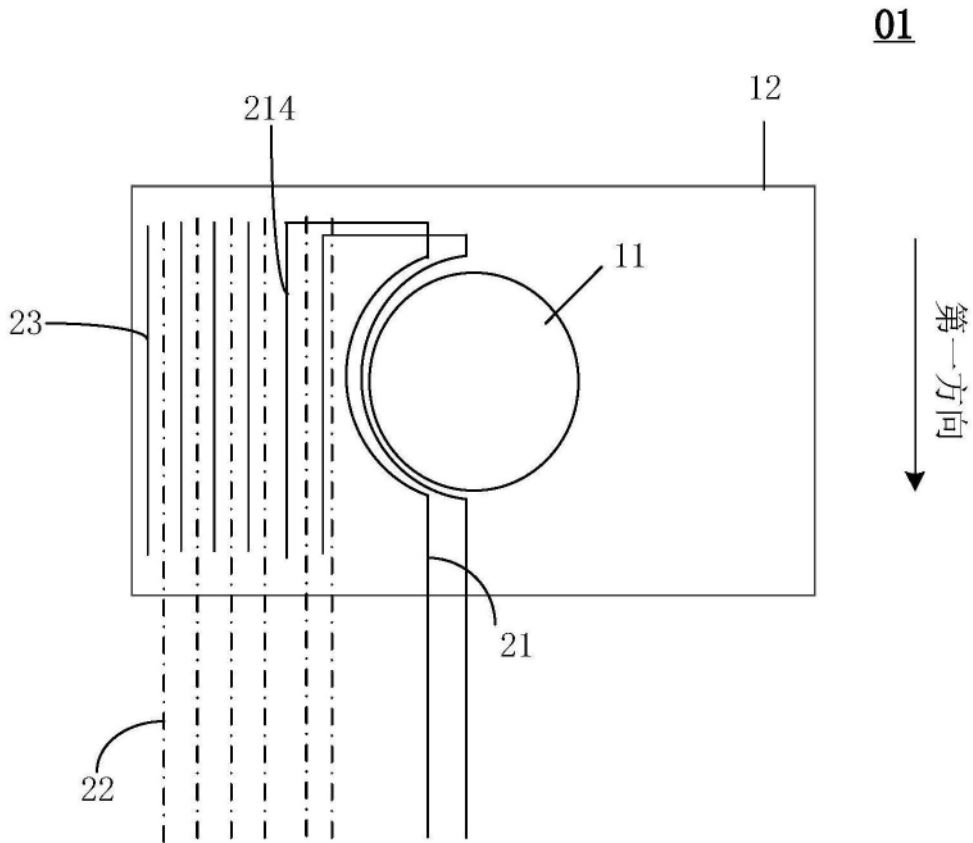


图9

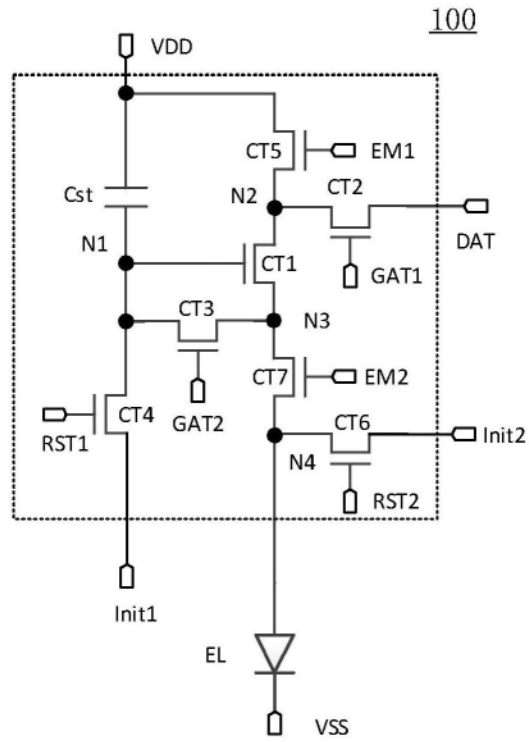


图10A

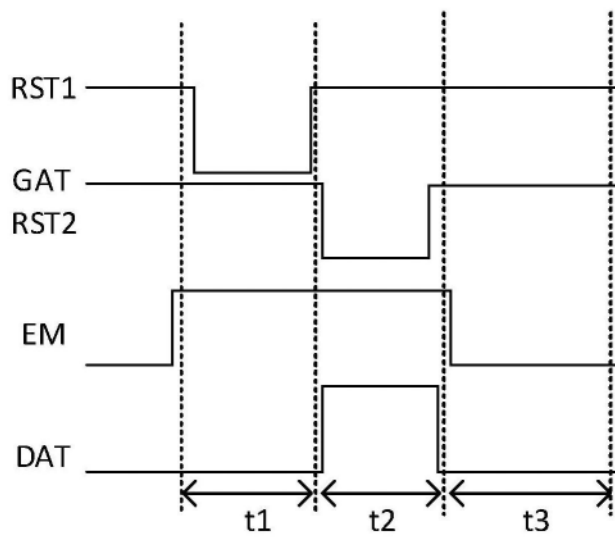


图10B

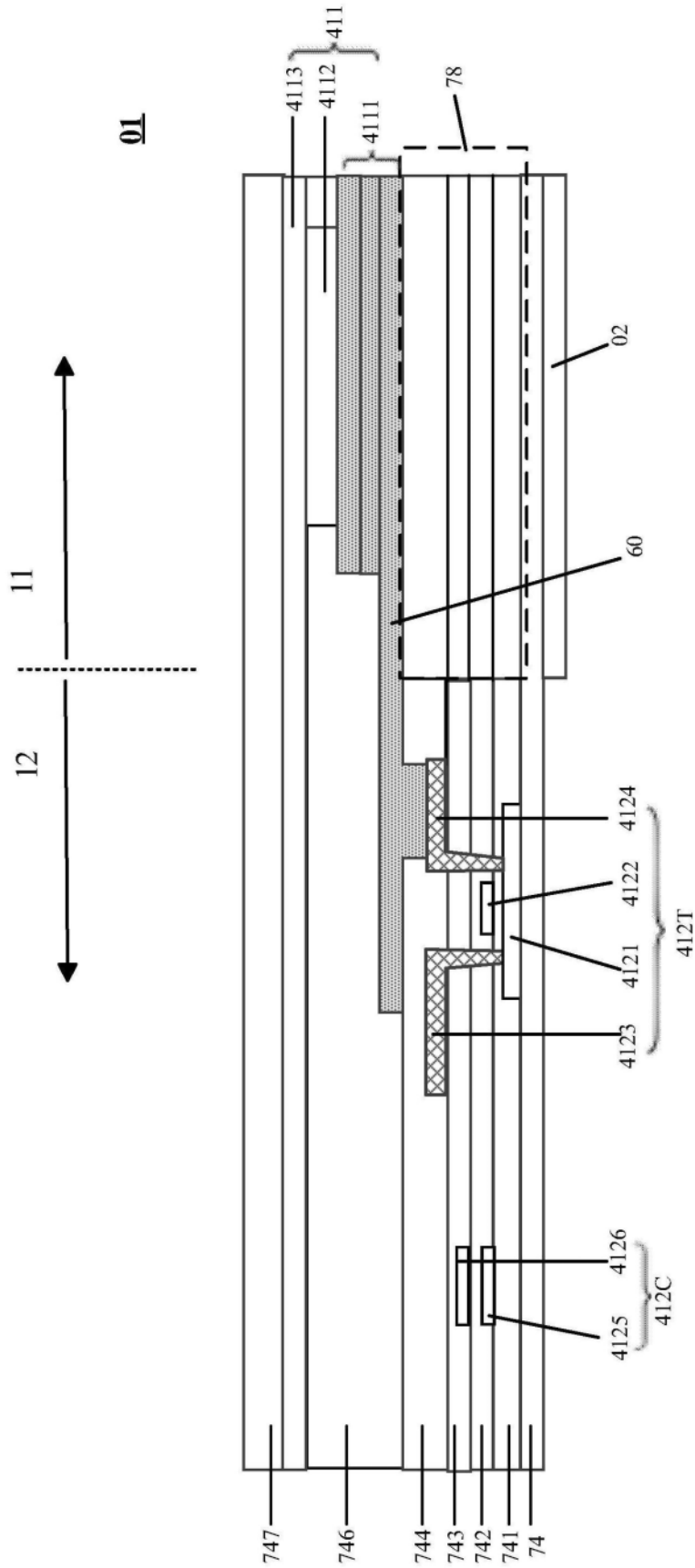


图11



图12

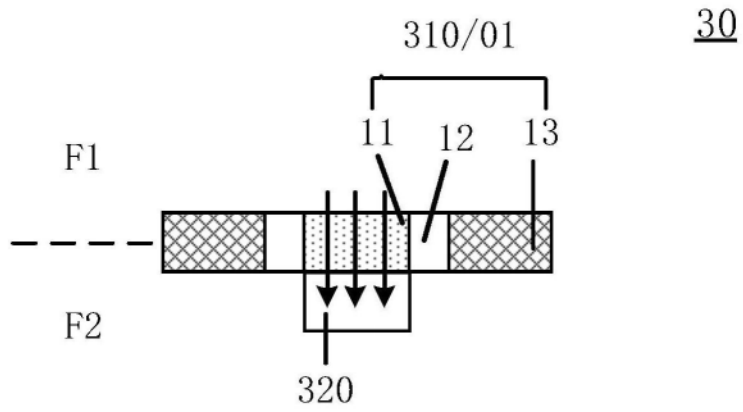


图13