

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
【部門区分】第 7 部門第 3 区分  
【発行日】令和 5 年 4 月 26 日(2023.4.26)

【公開番号】特開 2022-79823(P2022-79823A)  
【公開日】令和 4 年 5 月 27 日(2022.5.27)  
【年通号数】公開公報(特許)2022-094  
【出願番号】特願 2020-190639(P2020-190639)  
【国際特許分類】  
H 0 3 K 5/13(2014.01)  
【F I】  
H 0 3 K 5/13

10

【手続補正書】  
【提出日】令和 5 年 4 月 18 日(2023.4.18)  
【手続補正 1】  
【補正対象書類名】明細書  
【補正対象項目名】0020  
【補正方法】変更  
【補正の内容】  
【0020】

20

ここで、入力端子 T<sub>i</sub> に入力される電圧の電圧レベルが L レベルから H レベルに遷移すると、PMOS トランジスタ Q<sub>1</sub> はオンからオフに遷移し、NMOS トランジスタ Q<sub>2</sub> はオフからオンに遷移する。PMOS トランジスタ Q<sub>1</sub> がオフし、NMOS トランジスタ Q<sub>2</sub> がオンすると、定電流源 22 の定電流によって容量 21 に電荷のチャージが開始される。容量 21 は入力端子 T<sub>i</sub> に入力される電圧の電圧レベルが遷移したタイミングから出力端子 T<sub>o</sub> から出力される電圧の電圧レベルが遷移するまでの遅延時間を発生させる。従って、容量 21 に電荷のチャージが開始される時点では、出力端子 T<sub>o</sub> から出力される電圧の電圧レベルは L レベルが維持されている。

30

【手続補正 2】  
【補正対象書類名】明細書  
【補正対象項目名】0030  
【補正方法】変更  
【補正の内容】  
【0030】

第 6 のトランジスタとしての NMOS トランジスタ Q<sub>8</sub> は、PMOS トランジスタ Q<sub>7</sub> のゲート及び PMOS トランジスタ Q<sub>4</sub> のドレインと接続されるゲートと、接地端子 4 に接続されるソースと、抵抗 31 の第 2 端及び出力端子 T<sub>o</sub> と接続されるドレインとを有している。ここで、NMOS トランジスタ Q<sub>8</sub> のドレインと抵抗 31 の第 2 端との接続点を節点 N<sub>2</sub> と呼称する。遅延回路 10B では、出力端子 T<sub>o</sub> が節点 N<sub>2</sub> に接続されている。

40

【手続補正 3】  
【補正対象書類名】明細書  
【補正対象項目名】0064  
【補正方法】変更  
【補正の内容】  
【0064】

入力端子 T<sub>i</sub> に入力される電圧の電圧レベルが L レベルから H レベルに遷移すると、遅延時間が発生する。当該遅延時間経過後、PMOS トランジスタ Q<sub>4</sub> のドレイン及び定電流源 51 との節点から出力される電圧の電圧レベルは、L レベルから H レベルに遷移する。

50

## 【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0074

【補正方法】変更

【補正の内容】

【0074】

遅延回路10Gは、遅延回路10Eに対して、PMOSトランジスタQ9と、インバータ41と、インバータ61とをさらに備えて構成されている。すなわち、遅延回路10Gは、遅延回路10Aに対して、PMOSトランジスタQ7と、NMOSトランジスタQ8と、抵抗31と、定電流源51と、PMOSトランジスタQ9と、インバータ41と、インバータ61とをさらに備えて構成されている。インバータ61は、節点N2に接続される入力端と、節点N3に接続される出力端とを有している。遅延回路10Gによれば、遅延回路10A，10B，10C，10Dと同様の効果を得ることができる。

10

## 【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0075

【補正方法】変更

【補正の内容】

【0075】

なお、この遅延回路10Gから、2個のインバータ41，61及び定電流源51の少なくとも一方を省略して遅延回路が構成されていてもよい。遅延回路10Gから2個のインバータ41，61が省略された遅延回路では、PMOSトランジスタQ4のドレインから出力される電圧が、PMOSトランジスタQ4のドレインから出力される電圧に基づく電圧として、PMOSトランジスタQ9のゲートに直接印加される。

20

## 【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0079

【補正方法】変更

【補正の内容】

【0079】

1A～1G 半導体装置

10A～10G 遅延回路

21 容量

22 定電流源（第1の定電流源）

31 抵抗

41 インバータ

51 定電流源（第2の定電流源）

Q1 PMOSトランジスタ（第1のトランジスタ）

Q2 NMOSトランジスタ（第2のトランジスタ）

Q3 PMOSトランジスタ（抵抗体、ダイオード）

Q4 PMOSトランジスタ（第4のトランジスタ）

Q5 NMOSトランジスタ（第3のトランジスタ）

Q7 PMOSトランジスタ（第5のトランジスタ）

Q8 NMOSトランジスタ（第6のトランジスタ）Q9 PMOSトランジスタ（第7のトランジスタ）

30

40