

[19] 中华人民共和国国家知识产权局

[51] Int. Cl<sup>7</sup>

H01L 21/28

H01L 21/8247

H01L 29/788

H01L 27/115



# [12] 发明专利说明书

[21] ZL 专利号 01806239.3

[45] 授权公告日 2005 年 4 月 20 日

[11] 授权公告号 CN 1198322C

[22] 申请日 2001.3.5 [21] 申请号 01806239.3

[30] 优先权

[32] 2000. 3. 9 [33] US [31] 09/522,247

[86] 国际申请 PCT/US2001/040259 2001.3.5

[87] 国际公布 WO2001/067490 英 2001.9.13

[85] 进入国家阶段日期 2002.9.9

[71] 专利权人 飞索股份有限公司

地址 美国加利福尼亚州

共同专利权人 富士通株式会社

[72] 发明人 K·M·韩 方 浩 东谷政昭

审查员 高 伟

[74] 专利代理机构 北京纪凯知识产权代理有限公司

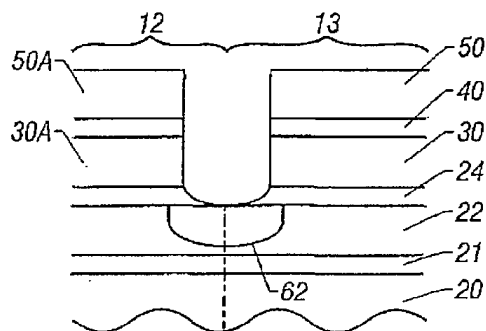
代理人 戈 泊 程 伟

权利要求书 2 页 说明书 6 页 附图 4 页

[54] 发明名称 制造 NAND 闪存的单隧道栅极氧化工艺

[57] 摘要

一种用以制造 NAND 存储器串的单隧道栅极氧化工艺，其中选择晶体管和浮栅存储晶体管的栅极氧化物(24)以单一氧化步骤制成。该选择栅极晶体管和浮栅晶体管所具有的氧化物厚度为 85 Å ~ 105 Å。以单隧道栅极方法而言，为了使 NAND 存储器串功能正常，必须小心选择中度掺杂源极/漏极区域(62)的注入条件。在一实施例中，中度掺杂源极/漏极区域(62)以砷掺杂至浓度为  $10^{13}$  至  $10^{14}/\text{cm}^2$ 。



ISSN 1008-4274

1. 一种 NAND 闪存, 其包括:
  - 一基底;
  - 5 一第一导电率类型的第一区域;
  - 一选择晶体管, 其包括:
    - 形成于该第一区域上的选择栅极氧化物层; 以及
    - 形成于该第一区域上的第二导电率类型的第二区域; 以及
  - 一存储单元, 其包括:
    - 10 形成于该第一区域上的存储单元氧化物层; 以及
    - 形成于该第一区域上的第二导电率类型的第三区域;

其特征在于: 该选择栅极氧化物层和该存储单元氧化物层具有相同的厚度, 而且通过所述第二导电率类型的第三区域的一部分, 使得该选择栅极氧化物层和该存储单元氧化物层彼此分隔开。
- 15 2. 如权利要求 1 的 NAND 闪存, 其中该存储单元进一步包括:
  - 形成于该存储单元氧化物层上的浮栅;
  - 形成于该浮栅上的隔离层; 以及
  - 形成于该隔离层上的控制栅极。
- 20 3. 如权利要求 2 的 NAND 闪存, 其中该隔离层包括:
  - 与该浮栅相接触的第一氧化物层;
  - 形成于该第一氧化物层上的氮化物层; 以及
  - 形成于该氮化物层上的第二氧化物层。
4. 如权利要求 1 的 NAND 闪存, 其中该选择晶体管还包括一控制栅极。
- 25 5. 如权利要求 1 的 NAND 闪存, 其中该第二区域和该第三区域掺杂至  $10^{13}$  至  $10^{14}/\text{cm}^2$  的浓度。
6. 如权利要求 1 的 NAND 闪存, 其中该选择栅极氧化物层和该存储单元氧化物层的厚度为  $85\text{\AA}\sim 105\text{\AA}$ 。

7. 一种 NAND 闪存阵列，其包括：

一基底；

一形成于该基底中的第一导电率类型的第一区域；

多个形成于该第一区域中的 NAND 串，各 NAND 串包括：

- 5       两个选择晶体管，各选择晶体管均包括一选择晶体管氧化物层；  
      多个存储单元，其串联连接于所述两个选择晶体管之间，每一  
      所述存储单元包括一隧道氧化物层；

      其中每一所述选择晶体管氧化物层和每一所述隧道氧化物层具有  
      相同的厚度；而且在处于该隧道氧化物层与该选择晶体管氧化物层之  
10    间的开口下面形成多个第二导电率类型的区域，每一所述第二导电率  
      类型的区域由存储单元与选择晶体管或额外的存储单元所共用；其中  
      第一 NAND 串的第一存储单元通过字线而连接至第二 NAND 串的第一  
      存储单元。

8. 如权利要求 7 的 NAND 闪存阵列，其中该第一 NAND 串与该  
15    第二 NAND 串为核心场氧化物层所隔离。

9. 一种制造 NAND 闪存的方法，该方法包括：

在一半导体基底之上形成第一导电率类型的第一区域；

      在所述第一导电率类型的第一区域上的选择栅极区域和存储单元  
      区域内形成第一氧化物层；以及

- 20       其特征在于在该第一区域中形成第二导电率类型的第二区  
      域，其至少部分位于该第一氧化物层中的开口下面，该第二区域为该  
      选择栅极区域和该存储单元区域所共用；而且

      使该选择栅极区域内的该第一氧化物层与该存储单元区域内的该  
      第一氧化物层具有相同的厚度。

- 25       10. 如权利要求 9 的方法，进一步包括：

      在该第一氧化物层上形成第一多晶硅层；

      在该第一多晶硅层上形成一隔离层；

      在该隔离层上形成第二多晶硅层。

## 制造 NAND 闪存单隧道的栅极氧化工艺

### 技术领域

- 5            本发明涉及集成电路及制造该电路的方法，尤其涉及 NAND 闪存单元及其制造方法。

### 背景技术

- 10            NAND 结构的存储器串 (memory string) 具有串联连接在两个选择栅极间的几个浮栅存储晶体管 (通常为 8 或 16 个)。由存储晶体管所占据的区域称为核心区域。存储晶体管的控制栅极利用字线而连接至其它平行的 NAND 串，从而形成 NAND 存储器阵列。平行的 NAND 串由核心场氧化区分隔。

- 15            NAND 闪存串通常采用“双栅氧化 (dual-gate oxidation)”工艺制造，其中选择晶体管的栅极氧化物是最先热增长在硅基底上的。然后以光致抗蚀剂掩蔽选择晶体管区域，且通常在缓冲氧化物蚀刻工艺中蚀刻核心区域内的栅极氧化物，从而曝露硅基底。之后将光致抗蚀剂除去且再热增长此栅极氧化物，从而限定此二选择栅极晶体管和 16 个浮栅存储晶体管的最终栅极氧化物厚度。此方法所产生的选择晶体管的栅极氧化物厚度为  $150\text{\AA}\sim 180\text{\AA}$  而存储晶体管的栅极氧化物厚度为  $85\text{\AA}\sim 105\text{\AA}$ ，如图 1 所示。图 1 显示选择晶体管区域 12 和核心晶体管区域 13。增长在 P 阱 11 上的氧化物层 14 在选择晶体管区域 12 比在核心晶体管区域 13 厚。选择栅极氧化物较核心隧道氧化物厚是为了避免源极/漏极区域 17 和 P 阱 11 间的带间隧穿电流。为了使选择栅极的功能不受选择栅极氧化物厚度影响，必须对源极/漏极区域 17 进行掺杂。
- 20            为使选择栅极氧化物较核心隧道氧化物更厚，须为 NAND 串的工艺增加几个步骤。而额外的制造步骤会增加器件成本。再者，这些额外步骤会影响 NAND 串的可靠性。举例而言，其掩模和蚀刻步骤可能会对 NAND 串的表面造成污染或将缺陷引进 NAND 串。这些污染和缺
- 25            会对 NAND 串的表面造成污染或将缺陷引进 NAND 串。这些污染和缺

陷会降低核心隧道氧化物的品质，并因此而导致存储单元的不佳可靠性。同时，掩模步骤还增加了 NAND 串所需的空間，因为任何掩模步骤都有着固有的不精确性，除了选择栅极区域外还需要有掩模公差区域。

5

## 发明内容

本发明提供用于制造 NAND 存储器串的单隧道栅极氧化工艺 (single tunnel oxidation process)，其中选择晶体管的栅极氧化物和 16 个浮栅存储晶体管均以同一个氧化步骤制造。该氧化处理可以是干氧氧化、湿氧氧化或氮化 (nitrided) 氧化。二选择栅极晶体管和浮栅存储晶体管具有相同氧化厚度(85 Å ~ 105 Å)。在一实施例中，中度掺杂源极/漏极区域以砷掺杂至  $10^{13} \sim 10^{14}/\text{cm}^2$  的浓度。

根据本发明的一种 NAND 闪存，其包括：一基底；一第一导电率类型的第一区域；一选择晶体管，其包括：形成于该第一区域上的选择栅极氧化物层；以及形成于该第一区域上的第二导电率类型的第二区域；以及一存储单元，其包括：形成于该第一区域上的存储单元氧化物层；以及形成于该第一区域上的第二导电率类型的第三区域；其特征在于：该选择栅极氧化物层和该存储单元氧化物层具有相同的厚度，而且通过所述第二导电率类型的第三区域的一部分，使得该选择栅极氧化物层和该存储单元氧化物层彼此分隔开。

根据本发明的一种 NAND 闪存阵列，其包括：一基底；一形成于该基底中的第一导电率类型的第一区域；多个形成于该第一区域中的 NAND 串，各 NAND 串包括：两个选择晶体管，各选择晶体管均包括一选择晶体管氧化物层；多个存储单元，其串联连接于所述两个选择晶体管之间，每一所述存储单元包括一隧道氧化物层；其中每一所述选择晶体管氧化物层和每一所述隧道氧化物层具有相同的厚度；而且在处于该隧道氧化物层与该选择晶体管氧化物层之间的开口下面形成多个第二导电率类型的区域，每一所述第二导电率类型的区域由存储单元与选择晶体管或额外的存储单元所共用；其中第一 NAND 串的第一存储单元通过字线而连接至第二 NAND 串的第一存储单元。

根据本发明的一种制造 NAND 闪存的方法，该方法包括：在一半

导体基底之上形成第一导电率类型的第一区域；在所述第一导电率类型的第一区域上的选择栅极区域和存储单元区域内形成第一氧化物层；以及，其特征在于在该第一区域中形成形成第二导电率类型的第二区域，其至少部分位于该第一氧化物层中的开口下面，该第二区域  
5 为该选择栅极区域和该存储单元区域所共用；而且，使该选择栅极区域内的该第一氧化物层与该存储单元区域内的该第一氧化物层具有相同的厚度。

此种用于制造 NAND 存储器阵列的方法具有几个优点。第一，因  
10 免除掩模步骤、免除热循环、及免除相关的清洁步骤而简化了器件的制造，故可降低成本并允许制造更紧凑的器件。同时，因免除掩模步骤，故可改善分隔晶体管串的核心场氧化物层的隔离性能，这降低了在核心存储单元内浮栅和控制栅极间的编程干扰（program disturb）并增加了其耦合比。再者，通过单隧道栅极氧化工艺而形成的 NAND 串可在低电压下编程或删除。除此之外，在单隧道栅极氧化工艺中使用的  
15 的中度掺杂源极/漏极区域可降低带间穿隧电流。

### 附图说明

图 1 显示依据先前技术的 NAND 闪存的选择栅极和存储单元。

图 2~6 显示在本发明的实施例中，其 NAND 闪存的选择栅极和  
20 存储单元在各阶段的简化剖面图。

图 7~11 显示在本发明的实施例中，其 NAND 闪存的选择栅极和存储单元在各阶段的部分简化俯视图。

### 具体实施方式

25 图 2 的简化剖面图显示在本发明工艺实施例早期的单一 NAND 串的选择栅极区域 12 和核心存储单元 13。此 NAND 串亦包含有多个与

所示核心存储单元 13 串联连接的其它核心存储单元, 及至少与该多个其它核心存储单元的其中之一连接的额外的选择栅极。除此之外, 此 NAND 串连接至其它多个平行 NAND 串, 从而形成 NAND 阵列。所示部分包含有在 N 阱 21 中形成的 P 阱 22, 该 N 阱 21 形成于基底 20 中。整个 NAND 阵列在 P 阱 22 之中形成。在 P 阱 22 上形成一氧化物层 24。氧化物层 24 在区域 12 的部分为选择栅极氧化物。氧化物层 24 在区域 13 内的部分为存储单元 13 的隧道氧化物。选择栅极氧化物和隧道氧化物具有相同厚度。在一实施例中, 氧化物层 24 的厚度为 85 Å ~ 105 Å。氧化物层 24 可通过湿氧化或干氧化而形成, 或者通过紧接着氮化之后的湿氧或干氧化而形成。图 7 显示一部分 NAND 阵列的俯视图。在基底 20 内 P 阱上 (图中未示) 形成氧化物层 24。在形成氧化物层 24 之前先制成位于 NAND 串之间的核心氧化物层。

现参考图 3, 在氧化物层 24 上形成第一层多晶硅 30。第一多晶硅层 30 构成存储单元晶体管的浮栅。图 8 显示一部分 NAND 阵列的俯视图。图 3 的第一多晶硅层 30 通过掩蔽 NAND 串 80 之间的区域 82 而形成, 其用以构成存储单元的浮栅。蚀刻第一多晶硅层 30 以便除去形成于核心场氧化物层上的多晶硅, 然后执行沟道截断注入(channel stop implant)。在一实施例中, 可通过化学气相沉积而形成第一多晶硅层 30。

现参考图 4, 在第一多晶硅层 30 上形成隔离层 40。隔离层 40 将核心存储单元的浮栅与核心存储单元的控制栅极隔离。在一实施例中, 隔离层 40 为 ONO 层, 其首先利用高温化学气相沉积氧化而沉积一氧化物层, 然后沉积一氮化层, 之后利用湿氧化而在氮化层上沉积第二氧化物层。在另一实施例中, 隔离层 40 为氮化层。图 8 显示在 NAND 阵列上形成有隔离层 90 的一部分 NAND 阵列的俯视图。

图 5 显示在隔离层 40 上形成第二多晶硅层 50 之后的选择栅极和核心存储单元。第二多晶硅层 50 构成选择晶体管和核心存储晶体管的控制栅极。第二多晶硅层 50 亦构成连接不同 NAND 串的选择栅极的选择线(select line)和连接不同 NAND 串的核心存储单元的字线。图 10 显示在 NAND 阵列上形成第二多晶硅层 100 之后的一部分 NAND 阵列的俯视图。

图 6 显示将图 5 中氧化物层 24、第一多晶硅层 30、隔离层 40、和  
第二多晶硅层 50 的区域 60 蚀刻除去，且将 P 阱 22 曝露后的结构。然  
后注入选择晶体管 12 和核心存储单元 13 共用的中度掺杂源极/漏极区  
域。必须小心选择中度掺杂源极/漏极区域的注入条件，以便缩小带间  
5 穿隧电流，此电流可能恶化 NAND 闪存单元的编程操作且损坏选择栅  
极的氧化物。在一实施例中，以砷将中度掺杂源极/漏极区域的浓度掺  
杂至  $10^{13}$  至  $10^{14}/\text{cm}^2$ 。NAND 串所具有的中度掺杂源极/漏极区域数目  
等于核心存储单元数目加 1。举例而言，如 NAND 串具有 16 个核心存  
储单元和两个选择晶体管，则 NAND 串将具有 17 个共用的中度掺杂  
10 源极/漏极区域 62。图 11 显示将 NAND 阵列的第二多晶硅层、隔离层、  
第一多晶硅层、和氧化物层蚀刻除去后的部分俯视图。中度掺杂源极/  
漏极区域 112 表示已经蚀刻除去的那些层。所剩下的第二多晶硅层构  
成选择晶体管和存储单元的控制栅极。除此之外，剩余的第二多晶硅  
层亦构成选择线 110 和字线 114。

15 在一实施例中，将选择晶体管 12 的第一多晶硅层 30A（图 6）和  
第二多晶硅层 50A 短接，形成单一控制栅极，用以取代在第一多晶硅  
层 30 内形成的浮栅和在第二多晶硅层 50 内形成的控制栅极。

用于制造 NAND 存储器阵列的这种方法具有几个优点。单隧道栅  
极氧化物工艺可免除一主要掩模步骤、一热循环以及相关的清除及蚀  
20 刻步骤。因此，利用单隧道栅极氧化工艺制造的 NAND 存储单元比利  
用上述双栅氧化工艺制造的 NAND 存储单元更便宜。同时，免除掩模  
步骤可免除掩模步骤所需的公差空间，因此利用单隧道栅极氧化方法  
可制造更紧凑的 NAND 串。

免除掩模步骤和相关缓冲蚀刻氧化步骤还可增加 NAND 串间的隔  
25 离。如上所述，在阵列中的 NAND 串利用核心场氧化物层进行隔离。  
当将核心区域蚀刻回到硅晶层以使用双栅工艺形成厚的选择栅极氧化  
物时，还会将部分核心栅极氧化物除去。在 NAND 串间较薄的核心场  
氧化物导致隔离可靠性降低。隔离可靠性降低将会增加 NAND 串对程  
序干扰的敏感度。

30 对采用单隧道栅极氧化工艺而非采用双栅工艺所制造的 NAND 串  
的选择栅极而言，使其启动所需的临界电压更低，因为较薄的选择栅



极氧化物增加了选择栅极晶体管的电流驱动。除此之外，利用单隧道栅极氧化工艺形成的 NAND 存储器阵列较利用双栅工艺形成的 NAND 存储器阵列更可靠且更持久，这可由内部的耐久性周期测试、读取干扰测试、和数据保持性测试实验证明。

- 5       再者，采用单隧道栅极氧化工艺形成的 NAND 存储器阵列表明，其可改善浮栅和控制栅极之间的耦合率（coupling ratio）。该耦合率与分隔浮栅和控制栅极的介质层上的电压降有关。当电压施加在控制栅极上时，在分隔浮栅和控制栅极的介质层上有第一电压降而在隧道氧化物层上有第二电压降。希望加大在隧道氧化物层上的电压降而降低
- 10   在分隔浮栅和控制栅极的介质层上的电压降，因为在隧道氧化物层上的电压降决定在编程或删除期间通过隧道氧化物的隧穿电流量。随着通过隧道氧化物层的隧穿电流量增加，编程或删除存储器器件所需时间会减少。在单隧道栅极氧化工艺中免除掩模步骤和相关的步骤，这会改变隔离 NAND 串的核心场氧化物的外形，同时对耦合率有较佳影响，其在一特定电压下，会降低编程或删除存储器器件所需的时间。
- 15

虽本发明仅参考某些优选实施例而说明，但为本领域技术人员所显而易见的其它实施方案亦涵盖于本发明的领域内。因此，本发明领域仅由所附权利要求书范围所定义。

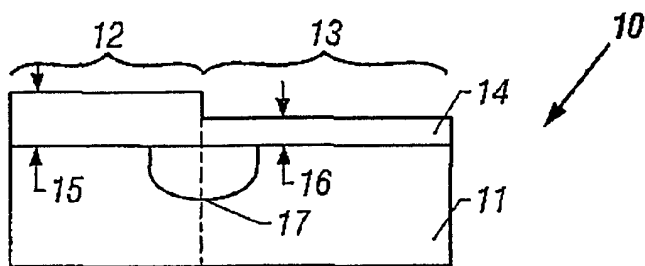


FIG. 1

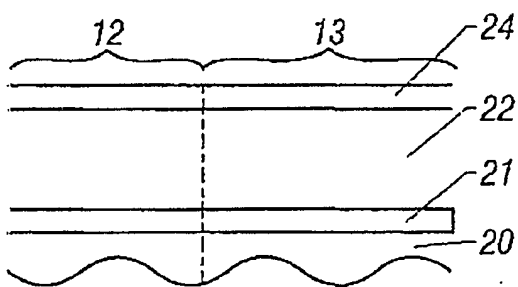


FIG. 2

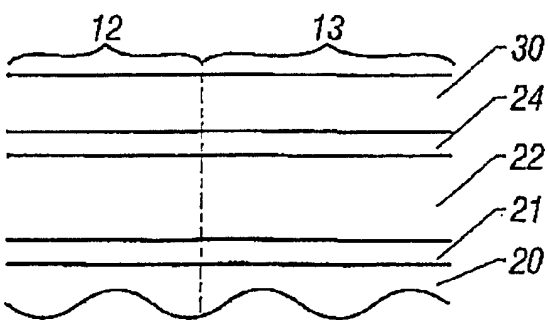


FIG. 3

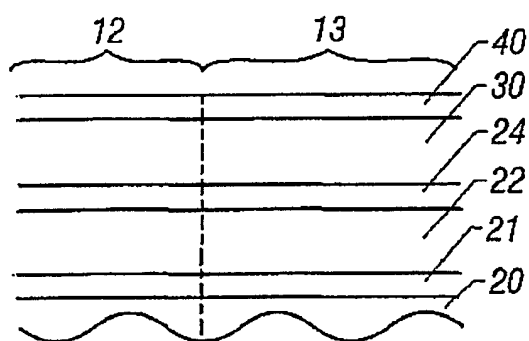


FIG. 4

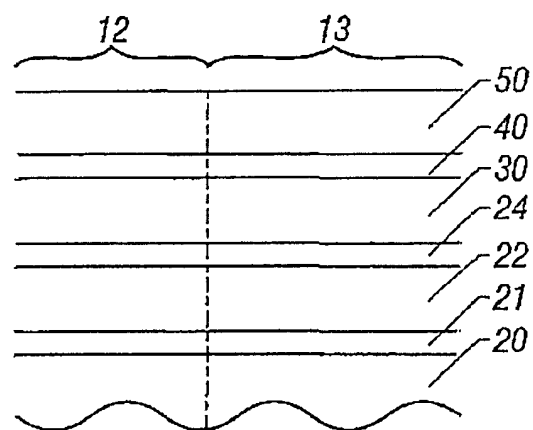


FIG. 5

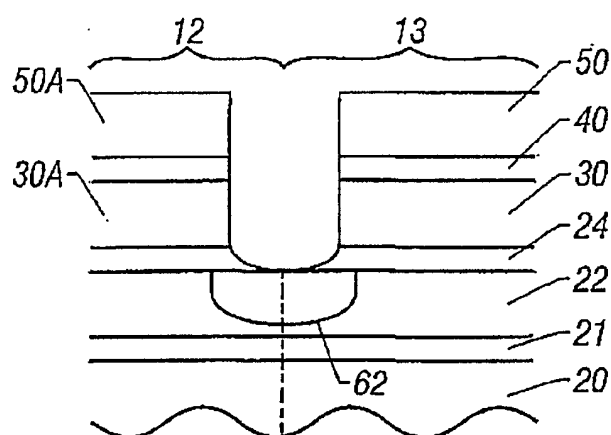


FIG. 6

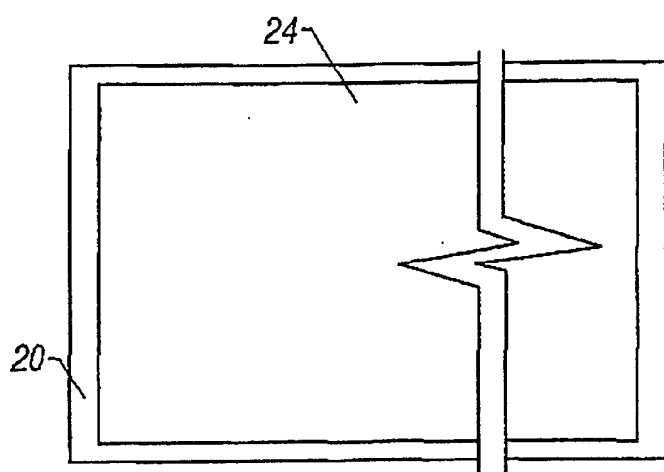


FIG. 7

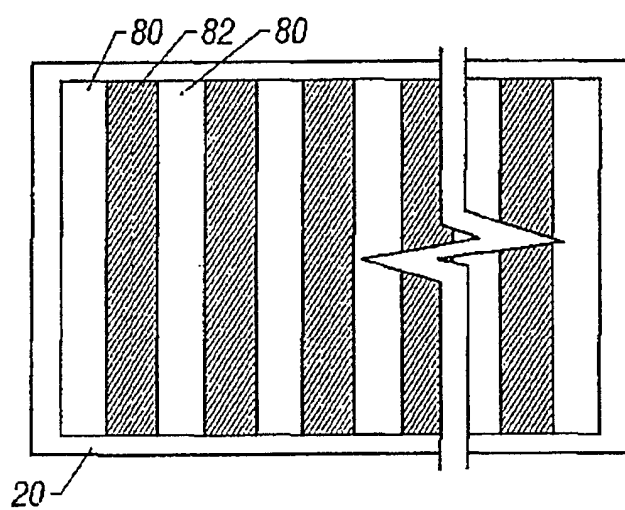


FIG. 8

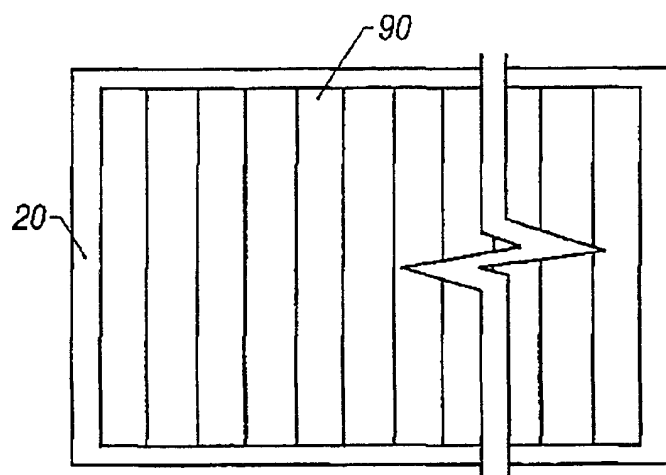


FIG. 9

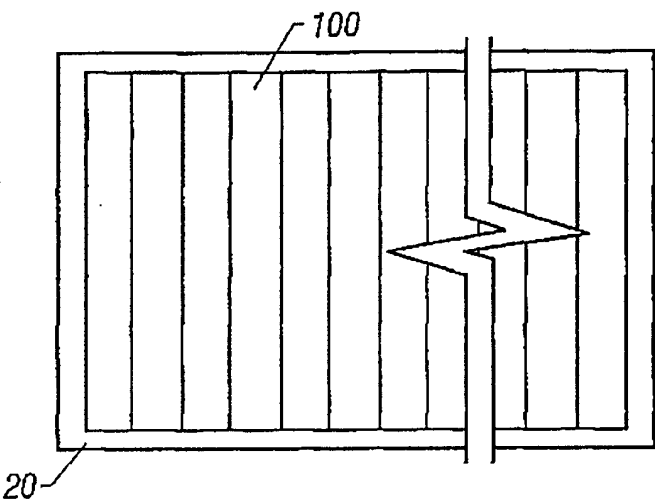


FIG. 10

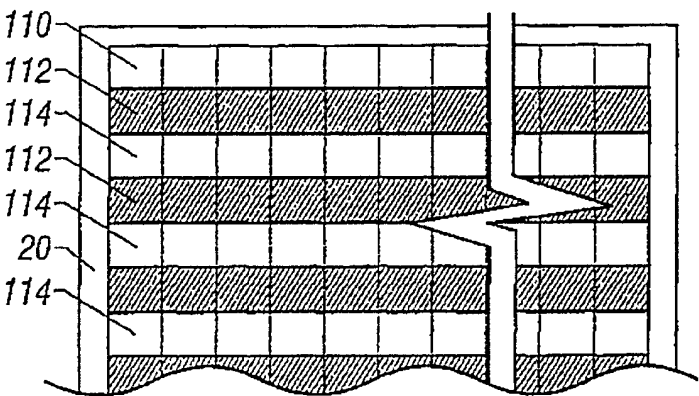


FIG. 11