

(43) 国際公開日
2012 年 10 月 4 日(04.10.2012)



(10) 国際公開番号

WO 2012/133282 A1

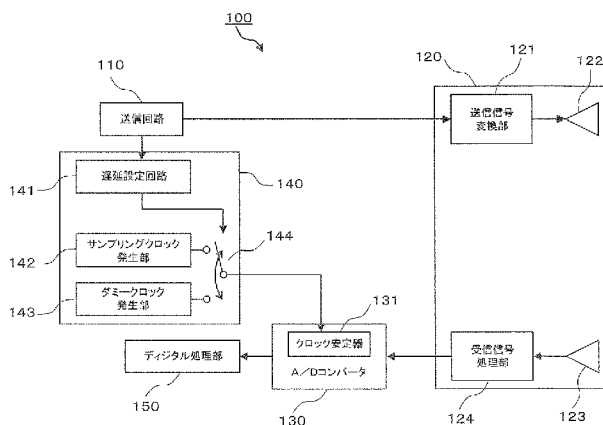
- | | |
|---|--|
| <p>(51) 国際特許分類:
 <i>G01S 7/285</i> (2006.01) <i>H03M 1/12</i> (2006.01)</p> | <p>(74) 代理人: 松下 亮 (MATSUSHITA, Makoto); 〒2220033 神奈川県横浜市港北区新横浜 2-5-19 アプリ新横浜ビル5階 Kanagawa (JP).</p> |
| <p>(21) 国際出願番号: PCT/JP2012/057713</p> | <p>(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.</p> |
| <p>(22) 国際出願日: 2012 年 3 月 26 日 (26.03.2012)</p> | <p>(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),</p> |
| <p>(25) 国際出願の言語: 日本語</p> | |
| <p>(26) 国際公開の言語: 日本語</p> | |
| <p>(30) 優先権データ:
 特願 2011-073938 2011 年 3 月 30 日 (30.03.2011) JP</p> | |
| <p>(71) 出願人 (米国を除く全ての指定国について): 古河電気工業株式会社 (FURUKAWA ELECTRIC CO., LTD.) [JP/JP]; 〒1008322 東京都千代田区丸の内 2 丁目 2 番 3 号 Tokyo (JP). 古河 A S 株式会社 (Furukawa Automotive Systems Inc.) [JP/JP]; 〒5220242 滋賀県犬上郡甲良町尼子 1 0 0 0 番地 Shiga (JP).</p> | |
| <p>(72) 発明者; および</p> | |
| <p>(75) 発明者/出願人 (米国についてのみ): 青柳 靖 (AOYAGI, Yasushi) [JP/JP]; 〒1008322 東京都千代田区丸の内 2 丁目 2 番 3 号 古河電気工業株式会社内 Tokyo (JP).</p> | |

[続葉有]

(54) Title: RADAR DEVICE

(54) 発明の名称：レーダ装置

[圖1]



- 110 TRANSMISSION CIRCUIT
121 TRANSMISSION SIGNAL CONVERSION UNIT
124 RECEPTION SIGNAL PROCESSING UNIT
130 A/D CONVERTER
131 CLOCK STABILIZER
141 DELAY CONFIGURATION CIRCUIT
142 SAMPLING CLOCK GENERATION UNIT
143 DUMMY CLOCK GENERATION UNIT
150 DIGITAL PROCESSING UNIT

(57) Abstract: Provided is a radar device which in addition to acquiring a reception signal and generating a sampling clock for performing sampling processing thereon, also generates a dummy clock while sampling processing is idle, so as to operate an A/D converter stably and perform fast equivalent sampling. The radar device (100) has, in an A/D converter control unit (140), a sampling clock generation unit (142), a dummy clock generation unit (143), and a switch (144). When a transmission signal is produced, a sampling clock is outputted from the sampling clock generation unit (142) to the A/D converter (130), and a dummy clock is outputted from the dummy clock generation unit (143) to the A/D converter (130) during idle periods.

(57) 要約: 受信信号を取り込んでサンプリング処理を行うためのサンプリングクロックに加えて、サンプリング処理を休止している間にダミークロックを発生させることで、A/Dコンバータを安定に動作させて等価サンプリングを高速に行えるレーダ装置を提供する。レーダ装置100は、A/Dコンバータ制御部140にサンプリングクロック発生部142、ダミークロック発生部143、及びスイッチ144を備えている。送信信号が発出されると、サンプリングクロック発生部142からA/Dコンバータ130にサンプリングクロックが出力され、休止期間はダミークロック発生部143からA/Dコンバータ130にダミークロックが出力される。

WO 2012/133282 A1



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：レーダ装置

技術分野

[0001] 本発明は、近傍の対象物までの距離、相対速度、方位等を検知するレーダ装置に関し、特に超広帯域なパルス信号を用いるレーダ装置に関する。

背景技術

[0002] レーダ装置は、該装置から放射された電波がターゲットで反射して再びレーダで受信されるまでの時間を計測し、距離を探知する装置である。その受信信号処理は、積分処理や周波数解析処理などのデジタル信号処理のため、アナログ／デジタル変換（A／D変換）を行ってサンプリング処理を実施する必要がある。サンプリング処理は、アナログの入力信号に対して、任意の時刻におけるアナログ信号をサンプルホールド回路で保持し、アナログ信号の電圧を保持する処理である。

[0003] この処理は、特許文献1に開示されているような等価サンプリングにおいて用いられるものである。ここで、等価サンプリングとは、繰り返し信号を受信する際、実際の信号速度よりも周期の長い長周期の繰り返し信号へと変換する処理をいう。特に、数百MHz以上の帯域幅を有する超広帯域レーダにおいては、1回の送信波の波形幅が非常に狭いため、この信号を高い分解能を維持したまま受信するためには、1Gsps（ギガサンプル／秒）以上の非常に高速なサンプリングを実現する必要がある。しかし、等価サンプリングを用いることで、そのサンプリング速度を100分の1程度に低下させることができる。

[0004] 等価サンプリングでは、信号を送出してからの経過時間（距離に相当）を順次変更していく。これは、サンプリング処理を行うタイミングを変更することに対応する。このように、A／Dコンバータの処理タイミングを少しずつ変更しながら検知範囲内のサンプリング処理をすべて行い、その処理結果をもとに対象物を検知する。また、処理の高速化のために、等価サンプリン

グを1送信に1回だけでなく複数回行う必要がある。

[0005] 上記のような高速のサンプリング処理を実現するためには、パイプライン処理を行うパイプライン型A/Dコンバータの使用が必須である。パイプライン型A/Dコンバータでは、出力するデジタル信号のビット数に対応する個数の比較器を用いて、複数段のA/D変換処理を順次行っている。また、パイプライン型A/Dコンバータは、複数段のサンプリング処理のタイミングを正確に制御するクロック安定器を備えている。クロック安定器は複数の同期回路で構成されており、予め設定されたタイミングを高精度に維持してサンプリング処理を行わせる。

[0006] 特許文献2には、受信信号を時間走査によって、等価時間サンプリングを実現する等価サンプリングレーダが開示されている。また、特許文献3には、等価時間サンプリングにおける時間走査を受信側ではなく、送信側で行う具体的な構成が開示されている。

[0007] さらに、等価時間サンプリングを高速に実現するために必要なパイプライン処理を前提としたA/Dコンバータの構成が特許文献4に開示されている。ここでは、2ビットのA/D変換を行うサブA/Dコンバータを複数縦続接続したパイプライン型A/Dコンバータの構成が開示されている。

先行技術文献

特許文献

[0008] 特許文献1：特開平1-235863号公報

特許文献2：特表2002-516453号公報

特許文献3：特表2001-526767号公報

特許文献4：特開2001-168713号公報

発明の概要

発明が解決しようとする課題

[0009] しかしながら、パイプライン型A/Dコンバータでサンプリング処理のタイミングを変更すると、各段のA/D変換処理がタイミング変更直ちに追

従することができず、タイミング変更直後の所定期間にわたって動作が不安定になる。その結果、サンプルホールドや各段の処理を正確に行うことができず、安定した等価サンプリングを実現できなくなる、という問題が生じる。そのため、タイミングを変更した直後のサンプリング処理のデータを用いることができず、正確なデータを得るまでの待ち時間が発生する。このようなサンプリング処理のタイムラグは、例えば数百 ns 程度となる場合もあり、レーダ装置の性能を低下させてしまう。

[0010] 本発明は、上記課題に鑑みてなされたものであり、受信信号を取り込んでサンプリング処理を行うためのサンプリングクロックに加えて、サンプリング処理を休止している間にダミークロックを発生させることで、A/Dコンバータを安定に動作させて等価サンプリングを高速に行えるレーダ装置を提供することを目的とする。

課題を解決するための手段

[0011] 上記課題を解決するため、本発明のレーダ装置の第1の態様は、送信信号を発出する送信回路と、前記送信信号を所定の周波数帯域の信号に変換して空間に放射し、前記放射された信号が対象物で反射された反射信号を受信し、前記受信した信号を処理して受信信号を出力する高周波回路部と、前記受信信号を入力してサンプリング処理するA/Dコンバータと、前記A/Dコンバータによるサンプリング処理を制御するA/Dコンバータ制御部と、を備え、前記A/Dコンバータ制御部は、前記送信信号の発出を起点に設定される信号取り込み期間は前記A/Dコンバータを第1周期で動作させ、前記信号取り込み期間以外の休止期間は前記第1周期と同等またはそれより短い第2周期で前記A/Dコンバータを動作させることを特徴とする。

[0012] 本発明のレーダ装置の他の態様は、前記A/Dコンバータ制御部は、遅延時間を設定する遅延設定回路と、前記第1周期でサンプリングクロックを発生させるサンプリングクロック発生部と、前記第2周期でダミークロックを発生させるダミークロック発生部と、前記サンプリングクロック発生部と前記ダミークロック発生部のいずれか一方に接続して前記サンプリングクロック

クまたは前記ダミークロックを前記A/Dコンバータに出力するスイッチと、を備え、前記遅延設定回路は、前記信号取り込み期間は前記サンプリングクロック発生部に接続させ、前記休止期間は前記ダミークロック発生部に接続させるように前記スイッチを制御することを特徴とする。

[0013] 本発明のレーダ装置の他の態様は、前記送信回路は、所定の繰返し周期で前記送信信号を発出し、前記遅延設定回路は、前記送信信号の発出時点からの遅延時間を順次変更して前記信号取り込み期間を設定することを特徴とする。

[0014] 本発明のレーダ装置の他の態様は、前記送信回路は、所定の繰返し周期で前記送信信号を発出し、前記遅延設定回路は、所定の繰返し周期からの遅延時間を順次変更して前記送信回路に前記送信信号の発出を要求するとともに、前記繰返し周期で前記信号取り込み期間を設定することを特徴とする。

[0015] 本発明のレーダ装置の他の態様は、前記A/Dコンバータは、クロック安定器を有するパイプライン型のA/Dコンバータであることを特徴とする。

発明の効果

[0016] 本発明によれば、受信信号を取り込んでサンプリング処理を行うためのサンプリングクロックに加えて、サンプリング処理を休止している間にダミークロックを発生させることで、A/Dコンバータを安定に動作させて等価サンプリングを高速に行えるレーダ装置を提供することができる。

図面の簡単な説明

[0017] [図1]本発明の第1実施形態に係るレーダ装置の構成を示すブロック図である。

[図2]パイプライン型A/Dコンバータの構成例を示すブロック図である。

[図3]サンプリング処理に用いられるクロック信号の一例を示すグラフである。

[図4]A/Dコンバータを動作させるクロック信号の一例を示す説明図である。

[図5]本発明の第2実施形態に係るレーダ装置の構成を示すブロック図である。

。

発明を実施するための形態

[0018] 本発明の好ましい実施の形態におけるレーダ装置について、図面を参照して詳細に説明する。同一機能を有する各構成部については、図示及び説明簡略化のため、同一符号を付して示す。

[0019] (第1実施形態)

本発明の第1の実施形態に係るレーダ装置を、図1を用いて以下に説明する。図1は、本実施形態のレーダ装置100の構成を示すブロック図である。レーダ装置100は、送信信号を発出する送信回路110と、送信回路110から発出された送信信号を所定の周波数帯で空間に放射するとともに対象物で反射された信号を受信して受信信号を出力する高周波回路部120と、高周波回路部120から受信信号を入力してサンプリング処理を行いデジタル信号を出力するA/Dコンバータ130と、A/Dコンバータ130による受信信号のサンプリング処理を制御するA/Dコンバータ制御部140と、A/Dコンバータ130からデジタル信号を入力して対象物までの距離、相対速度、方位等を検知するデジタル処理部150とを備えている。

。

[0020] 送信回路110は、所定のパルス繰返し周期で高周波回路部120に送信信号を発出する。また、高周波回路部120は、送信回路110から発出された送信信号を所定の周波数帯域に変換する送信信号変換部121と、送信信号変換部121から出力される送信信号を空間に放射する送信用アンテナ122と、送信信号が対象物で反射された信号を受信する受信用アンテナ123と、受信用アンテナ123で受信した信号を入力して所定の処理を行う受信信号処理部124とを備えている。受信信号処理部124で処理された受信信号がA/Dコンバータ130に出力される。

[0021] A/Dコンバータ130を制御するA/Dコンバータ制御部140は、送信回路110から送信信号が発出されてからの遅延時間を設定する遅延設定回路141と、A/Dコンバータ130で受信信号をサンプリングするため

のクロックを発生させるサンプリングクロック発生部 142 と、所定速度のダミークロックを発生させるダミークロック発生部 143 と、サンプリングクロック発生部 142 から出力されるサンプリングクロックとダミークロック発生部 143 から出力されるダミークロックのいずれか一方を選択して A/D コンバータ 130 に出力するスイッチ 144 とを備えている。

[0022] ここで、A/D コンバータ 130 の構成の一例を、図 2 を用いて説明する。A/D コンバータ 130 はパイプライン型の A/D コンバータであり、図 2 は A/D コンバータ 130 に使用可能なパイプライン型 A/D コンバータの構成例を示すブロック図である。同図に示すパイプライン型 A/D コンバータ 10 は、A/D コンバータ 21 と D/A コンバータ 22 と加算器 23 と増幅器 24 とを 1 組とする段毎処理部 20 を複数組（複数段）備えている。ここでは、A/D コンバータ 21 が図示しない比較器を 1 つ有し、1 段の段毎処理部 20 で 1 ビット分の A/D 変換処理を行うものとしている。

[0023] アナログ信号を N ビットのデジタル信号に変換するパイプライン型 A/D コンバータ 10 では、(N-1) 段の段毎処理部 20 が設けられ、さらに最終段として単体の A/D コンバータ 21 が設けられた構成となっている。パイプライン型 A/D コンバータ 10 は、さらにクロック安定器 11、入力端子 12、出力端子 13、及びエンコーダ 14 を備えている。

[0024] 入力端子 12 から入力された電圧 V_i のアナログ信号は、第 1 段目の段毎処理部 20 に入力され、ここで A/D コンバータ 21 と加算器 23 に入力される。A/D コンバータ 21 では、入力した電圧 V_i を図示しない比較器で所定の基準電圧と比較する。比較の結果、電圧 V_i が基準電圧以上のときは "1" を出力する一方、電圧 V_i が基準電圧未満のときは "0" を出力する。この出力信号は、N ビット目の値としてエンコーダ 14 に出力されるとともに、D/A コンバータ 22 にも出力される。

[0025] D/A コンバータ 22 は、A/D コンバータ 21 から入力したデジタル値を再びアナログ信号に変換し、これを加算器 23 に出力する。加算器 23 では、入力端子 12 から入力した電圧 V_i から、D/A コンバータ 22 から

入力した電圧を減算する。加算器 23 で減算された電圧は、増幅器 24 に入力されて所定のレベルまで増幅されて次の段毎処理部 20 に出力される。次の第 2 段目の段毎処理部 20 でも上記と同様の処理が行われ、 $(N-1)$ ビット目のデジタル値がエンコーダ 14 に出力される。以下同様にして第 $(N-1)$ 段目までの段毎処理部 20 の処理が行われて 2 ビット目までのデジタル値がエンコーダ 14 に出力され、さらに最終段の A/D コンバータ 21 から 1 ビット目のデジタル値がエンコーダ 14 に出力される。

[0026] 上記のように、パイプライン型 A/D コンバータ 10 は A/D 変換処理を段階的に行っており、各段の A/D 変換処理のタイミングをクロック安定器 11 で高精度に制御している。すなわち、クロック安定器 11 は $(N-1)$ 段の段毎処理部 20 及び最終段の A/D コンバータ 21 を順次同期させて動作させている。本実施形態の A/D コンバータ 130 においても、クロック安定器 131 が複数段の A/D 変換処理のタイミングを高精度に制御している。

[0027] 等価サンプリングでは、処理タイミングを少しずつ変更しながらサンプリングを行っていく必要がある、A/D コンバータ 130 としてパイプライン型 A/D コンバータ 10 を用いた場合も同様である。パイプライン型 A/D コンバータ 10 では、複数段で同期させながらサンプリング処理を順次行っていることから、処理タイミングを変更するときは複数段のそれぞれの処理タイミングを同期をとりながら変更する必要がある。しかし、各段の処理タイミングはクロック安定器 11 で厳格に管理されているため、処理タイミングを変更した直後は動作が不安定になるといった問題があった。そのため、処理タイミングの変更後は安定するまで待つ必要がある、サンプリング処理にタイムラグが発生していた。

[0028] パイプライン型 A/D コンバータ 10 は、受信信号を入力してサンプリング処理を行う信号取り込み期間以外は停止しており、受信信号を入力すると同時にクロック安定器 11 からサンプリングクロックが出力される。サンプリングクロックは、出力を開始した直後は安定していないため、A/D コン

バータ 10 は正常なサンプリング処理を行えない。そのため、サンプリングクロックが安定するまでのサイクル数が、パイプライン型 A/D コンバータの仕様で規定されている。

[0029] 信号取り込み期間開始後のサンプリングクロックの一例を図 3 (a) に示す。同図では、サンプリングクロック 51 の出力開始時刻を T_0 とし、受信信号を入力後サンプリング処理を行う信号取り込み期間を出力開始時刻 T_0 から時間 T_s の期間としている。同図に示すように、信号取り込み期間 T_s のうち出力開始時刻 T_0 から T_a で示す期間はサンプリングクロック 51 が安定しておらず、この間は待ち時間となる。

[0030] レーダ装置において、処理タイミングを変更する度に図 3 (a) に示すような待ち時間 T_a が発生すると、処理タイミングの変更が多数回行われることから、検知範囲内のサンプリング処理をすべて行う間に相当期間の待ち時間が発生してしまう。このような待ち時間により、レーダ装置の性能低下を招いてしまう。

[0031] そこで、本実施形態のレーダ装置 100 では、サンプリング処理を行わない休止期間に、信号取り込み期間に出力するサンプリングクロックとは別の周期でクロックを動作させるようにする。休止期間に出力させるクロックを、以下ではダミークロックと称する。また、サンプリングクロックの周期を第 1 周期とし、ダミークロックの周期を第 2 周期とする。休止期間にダミークロックを出力させ、信号取り込み期間にサンプリングクロックを出力させたときのクロック信号の一例を図 3 (b)、(c) に示す。図 3 (b)、(c) では、休止期間を T_d で示している。図 3 (b) は、ダミークロック 52 の第 2 周期をサンプリングクロック 51 の第 1 周期より長くしたときのクロック信号の一例を示しており、図 3 (c) は、ダミークロック 52 の第 2 周期をサンプリングクロック 51 の第 1 周期より短くしたときのクロック信号の一例を示している。

[0032] 図 3 より、休止期間にダミークロック 52 を出力せず受信信号の入力と同時にサンプリングクロック 51 の出力を開始する場合 (図 3 (a)) に比べ

て、休止期間にダミークロック 5 2 を出力する場合（図 3（b）、（c））にはサンプリングクロック 5 1 を短時間で安定化させることが可能となる。また、ダミークロック 5 2 の第 2 周期をサンプリングクロック 5 1 の第 1 周期より長くした場合（図 3（b））には、ダミークロック 5 2 からサンプリングクロック 5 1 に切り替えた直後はクロック信号が不安定となっているのに対し、ダミークロック 5 2 の第 2 周期をサンプリングクロック 5 1 の第 1 周期より短くした場合（図 3（c））には、サンプリングクロック 5 1 に切り替えた直後もクロック信号が安定していることがわかる。さらに、ダミークロック 5 2 の第 2 周期をサンプリングクロック 5 1 の第 1 周期と同等にした場合には、サンプリングクロック 5 1 に切り替えた直後はクロック信号が若干不安定になるもののすぐに安定する。

[0033] 上記のように、サンプリングクロックと同等かそれより短い周期のダミークロックを休止期間に出力させておくことで、信号取り込み期間の開始時にダミークロックからサンプリングクロックに切り替えても安定したクロック信号を得ることができる。その結果、サンプリング処理のタイミングを変更するためにダミークロックからサンプリングクロックに切り替えるタイミングを変更した場合でも、切替直後から安定したサンプリングクロックでサンプリング処理を行うことができる。本実施形態の A/D コンバータ 130 は、図 4 に示すように、送信回路 110 から送信信号 50 が出力されると、これを起点とする信号取り込み期間はサンプリングクロック 5 1 で動作し、信号取り込み期間終了後次に送信信号 50 が出力されるまではダミークロック 5 2 で動作する。

[0034] 本実施形態のレーダ装置 100 では、A/D コンバータ 130 を制御する A/D コンバータ制御部 140 にサンプリングクロック発生部 142、ダミークロック発生部 143、及びスイッチ 144 が設けられている。サンプリングクロック発生部 142 は、A/D コンバータ 130 でサンプリング処理を動作させるのに用いる第 1 周期のサンプリングクロックを発生する。また、ダミークロック発生部 143 は、サンプリングクロックと同等かそれより

短い第2周期のダミークロックを発生する。

[0035] 遅延設定回路141は、送信回路110から送信信号発出の信号を入力すると、これを起点としてそれから遅延させる遅延時間を決定し、該遅延時間の経過後にスイッチ144にスイッチ切替のための要求信号を出力する。これにより、スイッチ144がダミークロック発生部143側からサンプリングクロック発生部142側に切り替えられ、サンプリングクロック発生部142からスイッチ144を経由してA/Dコンバータ130のクロック安定部131にサンプリングクロックが出力される。A/Dコンバータ130は、サンプリングクロック発生部142から入力するサンプリングクロックに従ってサンプリング処理を行う。

[0036] また、信号取り込み期間が終了すると、遅延設定回路141からスイッチ144に切替要求信号が出力され、サンプリングクロック発生部142側からダミークロック発生部143側に切り替えられる。これにより、ダミークロック発生部143からスイッチ144を経由してA/Dコンバータ130のクロック安定部131にダミークロックが出力される。このように、遅延設定回路141からの切替要求信号に従ってスイッチ144を制御することにより、図3(c)に例示するようなクロック信号をA/Dコンバータ130で用いることができ、待ち時間を設けることなくサンプリング処理を行うことが可能となる。

[0037] 本実施形態によれば、受信信号を取り込んでサンプリング処理を行うためのサンプリングクロックに加えて、サンプリング処理を休止している間にダミークロックを発生させることで、A/Dコンバータを安定に動作させて等価サンプリングを高速に行えるレーダ装置を提供することができる。

[0038] (第2実施形態)

本発明の第2の実施形態に係るレーダ装置を、図5を用いて以下に説明する。図5は、本実施形態のレーダ装置200の構成を示すブロック図である。第1実施形態のレーダ装置100では、送信回路110が一定の繰返し周期で送信信号を発出し、遅延設定回路141がA/Dコンバータ130でサ

ンプリング処理を行うタイミングを変更するように構成していた。これに対し、本実施形態のレーダ装置 200 では、送信回路 110 が送信信号を発出するタイミングを逐次変更させ、A/Dコンバータ 130 でサンプリング処理を行うタイミングは一定の繰返し周期となるようにしている。

[0039] 送信回路 110 から送信信号を発出するタイミングを変更するために、本実施形態では A/Dコンバータ制御部 140 の遅延設定回路 141 から送信回路 210 に送信信号の発出を要求する制御信号を出力する構成としている。遅延設定回路 141 は、送信信号の発出を要求する制御信号の出力タイミングを変更して送信回路 210 に出力し、送信回路 210 がこの制御信号を入力すると送信信号を発出する。

[0040] 一方、遅延設定回路 141 からスイッチ 144 へは、切替要求信号を一定の繰返し周期で出力する。本実施形態では、ダミークロックからサンプリングクロックへの切替タイミングが変更されず一定に維持されることから、常に安定したサンプリングクロックが得られ、A/Dコンバータを安定に動作させて等価サンプリングを高速に行うことができる。また、本実施形態では、ダミークロックの第2周期をサンプリングクロックの第1周期と同等とした場合でも、切替直後から安定したサンプリングクロックが得られる。

[0041] なお、本実施の形態における記述は、本発明に係るレーダ装置の一例を示すものであり、これに限定されるものではない。本実施の形態におけるレーダ装置の細部構成及び詳細な動作などに関しては、本発明の趣旨を逸脱しない範囲で適宜変更可能である。

符号の説明

- [0042]
- | | |
|----|------------------|
| 10 | パイプライン型 A/Dコンバータ |
| 11 | クロック安定器 |
| 12 | 入力端子 |
| 13 | 出力端子 |
| 14 | エンコーダ |
| 20 | 段毎処理部 |

- 2 1、1 3 0 A／Dコンバータ
- 2 2 D／Aコンバータ
- 2 3 加算器
- 2 4 増幅器
- 1 0 0 レーダ装置
- 1 1 0 送信回路
- 1 2 0 高周波回路部
- 1 2 1 送信信号変換部
- 1 2 2 送信用アンテナ
- 1 2 3 受信用アンテナ
- 1 2 4 受信信号処理部
- 1 4 0 A／Dコンバータ制御部
- 1 4 1 遅延設定回路
- 1 4 2 サンプリングクロック発生部
- 1 4 3 ダミークロック発生部
- 1 4 4 スイッチ
- 1 5 0 デジタル処理部

請求の範囲

[請求項1]

送信信号を発出する送信回路と、
前記送信信号を所定の周波数帯域の信号に変換して空間に放射し、
前記放射された信号が対象物で反射された反射信号を受信し、前記受信した信号を処理して受信信号を出力する高周波回路部と、
前記受信信号を入力してサンプリング処理するA/Dコンバータと、
、
前記A/Dコンバータによるサンプリング処理を制御するA/Dコンバータ制御部と、を備え、
前記A/Dコンバータ制御部は、前記送信信号の発出を起点に設定される信号取り込み期間は前記A/Dコンバータを第1周期で動作させ、前記信号取り込み期間以外の休止期間は前記第1周期と同等またはそれより短い第2周期で前記A/Dコンバータを動作させることを特徴とするレーダ装置。

[請求項2]

前記A/Dコンバータ制御部は、
遅延時間を設定する遅延設定回路と、
前記第1周期でサンプリングクロックを発生させるサンプリングクロック発生部と、
前記第2周期でダミークロックを発生させるダミークロック発生部と、
前記サンプリングクロック発生部と前記ダミークロック発生部のいずれか一方に接続して前記サンプリングクロックまたは前記ダミークロックを前記A/Dコンバータに出力するスイッチと、を備え、
前記遅延設定回路は、前記信号取り込み期間は前記サンプリングクロック発生部に接続させ、前記休止期間は前記ダミークロック発生部に接続させるように前記スイッチを制御することを特徴とする請求項1に記載のレーダ装置。

[請求項3]

前記送信回路は、所定の繰返し周期で前記送信信号を発出し、

前記遅延設定回路は、前記送信信号の発出時点からの遅延時間を順次変更して前記信号取り込み期間を設定することを特徴とする請求項 2 に記載のレーダ装置。

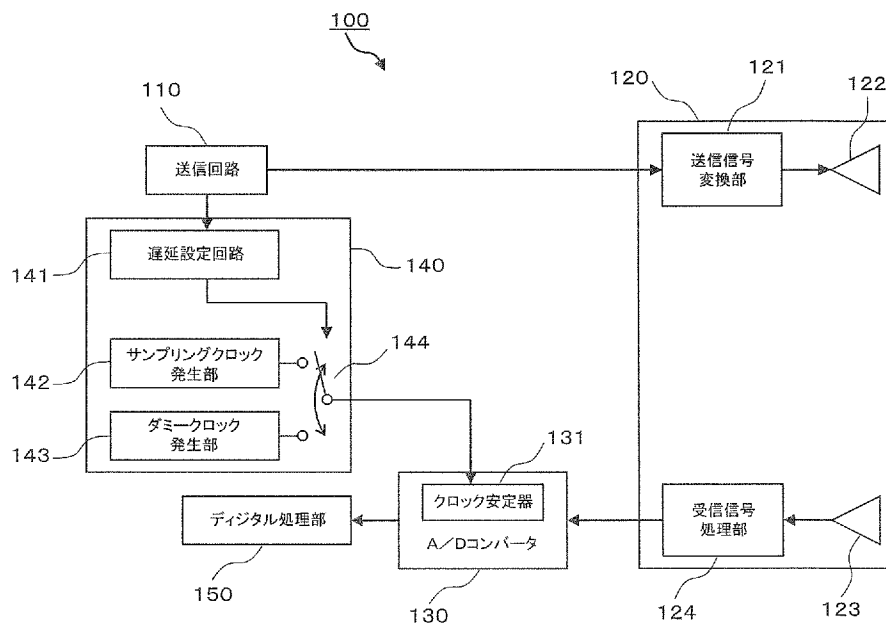
[請求項 4]

前記送信回路は、所定の繰返し周期で前記送信信号を発出し、
前記遅延設定回路は、所定の繰返し周期からの遅延時間を順次変更して前記送信回路に前記送信信号の発出を要求するとともに、前記繰返し周期で前記信号取り込み期間を設定することを特徴とする請求項 2 に記載のレーダ装置。

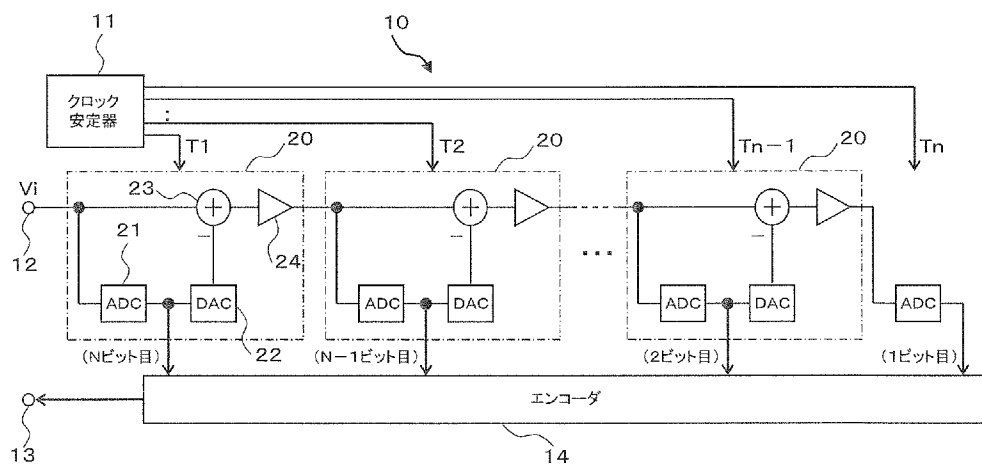
[請求項 5]

前記 A / D コンバータは、クロック安定器を有するパイプライン型の A / D コンバータである
ことを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載のレーダ装置。
。

[図1]

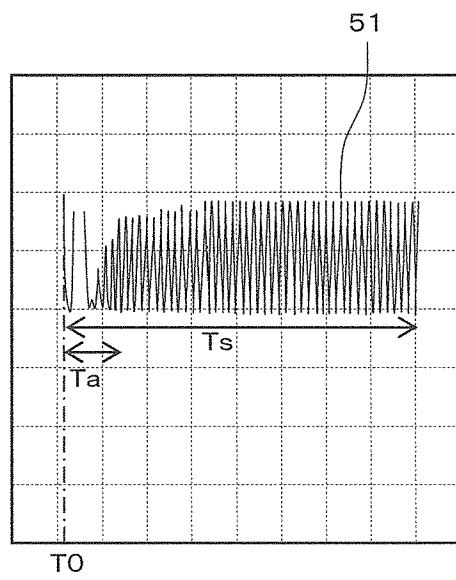


[図2]

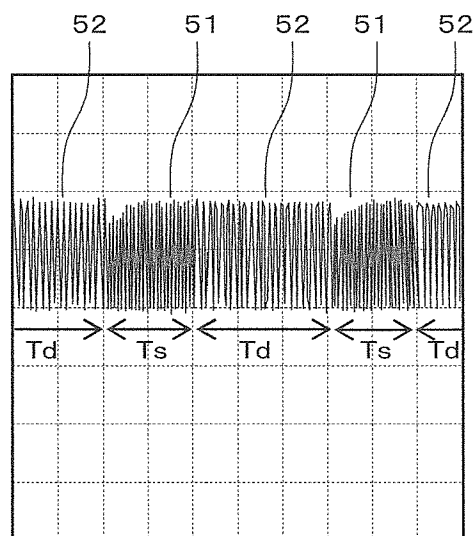


[図3]

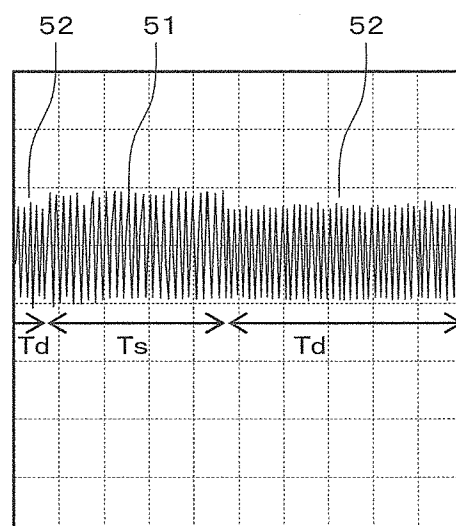
(a)



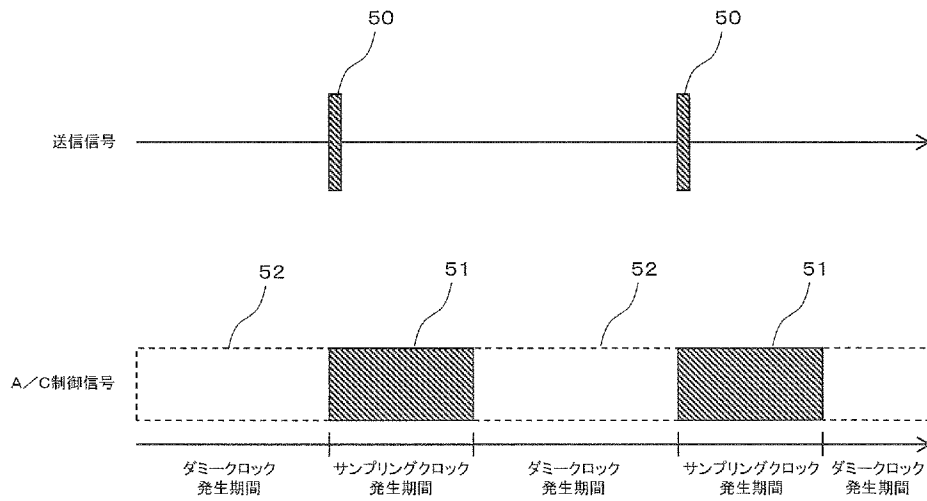
(b)



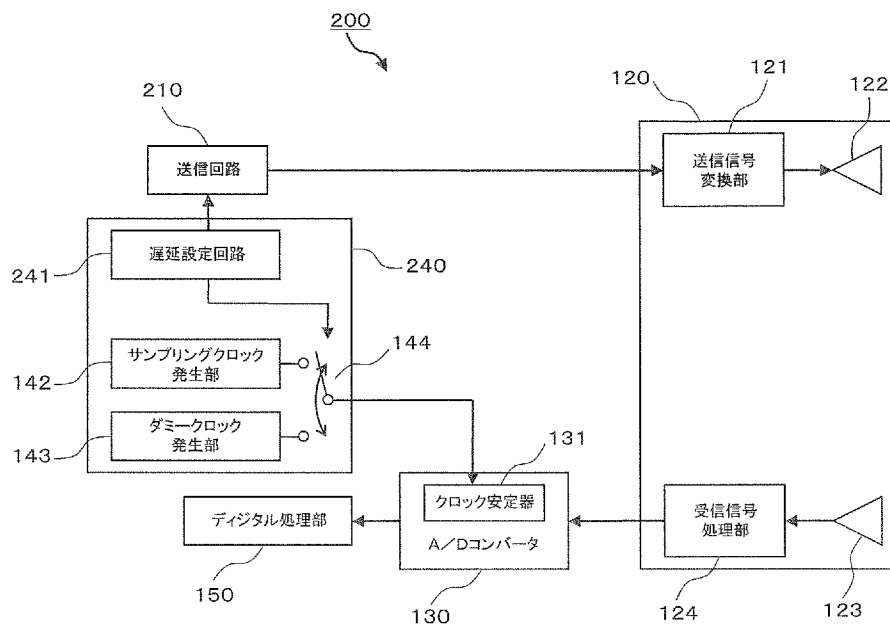
(c)



[図4]



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/057713

A. CLASSIFICATION OF SUBJECT MATTER

G01S7/285(2006.01)i, H03M1/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01S7/00-7/51, G01S13/00-13/95, G01S17/00-17/95, G01C3/00-3/32, G04F10/00-10/10, H03M1/00-1/88, H03B5/00-5/42, G01R29/22, G01R13/00-13/42, G01R23/00-23/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2007-240511 A (The Furukawa Electric Co., Ltd.), 20 September 2007 (20.09.2007), paragraphs [0032] to [0055]; fig. 1 to 4 & WO 2006/112433 A1 & US 2008/304560 A1 paragraphs [0111] to [0133]; fig. 1 to 4 & EP 1884800 A1	1-5
Y	JP 2002-314336 A (Matsushita Electric Industrial Co., Ltd.), 25 October 2002 (25.10.2002), paragraphs [0017] to [0039]; fig. 1 to 2 (Family: none)	1-5

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
14 June, 2012 (14.06.12)

Date of mailing of the international search report
26 June, 2012 (26.06.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/057713

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-251140 A (Rohm Co., Ltd.), 14 September 2001 (14.09.2001), paragraphs [0007] to [0015], [0042]; fig. 1 to 2 (Family: none)	1-5
Y A	JP 4-145391 A (Mitsubishi Electric Corp.), 19 May 1992 (19.05.1992), page 3, lower left column, line 17 to page 5, upper left column, line 15; fig. 1 to 2 & US 5179286 A column 9, line 64 to column 11, line 63; fig. 3 to 4 & FR 2670905 A1	2, 3, 5 1, 4
Y A	JP 4-145390 A (Mitsubishi Electric Corp.), 19 May 1992 (19.05.1992), page 3, lower left column, line 17 to page 5, upper left column, line 18; fig. 1 to 2 & US 5179286 A column 7, line 23 to column 9, line 62; fig. 1 to 2 & DE 4133196 A1 & FR 2670905 A1	4, 5 1-3
Y A	JP 2010-78364 A (Denso Corp.), 08 April 2010 (08.04.2010), paragraphs [0017] to [0025]; fig. 1 to 3 (Family: none)	5 1-4

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G01S7/285(2006.01)i, H03M1/12(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G01S7/00-7/51, G01S13/00-13/95, G01S17/00-17/95, G01C3/00-3/32, G04F10/00-10/10, H03M1/00-1/88, H03B5/00-5/42, G01R29/22, G01R13/00-13/42, G01R23/00-23/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2007-240511 A (古河電気工業株式会社) 2007. 09. 20, 段落【0032】-【0055】, 図1-4 & WO 2006/112433 A1 & US 2008/304560 A1, 段落[0111]-[0133], Fig. 1-4 & EP 1884800 A1	1-5
Y	JP 2002-314336 A (松下電器産業株式会社) 2002. 10. 25, 段落【0017】-【0039】, 図1-2 (ファミリーなし)	1-5

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 4 . 0 6 . 2 0 1 2

国際調査報告の発送日

2 6 . 0 6 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

吉田 久

2 S

3 9 0 2

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 5 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2001-251140 A (ローム株式会社) 2001.09.14, 段落【0007】－【0015】、【0042】、図1－2 (ファミリーなし)	1-5
Y	JP 4-145391 A (三菱電機株式会社) 1992.05.19, 第3 ページ左下欄第17 行-第5 ページ左上欄第15 行, 第1-2 図	2, 3, 5
A	& US 5179286 A, 第9 欄第64 行-第11 欄第63 行, FIG. 3-4 & FR 2670905 A1	1, 4
Y	JP 4-145390 A (三菱電機株式会社) 1992.05.19, 第3 ページ左下欄第17 行-第5 ページ左上欄第18 行, 第1-2 図	4, 5
A	& US 5179286 A, 第7 欄第23 行-第9 欄第62 行, FIG. 1-2 & DE 4133196 A1 & FR 2670905 A1	1-3
Y	JP 2010-78364 A (株式会社デンソー) 2010.04.08, 段落【0017】－【0025】、図1－3 (ファミリーなし)	5
A		1-4