

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6
B6

本業已向：

美 國 (地 區) 申請專利，申請日期： 案號： 訂有 二 無 主張優先權
2001,10,29 10/021,133

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝
訂
線

經濟部智慧財產局員工消費合作社印製

五、發明說明（1）

本發明係大致有關於電氣電路，特別是有關於多個時鐘之產生與同步化。

現代的多波道系統典型上需要平行資料流被傳輸及被接收。該等平行資料流(或波道)可被整合為更小數目之較高帶寬的波道，其在資料通訊術語一般被稱為中繼。就將被整合之資料而言，嚴格的偏斜預算為系統所需，其中偏斜被定義為資料之每一波道的相位關係。

串列資料通訊一般運用一時鐘多工器(如一鎖相迴路(PLL))電路。該 PLL 電路相位與頻率鎖定於一基準時鐘並產生高速時鐘以為該資料定時鐘。為達成通過多資料路徑(如平行資料流或資料波道)之低偏斜，所產生之時鐘必須小心地被同步化及被對齊。

典型而言，一 PLL 電路或一延遲鎖定迴路(DLL)電路就每一波道被運用以降低偏斜。例如，每一 PLL 電路被鎖定於一總體基準信號，其分佈被嚴格地控制。然而，使用多個 PLL 需要大量的電力與空間，而此二者經常是非常有限的。

一種替選方法為運用先進先出(FIFO)緩衝方式為非同步化之系統通過時鐘域界限。缺點為 FIFO 緩衝器會導致延遲與偏斜。同時對積體電路而言，該延遲與偏斜可能是對處理、電壓與溫度變異或相關事項為未受控制的。進而言之，該 FIFO 緩衝器需要額外的邏輯電路以監控及重置相關的指標，且該 FIFO 緩衝器亦耗用有價值的電力與空間。

五、發明說明（2）

用以產生多個時鐘及使之同步化的方法與裝置在此被揭示，其在通過多個波道時具有極端低的偏斜與最小且定義完備的延遲。這些益處在跨處理、電壓與溫度變異被保留。會導致延遲與偏斜之習知技藝的 FIFO 緩衝方式可被消除，且例如使用單一時鐘源之能力被提供，其提供對電力與面積需求的減少。

依照本發明之一實施例，一種用於使數個資料波道同步化之系統包括一核心電路，具有一時鐘分配電路，以該核心電路在該時鐘分配電路所承載之核心時鐘信號的頻率提供數個資料流。一第一鎖相迴路電路產生數個時鐘信號，其中來自該等數個時鐘信號之一第一時鐘信號具有與被時鐘分配電路所承載之核心時鐘信號相同的頻率及實質相同的相位。數個波道電路被耦合於該核心電路與該第一鎖相迴路電路，以該等波道電路將在該第一時鐘信號之頻率被接收的數個資料流變換為來自該等數個時鐘信號之一第二時鐘信號的頻率之數個串列資料流。該第一鎖相迴路電路或一第二鎖相迴路電路可提供該核心時鐘信號至該時鐘分配電路。

依照本發明之另一實施例，一種用於使數個資料波道同步化的方法包括接收一基準時鐘信號；根據該基準時鐘信號產生數個時鐘信號並自該等數個時鐘信號提供一核心時鐘信號至一核心電路，其中資料透過數個資料路徑以該時鐘信號之時鐘率自該核心電路被傳送；利用對應的波道電路以來自該等數個時鐘信號之一第一時鐘信號的時鐘率

五、發明說明（3）

接收透過該等數個串列路徑被傳送之串列，該第一時鐘信號具有與該核心時鐘信號相同的頻率及實質相同的相位；以及將用每一波道電路所接收之資料以來自該等數個時鐘信號之一第二時鐘信號的時鐘率由平行轉換為一串列資料流。

本發明之實施例的更完整了解以及其額外優點的實現可利用考慮下列一個以上之實施例的詳細描述而對熟習本技藝者將為有能力做到的。首先參照將被簡要描述之附圖。

第 1 圖顯示一方塊圖，說明依照本發明一實施例用於產生及同步化多個時鐘之系統。

第 2 圖顯示一方塊圖，說明依照本發明一第二實施例用於產生及同步化多個時鐘之系統。

第 3 圖顯示第 1 與 2 圖之系統一部分的釋例電路圖。

第 4 圖顯示第 1 圖之系統一部分的釋例鎖相迴路電路圖。

第 5 圖顯示第 1 與 2 圖之系統另一部分的釋例鎖相迴路電路圖。

第 6 圖顯示在第 1 圖中所定出之各種信號波形的釋例時間圖。

本發明之較佳實施例與其優點由參照下列的詳細描述被最佳地了解。其應被了解在圖中相同的元件編號被用以表明相同的元件。

第 1 圖顯示一方塊圖，說明依照本發明一實施例用於產生及同步化多個時鐘之系統 100。系統 100 包括一核心

五、發明說明（4）

鎖相迴路(PLL)102、一核心電路 104、一傳輸 PLL 122、與波道電路 124。

系統 100 透過一基準時鐘線路 112 接收一基準時鐘信號。基準時鐘線路 112 分別透過配對線路 114 與 116 提供該基準時鐘信號至核心 PLL 102 與傳輸 PLL 122。因此如下面進一步詳細解釋者，核心 PLL 102 與傳輸 PLL 122 均接收具有相同頻率與實質相同相位之基準時鐘信號。

該核心時鐘信號透過配對線路 114 接收一基準時鐘信號並透過一核心時鐘線路 108 提供核心時鐘信號至核心電路 104。一時鐘分配電路 106 被分配至核心電路 104，其具有暫存器 136 用於暫存及提供核心資料至波道電路 124。核心電路 104 與時鐘分配電路 106 如第 1 圖顯示地可具有變化的尺寸，而以核心電路 104 產生該核心資料並透過以核心資料線路 118 與 120 為例之多重(即並聯)資料路徑傳輸該資料至波道電路 124。

傳輸 PLL 122 透過配對線路 116 接收該基準時鐘信號及透過一串列時鐘線路 126(第 1 圖以 F1 標示)提供一串列(即串列位元率)時鐘信號至每一波道電路 124。傳輸 PLL 122 亦透過一第一子率時鐘線路 128(第 1 圖標示為 F2)提供一第一子率時鐘信號及透過一第二子率時鐘線路 130(第 1 圖標示為 F10)提供一第二子率時鐘信號。例如，該第一子率時鐘信號為該串列時鐘信號之頻率的一半，而該第二子率時鐘信號為十分之一，其在波道電路 124 之串列位元流或位元率頻率操作。其應被了解該等第一與第二子率時鐘

五、發明說明（5）

信號為釋例性的，且具有變化工作週期之各種同步化時鐘信號可被傳輸 PLL 122 提供。

在第 1 圖分別以 124(1)，124(2)，...，124(N)標示之波道電路 124 代表數個波道，其接收被核心電路 104 產生之核心資料。該核心資料自核心電路 104 中之暫存器 136 被傳送至波道電路 124 中對應的暫存器 138。例如波道電路 124 每一個包括一串列器(在第 1 圖中未畫出，但在下面進一步詳細地被描述)，其藉由運用該串列時鐘信號以及傳輸 PLL 122 所提供之第一與第二子率時鐘信號將核心資料(如平行地傳送之多重位元的格式，即位元組)轉換為串列位元流。具有該串列時鐘信號率之該串列位元流被提供作為在對應的串列輸出線路 134 上每一波道電路 124 之輸出信號。或者，波道電路 124 可代表接收被傳輸 PLL 122 提供之核心資料與各種時鐘信號型式之電路。

一般而言，傳輸 PLL 122 之頻率與相位鎖定至該基準時鐘信號以產生較高速度之傳輸時鐘(即串列時鐘信號、第一子率時鐘信號與第二子率時鐘信號)。屬於速度最快之串列時鐘信號透過可加以控制而降低偏斜之串列時鐘線路 126 被分配至每一波道電路 124。例如，串列時鐘線路 126 可被共振以達成通過波道電路 124 之非常低的偏斜，例如在串列時鐘線路 126 端部以配好之反應負荷將之截止。

被傳輸 PLL 122 產生之該第一子率時鐘信號序列地被分配至每一波道電路 124 並被串列時鐘信號重新計時。例如，該第一子率時鐘信號係經由暫存器對暫存器傳送自一

五、發明說明（6）

波道電路 124 被傳送至下一個波道電路 124，被串列時鐘信號重新計時。因而，在每一波道電路 124 中該第一子率時鐘信號之相位在彼此比較及針對串列時鐘信號之相位而言實質上是相同的。

5 如上述該第一子率時鐘信號用之波道電路間的時鐘信號之暫存器對暫存器傳送在此處稱之為將時鐘作成「雛菊鏈」。藉由將時鐘作成「雛菊鏈」，該時鐘信號由一時鐘線路向下一個串列地被分配，此降低相關的負荷與時間需求。此外，其亦消除在每一波道電路 124 對分開的除法器
10 電路以將串列時鐘信號分割或降低的需求，否則會有相位未知之經分割後的時鐘信號之結果。

該第一子率時鐘信號用之暫存器對暫存器傳送在第 1 圖中被顯示。例如，在第一子率時鐘線路 128 上被傳輸 PLL 122 提供之第一子率時鐘信號被波道電路 124(1)內之暫存器 132 接收。暫存器 132 被串列時鐘信號定出時鐘，所利用的為被提供至波道電路 124(2)內之暫存器 132 的輸出。
15 類似地，波道電路 124(2)內之暫存器 132 被串列時鐘信號定出時鐘，所利用的為被提供至下一個波道電路 124 之暫存器 132 的輸出。此過程被重複使得第一子率時鐘信號之鎖相迴路電路在所有波道電路 124 發生為止。
20

傳輸 PLL 122 所產生之第二子率時鐘信號可直接或如上面就該第一子率時鐘信號解釋地被分配至每一波道電路 124。例如，該第二子率時鐘信號可被其要求以該第一子率時鐘信號頻率作暫存器對暫存器傳送之局部性第一子率時

五、發明說明（7）

鐘信號重新計時(其如上面解釋地被該串列時鐘信號重新計時)。因而，該第二子率時鐘信號可由一波道電路 124 至下一個波道電路 124 或由一組波道電路 124 至下一組波道電路 124 被作成「離菊鏈」。

5 暫存器對暫存器傳送例如可在每三個波道電路 124 之間隔發生。後果為，該第二子率時鐘信號被提供至所有的波道電路 124，但暫存器對暫存器傳送在波道電路 124(3)，波道電路 124(6)，...等發生。

10 核心電路 104 以比串列時鐘信號速度低之頻率時鐘(即核心時鐘信號之頻率)產生核心資料之平行資料流。一般而言，其欲於波道電路 124 之與時鐘信號(即第二子率時鐘信號)有關的偏斜針對與核心時鐘信號有關的偏斜被控制。此有很多方法被完成。

15 如第 1 圖顯示之例，就大的時鐘樹(在核電路中大的時鐘分配電路 106)而言，偏斜藉由運用核心 PLL 102 有效地補償。就中繼傳輸而言，在核電路 104 之輸出暫存核心資料(即為暫存器 136 之核心資料輸出定時鐘)的核心時鐘信號與在波道電路 124 內暫存資料之波道電路 124 中的時鐘信號(如在暫存器 138 內為核心電路定時鐘之該第二子率時鐘信號)間需有預先定義的數個關係。

20 核心 PLL 102 與傳輸 PLL 122 間之預先定義的數個關係為基準時鐘信號分別透過配對線路 114 與 116 起始地被提供。結果為核心 PLL 102 與傳輸 PLL 122 接收具有相同頻率與實質相同相位之對應的基準信號。

五、發明說明（8）

核心 PLL 102 驅動時鐘分配電路 106，其分配具有適當的時機與驅動位準之核心時鐘信號至運用該核心時鐘信號之核心電路 104(即積體電路之核心邏輯器)內所有的電路。核心 PLL 102 亦監測時鐘分配電路 106 內之核心時鐘信號(即監聽核心時鐘信號之版本)，其具有之相位代表將核心資料暫存於波道電路 124 內之相位。

例如，核心時鐘回饋線路 110 在第 1 圖中被顯示耦合於暫存器 136 附近的時鐘分配電路 106。核心時鐘回饋線路 110 為核心時鐘信號提供至核心 PLL 102 的回饋路徑以讓核心 PLL 102 比較核心時鐘信號與基準時鐘信號。核心時鐘信號至核心 PLL 102 之回饋允許核心 PLL 102 透過時鐘分配電路 106 藉由主動地經由核心時鐘線路 108 調整其核心時鐘信號來補償延遲。

進而言之，被用於將核心資料暫存至波道電路 124 內的基準時鐘信號與核心時鐘信號間之相位關係將與如溫度、電壓、處理或製造變異等之變數獨立無關。因而，核心 PLL 102 監控核心時鐘信號並補償一般會透過時鐘分配電路 106 改變核心時鐘信號之延遲或時機的變數。

核心 PLL 102 確保核心時鐘信號之相位與基準時鐘信號對齊，且如上述地最終與該等時鐘信號(即傳輸 PLL 122 所產生之串列時鐘信號、第一子率時鐘信號與第二子率時鐘信號)對齊。例如第 1 圖顯示者，該第二子率時鐘信號在暫存器 138 內為核心資料定時鐘，而核心時鐘信號為出自對應的暫存器 136 之核心資料定時鐘。由於分別產生核心

五、發明說明（9）

時鐘信號與第二子率時鐘信號之核心 PLL 102 與傳輸 PLL 122 被鎖定於基準時鐘信號之頻率與相位，該核心時鐘信號與該第二子率時鐘信號的頻率與實質相位相同。

若時鐘分配電路 106 為非大範圍的，則不需要核心 PLL 102。核心 PLL 102 確保核心時鐘信號之相位實質地與第二子率時鐘信號相同。若核心時鐘樹(即時鐘分配電路 106)被控制，使得延遲為已知且有界限的，則以不需核心 PLL 102 地操作為可能的。例如，核心時鐘信號與第二子率時鐘信號之偏斜就較小的時鐘樹可受到界限以允許核心資料以核心時鐘信號率自核心電路 104 之暫存器對暫存器傳送至以第二子率時鐘信號率之波道電路 124。因而，核心時鐘信號之偏斜在時鐘樹或時鐘分配電路 106 末端之核心資料被定時鐘處(即在暫存器 136)必須小核心地被控制。

第 2 圖顯示一方塊圖，說明依照本發明一第二實施例用於產生及同步化多個時鐘之系統 200。系統 200 包括一核心電路 204、一時鐘分配電路 206、與一傳輸 PLL 222。系統 200 類似於上述的系統 100，但不同處為說明不需核心 PLL 102 地產生及同步化多個時鐘之系統。

傳輸 PLL 222 自基準時鐘線路 112 接收基準時鐘信號並產生串列時鐘信號(F1)、第一子率時鐘信號(F2)、與第二子率時鐘信號(F10)。由於系統 200 未具有核心 PLL，配對線路 114 與 116 為不需要的，且傳輸 PLL 222 透過核心時鐘線路 208 提供該第二子率時鐘信號至核心電路 204。

核心時鐘線路 208 被耦合至核心電路 204 內之時鐘分

五、發明說明（10）

配電路 206。時鐘分配電路 206 不像時鐘分配電路 106(在上面參照第 1 圖被討論)般地範圍廣泛。所以，第二子率時鐘信號之偏斜(即核心電路 204 之核心時鐘信號)充分地受到界限以允許核心資料自核心電路 204 至波道電路 124 的暫存器對暫存器傳送。

第 3 圖顯示波道電路 124(如波道電路 124(1))之釋例性電路圖 300。電路圖 300 包括暫存器 302, 304, 306 與 310、一多工器 308、與一驅動器 312。暫存器 302 接收該核心資料(如在釋例性之核心資料線路 118 上被傳輸)並提供該核心資料至多工器，而用該第二子率時鐘信號(F10)在暫存器 302 內為該核心資料定時鐘。該核心資料藉由使用該第一子率時鐘信號(F2)自多工器 308 向外定出時鐘

出自多工器 308 被定出時鐘之核心資料被暫存器 310 重新計時，其時鐘被串列時鐘信號(F1)控制。驅動器 312 驅動核心資料，其現在由多位元平行資料流(如 10 位元)被定格式為串列輸出線路 134 上之串列資料流。

其應被了解核心資料線路 118 以平行的方式在被耦合於核心資料線路 118(如第 1 圖顯示者)的對應暫存器 136 與 138 間傳送多個位元。例如，若該核心資料被產生成為 10 位元之句組，則核心資料線路 118 代表 10 條串聯線路用於傳送核心資料之每一句組作為自核心電路 104 之 10 個暫存器 136 至波道電路 124(1)之 10 個對應的暫存器 138 之 10 個平行位元。參照第 3 圖並繼續該例，暫存器 302 代表 10 個暫存器之排組，每一個對應於核心資料線路 118

五、發明說明（11）

之 10 條串聯線路之一。每一暫存器被該第二子率時鐘信號定出時鐘並提供該輸出信號至多工器 308 之對應的輸入接頭。

如第 3 圖顯示者，第一子率時鐘信號(F2)同時使用暫存器 304 與 306 被串列時鐘信號(F1)重新計時。暫存器 304 之輸出信號被提供至多工器 308，而暫存器 306 之輸出信號被提供至下一個波道電路 124(如 124(2))。暫存器 306 圖示該第一子率時鐘信號之雛菊鏈方法或暫存器對暫存器傳送。暫存器 304 與 306 可被暫存器 132 如第 1 圖顯示地被交替取代，而以暫存器 132 之輸出信號被提供至多工器 308(在目前的波道電路 124)，也被提供至下一個波道電路 124 之暫存器 132。

第 4 圖顯示第 1 圖之核心 PLL 102 用的釋例性鎖相迴路電路圖 400。PLL 電路圖 400 包括一相位偵測器 402、一迴路濾波器 404(如低通濾波器)、及一電壓控制振盪器(VCO)406。PLL 電路圖 400 在一輸入接頭 408(第 4 圖中標示為 IN)接收一基準信號及在一輸入接頭 412 接收一回饋信號，並在一輸出接頭 410(第 4 圖中標示為 OUT)提供一輸出信號。

相位偵測器 402(即定時偵測器)比較在輸入接頭 408 之基準信號(或諧波或副諧波)的相位與在輸出接頭 410 之輸出信號(或諧波或副諧波)或自該輸出信號被導出之信號(其在輸入接頭 412 被提供)的相位。根據此比較，相位偵測器 402 以及迴路濾波器 404 控制來自 VCO 406 之輸出信

五、發明說明（12）

號的頻率與相位，以取得被提供至相位偵測器 402 的二輸入信號(即基準信號與回饋信號)間所欲的相位關係。

例如，若 PLL 電路圖 400 將被替代作為第 1 圖中之核心 PLL 102，透過配對線路 114 被提供之基準時鐘信號將在輸入接頭 408 被接收。核心時鐘信號將透過輸出接頭 410 與核心時鐘線路 108 被提供至時鐘分配電路 106。核心時鐘回饋線路 110 將耦合至輸入接頭 412 以提供來自時鐘分配電路 106 之核心時鐘信號的回饋版本。然後相位偵測器會比較該核心時鐘信號的回饋版本與基準時鐘信號以調整 VCO 406 並如此處討論地透過時鐘分配電路 106 補償延遲。

第 5 圖顯示分別用於第 1 圖與第 2 圖之傳輸 PLL 122 或傳輸 PLL 222 的釋例性鎖相迴路電路圖 500。PLL 電路圖 500 包括一相位偵測器 502、一迴路濾波器 504(如一低通濾波器)、一 VCO 506、一第一除法器 508、與一第二除法器 510。PLL 電路圖 500 透過一回饋路徑 520 在輸入接頭 512(在第 5 圖中標示為 IN)接收一基準信號與一回饋信號，並在一輸出接頭 514(標示為 F1)提供一第一輸出信號、一輸出接頭 516(標示為 F2)提供一第二輸出信號、及一輸出接頭 518(標示為 F10)提供一第三輸出信號。

PLL 電路圖 500 的功能類似上述的 PLL 電路圖 400，但包括第一與第二除法器 508 與 510。第一除法器 508 將第一輸出信號除以二，其再進一步被第二除法器 510 除以五，使得第三輸出信號的頻率為第一輸出信號的十分之

五、發明說明（13）

一。第一與第二除法器 508 與 510 在輸入接頭 512 用 VCO 506 亦產生高階諧波之基準信號。

如上述者，PLL 電路圖 500 為傳輸 PLL 122 或傳輸 PLL 222 的釋例性電路圖。例如，若 PLL 電路圖 500 將在第 1 圖中取代傳輸 PLL 122，透過配對線路 116 被提供之基準時鐘信號將在輸入接頭 512 被接收。該等串列時鐘信號、第一子率時鐘信號與第二子率時鐘信號將分別對應於該等第一輸出信號、第二輸出信號與第三輸出信號。

第 6 圖顯示在第 1 圖被辨識之各種信號波形的釋例性時間圖 600。信號波形 602(在第 6 圖中標示為 F1)、604(標示為 F2)、606(標示為 F10)、608(標示為核心 clk)與 610(標示為 ref clk)分別對應於串列時鐘信號、第一子率時鐘信號、第二子率時鐘信號、核心時鐘信號、與基準時鐘信號。一般而言，時間圖 600 顯示時鐘信號之相關的相位與頻率。

傳輸 PLL 122 與包括有時鐘分配電路 106、串列時鐘線路 126、第一子率時鐘線路 128、第二子率時時鐘線路 130 之時鐘分配系統形成一時鐘同步化系統，其可依時鐘分配電路 106 之規格包括核心 PLL 102。該時鐘同步化系統透過多重波道提供來自已知電路之資料的同步化傳輸。如此處被解釋者，在每一波道(即波道電路 124)中之每一時鐘具有相同的相位關係且將與溫度、電壓與製作變異獨立無關。因而，在每一波道之串列流具有非常低的偏斜。進而言之，由於包括核心時鐘信號之時鐘的所有相位關係均為定義完備的，該系統之絕對延遲為定義完備的。

五、發明說明（14）

上述的實施例為說明性但不限制本發明。其亦能將被了解很多修改與變化依照本發明之原理為可能的。因之，本發明之領域僅如下列申請專利範圍地被定義。

元 件 標 號 對 照 表

元件編號	譯 名	元件編號	譯 名
100	系 統	104	核 心 電 路
102	核 心 鎖 相 迴 路 (PLL)	106	時 鐘 分 配 電 路
108	核 心 時 鐘 線 路	206	時 鐘 分 配 電 路
110	核 心 時 鐘 線 路	208	核 心 時 鐘 線 路
112	基 準 時 鐘 線 路	222	傳 輸 PLL
114	配 對 線 路	300	電 路 圖
116	配 對 線 路	302	暫 存 器
118	核 心 資 料 線 路	304	暫 存 器
120	核 心 資 料 線 路	306	暫 存 器
122	傳 輸 PLL	308	多 工 器
124	波 道 電 路	310	暫 存 器
124(1)	波 道	312	驅 動 器
124(2)	波 道	400	鎖 相 迴 路 電 路 圖
⋮	⋮	402	相 位 偵 測 器
⋮	⋮	404	迴 路 濾 波 器
124(N)	波 道	406	電 壓 控 制 振 盪 器, VCO
126	串 列 時 鐘 線 路	408	輸 入 接 頭
128	第 一 子 率 時 鐘 線 路		

五、發明說明（15）

130	第二子率時鐘線路	410	輸出接頭
132	暫存器	412	輸入接頭
134	串列輸出線路	500	鎖相迴路電路圖
136	暫存器	502	相位偵測器
138	暫存器	504	迴路濾波器
200	系統	506	VCO 電路
204	核心電路	508	第一除法器
510	第二除法器		
512	輸入接頭		
514	輸出接頭		
516	輸出接頭		
518	輸出接頭		
520	回饋路徑		
600	時間圖		
602	信號波形		
604	信號波形		
606	信號波形		
608	信號波形		
610	信號波形		

四、中文發明摘要（發明之名稱：用以產生多個時鐘及使之同步化的方法與裝置

用以產生多個時鐘及使之同步化的方法與裝置在此被揭示，其在通過多個波道時具有極端低的偏斜與最小且定義完備的延遲。一鎖相迴路電路產生數個時鐘信號以使接收核心資料流之波道電路同步化。該等波道電路將核心資料流轉換為串列資料流。該鎖相迴路電路或另一鎖相迴路電路為該核心資料流至該等波道電路之已註冊的傳送產生一核心時鐘信號。該等數個時鐘信號有一個以上可被暫存器對暫存器傳送分配至該等波道電路。

英文發明摘要（發明之名稱：METHOD AND APPARATUS FOR GENERATING AND SYNCHRONIZING MULTIPLE CLOCKS)

Methods and systems for generating and synchronizing multiple clocks are disclosed herein that have extremely low skew across multiple channels and latency that is both minimal and well-defined. A phase-locked loop circuit generates a plurality of clock signals to synchronize channel circuits that receive core data streams. The channel circuits convert the core data streams into serial data streams. The phase-locked loop circuit or another phase-locked loop circuit generates a core clock signal for the registered transfer of the core data streams to the channel circuits. One or more of the plurality of clock signals may be distributed to the channel circuits by a register-to-register transfer.

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

六、申請專利範圍

1.一種用於使數個資料波道同步化之系統，該系統包含：

一核心電路，具有一時鐘分配電路，該核心電路在該時鐘分配電路所承載之核心時鐘信號的頻率提供數個資料流；

一第一鎖相迴路電路產生數個時鐘信號，其中來自該等數個時鐘信號之一第一時鐘信號具有與被時鐘分配電路之核心時鐘信號相同的頻率及實質相同的相位；以及

數個波道電路被耦合於該核心電路與該第一鎖相迴路電路，以該等波道電路將在該第一時鐘信號之頻率被接收的數個資料流變換為來自該等數個時鐘信號之一第二時鐘信號的頻率之數個串列資料流。

2.如申請專利範圍第1項所述之系統，進一步包含一第二鎖相迴路電路被耦合於該核心電路，該第二鎖相迴路電路產生該核心時鐘信號並提供該核心時鐘信號至該時鐘分配電路。

3.如申請專利範圍第2項所述之系統，其中該第二鎖相迴路電路自該時鐘分配電路接收該核心時鐘信號之抽樣後的版本以補償與該時鐘分配電路有關的時間差異。

4.如申請專利範圍第2項所述之系統，其中該等第一鎖相迴路電路與第二鎖相迴路電路透過配對線路接收一基準信號，其被用作為頻率與相位基準。

5.如申請專利範圍第1項所述之系統，其中一預設相位關係存在於該時鐘分配電路所負載之數個時鐘信號與核心時

六、申請專利範圍

鐘信號間。

6.如申請專利範圍第1項所述之系統，其中該第二時鐘信號在對每一該等數個波道電路具有最小偏斜之信號線路上被分配。

5 7.如申請專利範圍第1項所述之系統，其中該等數個時鐘信號至少之一經由暫存器對暫存器傳送被分配到至少某些數個波道電路。

8.如申請專利範圍第7項所述之系統，其中每一暫存器被該第二時鐘信號定出時鐘。

10 9.如申請專利範圍第1項所述之系統，其中該第一鎖相迴路電路被耦合至該核心電路，該第一鎖相迴路電路提供該核時鐘信號至該時鐘分配電路。

10.一種用於使數個資料波道同步化的方法，該方法包含：

接收一基準時鐘信號；

15 根據該基準時鐘信號產生數個時鐘信號並自該等數個時鐘信號提供一核心時鐘信號至一核心電路，其中資料透過數個資料路徑以該時鐘信號之時鐘率自該核心電路被傳送；

20 利用對應的波道電路以來自該等數個時鐘信號之一第一時鐘信號的時鐘率接收透過該等數個串列路徑被傳送之串列，該第一時鐘信號具有與該核心時鐘信號相同的頻率及實質相同的相位；以及

將用每一波道電路所接收之資料以來自該等數個時鐘信號之一第二時鐘信號的時鐘率由平行轉換為一串列資料流。

六、申請專利範圍

11.如申請專利範圍第10項所述之方法，其中該等數個時鐘信號以彼此及相對於該基準時鐘信號的預設頻率與相位關係被產生。

12.如申請專利範圍第10項所述之方法，進一步包含對核心電路內之核心時鐘信號的版本抽樣及調整該核心時鐘信號之相位以補償該核心電路內的時間變異。

13.如申請專利範圍第10項所述之方法，進一步包含控制該第二時鐘信號對每一波道電路之分配以使偏斜最小化。

14.如申請專利範圍第10項所述之方法，進一步包含利用暫存器對暫存器傳送分配該等數個時鐘信號至少之一到每一波道電路。

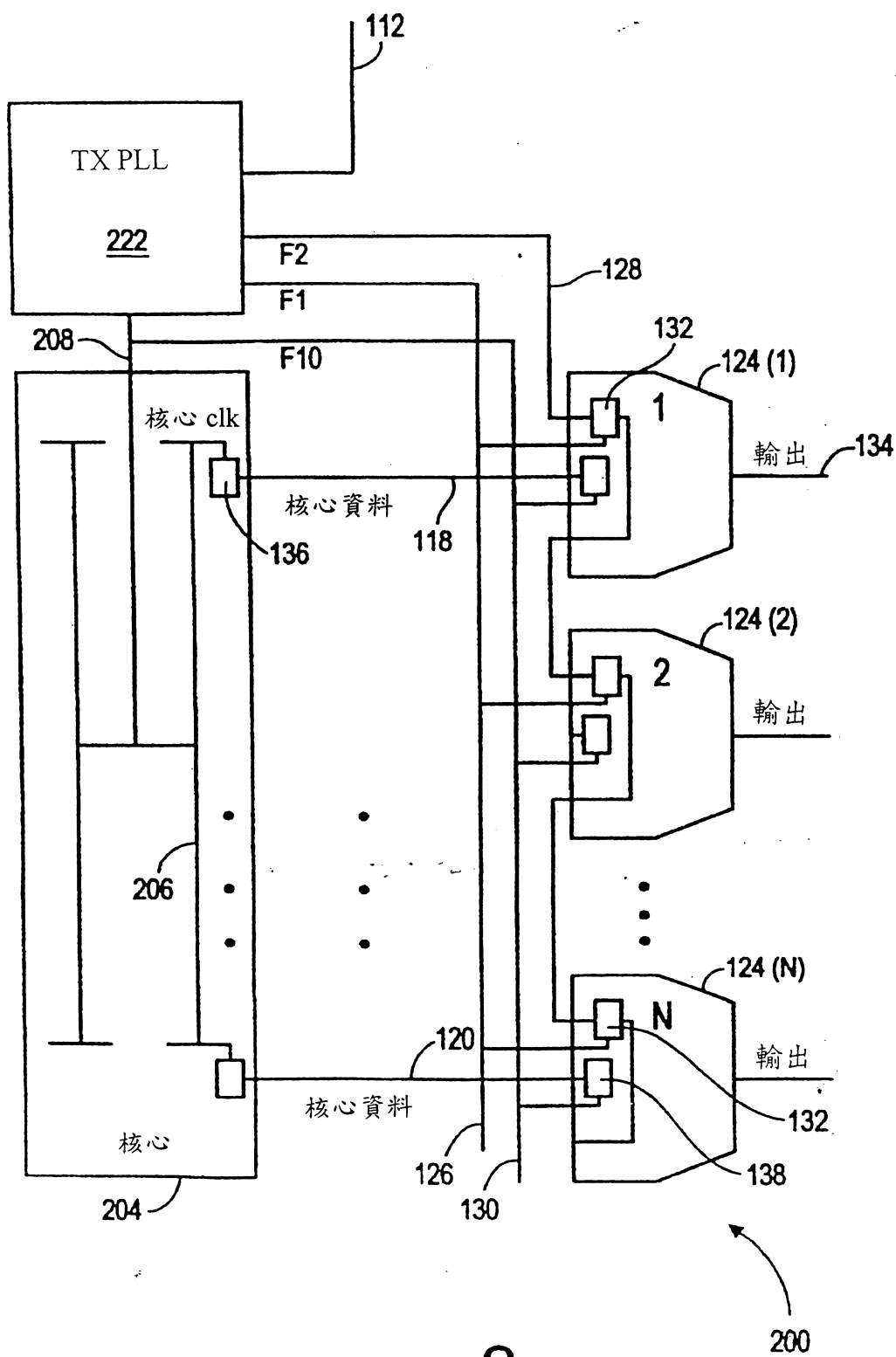
15.如申請專利範圍第14項所述之方法，其中每一該等暫存器被該第二時鐘信號定出時鐘。

16.一種用於使數個資料波道同步化之系統，包含：

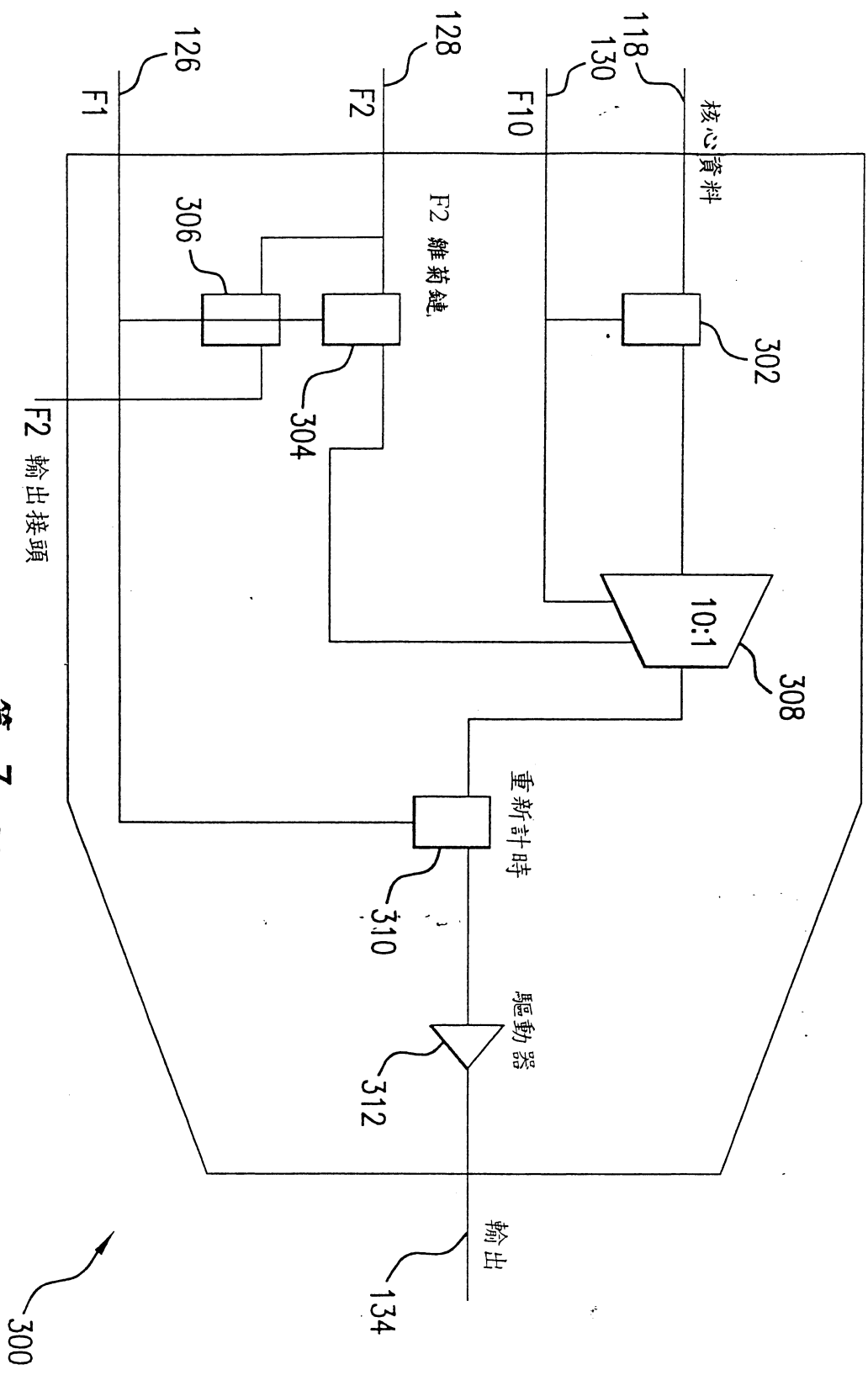
一第一鎖相迴路電路產生數個時鐘信號，包括一第一時鐘信號；以及

數個波道電路被耦合於該第一鎖相迴路電路，其每一個自一核心電路以具有與該第一時鐘信號相同的產生與實質相同的相位之核心時鐘信號的頻率接收一資料流，其中該等數個時鐘信號至少之一經由暫存器對暫存器傳送被分配到至少某些數個波道電路。

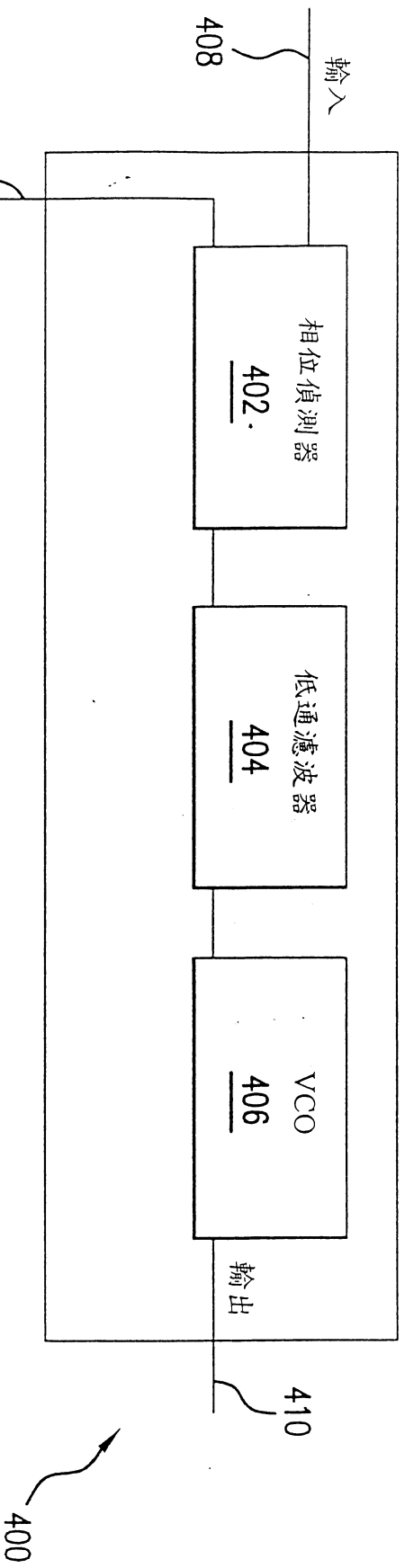
17.如申請專利範圍第16項所述之系統，其中該暫存器對暫存器傳送以來自該等數個時鐘信號之一第二時鐘信號的頻率發生。



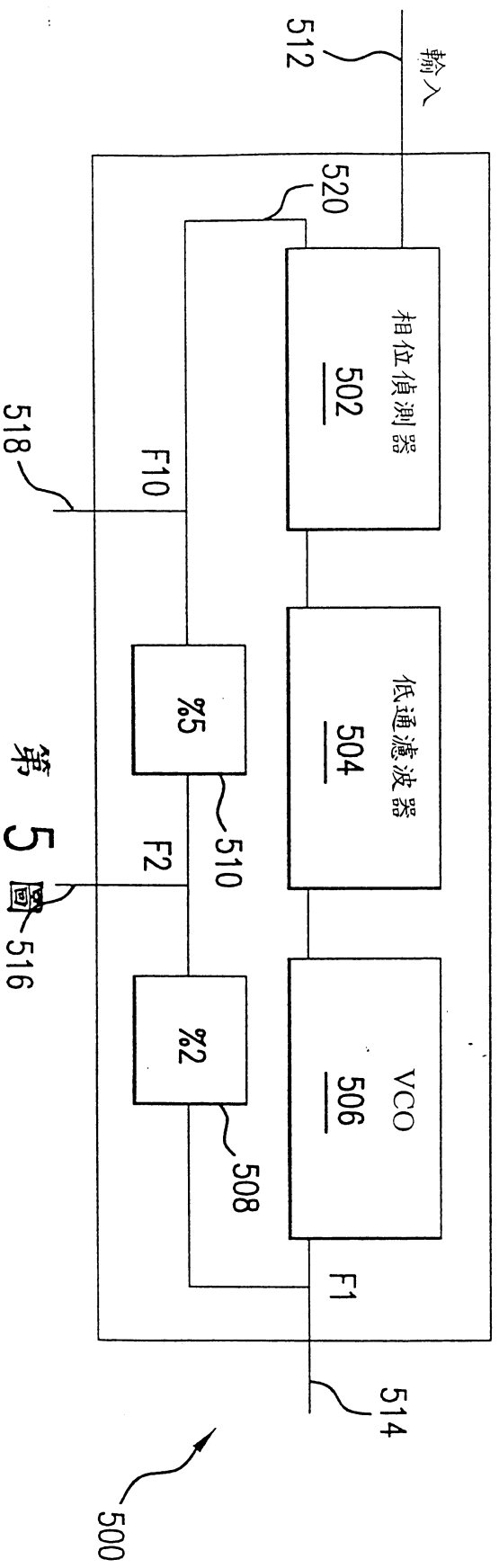
第 2 圖



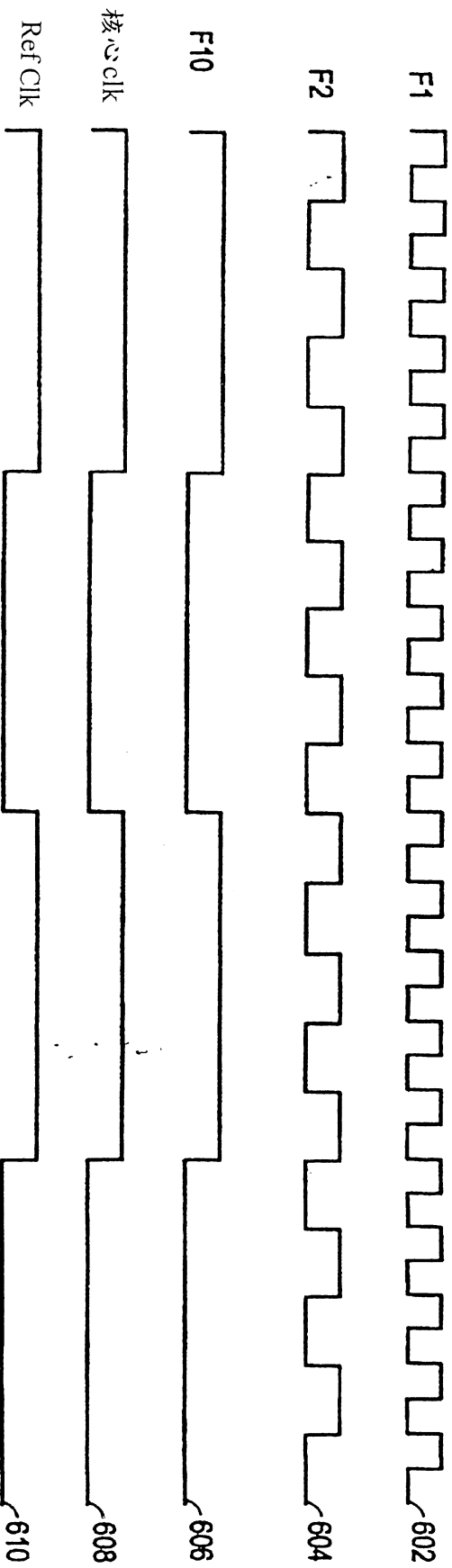
第 3 圖



第 4 圖



第 5 圖



第 6 圖

申請日期	91.5.21
案 號	91110677
類 別	G04G 7/00

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中 文	用以產生多個時鐘及使之同步化的方法與裝置
	英 文	METHOD AND APPARATUS FOR GENERATING AND SYNCHRONIZING MULTIPLE CLOCKS
二、發明人	姓 名	(1)查爾斯 L. 王 Charles L. Wang (2)班尼 W.H. 賴 Benny W.H. Lai (3)查爾斯 E. 摩爾 Charles E. Moore (4)菲利浦 W. 費雪 Phillip W. Fisher
	國 籍	美 國 U.S.A.
三、申請人	住、居所	(1)美國加州聖約瑟·馬汀朱街1717號 1717 Martin Jue Street, San Jose, CA, U.S.A. (2)美國加州弗瑞蒙特·蓋林多道47305號 47305 Gallindo Drive, Fremont, CA, U.S.A. (3)美國科羅拉多州洛芙蘭·西第10街425號 425 West 10 th Street, Loveland, CO, U.S.A. (4)美國科羅拉多州福特柯林斯·奈巴克巷4900號 4900 Ninebark Court, Fort Collins, CO, U.S.A.
	姓 名 (名稱)	美商·安捷倫科技公司 Agilent Technologies Inc.
	國 籍	美 國 USA
	住、居所 (事務所)	美國加州帕羅亞托·佩吉密爾路395號 395 Page Mill Road, Palo Alto, CA, USA
	代 表 人 姓 名	瑪利 O. 休柏 Marie Oh Huber

煩請委員會指示
修正本有無變更實質內容是否准予修正。
年 月 日所提之

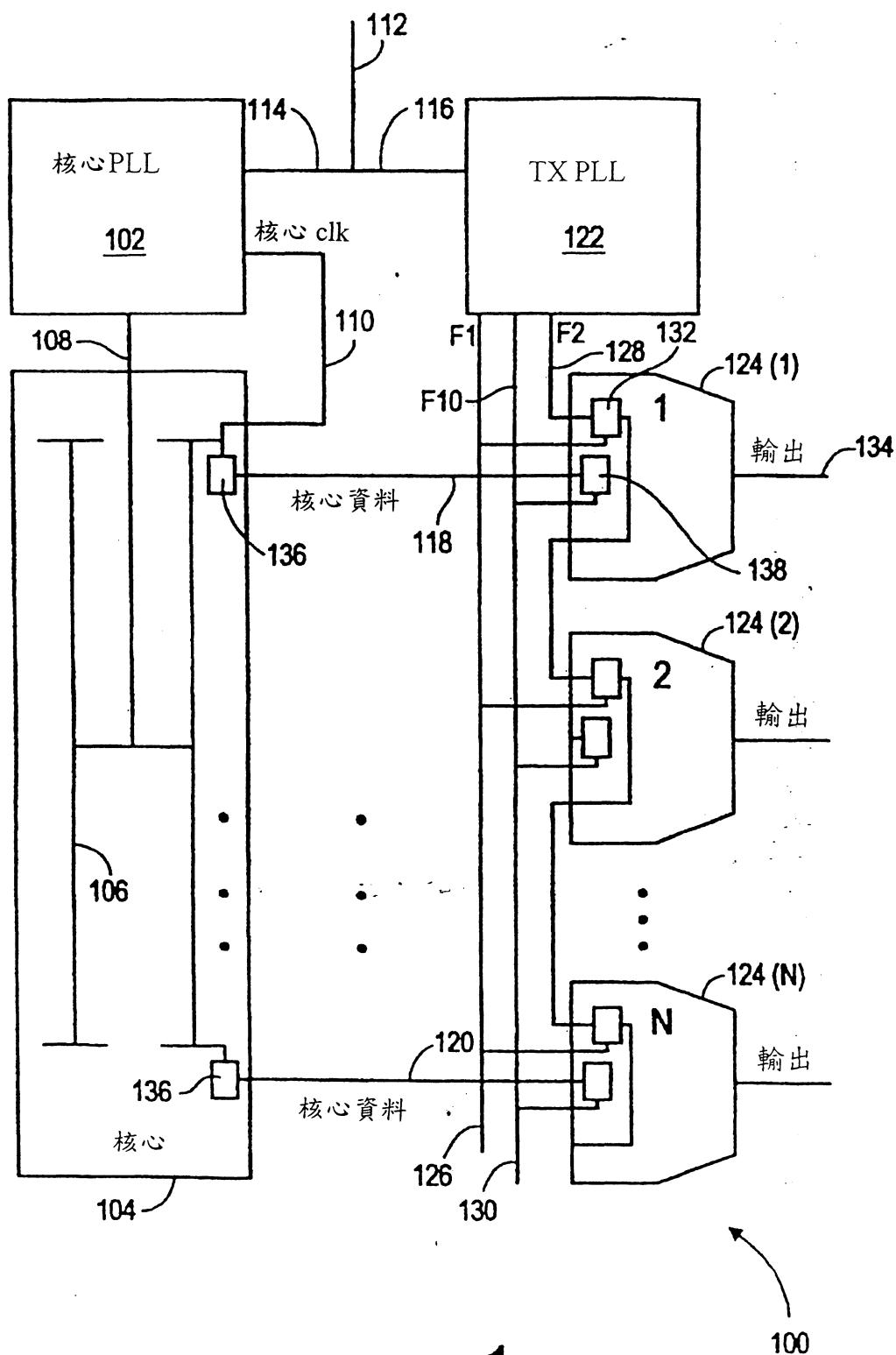
裝

訂

線

修正
92.11.7 補充

煩請委員明示
修正本有無變更實質內容是否准予修正。
年 月 日所提之



第 1 圖