

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第6216229号  
(P6216229)

(45) 発行日 平成29年10月18日(2017.10.18)

(24) 登録日 平成29年9月29日(2017.9.29)

(51) Int.Cl.

F 1

H04N 5/378 (2011.01)

H04N 5/378

H04N 5/357 (2011.01)

H04N 5/357

(21) 出願番号

特願2013-240256 (P2013-240256)

(22) 出願日

平成25年11月20日 (2013.11.20)

(65) 公開番号

特開2015-100092 (P2015-100092A)

(43) 公開日

平成27年5月28日 (2015.5.28)

審査請求日

平成28年11月21日 (2016.11.21)

(73) 特許権者 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(74) 代理人 100076428

弁理士 大塚 康徳

(74) 代理人 100112508

弁理士 高柳 司郎

(74) 代理人 100115071

弁理士 大塚 康弘

(74) 代理人 100116894

弁理士 木村 秀二

(74) 代理人 100130409

弁理士 下山 治

(74) 代理人 100134175

弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】撮像素子及び撮像システム

## (57) 【特許請求の範囲】

## 【請求項1】

複数の画素が行列状に配置された画素部と、

前記列ごとに設けられ、前記画素部から出力される画素信号をAD変換してデジタルデータを出力するAD変換回路であって、前記画素信号と基準信号とを比較する比較器を有するAD変換回路と、

基準クロックをカウントしてカウント信号を発生するカウンタ回路と誤り訂正符号の生成ルールに基づいて前記カウント信号から前記デジタルデータを訂正するための冗長データを生成する冗長データ生成部とを備えるカウント信号発生器と、

前記比較器からの出力信号に応じて、前記冗長データと前記デジタルデータとして前記カウント信号とを格納するメモリと、を備えることを特徴とする撮像素子。

## 【請求項2】

前記デジタルデータと前記冗長データとを出力することを特徴とする請求項1に記載の撮像素子。

## 【請求項3】

前記デジタルデータはグレイコードであって、前記冗長データ生成部は前記グレイコードに対して誤り訂正符号の生成ルールに基づく冗長データを生成することを特徴とする請求項1又は2に記載の撮像素子。

## 【請求項4】

前記デジタルデータは複数のブロックに分割され、前記冗長データ生成部は、複数のブロックごとに誤り訂正符号の生成ルールに基づく冗長データを生成することを特徴とする、請求項 1 乃至 3 のいずれか 1 項に記載の撮像素子。

【請求項 5】

前記冗長データ生成部は、前記デジタルデータを構成する複数のビットのうち、少なくとも最下位ビットを除くビットについてのみ冗長データを生成することを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の撮像素子。

【請求項 6】

前記誤り訂正符号はBCH符号であることを特徴とする、請求項 1 乃至 5 のいずれか 1 項に記載の撮像素子。

10

【請求項 7】

前記誤り訂正符号はハミング符号であることを特徴とする、請求項 1 乃至 5 のいずれか 1 項に記載の撮像素子。

【請求項 8】

前記誤り訂正符号はリードソロモン符号であることを特徴とする、請求項 1 乃至 5 のいずれか 1 項に記載の撮像素子。

【請求項 9】

前記比較器は前記基準クロックに同期して動作することを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の撮像素子。

【請求項 10】

20

前記カウンタ回路は、前記カウント信号をグレイコードとして出力することを特徴とする請求項 9 に記載の撮像素子。

【請求項 11】

請求項 1 乃至 10 のいずれか 1 項に記載の撮像素子からの出力を処理するデジタル信号処理部を備え、前記デジタル信号処理部は、前記出力を前記誤り訂正符号の復号ルールに基づいて誤り訂正することを特徴とする撮像素子。

【請求項 12】

請求項 1 乃至 11 に記載の撮像素子と、前記撮像素子へ光を結像する光学系と、前記撮像素子からの出力信号を処理する画像信号処理部とを有することを特徴とする撮像システム。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明はAD変換回路を搭載した撮像素子及び撮像システムに関する。

【背景技術】

【0002】

特許文献 1 には、AD変換回路を搭載したCMOSイメージセンサにおいて、データ保持部に不良ビットが発生した場合に、エラーを救済する技術が開示されている。

【先行技術文献】

【特許文献】

【0003】

40

【特許文献 1】特開2012-060334

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら上記の従来の技術においては、第 1 に、データ保持部の不良ビットを特定するために、通常に撮像する以外のタイミングでデータ保持部に対して特殊な駆動を実行していた。すなわち、検査のための操作を必要とした。

【0005】

第 2 に、不良ビットを特定するための駆動を行った時は正常であっても、その後に不良ビットが発生するとその不良を救済できなかった。たとえば、工場出荷時に 1 度のみ不良

50

ビットを特定するための駆動を行って不良ビットの情報を取得する場合、その後の経年劣化や電気的・物理的ダメージなどにより新たに不良ビットが発生したときにはエラーを救済できない。あるいは、電源投入時などあるタイミングで不良ビットを特定するための駆動を行って不良ビットに関する情報を取得する場合であっては、その後通常の撮像中に、温度依存を持つ不良ビットが発生したときにはエラーを救済できない。あるいは、ソフトエラーのように、ある時にだけ突発的に不良が発生する場合もエラーを救済できない。そこで本発明は、撮像を行っている際に、撮像素子内でデータに不良ビットが突発的に発生した場合でも、データ中の不良ビットを特定し、エラーを修復することができる撮像素子を提供することを目的とする。

**【課題を解決するための手段】**

10

**【0006】**

本発明の撮像素子は、複数の画素が行列状に配置された画素部と、前記列ごとに設けられ、前記画素部から出力される画素信号をAD変換してデジタルデータを出力するAD変換回路であって、前記画素信号と基準信号とを比較する比較器を有するAD変換回路と、基準クロックをカウントしてカウント信号を発生するカウンタ回路と誤り訂正符号の生成ルールに基づいて前記カウント信号から前記デジタルデータを訂正するための冗長データを生成する冗長データ生成部とを備えるカウント信号発生器と、前記比較器からの出力信号に応じて、前記冗長データと前記デジタルデータとして前記カウント信号とを格納するメモリと、を備えることを特徴とする。

**【発明の効果】**

20

**【0007】**

撮像を行っている際に、撮像素子内でデータに不良ビットが突発的に発生した場合でも、データ中の不良ビットを特定し、エラーを修復することができる撮像素子を提供する。

**【図面の簡単な説明】**

**【0008】**

**【図1】第1の実施例に係る撮像素子の構成図**

**【図2】第1の実施例に係る列AD変換回路の構成図**

**【図3】BCH(15,11)符号の復号化に係る誤りビットの対応表**

**【図4】第2の実施例に係る列AD変換回路の構成図**

**【図5】第3の実施例に係るカウント信号発生器の構成図**

30

**【図6】ハミング(7,4)符号の復号化に係る誤りビットの対応表**

**【図7】第4の実施例に係るカウント信号発生器の構成図**

**【図8】第5の実施例に係るRS符号の概念図**

**【図9】本発明の撮像素子を用いた撮像システムの構成図**

**【発明を実施するための形態】**

**【0009】**

(実施例1)

本発明の第1の実施例を、図1～図3を用いて説明する。図1は撮像素子の構成例である。撮像素子は、複数の画素が行列状に配置された画素部10、垂直走査回路11、列AD変換回路12、ランプ信号発生器13、カウント信号発生器14、水平読み出し回路15、水平走査回路16、デジタル信号処理部17を有する。列AD変換回路12は、比較器121、メモリ122を含む。比較器121の一方の入力に垂直走査回路11により選択された行の画素101から読み出されたアナログ信号が、列出力線102を介して入力され、もう一方の入力に基準信号が供給される。基準信号は、ランプ信号発生器13から出力された一定の傾斜で上昇するランプ信号である。本実施例では、比較器の出力は、ランプ信号の値がアナログ信号の値を上回ると反転するものとする。

40

**【0010】**

カウント信号発生器14には、基準クロックclockが供給されてカウンタ回路として動作するバイナリアップカウンタ141を有する。バイナリアップカウンタ141は、ランプ信号の時間に対する変化の開始と同期して基準クロックclockをカウントし、カウントした

50

値をカウント信号としてメモリ122に供給する。メモリ122は、比較器121の出力が反転したタイミングで、バイナリアップカウンタ141が発生するカウント信号を読み込んで、画素信号に対応するデジタルデータとして保持する。ここで、比較器121には、カウント信号発生器14に供給されているクロックと同じ基準クロックclockが供給されており、比較器出力の反転タイミングと、カウント信号の遷移タイミングとは同期が取れる構成となっている。水平読み出し回路15は、水平走査回路16の制御に従い、各列のメモリ122に保持されたデータを読み出して、デジタル信号処理部17に転送する出力回路である。デジタル信号処理部17は、転送されたデータに対して演算処理を行い、外部へデータを出力する。

## 【0011】

10

図2は、列AD変換回路12の構成例の詳細を示したものである。カウント信号発生器14は、メモリの不良ビットを検出して誤りを訂正できるようにするための冗長データを生成する冗長データ生成部142を有する。冗長データは、バイナリカウンタ141の出力する有効データであるカウント信号に対して、誤り訂正符号の生成ルールに基づき生成されるデータである。本実施例では、バイナリカウンタ141の出力するカウント信号の有効データのビット数をMとし、冗長データのビット数と合わせた合計のビット数をNとしている( $N > M$ )。したがって、カウント信号発生器14はNビットのデータを出力する。メモリ122は各列ごとに設けられており、有効データと冗長データの合計のNビット分のデータを格納するよう構成されている。水平読み出し回路15はメモリ122からNビットのデータを読み出してデジタル信号処理部17へ転送する出力回路である。デジタル信号処理部17は転送されたデータを元に、誤り訂正符号の復号ルールに従って、データに誤りがあるかどうかを検出し、誤りがある場合は誤り訂正を行ったうえで、有効データのMビットを撮像素子の外部に出力する。ここで、誤りの検出と誤り訂正是撮像素子内部で行わずに、有効データと冗長データの値をそのまま撮像素子の外部に出力し、撮像素子の外部の信号処理部で誤りの検出と誤り訂正を行ってもよい。ただしその場合、撮像素子の外部にNビット分の信号を出力する必要がある。 $N > M$ であるので、撮像素子内で誤り訂正を行ってから有効データを出力した方が、出力ビット数が少なくなるので有利である。

20

## 【0012】

本実施例では、誤り訂正符号として、BCH符号(15,11)を適用した例を示す。BCH符号(15,11)は、11ビットの有効データに対して4ビットの冗長データを付加し、計15ビットの信号で構成していることを表す。BCH符号(15,11)は、この15ビットのデータ中に誤りが1ビットのみ存在した場合は誤り訂正が可能となる符号である。本実施例では、11ビットのバイナリカウンタ141の出力データcnt[0]～cnt[10]のデータcnt[10:0]を11ビット長の有効データとする。データcnt[10:0]の値からBCH符号(15,11)の生成ルールに基づき、冗長データ生成部142が4ビットの冗長データcnt[11]～cnt[14]のデータcnt[14:11]を生成する。

30

## 【0013】

ここで、BCH符号(15,11)の生成ルールは下記の式で表わされる。ここで例えばcnt[11]～cnt[14]はBCH符号(15,11)におけるビットの位置と値を表している。

```

cnt[11] = cnt[0] XOR cnt[1] XOR cnt[2] XOR cnt[3] XOR cnt[5] XOR cnt[7] XOR cnt[8]
cnt[12] = cnt[1] XOR cnt[2] XOR cnt[3] XOR cnt[4] XOR cnt[6] XOR cnt[8] XOR cnt[9]
cnt[13] = cnt[2] XOR cnt[3] XOR cnt[4] XOR cnt[5] XOR cnt[7] XOR cnt[9] XOR cnt[10]
cnt[14] = cnt[0] XOR cnt[1] XOR cnt[2] XOR cnt[4] XOR cnt[6] XOR cnt[7] XOR cnt[10]

```

40

ここでXORは排他的論理和を示す演算子である。

## 【0014】

カウント信号発生器14からの有効データcnt[10:0]の11ビットに、上記の計算式により求められた冗長データcnt[14:11]の4ビットが付加されて、カウント信号発生器14からの出力は計15ビットとなる。そのため本実施例では、メモリ122は列ごとに15ビット分のデータが保持できるように設けられており、メモリ122は列ごとに有効データcnt[10:0]と冗長データcnt[14:11]の両者を保持することができる。

50

## 【0015】

メモリからデータを読み出すための水平方向のデータ線は、データd[14:0]の15ビット分設けられている。水平読み出し回路によりメモリから読み出されたデータは水平方向のデータ線に転送される。デジタル信号処理部17には有効データと冗長データの両者が入力される。デジタル信号処理部17は、BCH符号(15,11)の復号ルールに基づき、入力された15ビットのデータに誤りがあるかどうかを判定し、誤りがある場合はデータを訂正する。BCH符号(15,11)の復号ルールは次のとおりである。デジタル信号処理部17は入力された15ビットのデータd[14:0]の値から、下記の式で表わされるR1～R4を求める。

$$R1 = d[0] \text{ XOR } d[1] \text{ XOR } d[2] \text{ XOR } d[3] \text{ XOR } d[5] \text{ XOR } d[7] \text{ XOR } d[8] \text{ XOR } d[11]$$

$$R2 = d[1] \text{ XOR } d[2] \text{ XOR } d[3] \text{ XOR } d[4] \text{ XOR } d[6] \text{ XOR } d[8] \text{ XOR } d[9] \text{ XOR } d[12]$$

$$R3 = d[2] \text{ XOR } d[3] \text{ XOR } d[4] \text{ XOR } d[5] \text{ XOR } d[7] \text{ XOR } d[9] \text{ XOR } d[10] \text{ XOR } d[13]$$

$$R4 = d[0] \text{ XOR } d[1] \text{ XOR } d[2] \text{ XOR } d[4] \text{ XOR } d[6] \text{ XOR } d[7] \text{ XOR } d[10] \text{ XOR } d[14]$$

データd[14:0]がBCH符号(15,11)の生成ルールに則ったデータである場合、データに誤りがなければ必ずR1=R2=R3=R4=0となる。すなわち、デジタル信号処理部に誤りのないデータd[14:0]入力されている場合、R1=R2=R3=R4=0となる。

## 【0016】

もし、メモリ122からデジタル信号処理部17に出力される経路（すなわち、メモリ122およびデータの転送経路など）において不良ビットが発生した場合、データd[14:0]がBCH符号(15,11)の生成ルールから外れたデータとなる。つまり、R1～R4のいずれかが1となる。さらに、R1～R4のうちのどれが1になっているかによって、データd[14:0]のどのビットが誤っているのかを特定することができる。上記式で求めたR1からR4の値と誤ったビットの位置との対応関係を図3に示す。データd[14:0]の各ビットはバイナリデータ（0か1）なので、誤っているビットの位置が特定されれば、そのビットを反転すれば正しいデータとなる。このように、デジタル信号処理部17において、入力されたデータd[14:0]が正しいデータかどうかの判別が可能となり、誤りがあった場合は正しいデータに訂正することも可能となる。

## 【0017】

デジタル信号処理部17は、データd[14:0]の復号を行い、データd[14:0]が正しい場合は、その有効データであるデータd[10:0]をそのままデータdout[10:0]として出力する。

データd[14:0]に誤りがあった場合は正しいデータに訂正してからデータdout[10:0]を出力する。なお、BCH符号(15,11)を使った場合、15ビットのデータ中の1ビットまでの誤りは訂正できるので、デジタル信号処理部17に入力された各列の15ビットのデータ中で1ビットのみ不良が存在した場合、不良の救済が可能である。複数の列にまたがって複数の不良ビットが存在した場合は、それぞれの列の15ビットのデータ中の不良が1ビット以内という条件を満たす限り、不良の救済できる。つまり、ある列の15ビットのデータ中に1ビットの不良、別の列の15ビットのデータ中に1ビットの不良、というような場合は不良の救済ができる。この条件を満たす限り、メモリ内で発生した不良ビットであっても、水平読み出し回路により転送されるときに発生した不良ビットであっても、また両者において発生した不良ビットであってもその不良を救済できる。BCH符号(15,11)を使った場合、各列の15ビットのデータ中で不良ビットは1ビット以内という条件を満たす限り、エラーを訂正できる。

## 【0018】

以上述べたように、本実施例では誤り検出・訂正の一連のシーケンスは、撮像してデータをデジタル信号処理部17に読み出すたびに行なうことが可能である。これは、カウント信号発生器14は常に、有効データに冗長データを付加したデータcnt[14:0]を出力しているので、メモリ122が画像信号に応じたデジタルデータを取り込んで保持する際に、冗長データを含めて保持することができる。したがって、デジタル信号処理部17はデータd[14:0]が入力されるたびに、データd[14:0]をもとに誤り訂正が可能である。

## 【0019】

本実施例では、撮像した出力に対してつねに誤り訂正が行われる。これにより、不良を

10

20

30

40

50

検査するための特別な操作を実行する必要がなく、検査のための余計な時間を必要としない。また、撮像中に突発的に不良ビットが発生した場合や検査後に後発的に不良ビットが発生した場合でも、不良を救済することが可能となる。

#### 【0020】

なお、本実施例では、BCH符号(15,11)を適用した例を説明した。BCH符号(15,11)は有効データが11ビットに冗長データが4ビットの計15ビットから構成され、15ビットのデータ中に1ビットの誤りがあっても訂正できる符号である。BCH符号には他にも多数の種類がある。たとえば、BCH(31,26)、BCH(15,7)、BCH(31,21)などである。BCH符号(31,26)は、有効データの長さが26ビット、冗長データの長さが5ビットの計31ビットで構成されており、31ビットのデータ中に1ビットの誤りが発生しても訂正できる符号である。BCH符号(15,7)は、有効データの長さが7ビット、冗長データの長さが8ビットの計15ビットで構成されており、15ビットのデータ中に2ビットまでの誤りが発生しても訂正できる符号である。BCH符号(31,21)は、有効データの長さが21ビット、冗長データの長さが10ビットの計31ビットで構成されており、31ビットのデータ中に2ビットまでの誤りが発生しても訂正できる符号である。本発明はBCH符号(15,11)に限定されるものではなく、有効データのビット数や訂正するビット数を適宜選択し、必要に合った符号を使用することができる。10

#### 【0021】

##### (実施例2)

本発明の第2の実施例を、図4、5を用いて説明する。第1の実施例と同様な構成は説明を省略する。実施例1においては、カウント信号出力の有効データであるデータcnt[10:0]は単純なバイナリコードであったが、本実施例では、カウント信号発生器14からの出力である有効データをグレイコードに変換して出力する。そのために、カウント信号発生器14の内部に、バイナリ-グレイ変換器143を備えている。バイナリコードを使用する場合、カウント信号が1カウントアップするときに、同時に多数のビットが反転することがある。グレイコードは、1カウントアップするときに必ず1ビットしか反転しない。このため、カウント信号の遷移タイミングと比較器の反転タイミングの同期がずれて、カウント信号の遷移途中でメモリに取り込まれることがあったとしても、その影響を最小限に抑えることができる。20

#### 【0022】

バイナリアップカウンタ141からの有効データをBCH(15,11)符号化するためには、グレイコードに変換された後の有効データcnt[10:0]の値に対応する4ビットの冗長データcnt[14:11]を生成して、有効データに付加する。メモリ122、メモリ122からのデータの出力、およびデジタル信号処理部17の構成および動作については実施例1と同様である。本実施例では、デジタル信号処理部17に入力されるデータd[14:0]のうち有効データd[10:0]はグレイコードであるため、そのままではデジタル信号処理部17から出力されるデータdout[10:0]もグレイコードとなってしまう。通常のバイナリコードに変換して出力したい場合には、デジタル信号処理部17内にグレイコードをバイナリコードに変換する変換器を追加してもよい。30

#### 【0023】

##### (実施例3)

本発明の第3の実施例を、図5、6を用いて説明する。カウント信号発生器14以外の構成は、実施例1と同様である。本実施例では、カウント信号の有効データを12ビットとした時に、誤り訂正符号としてハミング符号(7,4)を用いる例を説明する。ハミング符号(7,4)は、有効データが4ビットの時に冗長データを3ビットとした計7ビットのデータであり、データ7ビット中に1ビットの誤りがあったときにエラーを訂正できる符号である。4ビットの有効データのa[0]～a[3]をデータa[3:0]とし、3ビットの冗長データのb[0]～b[2]をデータb[2:0]とした場合、符号生成ルールは下記の式で表わされる。

$$b[0] = a[0] \text{ XOR } a[1] \text{ XOR } a[2]$$

$$b[1] = a[1] \text{ XOR } a[2] \text{ XOR } a[3]$$

5020304050

$b[2] = a[0] \text{ XOR } a[1] \text{ XOR } a[3]$

復号ルールは下記の式で表わされる。

$R1 = a[0] \text{ XOR } a[1] \text{ XOR } a[2] \text{ XOR } b[0]$

$R2 = a[1] \text{ XOR } a[2] \text{ XOR } a[3] \text{ XOR } b[1]$

$R3 = a[0] \text{ XOR } a[1] \text{ XOR } a[3] \text{ XOR } b[2]$

#### 【 0 0 2 4 】

上記式で得たR1～3の値と、誤りビットの位置との対応関係を図6に示す。カウント信号の有効データの長さが12ビットである場合には、これを4ビットずつの3のブロックに分割して各ブロック(4ビット)にハミング符号(7,4)のルールを適用する。具体的には図5に示すように、有効データcnt[11:0]を、cnt[11:8]、cnt[7:4]、cnt[3:0]の3ブロックに分割して考える。冗長データ生成部142-1～142-3を各ブロックに対応して1つずつ設ける。データcnt[3:0]の4ビットから3ビットの冗長データcnt[14:12]が生成され、データcnt[7:4]の4ビットから3ビットの冗長データcnt[17:15]が生成される。データcnt[11:8]の4ビットから3ビットの冗長データcnt[20:18]が生成される。合計で有効データ12ビット+冗長データ9ビットの21ビットのデータcnt[20:0]がカウント信号発生器14から出力される。実施例1と同様に、比較器121の出力が反転した時にデータcnt[20:0]は各列ごとに設けられた21ビットのメモリ122に読み取られる。メモリからのデータd[20:0]は水平走査回路16の制御によりデジタル信号処理部17へ転送される。

#### 【 0 0 2 5 】

デジタル信号処理部17は、メモリから読み出されたデータd[3:0]とデータd[14:12]の計7ビットから復号を行い4ビットの有効データdout[3:0]を生成する。同様に、データd[7:4]とデータd[17:15]の計7ビットから復号を行い4ビットの有効データdout[7:4]を生成する。さらに、データd[11:8]とデータd[20:18]の計7ビットから復号を行い4ビットの有効データdout[11:8]を生成する。結果として、12ビットの有効データdout[11:0]をデジタル信号処理部17の出力として得ることができる。ここで、ハミング符号(7,4)は7ビット中の1ビットの誤りを訂正できる符号である。したがって、データd[3:0]とデータd[14:12]、データd[7:4]とデータd[17:15]、データd[11:8]とデータd[20:18]の各7ビット中に各1ビットの不良ビットが発生しても不良を救済できる。つまりデータ中に最大3ビットの不良ビットが発生しても不良を救済することが可能となる。

#### 【 0 0 2 6 】

##### ( 実施例4 )

本発明の第4の実施例を、図7を用いて説明する。カウント信号発生器14以外の構成は、実施例1と同様である。本実施例では、カウント信号の有効データの長さが12ビットの時に、誤り訂正符号としてBCH(15,11)符号を用いた例を説明する。前述のとおり、BCH(15,11)は有効データの長さが11ビットに対応した符号である。したがって、カウント信号の有効データが12ビットだと、1ビット分は符号化できない。本実施例では、図7に示すように、冗長データ生成部142は、12ビットの有効データcnt[11:0]のうち、最下位のビットcnt[0]を除いた上位側11ビットのデータcnt[11:1]に対して冗長データを生成して付加する。そうするとデータcnt[15:1]の15ビット中の1ビットのエラーは誤り訂正できるが、ビットcnt[0]にエラーが存在した場合は訂正できない。

#### 【 0 0 2 7 】

しかしながら、ビットcnt[0]は最下位ビット(LSB)であるため、値が誤ったとしても、画像に与える影響は軽微である。このように、カウント信号の有効データのビット数が、適用する誤り訂正符号の有効データのビット数よりも多い場合、有効データの上位側のビットのみを符号化の対象とし、下位側のビットを符号化の対象外とすることにより冗長データのビット数を抑える。本実施例によれば、ビット数の増加が抑制されると共に画像の劣化は最小限に抑えられる。

#### 【 0 0 2 8 】

##### ( 実施例5 )

10

20

30

40

50

本発明の第5の実施例を、図8を用いて説明する。図8はリードソロモン(RS)符号のうちRS符号(7,5)の概念を示した図である。RS符号(7,5)は、3ビットをまとめて1バイトとして捉え、バイト単位で符号化・復号化を行う符号である。RS符号(7,5)は、有効データの長さが5バイト、冗長データの長さが2バイト、計7バイトの符号であり、7バイト中の1バイトの誤りを訂正できる符号である。言い換えれば、RS符号(7,5)は、有効データは15ビット、冗長データは6ビットの合計21ビットの符号であり、最大3ビットのエラーが存在しても、それらが同一バイト内に存在する場合はエラー訂正ができるという符号である。よって、リードソロモン符号は、不良が近傍のバイトに固まって存在する場合に有効な符号となっている。本実施例では、具体的には図8に示すように、カウント信号発生器は有効データa[14:0]をA1~5の5バイトのデータとして捉え、冗長データ生成部142はC1・C2という2バイトの冗長データを生成して有効データに付加して出力する。

## 【0029】

## (実施例6)

図9は、本発明の第6の実施例による撮像システムの構成例を示す図である。撮像システム800は、例えば、光学部810、撮像素子100、画像信号処理部830、記録・通信部840、タイミング制御部850、システム制御部860、及び再生・表示部870を含む。撮像部820は、撮像素子100及び画像信号処理部830を有する。撮像素子100は、先の実施例で説明した撮像素子が用いられる。

## 【0030】

レンズ等の光学系である光学部810は、被写体からの光を撮像素子100の、複数の画素が行列状に配置された画素部102に結像させ、被写体の像を形成する。撮像素子100は、タイミング制御部850からの信号に基づくタイミングで、画素部102に結像された光に応じた信号を出力する。撮像素子100からの出力信号は、画像信号処理部830に入力され、画像信号処理部830が、プログラム等によって定められた方法に従つて信号処理を行う。画像信号処理部830での処理によって得られた信号は画像データとして記録・通信部840に送られる。記録・通信部840は、画像を形成するための信号を再生・表示部870に送り、再生・表示部870に動画や静止画像を再生・表示させる。記録・通信部840は、また、画像信号処理部830からの信号を受けて、システム制御部860と通信を行うほか、不図示の記録媒体に、画像を形成するための信号を記録する動作も行う。

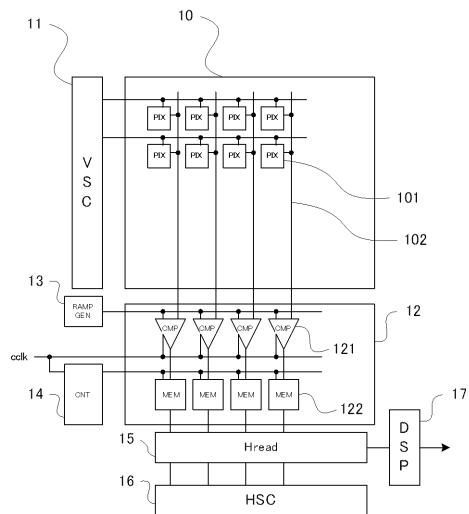
## 【0031】

システム制御部860は、撮像システムの動作を統括的に制御するものであり、光学部810、タイミング制御部850、記録・通信部840、及び再生・表示部870の駆動を制御する。また、システム制御部860は、例えば記録媒体である不図示の記憶装置を備え、ここに撮像システムの動作を制御するのに必要なプログラム等が記録される。また、システム制御部860は、例えばユーザの操作に応じて駆動モードを切り替える信号を撮像システム内に供給する。具体的な例としては、読み出す行やりセットする行の変更、電子ズームに伴う画角の変更や、電子防振に伴う画角のずらし等である。タイミング制御部850は、システム制御部860による制御に基づいて撮像素子100及び画像信号処理部830の駆動タイミングを制御する。

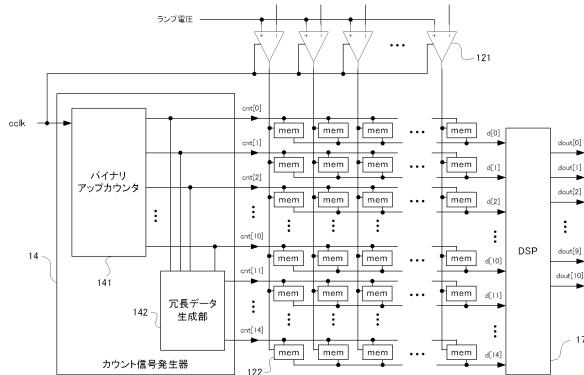
## 【0032】

以上述べてきたが、本発明において誤り訂正符号はどのような種類を使用してもよい。カウント信号の有効データのビット数や、訂正したい不良ビット数や、不良ビットが単発の可能性が高いか又は固まって存在する可能性が高いか、符号化・復号化に必要な回路規模、処理時間などに応じて適切な符号を選択することが可能である。また、ランプ信号と比較するタイプのAD変換回路を例に説明したが、本発明ではAD変換回路の形式は問わない。例えば逐次比較型のAD変換回路を各列に設け、各列のAD変換回路の出力する有効データに対して冗長データを生成して付加することにより実施することができる。

【図1】



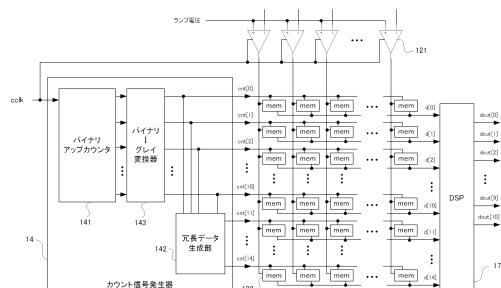
【図2】



【図3】

誤り位置	R1	R2	R3	R4
cnt[0]	1	0	0	1
cnt[1]	1	1	0	1
cnt[2]	1	1	1	1
cnt[3]	1	1	1	0
cnt[4]	0	1	1	1
cnt[5]	1	0	1	0
cnt[6]	0	1	0	1
cnt[7]	1	0	1	1
cnt[8]	1	1	0	0
cnt[9]	0	1	1	0
cnt[10]	0	0	1	1
cnt[11]	1	0	0	0
cnt[12]	0	1	0	0
cnt[13]	0	0	1	0
cnt[14]	0	0	0	1
誤りなし	0	0	0	0

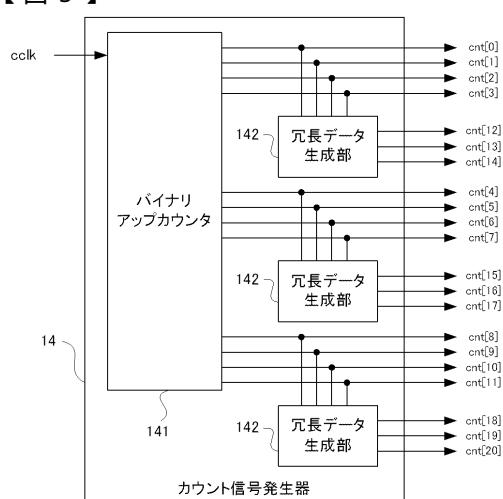
【図4】



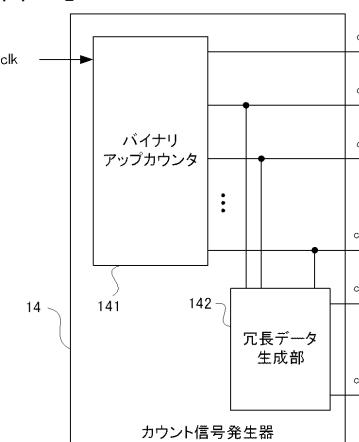
【図6】

誤り位置	R1	R2	R3
a[0]	1	0	1
a[1]	1	1	1
a[2]	1	1	0
a[3]	0	1	1
b[0]	1	0	0
b[1]	0	1	0
b[2]	0	0	1
誤りなし	0	0	0

【図5】



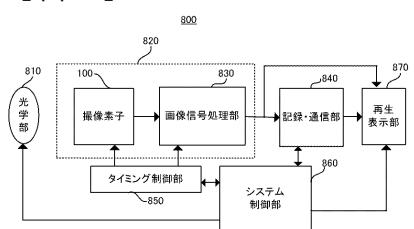
【図7】



【図8】

$a[0] \ a[1] \ a[2]$   $a[3] \ a[4] \ a[5]$   $a[6] \ a[7] \ a[8]$   $a[9] \ a[10] \ a[11]$   $a[12] \ a[13] \ a[14]$   $c[0] \ c[1] \ c[2]$

【図9】



---

フロントページの続き

(72)発明者 小野 俊明

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 粕谷 満成

(56)参考文献 特開2012-011123(JP,A)

特開2009-033381(JP,A)

特開2002-064750(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/378

H04N 5/357