



(12) 发明专利

(10) 授权公告号 CN 101577540 B

(45) 授权公告日 2012. 07. 11

(21) 申请号 200910138204. 0

(56) 对比文件

(22) 申请日 2009. 05. 08

CN 1187073 A, 1998. 07. 08, 全文.

US 5559966 A, 1996. 09. 24, 全文.

(30) 优先权数据

122556/08 2008. 05. 08 JP

审查员 郭从征

(73) 专利权人 索尼株式会社

地址 日本东京都

(72) 发明人 能智真哉 仙波公正 石田健一

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 黄小临

(51) Int. Cl.

H03K 19/0175(2006. 01)

H03K 19/003(2006. 01)

G11B 15/02(2006. 01)

G11B 15/18(2006. 01)

G11B 11/105(2006. 01)

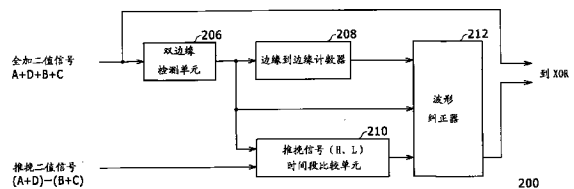
权利要求书 2 页 说明书 9 页 附图 9 页

(54) 发明名称

误判校正电路和光盘驱动器

(57) 摘要

在这里公开了一种误判校正电路,包括:边缘检测部件,被配置为在二值化后的全加信号中检测该二值化后的信号的逻辑值在其处改变的边缘,所述全加信号通过将相同或相反极性的第一和第二信号相加而获得;推挽信号获取部件,被配置为获取二值化后的推挽信号,所述推挽信号通过从该第一信号中减去该第二信号而获得;多数判定法计算部件,被配置为按照时间先后顺序来获取两个相邻边缘之间的推挽信号的多个逻辑值,以便通过多数判定法来确定两个逻辑值中更多的那个;以及波形校正部件,被配置为将所述边缘之间的推挽信号校正为由多数判定法计算部件确定的该更多的逻辑值。



1. 一种误判校正电路,包括:

边缘检测部件,被配置为在二值化后的全加信号中检测该二值化后的全加信号的逻辑值在其处改变的边缘,所述全加信号通过将相同或相反极性的第一和第二信号相加而获得;

推挽信号获取部件,被配置为获取二值化后的推挽信号,所述推挽信号通过从该第一信号中减去该第二信号而获得;

多数判定法计算部件,被配置为按照时间先后顺序来获取两个相邻边缘之间的推挽信号的两个逻辑值的数目,以便通过多数判定法来确定两个逻辑值中的哪个多于另一个;以及

波形校正部件,被配置为将所述边缘之间的推挽信号校正为由多数判定法计算部件确定的多于另一个的逻辑值。

2. 如权利要求 1 所述的误判校正电路,包括:

时钟脉冲生成部件,被配置为生成时钟脉冲,其中

该多数判定法计算部件按照时间先后顺序、在每个时钟脉冲处来获取推挽信号的逻辑值。

3. 如权利要求 1 所述的误判校正电路,其中

通过利用两个单独的感光部件来检测来自光学记录介质的反射光而获取所述第一和第二信号,所述两个单独的感光部件沿着介质的轨道延伸的方向被彼此分隔,以及该推挽信号是基于轨道的摆动的摆动信号。

4. 一种光盘驱动器,包括:

光学拾取器,被配置为将光照射到光学记录介质的轨道上,以便利用两个单独的感光部件来接收来自该光学记录介质的反射光,所述两个单独的感光部件沿着轨道延伸的方向被彼此分隔;

RF 信号分量获取部件,被配置为通过从所述两个感光部件中检测的第一和第二信号中的至少任一个来获取 RF 信号分量;

摆动信号获取部件,被配置为通过从该第一信号中减去该第二信号来获取摆动信号;

RF 信号分量二值化部件,被配置为对 RF 信号分量进行二值化;

摆动信号二值化部件,被配置为对摆动信号进行二值化;

边缘检测部件,被配置为检测该 RF 信号分量的逻辑值在其处改变的边缘;

多数判定法计算部件,被配置为按照时间先后顺序来获取两个相邻边缘之间的摆动信号的两个逻辑值的数目,以便通过多数判定法来确定该两个逻辑值中的哪个多于另一个;

波形校正部件,被配置为将所述边缘之间的摆动信号校正为由多数判定法计算部件确定的多于另一个的逻辑值;

异或部件,被配置为对二值化后的 RF 信号分量和由波形校正部件校正的摆动信号进行异或;以及

平衡调节部件,被配置为基于异或部件的异或结果来调节所述第一和第二信号之间的幅度上的平衡。

5. 如权利要求 4 所述的光盘驱动器,其中

所述 RF 信号分量获取部件通过将所述第一和第二信号相加来获取 RF 信号分量。

6. 如权利要求 4 所述的光盘驱动器,其中
所述平衡调节部件包括:
第一增益调节部件,被配置为基于异或部件的异或结果来调节该第一信号的增益;以
及
第二增益调节部件,被配置为基于异或部件的异或结果来调节该第二信号的增益。
7. 如权利要求 6 所述的光盘驱动器,包括:
积分器,被配置为对异或部件的输出进行积分,其中
所述第一和第二增益调节部件基于积分后的异或结果来调节增益。

误判校正电路和光盘驱动器

技术领域

[0001] 本发明涉及一种误判校正电路和光盘驱动器。

背景技术

[0002] 在典型的记录光盘中,预先在用作轨道的凹槽上记录被称为摆动(wobble)的摆动信号,以指示盘位置和其他信息。例如,CD-R/RW 使用 22.05kHz 作为它们的摆动信号的基本频率。该频率充分低于要记录的 RF 信号的基本时钟频率,所述 RF 信号的基本时钟频率为 4.3218MHz。另一方面,DVD-RW 使用 818kHz 作为它们的摆动信号的频带。该频带接近于 RF 信号的基本时钟频率,所述 RF 信号的基本时钟频率为 26.16MHz。

[0003] 一种已知的方法通过计算推挽(push-pull)信号分量(A+D)-(B+C)来检测光盘上的摆动。信号 A、B、C 和 D 从 PD(光检测器)的四个单独的感光部件产生。可以通过利用地址解码器来将所检测的摆动信号转换为地址信息,而获得用于记录和再现的位置信息。这里,没有所记录的 RF 信号的未记录区域几乎不包含噪声。因此,即使当在信道(A+D)与(B+C)之间存在增益差异时,该增益差异也将仅变为偏移。结果,这将对摆动信号的检测引起任何问题。

[0004] 然而,在其中记录了 RF 信号的记录区域中,当在信道(A+D)与(B+C)之间存在增益差异时的摆动信号检测期间,RF 信号泄漏将发生,因而导致了劣化的摆动信号特性。

[0005] 为了解决前述问题,在日本专利特开公开第 2005-353195 号中公开了一种 AGC(自动增益控制)电路。该 AGC 电路被设计来在不同的信道之间取得推挽信号增益的平衡。该电路包括被配置为利用任意增益来放大来自两个单独的感光元件的信号(A+D)和(B+C)的两个可变增益放大器。该电路进一步包括被配置为检测来自所述可变增益放大器的输出信号的两个检测器。该电路还进一步包括被配置为比较检测输出的比较器、和用于基于来自该比较器的比较输出来控制所述可变增益放大器的增益的增益控制装置。

发明内容

[0006] 然而,现有技术使用 AGC 回路来确保信号(A+D)和(B+C)的幅度彼此一致。结果,AGC 电路是绝对必需的,这导致了复杂的电路配置。此外,对于 AGC 电路,需要诸如检测器和比较器的组件,这导致了复杂的电路配置。

[0007] 另外,在 AGC 的前级处需要 GCA(增益控制放大器)和 LPF,以确保 AGC 操作中的精确度。GCA 将信号幅度调节到某种程度。LPF 移除高频分量。这导致了更大的电路规模。

[0008] 另外,摆动信号可以包含诸如检测期间的相移、内部电路噪声和信号波动的误差因素。因此,在提取摆动信号之前,必须确定地去除这些误差因素。

[0009] 已经根据以上问题做出了本发明、以及本发明的实施例,以提供一种新的和改善的误判校正电路和光盘驱动器,所述误判校正电路和光盘驱动器可以使用创新的和改善的配置来从摆动信号中不但确实地去除 RF 分量、而且确实地去除噪声、相移和信号波动以及其他误差因素。

[0010] 根据本发明的实施例,提供了一种误判校正电路,包括:

[0011] 边缘检测部件,被配置为在二值化后的全加信号中检测该二值化后的信号的逻辑值在其处改变的边缘,所述全加信号通过将相同或相反极性的第一和第二信号相加而获得;

[0012] 推挽信号获取部件,被配置为获取二值化后的推挽信号,所述推挽信号通过从该第一信号中减去该第二信号而获得;

[0013] 多数判定法计算部件,被配置为按照时间先后顺序来获取两个相邻边缘之间的推挽信号的两个逻辑值的数目,以便通过多数判定法来确定两个逻辑值中的哪个多于另一个;以及

[0014] 波形校正部件,被配置为将所述边缘之间的推挽信号校正为由多数判定法计算部件确定的多于另一个的逻辑值。

[0015] 根据本发明的另一实施例,提供了一种光盘驱动器,包括:

[0016] 光学拾取器,被配置为将光照射到光学记录介质的轨道上,以便利用两个单独的感光部件来接收来自该光学记录介质的反射光,所述两个单独的感光部件沿着轨道延伸的方向被彼此分隔;

[0017] RF 信号分量获取部件,被配置为通过从所述两个感光部件中检测的第一和第二信号中的至少任一个来获取 RF 信号分量;

[0018] 摆动信号获取部件,被配置为通过从该第一信号中减去该第二信号来获取摆动信号;

[0019] RF 信号分量二值化部件,被配置为对 RF 信号分量进行二值化;

[0020] 摆动信号二值化部件,被配置为对摆动信号进行二值化;

[0021] 边缘检测部件,被配置为检测该 RF 信号分量的逻辑值在其处改变的边缘;

[0022] 多数判定法计算部件,被配置为按照时间先后顺序来获取两个相邻边缘之间的摆动信号的两个逻辑值的数目,以便通过多数判定法来确定该两个逻辑值中的哪个多于另一个;

[0023] 波形校正部件,被配置为将所述边缘之间的摆动信号校正为由多数判定法计算部件确定的多于另一个的逻辑值;

[0024] 异或部件,被配置为对二值化后的 RF 信号分量和由波形校正部件校正的摆动信号进行异或;以及

[0025] 平衡调节部件,被配置为基于异或部件的异或结果来调节所述第一和第二信号之间的幅度上的平衡。

附图说明

[0026] 图 1 是图示了根据本发明实施例的光盘驱动器的配置的示意图;

[0027] 图 2 是详细地图示了图 1 所示的光盘驱动器中的摆动提取电路及其外围电路的配置的示意图;

[0028] 图 3A 到 3D 是图示了来自加法器的全加信号和来自减法器的信号的波形的特性图;

[0029] 图 4A 和 4B 是图示了二值化之前和之后的全加和摆动信号的理想波形的特性图;

- [0030] 图 5A 和 5B 是图示了二值化之前和之后的实际电路中的全加和摆动信号的波形的特性图；
- [0031] 图 6 是更详细地图示了推挽波形校正模块的配置的框图；
- [0032] 图 7A 到 7C 是用于描述由推挽波形校正模块执行的波形校正的示意图；
- [0033] 图 8 是图示了由推挽波形校正模块执行的波形校正的有益效果的特性图；以及
- [0034] 图 9 是图示了摆动提取电路的另一示例的示意图。

具体实施方式

[0035] 本发明的实施例可以使用简单配置,来从摆动信号中不但确实地去除 RF 分量、而且确实地去除诸如噪声、相移和信号波动的误差因素。

[0036] 下面,将参照附图来详细地描述本发明的优选实施例。应注意,在本说明书和附图中,通过同样的附图标记来表示具有基本上同样功能的组件,并且将省略其赘述。

[0037] 图 1 是图示了根据本发明实施例的光盘驱动器 100 的配置的示意图。光盘驱动器 100 包括摆动信号处理系统。该摆动信号处理系统包括被配置为读取盘形记录介质 300 的轨道的光学头(光学拾取器)102。该摆动信号处理系统还包括:前置放大器 104、GCA(增益控制放大器)106、摆动提取电路 108、模拟滤波器 110、AD 转换器(ADC)112、地址解调器 113、地址解码器 114、PLL(锁相环)115 和控制器 116。

[0038] 此外,再现电路 10 被连接到光学头 102。再现电路 10 处置包括对从盘形记录介质 300 检测的再现信号进行滤波和数字化的处理。被配置为处置数据格式转换的解码器 12 被连接到再现电路 10,因而组成了信号再现系统。

[0039] 另外,从控制器 116 向其中转换数据格式的编码器 14 传送要记录的信息。然后,激光控制电路 16 根据信息位来控制光学头 102 中提供的光源的光发射。这允许了信息被写到盘形记录介质,因而组成了信号记录系统。

[0040] 另外,根据从光学头 102 的感光元件中检测的输出信号来生成伺服(servo)信号。伺服电路 18 基于该伺服信号来控制光学头 102 的位置。伺服电路 18 还控制主轴电动机 20 的旋转,在所述主轴电动机 20 上放置了盘形记录介质 300。

[0041] 在其记录表面上具有摆动轨道的光盘被用作盘形记录介质 300。光学头 102 包括:诸如激光二极管的光源和被配置为收集激光束的物镜。光学头 102 还包括:被配置为从盘形记录介质 300 接收反射光的感光元件和被配置为将反射光导向感光元件上的镜片(optic)。光学头 102 还包括被配置为实现聚焦伺服和跟踪伺服的致动器、和其他组件。

[0042] 在摆动信号处理系统中,从光学头 102 输出并且由前置放大器 104 放大的信号经过由 GCA 106 完成的幅度调节,以适合随后电路的动态范围。然后,摆动提取电路 108 提取摆动信号,所述摆动信号然后被馈送到模拟滤波器 110。模拟滤波器 110 从输入信号中移除不期望的低频和低频分量。通过模拟滤波器 110 移除了不期望的信号分量的再现信号(摆动信号)被馈送到 AD 转换器(ADC)112。来自 AD 转换器(ADC)112 的输出信号被馈送到地址解调器 113。地址解调器 113 检测所输入的摆动信号的调制信号以进行地址调制,并且向随后的地址解码器 114 输出作为结果的数据。地址解码器 114 从解调后的数据中解码地址,再现访问位置的地址信息,并且向控制器 116 输出该信息。控制器 116 基于该地址信息来控制光盘驱动器 100 的信号再现和记录系统。PLL(锁相环)115 能够生成由包括摆动提

取电路 108、AD 转换器 112、地址解调器 113、地址解码器 114 和控制器 116 的电路使用的时钟。

[0043] 图 2 是详细地图示了图 1 所示的光盘驱动器 100 中的摆动提取电路 108 及其外围电路的配置的示意图。典型地, 诸如光盘的记录媒体经常使用摆动轨道格式, 以预先精确地检测每个径向位置处的线速度。光盘驱动器 100 可以通过读取这些摆动信号来访问未记录盘的任意位置, 以便记录或再现信息。

[0044] 如图 2 所图示的, 光学头 102 的感光元件 102a 具有沿着轨道延伸的方向 (沿着轨道的切线方向) 被分隔为两个部分的它们的感光区域, 使得可以接收来自记录表面的光点的反射光。具有四个单独光检测器的 PD (光检测器) 被用作感光元件 102a, 以接收主点的反射光。如图 2 所图示的, 作为两个单独感光区域之一的感光部件 A 和 D 被排列在轨道的切线方向的一侧。作为两个单独感光区域中的另一个的感光部件 B 和 C 被排列在其另一侧。来自感光部件 A 和 D 的输出被馈送到加法器 118。加法器 118 输出信号 A+D。另一方面, 来自感光部件 B 和 C 的输出被馈送到加法器 119。加法器 119 输出信号 B+C。可以通过检测主束的推挽信号分量或 $(A+D)-(B+C)$ 来获得摆动信号。应注意, 在附图中当必要时, 信号 A+D 和 B+C 被分别写作“AD”和“BC”。

[0045] 如图 2 所图示的, 摆动提取电路 108 包括: GCA 120 和 122、加法器 124、减法器 126、锁存比较器 128 和 130、EXOR (异或) 电路 132、积分器 134 和 BAL 控制部件 136。

[0046] 如图 2 所图示的, 信号 A+D 被馈送到 GCA 120 以进行增益调节。信号 B+C 被馈送到 GCA 122 以进行增益调节。增益调节后的信号 A+D 和 B+C 两者被馈送到加法器 124 和减法器 126。

[0047] 加法器 124 将信号 A+D 和 B+C 相加, 以输出全加信号 $R = A+B+C+D$ 。另一方面, 减法器 126 从信号 A+D 中减去信号 B+C, 以输出推挽信号 $((A+D)-(B+C))$, 即, 摆动信号。

[0048] 全加信号 $R = A+B+C+D$ 被馈送到锁存比较器 128。锁存比较器 128 是被配置为基于输入信号与给定值的比较来对输入信号的 AC 分量进行二值化的模拟比较器。

[0049] 另一方面, 摆动信号 $((A+D)-(B+C))$ 被馈送到锁存比较器 130。锁存比较器 130 是被配置为基于输入信号与给定值的比较来对输入信号进行二值化的模拟比较器。

[0050] 锁存比较器 128 和 130 的输出两者被馈送到推挽波形校正模块 200。推挽波形校正模块 200 包括: 脉宽检测器 202 和波形校正器 204。

[0051] 推挽波形校正模块 200 的输出被馈送到 EXOR 电路 132。在对于推挽波形校正模块 200 的所有输入中, 来自锁存比较器 128 的全加信号 $R = A+B+C+D$ 的二值化后的信号被馈送到脉宽检测器 202。全加信号 $R = A+B+C+D$ 的二值化后的信号还被以相同的方式馈送到 EXOR 电路 132。另一方面, 来自锁存比较器 130 的摆动信号 $((A+D)-(B+C))$ 的二值化后的信号在被馈送到 EXOR 电路 132 之前, 经过由推挽波形校正模块 200 完成的误差因素的移除。稍后将详细描述由推挽波形校正模块 200 执行的波形校正。

[0052] EXOR 电路 132 对二值化后的全加信号和摆动信号进行异或。因此, 当全加信号 $R = A+B+C+D$ 与摆动信号 $((A+D)-(B+C))$ 同相时, EXOR 电路 132 输出低 (L) 信号。当两个信号反相时, EXOR 电路 132 输出高 (H) 信号。

[0053] EXOR 电路 132 的输出被馈送到其中计算来自异或电路 132 的二值化后的信号的积分的积分器 134。

[0054] 积分器 134 的输出被馈送到平衡 (BAL) 控制部件 136。BAL 控制部件 136 输出被配置为基于积分器 134 的输出来调节 GCA 120 和 122 的增益的增益平衡控制信号。来自 BAL 控制部件 136 的控制信号被分别馈送到 GCA 120 和 122,因而形成了用于增益调节的反馈回路。GCA 120 和 122 是被配置为根据数字码输入来调节增益的电路。这些电路基于来自 BAL 控制部件 136 的控制信号,来执行增益的反馈控制。

[0055] BAL 控制部件 136 分别向 GCA 120 和 122 输出彼此反向的控制信号。由平衡控制部件 136 控制的 GCA 120 和 122 的增益之和被保持不变。也就是说,当向 GCA 120 和 122 之一输出控制信号以增加其增益时,向 GCA 120 和 122 中的另一个输出控制信号以减少其增益。

[0056] 图 3A 到图 3D 是图示了来自加法器 124 的全加信号和来自减法器 126 的摆动信号的波形的特性图。这里,图 3A 图示了来自加法器 124 的全加信号的波形。信号 (A+D) 和 (B+C) 包含同相的 RF 信号(记录信号)分量。因此,通过将信号 (A+D) 和 (B+C) 相加而获得的全加信号与在信号 (A+D) 和 (B+C) 中包含的原始 RF 信号同相。应注意,尽管这里通过将信号 (A+D) 和 (B+C) 相加而获得 RF 信号分量,但是也可以通过信号 (A+D) 和 (B+C) 中的任一个、或者通过信号 A、B、C 和 D 之一来获得 RF 信号分量。

[0057] 图 3B 和图 3C 图示了来自减法器 126 的摆动信号的波形,以示出信号 (A+D) 和 (B+C) 在幅度上彼此不同。这里,图 3B 图示了其中 $(A+D) \geq (B+C)$ 的情况,而图 3C 图示了其中 $(A+D) < (B+C)$ 的情况。如上所述,信号 (A+D) 和 (B+C) 包含同相的 RF 信号分量。因此,如果由于幅度上的不平衡而导致信号 (A+D) 大于或小于信号 (B+C),则对于 RF 信号同相或反相的 RF 信号分量根据该幅度上的不平衡而泄漏进摆动信号中。另一方面,图 3D 图示了已由 GCA 120 和 122 调节了其增益、使得信号 (A+D) 和 (B+C) 幅度相等的摆动信号。

[0058] 如图 3A 和图 3B 所图示的,当 $(A+D) \geq (B+C)$ 时,与全加信号同相的 RF 信号分量泄漏进摆动信号中,这导致了全加信号与摆动信号同相。在此情况下,来自锁存比较器 128 的输出与来自锁存比较器 130 的输出同相。结果,来自 EXOR 电路 132 的输出为低 (L)。

[0059] 如图 3A 和图 3C 所图示的,另一方面,当 $(A+D) < (B+C)$ 时,对于全加信号反相的 RF 信号分量泄漏进摆动信号中,这导致了全加信号对于摆动信号具有反相。在此情况下,来自锁存比较器 128 的输出对于来自锁存比较器 130 的输出反相。结果,来自 EXOR 电路 132 的输出为高 (H)。

[0060] 这许可基于来自 EXOR 电路 132 的输出来确定信号 (A+D) 与 (B+C) 之间的幅度上的平衡(幅度关系),因而允许确定两个信号中的哪个在幅度上大于或小于另一个。当发现信号 (A+D) 与 (B+C) 之间的幅度上的关系时,可能通过以关于去除不平衡的方式来应用反馈控制而在两个信号的幅度之间取得统一平衡。更明确地,可以通过基于信号 (A+D) 与 (B+C) 之间的幅度关系来改变 GCA120 和 122 的增益,而将信号 (A+D) 和 (B+C) 的幅度控制到相似水平。通过将信号 (A+D) 和 (B+C) 的幅度保持平衡,可能将摆动信号 $((A+D)-(B+C))$ 的平均 RF 分量控制为零。这反过来确保了从摆动信号中可靠地去除 RF 信号分量,如图 3D 所图示的那样。

[0061] 来自 EXOR 电路 132 的输出被馈送到积分器 134,以用于在给定时间段上进行积分。当基于来自积分器 134 的输出而从 EXOR 电路 132 输出低 (L) 信号时,那么 $(A+D) \geq (B+C)$ 。因此,BAL 控制部件 136 向接收信号 (A+D) 的 GCA 120 输出被配置为减少增益的增益平衡

控制信号。同时, BAL 控制部件 136 向接收信号 (B+C) 的 GCA 122 输出被配置为增加增益的增益平衡控制信号。

[0062] 此外, 当基于来自积分器 134 的输出而从 EXOR 电路 132 输出高 (H) 信号时, 那么 $(A+D) < (B+C)$ 。因此, BAL 控制部件 136 向 GCA 120 输出被配置为增加增益的增益平衡控制信号。同时, BAL 控制部件 136 向 GCA 122 输出被配置为减少增益的增益平衡控制信号。

[0063] 如上所述, BAL 控制部件 136 分别向 GCA 120 和 122 输出彼此反向的二值编码的控制信号。因此, 在 GCA 120 和 122 中, 调节增益, 使得信号 (A+D) 和 (B+C) 的幅度彼此靠近。这使得可能将信号 (A+D) 和 (B+C) 的幅度控制到相似水平。

[0064] 从减法器 126 向模拟滤波器 110 馈送如上所述地进行反馈控制的摆动信号, 并且然后被馈送到 AD 转换器 112 以便摆动解调。在本实施例中, 基于摆动信号来确定信号 (A+D) 与 (B+C) 之间的幅度关系。因此, 可以基于使用摆动信号自身的确定结果来从摆动信号中去除 RF 分量。与基于其他特性值来处理摆动信号相比, 这确保了从摆动信号中可靠地去除 RF 分量, 因而使得摆动信号处于最佳的可能条件。

[0065] 泄漏进摆动信号中的 RF 信号的所有频率分量中特别有问题的是接近于摆动信号的频带的频率分量。因此, 例如, 可以利用滤波器预先移除摆动信号的频带之外的高频分量, 使得对于基于接近于摆动信号的频带的低频 RF 分量的增益调节执行异或。在此情况下, 例如在加法器之前插入一个高频截止滤波器, 并且在减法器之前插入另一个高频截止滤波器。可替换地, 可以在锁存比较器 128 之前插入一个滤波器, 并且在锁存比较器 130 之前插入另一个滤波器。可以基于摆动信号的频带来合适地选择要由滤波器截止的频率。

[0066] BAL 控制部件 136 向 GCA 120 和 122 输出控制信号。然而, BAL 控制部件 136 可以仅向 GCA 120 和 122 之一输出控制信号, 使得调节信号 (A+D) 或 (B+C) 的增益。同样在此情况下, 可以使用反馈控制来将信号 (A+D) 和 (B+C) 的幅度控制到相似水平。应注意, 在此情况下, GCA 120 和 122 的增益之和不是常数。因此, 信号 (A+D) 和 (B+C) 中的任一个的增益可以是固定值。然而, 通过向 GCA 120 和 122 两者馈入控制值而执行的微分运算在反馈控制期间提供了更小的幅度变化。

[0067] 根据以上配置, 对二值化后的 RF 分量 (全加信号) 和二值化后的摆动信号进行异或允许检测信号 (A+D) 和 (B+C) 中的哪个比另一个更大或更小。通过应用基于以上内容的反馈控制, 可能在两个信号幅度之间取得统一平衡, 因而允许了利用高精度度来提取摆动信号。此外, 不需要用于确保信号 (A+D) 和 (B+C) 的幅度匹配的 AGC 回路。这许可了减少平衡控制电路的大小, 因而有助于减少制造成本。

[0068] 此外, 可以基于分别被配置为对全加信号和摆动信号进行二值化的锁存比较器 128 和 130 的输出来控制幅度上的平衡。这去除了对于被配置为满足 AGC 电路的动态范围的 GCA 和被配置为对 RF 信号波形进行平滑的 LPF 的需要。此外, 对于现有技术的 AGC 电路, 需要大的动态和增益范围, 以确保信号 (A+D) 和 (B+C) 的幅度匹配。然而, 利用以上配置, 仅需要控制信号 (A+D) 与 (B+C) 之间的平衡, 因而最小化了增益控制电路的增益范围。

[0069] 另外, 可以通过逻辑电路来实现用于二值化以后的平衡检测和所有信号处理。与模拟信号处理相比, 这有助于更小的电路规模, 因而确保了与 CMOS (互补金属氧化物半导体) 系统 LSI (大规模集成) 的更好的兼容性。另外, 可以很容易地使得比较器电路在 CMOS 处理中没有偏移。在这点上, 以上配置同样与 CMOS 处理兼容。另外, 因为可以从摆动

提取以后的剩余 RF 分量中检测任何不平衡,所以可以控制平衡,以确保最小的剩余 RF 分量,因而提供了改善的摆动信号质量。

[0070] 接下来,将对于由推挽波形校正模块 200 执行的波形校正给出详细描述。摆动信号可以包含诸如相移、电路噪声和信号波动的误差因素。图 4A 和图 4B 图示了由锁存比较器 128 和 130 完成的二值化之前和之后的全加信号 $R = A+B+C+D$ 和摆动信号 $((A+D)-(B+C))$ 。这里,图 4A 图示了其中 $(A+D) \geq (B+C)$ 的情况,而图 4B 图示了其中 $(A+D) < (B+C)$ 的情况。图 4A 和 4B 示出了没有诸如相移、电路噪声和信号波动的误差因素的两个信号的理想波形。如图 4A 和 4B 所图示的,当波形理想时,二值化之后的全加信号和摆动信号同时做出高到低或低到高的转变。因此,当 $(A+D) \geq (B+C)$ 和 $(A+D) < (B+C)$ 时,异或电路 132 分别稳定地输出低电平 (0) 和高电平 (1) 信号。

[0071] 另一方面,图 5A 和图 5B 图示了从实际电路中获得的信号波形,所述信号波形示出了其中已经在摆动信号中发生了例如由相移、电路噪声或信号波动引起的误差因素的情况。这里,与图 4A 和图 4B 中一样,图 5A 图示了其中 $(A+D) \geq (B+C)$ 的情况,而图 5B 图示了其中 $(A+D) < (B+C)$ 的情况。在图 5A 所示的示例中,摆动信号具有相移和噪声 N。结果,二值化之后的全加信号在与二值化之后的摆动信号做出高到低或低到高转变的不同时间处做出高到低的转变。此外,因为噪声 N,所以原本应为低 (0) 的、在二值化之后输出的摆动信号的部分为高 (1)。

[0072] 另一方面,在图 5B 所示的示例中,摆动信号波动,提高(向正侧漂移)了幅度的中心。结果,原本应为低 (0) 的、在二值化之后输出的摆动信号的部分为高 (1)。

[0073] 如图 4A 和图 4B 所图示的,当全加信号为高 (1) 或低 (0) 时,摆动信号的值原本没有改变。然而,如图 5A 和 5B 所图示的,在存在误差因素时,摆动信号的值在全加信号的值没有改变的时间处改变。结果,全加信号和摆动信号在不同时间处做出高到低或低到高的转变。在图 5A 和 5B 的情况下,当原本应输出低 (0) 信号时,临时输出高 (1) 信号,而当原本应输出高 (1) 信号时,临时输出低 (0) 信号,这使得不可能向后级处的积分器 134 传送精确的信号。这阻碍了积分沿着一个方向降低。相反,积分可以取决于误差因素而增加或降低。这需要用于平衡的时间以便收敛。具体地,摆动信号的波动仅在推挽信号侧出现。结果,如果当信号 $(A+D)$ 和 $(B+C)$ 将要变得平衡时摆动信号波动发生,则它作为误差因素可以具有显著的影响。

[0074] 因此,在本实施例中,推挽波形校正模块 200 执行波形校正,以确保减少误差因素,因而使得来自实际电路的信号波形接近于如图 4A 和图 4B 所图示的理想信号波形。下面,将参考图 6 和图 7 来对于波形校正给出描述。

[0075] 图 6 是更详细地图示了推挽波形校正模块 200 的配置的框图。如图 6 所图示的,推挽波形校正模块 200 包括:双边缘检测单元 206、边缘到边缘计数器 208、推挽信号 (H、L) 时间段比较单元 210 和波形校正器 212。这里,双边缘检测单元 206、边缘到边缘计数器 208 和推挽信号 (H、L) 时间段比较单元 210 与图 2 所示的脉宽检测器 202 对应。另一方面,波形校正器 212 与波形校正器 204 对应。

[0076] 此外,图 7A 到图 7C 是用于描述由推挽波形校正模块 200 执行的波形校正的示意图。这里,图 7A 图示了时钟脉冲,而图 7B 图示了由锁存比较器 128 和 130 完成的二值化之后的全加信号和摆动信号。还是必须由推挽波形校正模块 200 来校正图 7B 所示的摆动信

号（推挽信号）。图 7B 图示了其中 $A+D \geq B+C$ 的情况。另一方面，图 7C 图示了已由推挽波形校正模块 200 校正了的摆动信号。

[0077] 馈送到推挽波形校正模块 200 的全加信号 $R = A+B+C+D$ 被馈送到其中检测全加信号的高到低或低到高转变的边缘的双边缘检测单元 206。结果，检测时间段 H 和 L，如图 7B 所图示的，在所述时间段 H 和 L 期间，全加信号分别为高和低。

[0078] 在双边缘检测单元 206 检测到边缘之后，边缘到边缘计数器 208 按照时钟脉冲的数目来对时间段 H 和 L 中的每个的长度进行计数，在所述时间段 H 和 L 期间，全加信号分别为高和低。

[0079] 此外，对于其间全加信号分别为高和低的时间段 H 和 L 中的每个，推挽信号 (H、L) 时间段比较单元 210 基于内部时钟来对高电平和低电平的摆动信号的数目进行比较。如图 7A 到图 7C 所图示的，在时钟的前沿处，针对对于时间段 H 和 L 中的每个、摆动信号为高或低做出检测。这提供了对于时间段 H 和 L 中的每个的高电平摆动信号的数目（图 7B 中的实心圆圈的数目）和低电平摆动信号的数目（图 7B 中的空心圆圈的数目）。

[0080] 推挽信号 (H、L) 时间段比较单元 210 通过多数判定法来确定在时间段 H 中高电平和低电平信号中的哪个多于另一个，因而确定逻辑值。波形校正器 212 基于计算结果来将时间段 H 中的所有摆动信号值校正为该较多的逻辑值。对于时间段 L，推挽信号 (H、L) 时间段比较单元 210 相似地通过多数判定法来确定高电平和低电平信号中的哪个多于另一个。波形校正器 212 将时间段 L 中的摆动信号值校正为该较多的逻辑值。

[0081] 图 7B 图示了其中全加信号的时间段 H 是六个时钟长的情况。在该时间段 H 期间，存在四个高（实心）摆动信号和两个低（空心）摆动信号。也就是说，存在比低电平信号多的高电平信号。因此，波形校正器 212 将时间段 H 中的所有摆动信号校正为高电平信号。另一方面，在时间段 L 期间，存在一个高（实心）摆动信号和五个低（空心）摆动信号。也就是说，存在比高电平信号多的低电平信号。因此，波形校正器 212 将时间段 L 中的所有摆动信号校正为低电平信号。

[0082] 结果，即使当在时间段 H 和 L 期间存在摆动信号的电平变化，也可以在这些时间段中的每个中将摆动信号校正为高电平或低电平信号。这确保了全加信号的高到低或低到高转变与摆动信号的高到低或低到高转变的同步。

[0083] 如上所述，波形校正器 212 将与全加信号 R 的边缘同步的摆动信号校正到作为两个电平（即，高电平和低电平）中较多的逻辑电平。图 7C 图示了来自波形校正器 212 的校正后的摆动信号。如图 7C 所图示的，摆动信号在时间段 H 期间为高，而在时间段 L 期间为低。结果，即使当在摆动信号中存在误差时，也可以去除诸如相移、噪声和信号波动的误差因素。

[0084] 这提供了从 EXOR 电路 132 向积分器 134 传送的优秀的摆动信号质量，因而有助于缩短积分时间并且显著缩短用于摆动信号幅度的调节时间。此外，即使在摆动信号的平衡调节之后，也能校正推挽信号波形。这确实地抑制了摆动信号波动的影响，可靠地防止了由于波动而导致的信号劣化。另外，即使当在从光盘 300 中读取信号时已存在了相移时，也可以校正相移的影响。这确保了误差因素的肯定去除。

[0085] 应注意，图 7B 图示了其中 $A+D \geq B+C$ 的情况。然而，当 $A+D < B+C$ 时，同样执行相同的处理。当 $A+D < B+C$ 时，在时间段 H 期间，存在比低电平信号多的高电平信号，并且在

时间段 L 期间,存在比高电平信号多的低电平信号。因此,由波形校正器完成的校正在时间段 H 期间将摆动信号改变为低电平信号,而在时间段 L 期间将摆动信号改变为高电平信号,因而去除了来自摆动信号的误差因素。

[0086] 图 8 是图示了由推挽波形校正模块 200 执行的波形校正的有益效果的特性图,其示出了直到积分器 134 的积分收敛到 0 为止的特性。这里,纵轴代表当 EXOR 电路 132 的输出为高时呈现“1”、而当其输出为低时呈现“-1”的积分。横轴代表时间。当沿着纵轴的积分为 0 时,幅度平衡处于收敛状态。由图 8 中的实线示出的波形图示了当推挽波形校正模块 200 校正了波形时的特性。另一方面,由图 8 中的虚线示出的波形图示了其中没有提供推挽波形校正模块 200 并且其中锁存比较器 128 和 130 的输出被以相同的形式馈送到 EXOR 电路 132 的情况。

[0087] 由图 8 中的虚线代表的特性示出了在幅度平衡调节开始之后、积分需要 790 微秒收敛。然而,当提供了推挽波形校正模块 200 时,在调节开始之后,积分在大约 640 微秒中收敛。如上所述,依靠推挽波形校正模块 200 从摆动信号中去除误差因素确保了积分沿着一个方向降低。这提供了将平衡收敛时间减少到大约 80%,因而有助于显著地减少收敛时间。

[0088] 图 9 是图示了摆动提取电路 108 的另一示例的示意图。在图 9 所示的电路中,在锁存比较器 128 的后级提供了图案 (pattern) 检测器 138。图 9 中的电路的其他组件与图 2 所示的那些组件相同。图案检测器 138 能够检测全加信号 R 的信号图案,并且仅向推挽波形校正模块 200 传送具有预定图案长度的信号。

[0089] 例如,如果光盘 300 是蓝光光盘 BD,则对于时间段 H(或时间段 L),由标准定义的全加信号 R 的图案长度为从 2T 到 9T(其中, T 是时钟脉冲的一个周期)。图案检测器 138 可以从所输入的全加信号 R 中移除具有预定图案长度的信号,并且向推挽波形校正模块 200 传送作为结果的信号。例如,图案检测器 138 可以移除具有 4T 或更多的图案长度的信号,或仅向后级传送具有 3T 到 6T 的图案长度的信号。这里,不期望图案的移除可能改变用于平衡的时间以收敛。结果,要由图案检测器 138 移除的图案优选地应被调节为提供最短的可能平衡收敛时间。因此,如果基于标准或光盘 300 使用的模式(例如,2× 速度模式)来调节要由图案检测器 138 移除的图案,则可以在每个标准和模式中最小化平衡收敛时间。

[0090] 如上所述,本实施例由于推挽波形校正模块 200 而确保了对于诸如相移、噪声和摆动波动的外部干扰的抑制,因而提供了向积分器 134 传送的优秀的摆动信号质量。这有助于减少积分时间,因而对于摆动信号幅度平衡提供了显著减少的调节时间。

[0091] 尽管已经参考附图而描述了本发明的优选实施例,但是不必说,本发明不限于该具体实施例。对于本领域技术人员明显的是,可以做出各种改变和修改,而不脱离本发明的范围,并且要理解,这种改变和修改无疑地包括在本发明的技术范围内。

[0092] 本申请包含涉及在 2008 年 5 月 8 日向日本专利局提交的日本优先专利申请 JP 2008-122556 中公开的主题,在这里通过引用合并其全部内容。

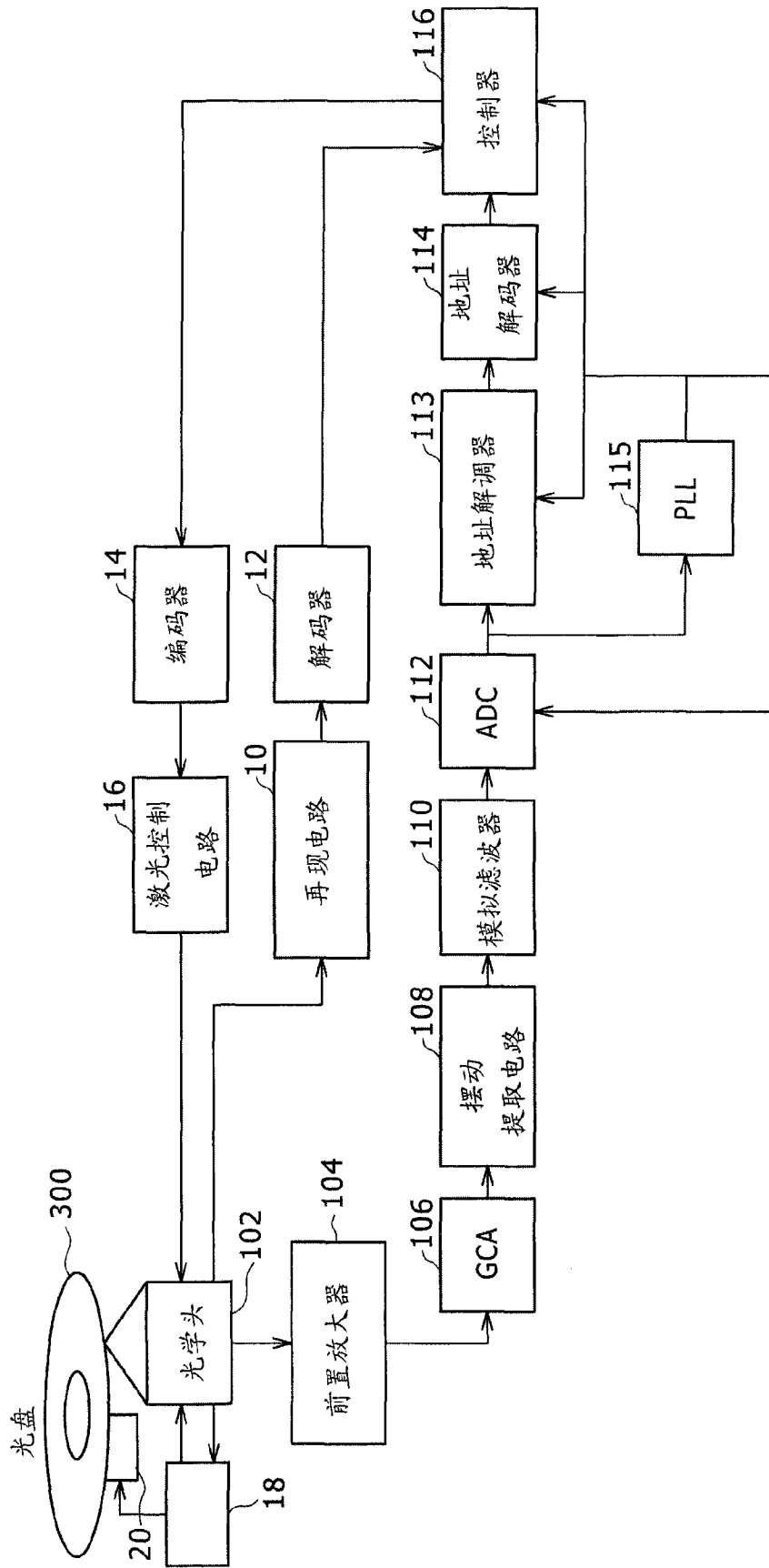


图 1

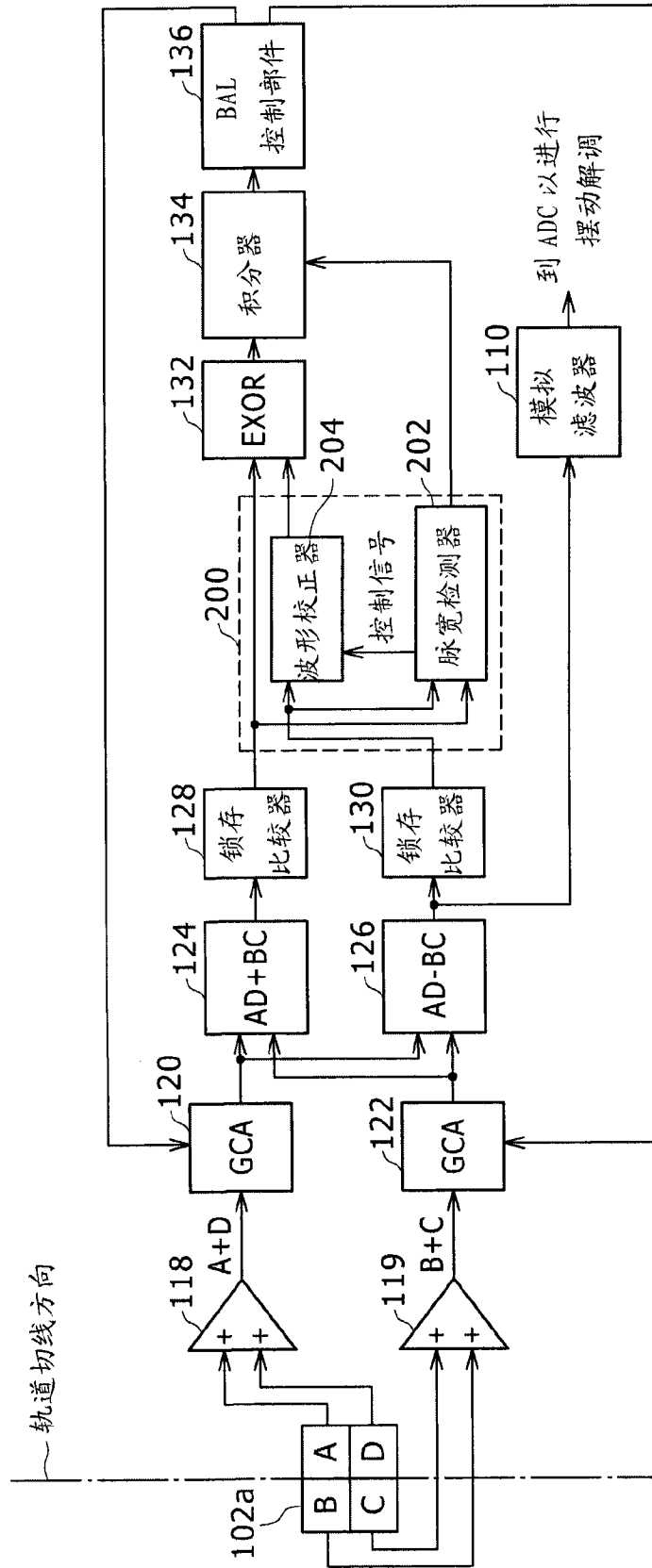


图 2

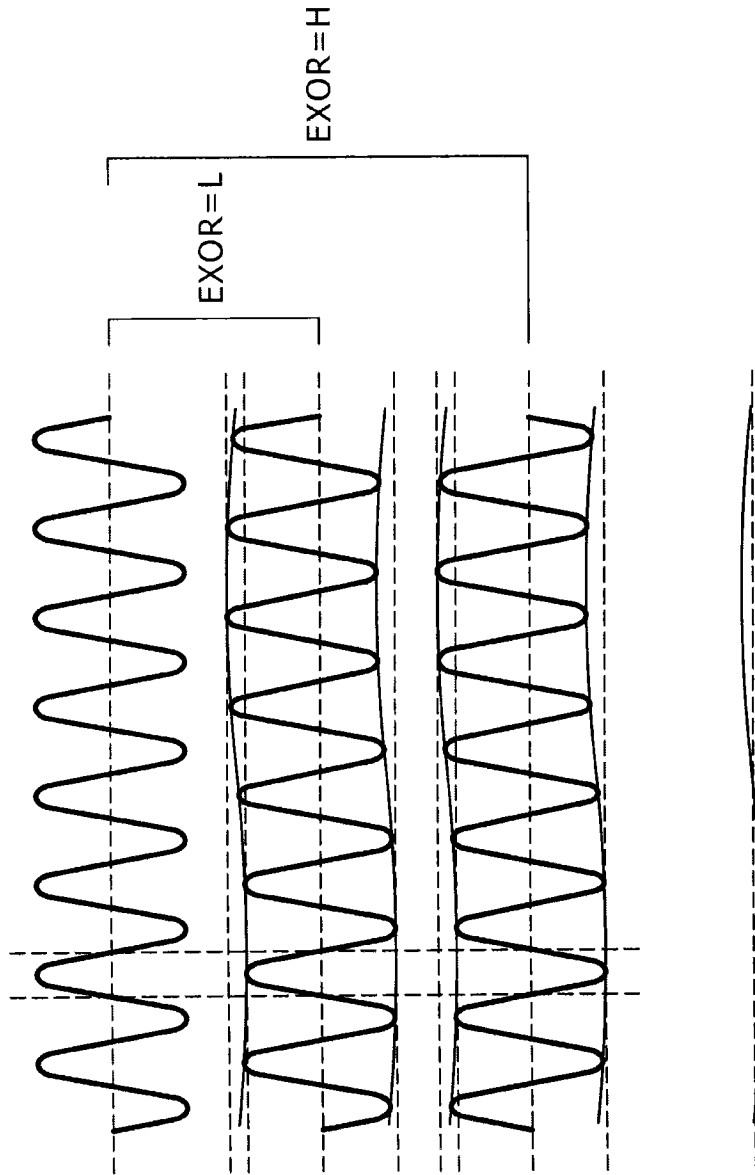


图 3A $AD+BC=RF$

图 3B $AD-BC$
当 $AD \geq BC$ 时

图 3C $AD \leq BC$

图 3D

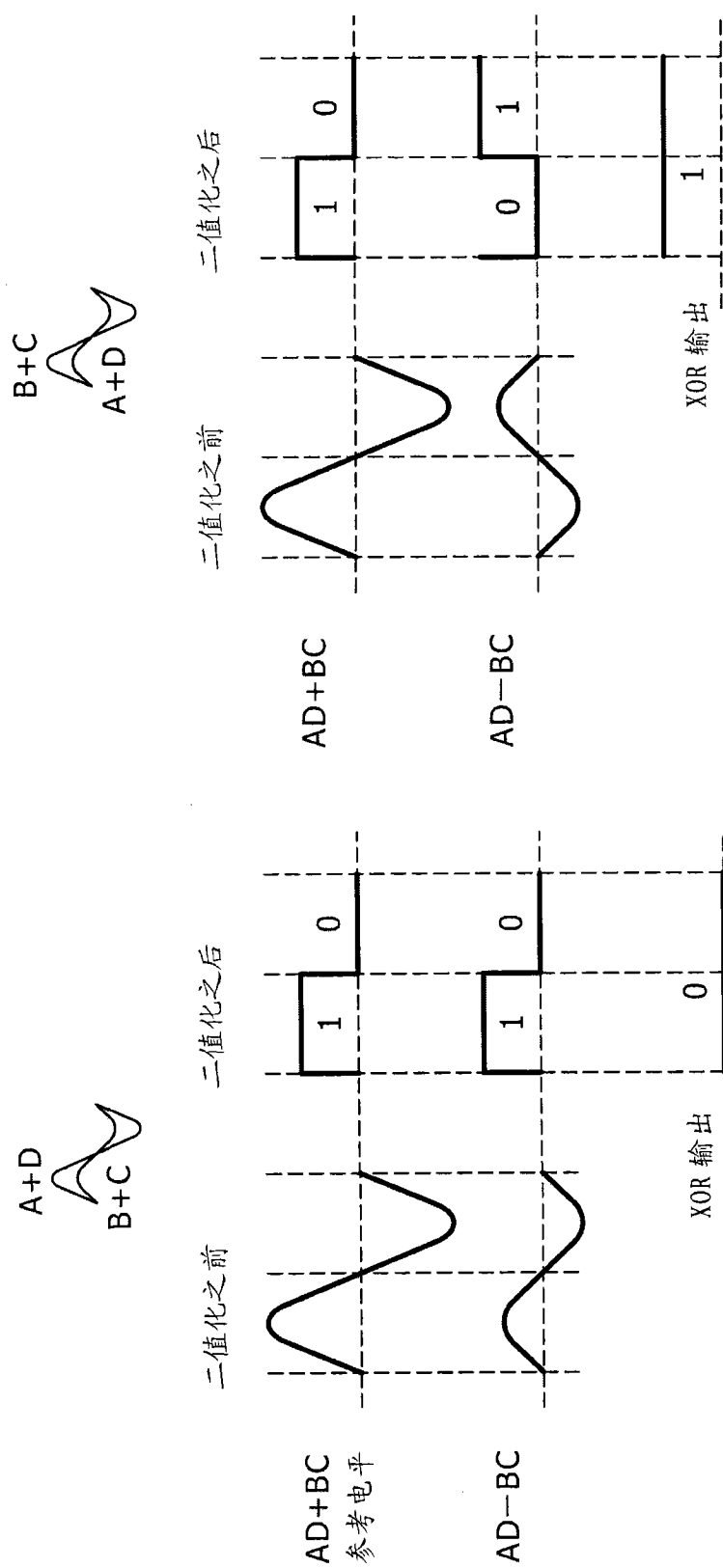


图 4B

图 4A

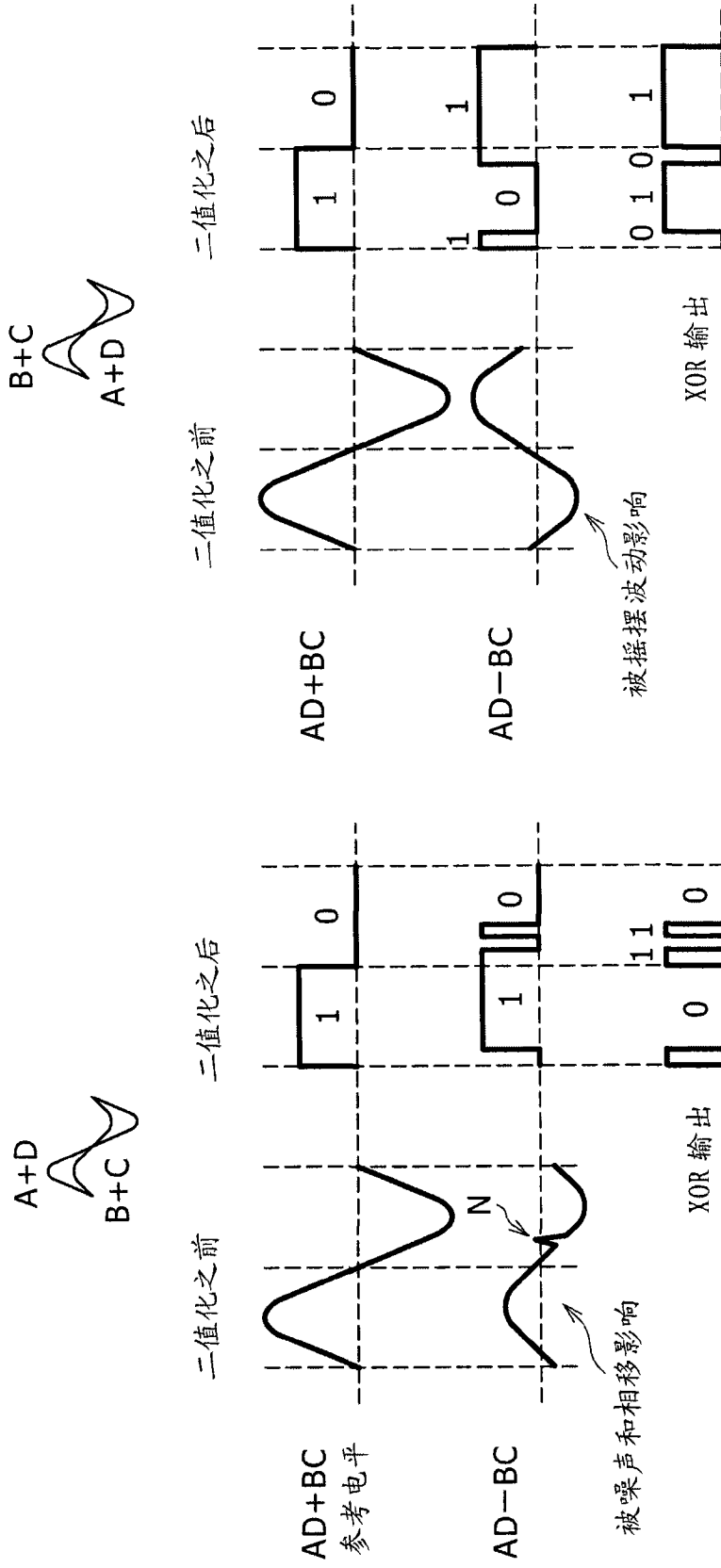


图 5B

图 5A

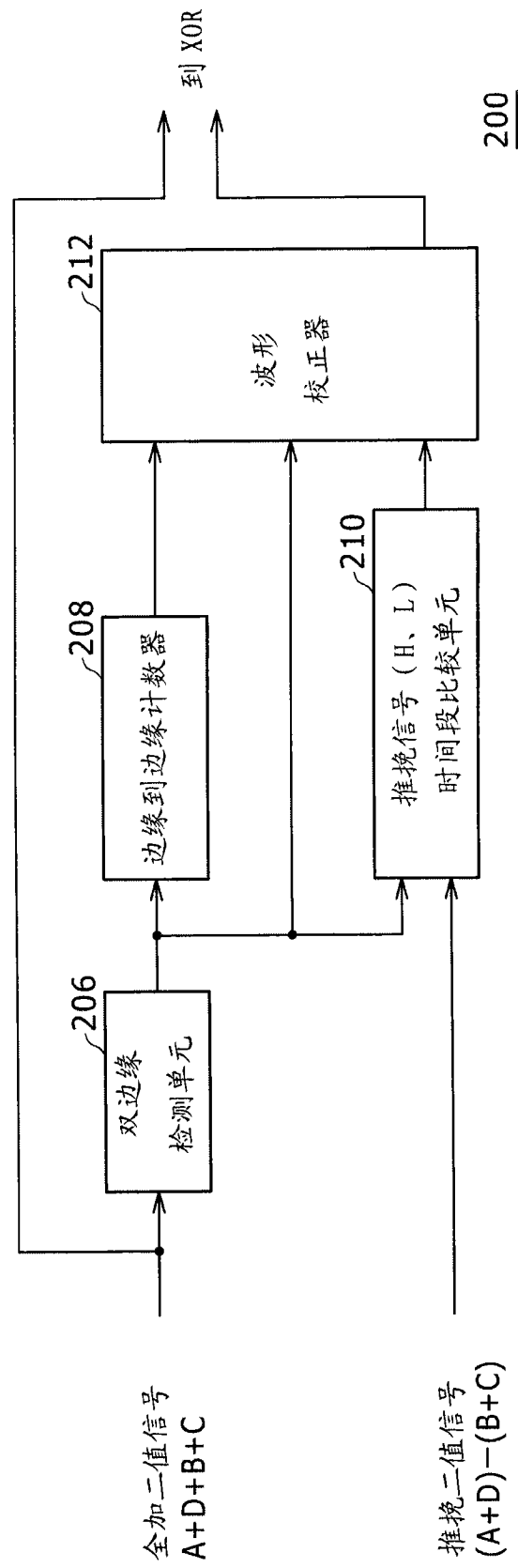
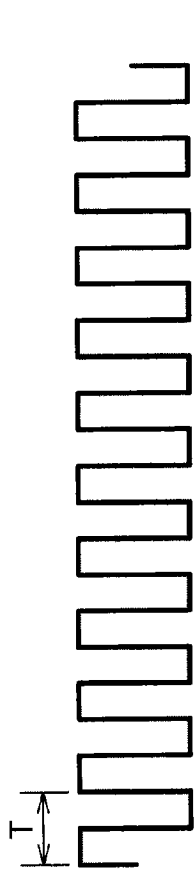
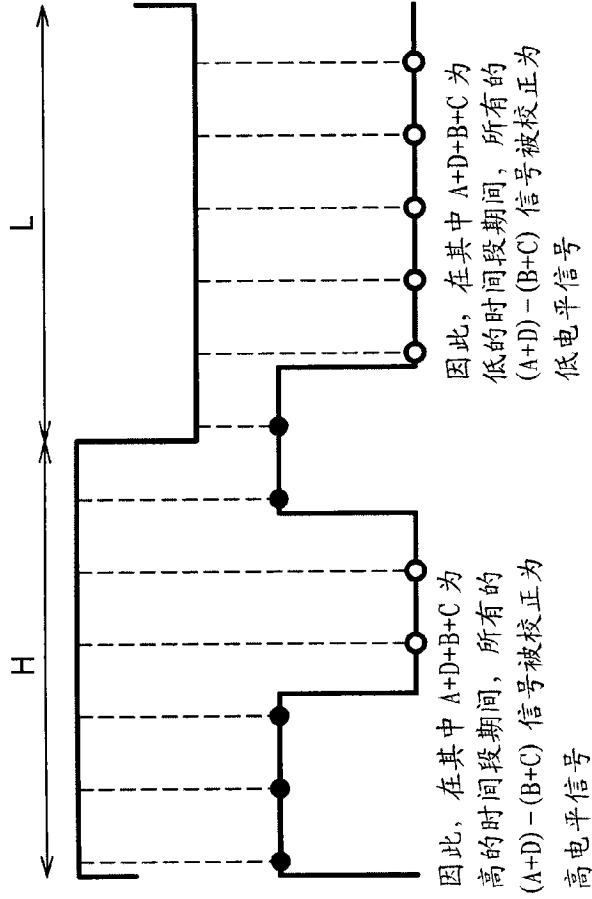


图 6



时钟

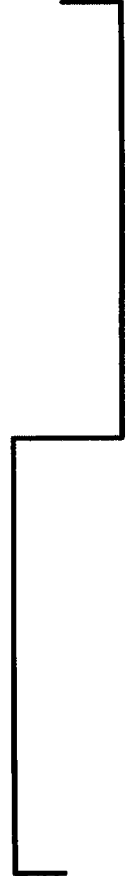
图 7A



全加信号
(A+D+B+C)

校正之前的
推挽信号
A+D-(B+C)

图 7B



校正之后的
推挽信号
A+D-(B+C)

图 7C

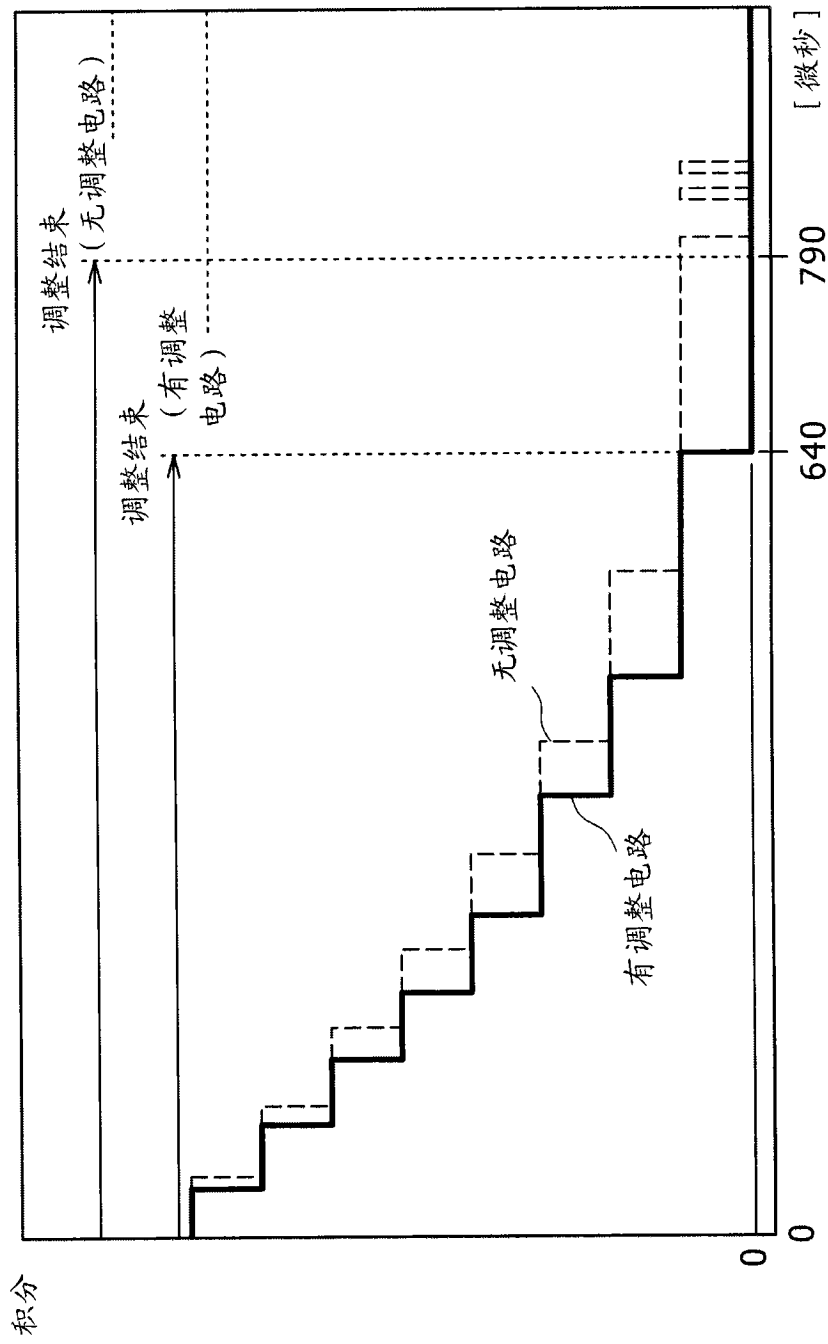


图 8

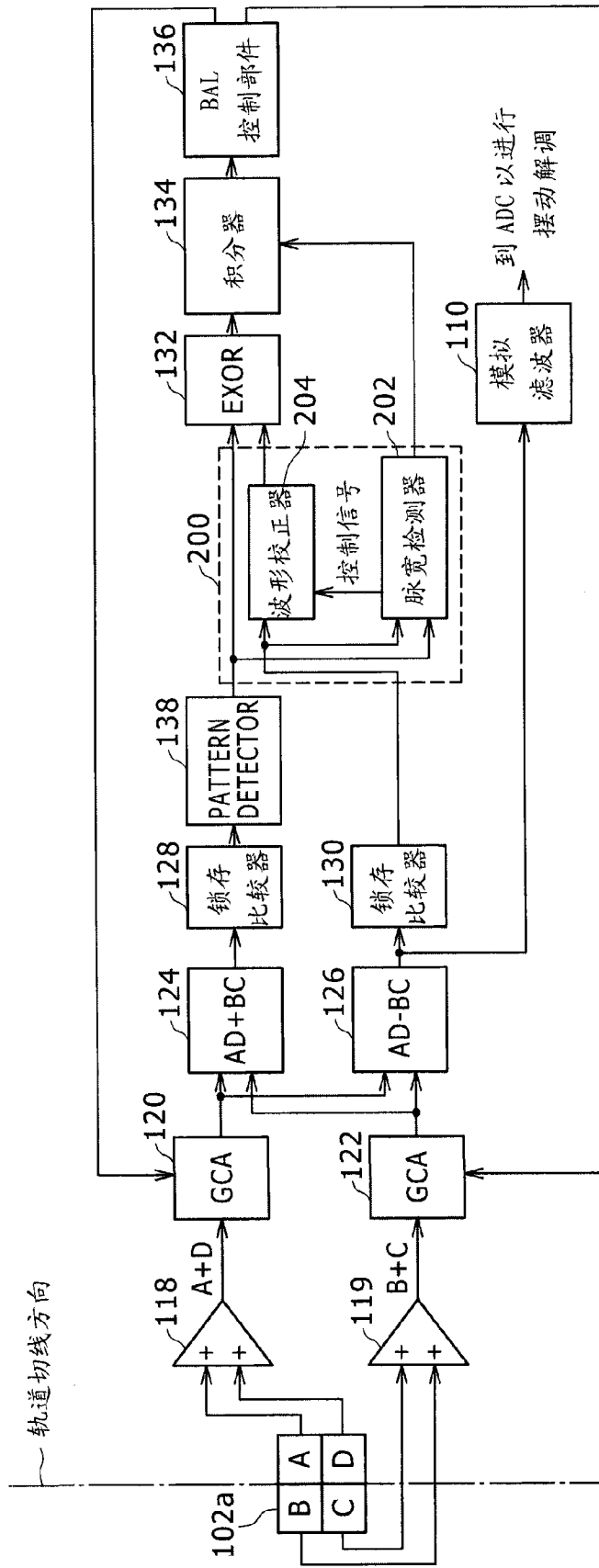


图 9