

公告本**發明專利說明書**103年10月24日修正
劃線頁...

中文說明書替換頁(103年10月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：097121961

※ 申請日期：97年6月12日

※IPC 分類：G11C 29/08 (2006.01)
G11C 29/50 (2006.01)**一、發明名稱：(中文/英文)**

供電一記憶體之方法及用於一記憶體的動態電壓調整之系統

METHOD OF POWERING A MEMORY AND SYSTEM FOR
DYNAMIC VOLTAGE ADJUSTMENT OF A MEMORY**二、申請人：(共 1 人)**

姓名或名稱：(中文/英文)

美商飛思卡爾半導體公司

FREESCALE SEMICONDUCTOR, INC.

代表人：(中文/英文)

珍妮佛 B 伍艾梅特

WUAMETT, JENNIFER B.

住居所或營業所地址：(中文/英文)

美國德州奧斯丁市威廉坎嫩道西6501號

6501 WILLIAM CANNON DRIVE WEST, AUSTIN, TEXAS 78735,
U.S.A.

國 籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 3 人)

姓 名：(中文/英文)

1. 奎帝爾 A 庫瑞許

QURESHI, QADEER A.

2. 蘇夏瑪 戴佛

DAVAR, SUSHAMA

3. 湯馬司 朱

JEW, THOMAS

國 籍：(中文/英文)

1. 美國 U.S.A.

2. 美國 U.S.A.

3. 美國 U.S.A.

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2007年07月13日；11/777,635

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

用於在一積體電路(10)上之一記憶體(14)之一電源供應電壓係在該記憶體之操作期間動態調整。該記憶體之操作包括以一供應電壓(V_{DD1})來供電該記憶體。在操作該記憶體的同時，還供電該積體電路之一測試記憶體(16)。該測試記憶體與該記憶體各包括一第一位元單元組態類型的位元單元。在操作該記憶體時，基於該測試記憶體之該測試來調整(30)該供應電壓之一電壓位準。該電壓位準係隨同外部變化來調整以採取一值，其不僅保證沒有該記憶體之任何失敗操作，而且精確最小化該供應電壓。該系統及方法可配合任一類型的記憶體來實施。該記憶體(14)與測試記憶體(16)可單獨或散佈於該記憶體電路上來實體實施。

六、英文發明摘要：

A power supply voltage for a memory (14) on an integrated circuit (10) is dynamically adjusted during the operating of the memory. The operating of the memory includes powering the memory at a supply voltage (V_{DD1}). A test memory (16) of the integrated circuit is concurrently powered while operating the memory. The test memory and the memory each include bit cells of a first bit cell configuration type. A voltage level of the supply voltage is adjusted (30), while operating the memory, based on the testing of the test memory. The voltage level is adjusted with external variations to assume a value that guarantees no failed operation of the memory but also accurately minimizes the supply voltage. The system and method may be implemented with any type of memory. The memory (14) and test memory (16) may be physically implemented either separated or interspersed on the integrated circuit.

七、指定代表圖：

(一)本案指定代表圖為：第 (2) 圖。

(二)本代表圖之元件符號簡單說明：

(無元件符號說明)

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

九、發明說明：

【發明所屬之技術領域】

此揭示內容一般係關於半導體積體電路，且更明確而言係關於用於半導體積體電路之功率保存。

本申請案係為已於2007年7月13日在美國申請之專利申請案第11/777,635號。

【先前技術】

一般情況下，期望一積體電路在最低可能功率消耗下操作。用以減低功率消耗的一方式係降低至積體電路的電源供應電壓。用於實現功率減低的一已知技術係測試具有一處理器的積體電路並決定該處理器之利用位準。隨著該處理器的利用因數減少，該處理器之操作頻率也會減低。而且，供應至該處理器之電壓量會減低一預定量，其允許該處理器以一更具效率的方式操作。

用於實現功率減低的另一已知技術係在一測試環境中測試一積體電路，該測試環境引起溫度變化並為特定積體電路測量效能。接著基於該測量測試結果來選擇一電源供應電壓值並將其程式化至該積體電路內。在該測試模式期間所決定的該電源供應電壓之值在測試完該積體電路之後保持恆定並因而必須充分高地選擇以滿足已指定該積體電路具有作用的所有操作環境。

【實施方式】

圖1中解說一系統10，其實施用於在系統10內之一記憶體的一動態電壓調整電路之一形式。在所解說形式中，系統10係一積體電路12。在積體電路12外面的係一電壓供應

器 20，用於提供一供應電壓。系統 10 具有一記憶體 14，其可能係一揮發性記憶體或一非揮發性記憶體 (NVM)。應明白，記憶體 14 進一步包括解碼電路、感測放大器及其他傳統電路，為了方便說明，未顯示該等電路。還提供一測試記憶體 16 於積體電路 12 上。測試記憶體 16 係與記憶體 14 相同的記憶體器件類型。積體電路 12 還具有其他電路 18，其代表各種額外邏輯及處理電路之任一者。詳細顯示在其他電路 18 與記憶體 14 之間的互連且與論述無關。應明白，測試記憶體 16 與記憶體 14 可實體位於積體電路 12 之不同部分，在積體電路 12 內彼此相鄰或具有散佈的記憶體單元。電壓供應器 20 係連接至一電壓調節器 22 之一輸入。雖然作為積體電路 12 之一部分來解說電壓調節器 22，但應明白，電壓調節器 22 可實施於積體電路 12 外部。電壓調節器 22 具有一第一輸出，其係連接至記憶體 14 之一電壓輸入用於提供一第一供應電壓，其標記為 V_{DD1} 。電壓調節器 22 具有一第二輸出，其係連接至其他電路 18 之一電壓輸入用於提供一第二供應電壓，其標記為 V_{DD2} 。該第一供應電壓可低於、等於或高於該第二供應電壓用於在一更具功率效率位準下操作記憶體 14，同時滿足一指定記憶體規格之其他操作特性。電壓調節器 22 具有一第三輸出，其係連接至一電壓減低電路 24 之一電壓輸入用於提供該 V_{DD1} 供應電壓。電壓減低電路 24 之一輸出係連接至測試記憶體 16 之一電壓輸入並提供一電壓，其標記為 " $V_{DD1} - V_{drop}$ "。 V_{drop} 之值係在針對一特定積體電路與一特定應用的設計期間決定。值 V_{drop} 代表在值 V_{DD1} 與一減低供應電壓之間的一電壓梯度，該減

低供應電壓係用以測試測試記憶體16的功能操作。測試記憶體16具有一輸出，用於提供讀取資料用於一測試電路26之一讀取輸入。該測試記憶體具有一資料輸入，用於從測試電路26之一寫入輸出接收寫入資料。由測試電路26提供至測試記憶體16的控制資訊係以一傳統方式經由控制信號(未顯示)來加以耦合。測試電路26之一輸出提供一通過/失敗信號至一測試控制器28之一輸入。測試控制器28具有一第一輸出，其係連接至測試電路26之一啓用輸入，用於提供一測試信號。測試控制器28之一第一輸出分別提供一第一控制信號(標記為"增加")與一第二控制信號(標記為"減少")至一電壓調整電路30之第一及第二輸入。電壓調整電路30之一輸出提供一 $V_{\text{operating}}$ 信號至電壓調節器22之一控制輸入。

在操作中，該積體電路具有一測試記憶體16，其係新增以動態決定提供一最佳最小供應電壓至記憶體14。用於記憶體14的該最佳最小供應電壓係一供應電壓值，其允許以指定(即預期)頻率來可靠地讀取並寫入記憶體14，同時消耗無錯誤實施記憶體操作所要求的最低功率。在所解說形式中，測試記憶體16接收一供應電壓，其小於記憶體14。測試記憶體16係與記憶體14相同的一記憶體電路形式(即相同程序與相同位元單元組態)並存在於積體電路12上用於回應不同電源供應電壓值來測試其功能操作目的。在測試控制器28與電壓調整電路30的控制下由測試電路26決定供電記憶體14的供應電壓 V_{DD1} 是否設定在其最佳值下。一

時脈頻率係選定用於操作記憶體14與測試記憶體16並維持該操作頻率。換言之，在積體電路12內的時脈電路係由該 V_{DD2} 電源供應電壓來供電且該電源供應電壓不被測試電路26、測試控制器28及電壓調整電路30修改。測試電路26、測試控制器28及電壓調整電路30組合運作以決定用於電源供應電壓 V_{DD1} 的一最佳低值，使得系統10之記憶體14以一具功率效率且可靠的方式操作。特定言之，電壓減低電路24運作以供應一供應電壓至測試記憶體16，其低於供應至記憶體14的電壓。測試電路26運作以寫入預定資料至測試記憶體16以及讀取該資料。測試電路26作為一比較器運作以比較寫入的資料與所讀取者。若資料值確切匹配，則提供一通過信號至測試控制器28。當該測試產生一通過時，測試控制器28提供一減少控制信號至電壓調整電路30，指示由於測試記憶體16完全無錯誤地操作，故可進一步降低該供應電壓。此外，測試控制器28實施並追蹤一計數值，其代表在降低該供應電壓之前使用相同供應電壓無錯誤進行的測試迭代或通過的一數目。測試控制器28具有用於該測試迭代數目的一預定臨限值以測試該測試記憶體16。此數目可能係使用者程式化的或可以係預定且不可變更的。若未曾超過該臨限數目，則測試控制器28產生該測試信號至測試電路26。回應Test信號，測試電路26再次寫入一已知資料值至測試記憶體16並讀取該值以決定是否寫入並讀取相同的資料。在一替代性形式中，測試電路26可能僅讀取一先前寫入資料值並比較該讀取值與一期望值用於決定

是否存在任一錯誤。在超過用於該計數值的臨限數目而未碰到任何錯誤之後，測試控制器28向電壓調節電路30指示可進一步減少該供應電壓。電壓調整電路30提供該 $V_{\text{operating}}$ 控制信號至電壓調節器22。作為回應，電壓調節器22減低 V_{DD1} 之值至電壓調節電路30所決定的 $V_{\text{operating}}$ 電壓。電壓減低電路24接著提供一進一步減低電壓，其比剛減低 V_{DD1} 電壓小一 V_{drop} 。

在替代例中，若測試電路26指示一失敗條件，則不論該計數值多少，測試控制器28均將會產生增加控制信號。作為回應，電壓調整電路30以一形式提供該 $V_{\text{operating}}$ 信號，其向電壓調節器22指示需要升高 V_{DD1} 之值。因而，記憶體14係由一供應電壓值來供電，該供應電壓值比已決定開始經歷操作失敗之一電壓大電壓調節器22之梯度之至少兩個增量。

圖2中解說一種在積體電路12內操作動態電壓調整之方法32之一流程圖。在一開始命令或信號之後，在步驟34中，設定標記為"Pass #"的一計數值至零。詞語"通過"係指在進行任一供應電壓減低之前進行所說明方法之迭代或通過之數目。在步驟36中，提供供應電壓 V_{DD1} 之一電壓值至記憶體14。在步驟38中，決定用於一測試電壓 V_{test} 的一值。該測試電壓等於供應電壓 V_{DD1} 減去一預定下降量(標記為 V_{DROP})。在步驟40中，提供所計算的測試電壓至測試記憶體16。在步驟42中，在 V_{test} 之供應電壓值下，測試測試記憶體16的功能操作。在步驟44中，決定測試記憶體16

是否已通過(即是否從測試記憶體16中讀取正確的資料值)。若測試記憶體16通過，則在步驟46中通過數目遞增一。在步驟48中，檢查該通過數目以決定其是否大於一預定臨限值。若該遞增通過數目已超過該臨限值，則在步驟50中重設該通過數目回到零並減低該 V_{DD1} 供應電壓。此刻，重複步驟36並提供該 V_{DD1} 供應電壓之新值至記憶體14。若該遞增通過數目未曾超過該臨限值，則不將該通過數目重設至零且處理返回至步驟36，在此步驟，繼續提供 V_{DD1} 之現有值至記憶體14。

對比之下，若在步驟44處，測試記憶體16由於根據測試電路26所定址之期望資料值提供逐個位元不正確的資料值而未通過，則執行一步驟52。在步驟52中，提供至記憶體14及測試記憶體16的供應電壓 V_{DD1} 之值增加一預定遞增量。接著重複步驟36且該處理依序繼續，如圖2所示。應明白，一旦開始操作開始，方法32便從步驟36至步驟44依序繼續，直至從積體電路12中移除功率。

圖3中解說一系統54，其係用於在一積體電路56內之一記憶體58的一動態電壓調整之另一形式。積體電路56具有一測試記憶體60與其他電路62。記憶體58係由一供應電壓 V_{DD1} 供電且其他電路係由一供應電壓 V_{DD2} 來供電。供應電壓 V_{DD1} 不同於供應電壓 V_{DD2} 。在一形式中，供應電壓 V_{DD1} 小於供應電壓 V_{DD2} ，以便節省功率。電壓調節器66提供一固定偏壓電壓 V_{Bias} 至一電壓調整電路68。電壓調整電路68之一第一輸出係連接至測試記憶體60之一電源供應終端或

節點用於提供一測試電源供應電壓，其標記為 V_{test} 。電壓調整電路 68 之一第二輸出提供該 V_{test} 電壓並連接至一測試控制器 72 之一第一輸入。測試記憶體 60 之一資料輸入係連接至一測試電路 70 之一輸出用於提供寫入資料。測試記憶體 60 之一資料輸出係連接至測試電路 70 之一輸入用於提供讀取資料。測試電路 70 提供一通過/失敗結果信號至測試控制器 72 之一第二輸入。測試控制器 72 之一第一輸出係連接至測試電路 70 之一輸入用於提供一測試啟用信號。測試控制器 72 之一第二輸出係連接至電壓調整電路 68 之一第二輸入用於提供一控制信號，其標記為 V_{Adjust} 。測試控制器 72 之一第三輸出係連接至電壓調整器 66 之一第二輸入用於提供一電壓控制信號，其標記為 $V_{operating}$ 。

在操作中，積體電路 56 具有一測試記憶體 60，其係存在用於以動態決定提供一最佳最小供應電壓至記憶體 58。用於記憶體 58 的該最佳最小供應電壓係一供應電壓值，其允許以指定(即預期)頻率來可靠地讀取並寫入記憶體 58，同時消耗無錯誤實施記憶體操作所要求的最低功率。在所解說形式中，測試記憶體 60 最初接收一供應電壓，其等於一偏壓電壓 V_{Bias} 。在測試控制器 72 與電壓調整電路 68 之控制下由測試電路 70 進行一決定。再次應明白，一時脈頻率係選定用於操作記憶體 58 與測試記憶體 60 並維持該操作頻率。換言之，在積體電路 56 內的時脈電路係由該 V_{DD2} 電源供應電壓來供電且該電源供應電壓不被測試電路 70、測試控制器 72 及電壓調整電路 68 修改。測試電路 70、測試控制

器 72 及電壓調整電路 68 組合運作以決定用於電源供應電壓 V_{DD1} 的一最佳低值，使得系統 54 之記憶體 58 以一具功率效率且可靠的方式操作。特定言之，電壓調整電路 68 運作以供應一測試電壓至測試記憶體 16，該測試電壓最初在一 V_{Bias} 值。測試電路 70 運作以寫入預定資料至測試記憶體 60 以及讀取該資料。測試電路 70 作為一比較器運作以比較寫入的資料與所讀取者。若該等資料值確切匹配，則提供一通過信號至測試控制器 72。當此記憶體測試產生一通過時，測試控制器 72 提供一 V_{Adjust} 控制信號至電壓調整電路 68，指示由於測試記憶體 60 完全無錯誤地操作，故可進一步降低該供應電壓。此外，測試控制器 72 隨後提供一測試啟用信號至測試電路 70。回應該測試信號，測試電路 70 再次寫入一已知資料值至測試記憶體 60 並讀取該值以決定是否寫入並讀取相同的資料。在一替代性形式中，測試電路 70 可能僅讀取一先前寫入資料值並比較該讀取值與一期望值用於決定是否存在任何錯誤。重複此方法，直至測試電路 70 決定已發生測試記憶體 60 操作失敗。測試電路 70 接著產生一失敗信號至測試控制器 72。作為一回應，測試控制器 72 提供一 $V_{operating}$ 信號至電壓調節器 66。該 $V_{operating}$ 信號係先前測試電壓（即未發生任何操作失敗的測試電壓）之值與一預定額外電壓量（稱為一電壓容限）的和。回應該 $V_{operating}$ 信號，該電壓調節器調整至記憶體 58 之 V_{DD1} 之值以使之等於電壓 $V_{operating}$ 。

圖 4 中解說一流程圖，其說明一種在積體電路 56 內操作

動態電壓調整之方法78。在一開始信號或命令或一啟用信號之後，實施步驟80，其中提供一供應電壓 V_{DD1} 至記憶體58以操作記憶體58。該 V_{DD1} 供應電壓具有一充分高的供應電壓值以確保記憶體58可靠操作。在步驟82中，由電壓調整電路68供應一測試電壓 V_{Test} 。該 V_{Test} 電壓之值等於電壓調節器66所提供的固定偏壓電壓 V_{Bias} 之電壓。在步驟84中，電壓調整電路68提供該供應電壓 V_{Test} 至測試記憶體60。在步驟86中，接著在 V_{Test} 的供應電壓值下由測試電路70測試該測試記憶體60。在步驟88中，由測試電路70決定測試記憶體60是否在一寫入及一讀取操作中已正確地運作。若測試記憶體60已正確地運作，則在步驟90中將測試供應電壓 V_{Test} 降低一遞級量。使用降低的 V_{Test} 電壓，重複步驟84至86。若測試記憶體60繼續使用降低的 V_{Test} 通過一寫入及讀取操作，則再次降低該 V_{Test} ，重複步驟84至86以及等等，直至測試記憶體60在一降低 V_{Test} 供應電壓值下失敗。回應測試記憶體60失敗，由測試控制器72將該操作電壓信號 $V_{operating}$ 置於一值下，以使之等於在測試記憶體60失敗之前使用的 V_{Test} 值並進一步遞增一預定電壓容限。因而，新增一安全容限。在步驟94中，藉由使 V_{DD1} 等於 $V_{operating}$ 的最新決定值來向上調整供應電壓 V_{DD1} 。在完成步驟94之後，方法78繼續直至從積體電路56移除功率。特定言之，發生返回至步驟82開始並再次提供該 V_{Test} 供應電壓至測試記憶體60作為 V_{Bias} 的已知值。

至此應瞭解，已提供一動態電壓調整電路之各種形式用

於在一積體電路中調整一記憶體之供應電壓。該記憶體可作為一"獨立"型記憶體或作為一嵌入記憶體來實施於具有其他類型電路功能的一積體電路(常稱為一系統單晶片(SOC))內。在具有靜態隨機存取記憶體(SRAM)與各種邏輯電路模組的一SOC中，在減低供應電壓用於功率保存時該等SRAM位元單元先於邏輯電路開始失敗較常見。此外，記憶體操作可靠性由於供應電壓變化而不易預測。因此，記憶體一般決定所要求的最小供應電壓。在本文所說明之該等具體實施例中，決定用於記憶體之一最佳供應電壓，使得實施在一記憶體電源供應值與邏輯電路電源供應值之間的雙態。此外，本文所說明之方法准許一動態變化，使得容易地解決溫度變化與其他操作條件。該動態調整在積體電路之記憶體完全具有作用時發生並因而不會發生記憶體之操作及功能性的任何干擾。該動態調整因而在操作實施於一積體電路內的一記憶體時發生且其包括在該記憶體正儲存或保持資料時以及在讀取及寫入操作模式期間調整供應電壓。測試記憶體16與測試記憶體60係以不同大小之任一大小來實施。期望在該測試記憶體中的一足夠大數目的記憶體位元以確保該測試記憶體代表位元單元行為之一廣泛分佈。

因為實施本發明之各種裝置大多數由習知此項技術者所瞭解的電子組件及電路所構成，故為了明白並瞭解本發明之基本概念以及為了不模糊或混淆本發明之教導內容，未曾以如上所解說認為必要的任一更大程度來解釋電路細

節。

適用時，可使用各種不同資訊處理系統來實施上述具體實施例之一些具體實施例。例如，儘管圖1及其論述說明一範例性記憶體系統架構，但此範例性架構僅呈現用以在論述本發明之各種態樣時提供一有用參考。當然，為了論述目的，已簡化該架構之說明，且其僅係可依據本發明使用的許多不同類型適當架構之一。習知此項技術者應認識到，在邏輯區塊之間的邊界僅係解說性且替代性具體實施例可合併邏輯區塊或電路元件或在各種邏輯區塊或電路元件上強加一替代性功能分解。

因而，應明白，本文所描述之該等架構僅係範例性，且實際上可實施實現相同功能性的許多其他架構。在一抽象但仍確定意義上，用以實現相同功能性的任一組件配置係有效地"相關聯"使得實現所需功能性。因此，本文組合以實現一特定功能性的任兩個組件可視為彼此"相關聯"，使得實現所需功能性而不論架構或中間組件如何。類似地，如此相關聯的任兩個組件還可視為彼此"可操作性地連接"或"可操作性地耦合"以實現所需功能性。

而且，例如，在一具體實施例中，所解說的記憶體電路係SRAM。在其他形式中，該等所解說記憶體電路係實施為DRAM、MRAM、鐵電記憶體及非揮發性記憶體(NVM)(包括快閃記憶體)以及揮發性儲存媒體(包括暫存器、緩衝器或快取記憶體、主記憶體)。

此外，習知此項技術者應認識到，在以上所說明操作之

功能性之間的邊界僅係解說性。多個操作之功能性可組合成一單一操作及/或一單一操作之功能性可分佈於額外操作中。而且，替代性具體實施例可包括一特定操作之多個實例，且操作次序可在各種其他具體實施例中變更。

該電腦可讀取媒體可包括(例如且非限制性)以下若干者：磁性儲存媒體，包括磁碟及磁帶儲存媒體；光學儲存媒體，例如光碟媒體(例如CD-ROM、CD-R等)及數位視訊碟片儲存媒體；非揮發性記憶體儲存媒體，包括以半導體為主的記憶體單元，例如FLASH記憶體、EEPROM、EPROM、ROM；鐵電數位記憶體；MRAM；非揮發性儲存媒體，包括暫存器、緩衝器或快取記憶體、主記憶體、RAM等；及資料傳輸媒體，包括電腦網路、點對點電信設備及載波傳輸媒體；以及其他。

在一具體實施例中，系統10係實施於一電腦系統內，例如一個人電腦系統。其他具體實施例可包括不同類型的電腦系統。電腦系統係資訊處理系統，其可設計以賦予獨立計算能力給一或多個使用者。電腦系統可存在於許多形式中，包括但不限於主機電腦、迷你電腦、伺服器、工作站、個人電腦、文字編譯器、個人數位助理、電子遊戲機、汽車及其他嵌入式系統、行動電話及各種其他無線器件。一典型電腦系統包括至少一處理單元、相關聯記憶體及若干輸入/輸出(I/O)器件。

在一形式中，本文提供一種供電一記憶體之方法。一積體電路之一記憶體係藉由在一供應電壓下供電該記憶體來

操作。在操作該記憶體的同時，測試該積體電路之一測試記憶體。該測試記憶體與該記憶體各包括一第一位元單元組態類型的位元單元。在操作該記憶體時，基於測試該測試記憶體來調整該供應電壓之一電壓位準。在一形式中，該測試包括決定用於供電該測試記憶體的一最小電壓位準，在該位準下該記憶體通過測試。該調整包括基於該決定一最小電壓位準來在一電壓位準下提供該供應電壓。在另一形式中，在複數個電壓位準下供電該測試記憶體時，測試該測試記憶體。決定該測試記憶體測試失敗的該複數個電壓位準之一最高電壓位準。在一形式中，調整該供應電壓至一電壓位準，其高於該最高電壓位準。在另一形式中，在一電壓位準下供電該測試記憶體，該電壓位準比該供應電壓之電壓位準小一預定量。在複數個電壓位準下供電該測試記憶體期間，在複數個電壓位準下供電該記憶體。在另一形式中，該測試包括寫入一資料模式至該測試記憶體、從該測試記憶體讀取一資料單元及比較該資料模式與該資料單元。

在另一形式中，本文中提供一種藉由在一操作電壓位準下供電一積體電路之記憶體來供電一記憶體之方法。第一次測試該積體電路之一測試記憶體。基於該第一次測試來調整該操作電壓位準至一第一調整操作電壓位準。在該第一次調整之後，在該第一調整操作電壓位準下供電該記憶體。第二次測試該測試記憶體。基於該第二次測試來調整該第一調整操作電壓位準至一第二調整操作電壓位準。在

調整該第一操作電壓位準之後，在該第二調整操作電壓位準下供電該記憶體。在另一形式中，該第一次測試包括基於該操作電壓位準來在一第一測試電壓位準下供電該測試記憶體。該第二次測試包括基於該第一調整操作電壓位準來在一第二測試電壓位準下供電該測試記憶體。在另一形式中，該第一測試電壓位準係比該操作電壓位準小一預定量。該第二測試電壓位準係比該第一調整操作電壓位準小該預定量。在另一形式中，若該第一次測試指示失敗，則該第一次調整包括增加該操作電壓位準至該第一調整操作電壓，其中該第一調整操作電壓位準大於該操作電壓位準。在另一形式中，若該第一次測試不指示失敗，則該第一次調整包括減少該操作電壓位準至該第一調整操作電壓，其中該第一調整操作電壓位準小於該操作電壓位準。在另一形式中，該第一次測試包括測試該測試記憶體，同時在複數個電壓位準下供電該測試記憶體並決定該測試指示通過的該複數個電壓位準之一第一最低電壓位準，其中該第一調整電壓位準係基於該第一最低電壓位準。該第二次測試包括測試該測試記憶體，同時在複數個電壓位準下供電該測試記憶體並決定該測試指示通過的該複數個電壓位準之一第二最低電壓位準，其中該第二調整電壓位準係基於該第二最低電壓位準。

一種系統具有一積體電路之一記憶體，該記憶體包括一供應端子，用於接收一操作供應電壓。該積體電路之一測試記憶體包括一測試供應端子，用於接收一測試供應電壓

用以供電該測試記憶體，該測試記憶體與該記憶體各包括一第一位元單元組態類型的位元單元。該測試電路係耦合至該測試記憶體用於測試並決定該測試記憶體之效能，該測試電路可操作用以發現在該測試供應端子處所接收的一最低測試供應電壓位準，在該最低測試供應電壓位準下該測試記憶體通過測試。該記憶體之供應端子係經組態用以接收該操作供應電壓，其可基於該測試電路所決定之該測試記憶體之效能在記憶體操作期間可調整。在一形式中，該記憶體之供應端子係經組態用以在一電壓位準下接收該操作供應電壓，該電壓位準處於超過該最小測試供應電壓位準一預定量處。在另一形式中，該測試供應電壓係在比該操作供應電壓之一電壓位準小一預定量的一電壓位準下供應。在另一形式中，該操作供應電壓基於該測試電路所決定的該測試記憶體之一失敗測試來加以增加。在另一形式中，該測試電路在一第一測試電壓位準下供應該測試供應端子來測試該測試記憶體，該第一測試電壓位準係基於在一第一電壓位準下的該操作供應電壓。該操作供應電壓係基於在該第一測試電壓位準下供應時該測試記憶體通過測試的一決定來降低至一第二電壓位準。在另一形式中，該操作供應電壓係基於在該第一測試電壓位準下供應時該測試記憶體連續通過一預定數目測試的一決定來降低至該第二電壓位準。在另一形式中，該測試電路在一測試電壓位準下供應該測試供應端子來測試該測試記憶體，該測試電壓位準係基於在一第一電壓位準下的該操作供應電壓，

其中該操作供應電壓係基於在該第一測試電壓位準下供應時該測試記憶體測試失敗的一決定來升高至一第二電壓位準。在另一形式中，提供一種用於在複數個電壓位準下供應該測試操作電壓之電壓調整電路，其中該測試電路在複數個電壓位準之位準下測試該測試記憶體以決定該測試記憶體通過測試的該複數個電壓位準之一最低電壓位準，該操作供應電壓係基於該已決定的最低電壓位準來在一電壓位準下供應。在另一形式中，提供一種電壓調節器，其包括一輸出，其係耦合至該操作供應端子；及一輸入，其係耦合至該測試電路以接收一指示，用於基於該測試電路所決定之該測試記憶體之效能來調整該操作供應電壓。

儘管本文中參考特定具體實施例來說明本發明，但是可進行各種修改及變更而不脫離以下專利申請範圍所提出之本發明之範疇。例如，該測試電路、測試控制器及電壓調整之該等功能之許多功能可以軟體程式碼來實施，其中該測試電路將會包括一處理單元，用於執行所要求程式碼來執行該等記憶體測試及電壓控制功能。據此，應將本說明書及圖式視為一解說性而非限制性意義，並且期望所有此類修改均包括在本發明之範疇內。不期望將本文中關於特定具體實施例所說明之任一好處、優點或問題解決方案視為任一或所有申請項之一關鍵、必要或本質特徵或要素。

本文所使用之術語"耦合"不期望限制於一直接耦合或一機械耦合。

此外，本文所使用的術語"一"或"一個"係定義為一個或一個以上。而且，在申請專利範圍中使用諸如"至少一"及"一或多個"之類介紹性短語不應視為暗示著藉由不定冠詞"一"或"一個"介紹另一申請項元件會將包含此類介紹申請項元件之任何特定申請項限制於僅包含一此類元件之發明，即使相同的申請項包括介紹性短語"一或多個"或"至少一"及諸如"一"或"一個"之不定冠詞。此同樣適用於定冠詞之用法。

除非另有聲明，諸如"第一"及"第二"之類術語係用來任意區分此類術語所說明之元件。因而，該些術語不一定用來指示此類元件之時間或其他優先性。

【圖式簡單說明】

本發明已藉由範例方式加以解說且不受附圖限制，在附圖中相同參考符號指示相似元件。為了簡化及清楚起見，解說該等圖式中的元件且其不一定按比例繪製。

圖1中以方塊圖形式解說一種具有一記憶體之積體電路，該記憶體具有依據本發明之一形式之動態電壓調整；

圖2中解說圖1之積體電路之操作之一形式之一流程圖；

圖3中以一方塊圖解說一種具有一記憶體之積體電路，該記憶體具有依據本發明之另一形式之動態電壓調整；以及

圖4中解說圖3之積體電路之操作之一形式之一流程圖。

【主要元件符號說明】

10 積體電路/系統

12	積體電路
14	記憶體
16	測試記憶體
18	其他電路
20	電壓供應器
22	電壓調節器
24	電壓減低電路
26	測試電路
28	測試控制器
30	電壓調整電路
54	系統
56	積體電路
58	記憶體
60	測試記憶體
62	其他電路
66	電壓調節器
68	電壓調整電路
70	測試電路
72	測試控制器

十、申請專利範圍：

1. 一種供電一記憶體之方法，其包含：

操作一積體電路之一記憶體，操作該記憶體包括在一供應電壓下供電該記憶體；

在操作該記憶體時，同時以不同於該供應電壓之一電壓位準測試該積體電路之一測試記憶體，該測試記憶體與該記憶體各包括一第一位元單元組態類型的位元單元；以及

在操作該記憶體時，基於該測試記憶體之該測試來調整該供應電壓之一電壓位準。

2. 如請求項1之方法，其中：

該測試包括決定用於供電該測試記憶體的一最小電壓位準，在該最小電壓位準下該測試記憶體通過測試；以及

該調整包括基於該決定之最小電壓位準而以一電壓位準提供該供應電壓。

3. 如請求項1之方法，其中該測試該測試記憶體包括：

在複數個電壓位準下供電該測試記憶體時，測試該測試記憶體；以及

決定該測試記憶體測試失敗的該複數個電壓位準之一最高電壓位準。

4. 一種供電一記憶體之方法，其包含：

在一操作電壓位準下供電一積體電路之一記憶體；

第一次測試該積體電路之一測試記憶體；

基於該第一次測試來調整該操作電壓位準至一第一調

整操作電壓位準；

在該第一次調整之後，在該第一調整操作電壓位準下供電該記憶體；

第二次測試該測試記憶體，同時以該第一調整操作電壓位準供電該記憶體；

基於該第二次測試來調整該第一調整操作電壓位準至一第二調整操作電壓位準；以及

在該調整該第一操作電壓位準之後，在該第二調整操作電壓位準下供電該記憶體。

5. 一種用於記憶體之動態電壓調整之系統，其包含：

一積體電路之一記憶體，該記憶體包括一供應端子，用於接收一操作供應電壓；

該積體電路之一測試記憶體，該測試記憶體包括一測試供應端子，用於接收一測試供應電壓用以供電該測試記憶體，該測試記憶體與該記憶體各包括一第一位元單元組態類型的位元單元；以及

測試電路，其係耦合至該測試記憶體用於測試並決定該測試記憶體之效能，該測試電路可操作用以發現在該測試供應端子處所接收的一最低測試供應電壓位準，在該最低測試供應電壓位準下該測試記憶體通過測試；

其中該記憶體之該供應端子係經組態用以接收該操作供應電壓，其可基於該測試電路所決定之該測試記憶體之效能在記憶體操作期間調整。

十一、圖式：

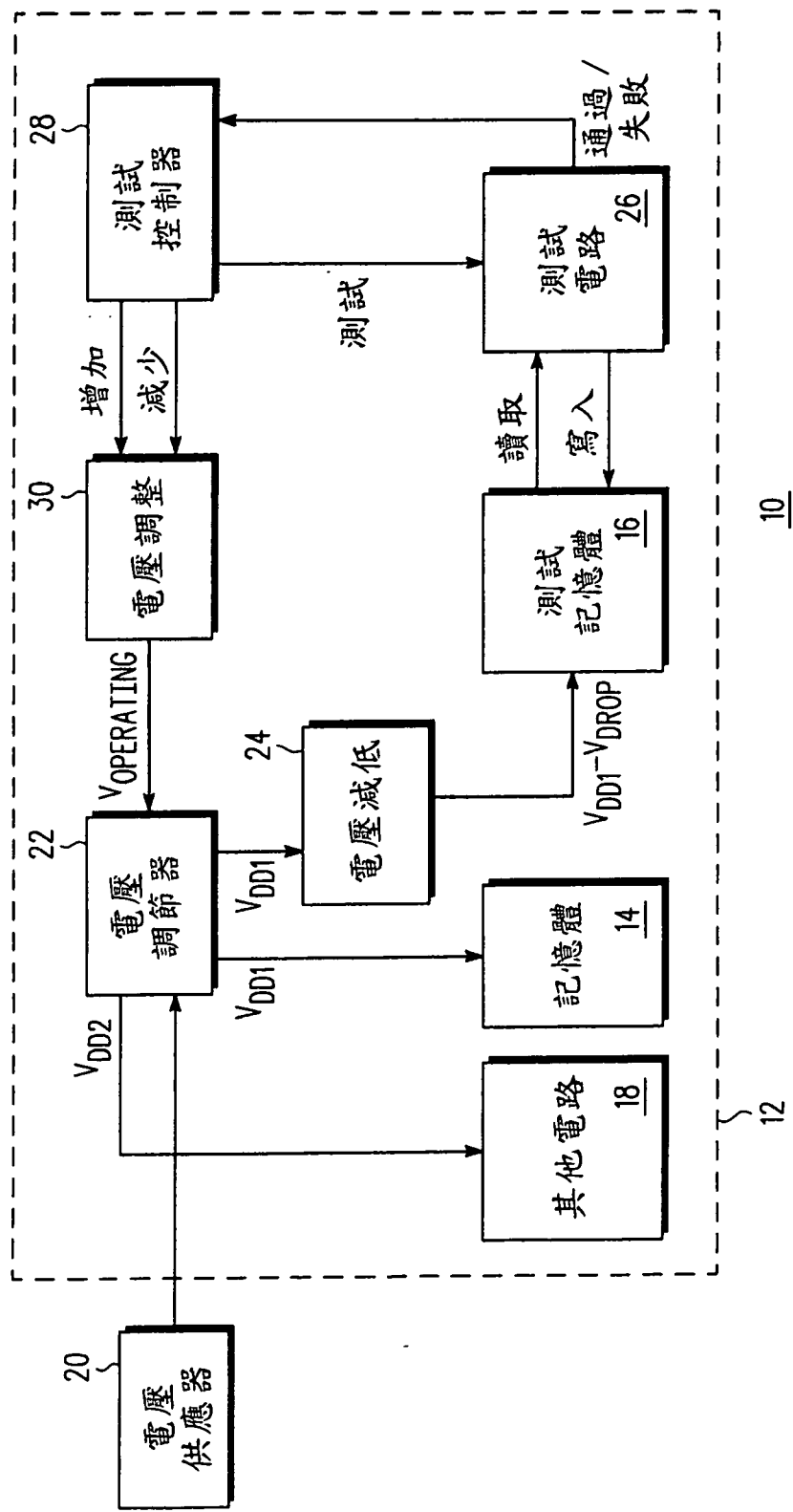
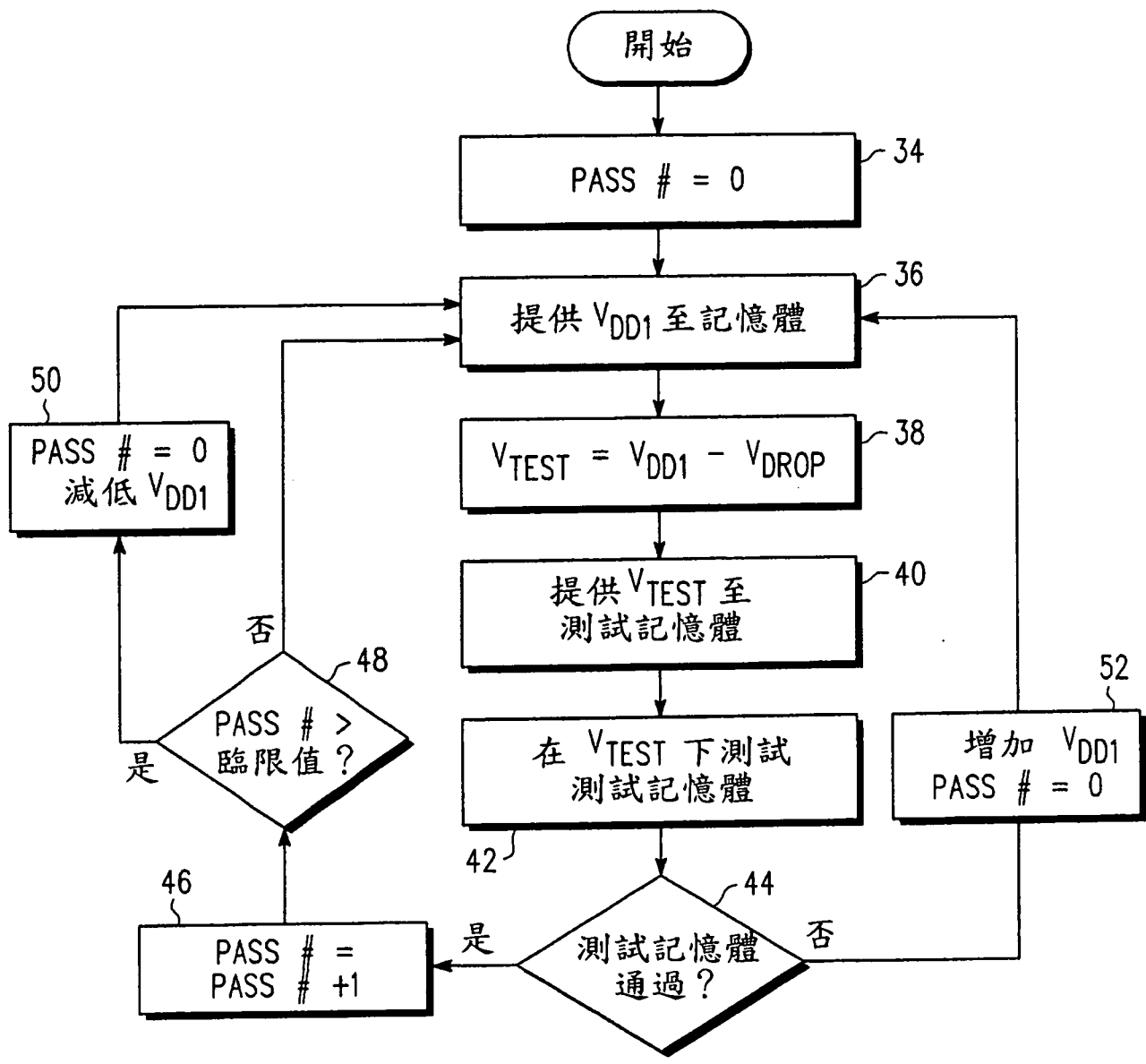
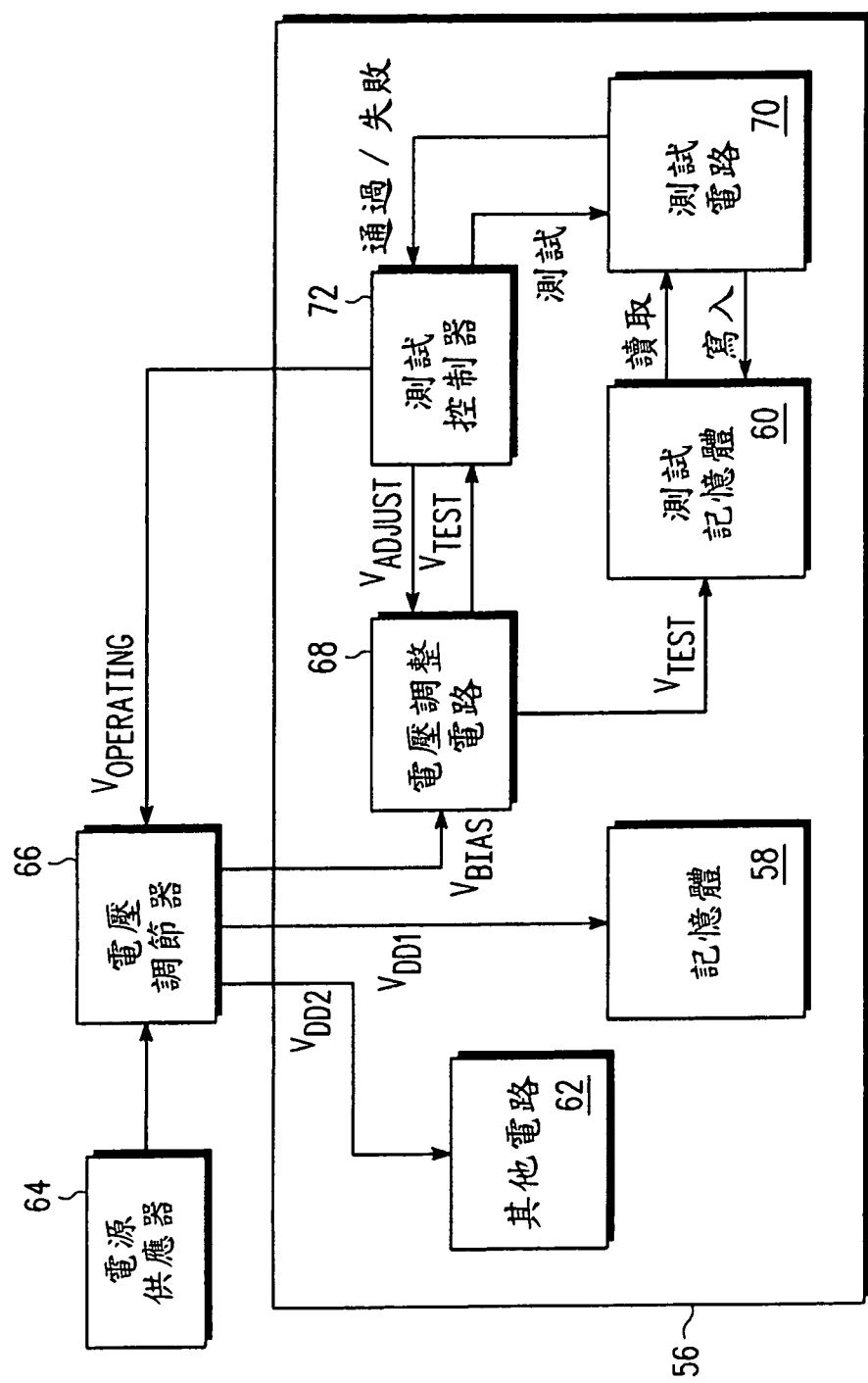


圖 1



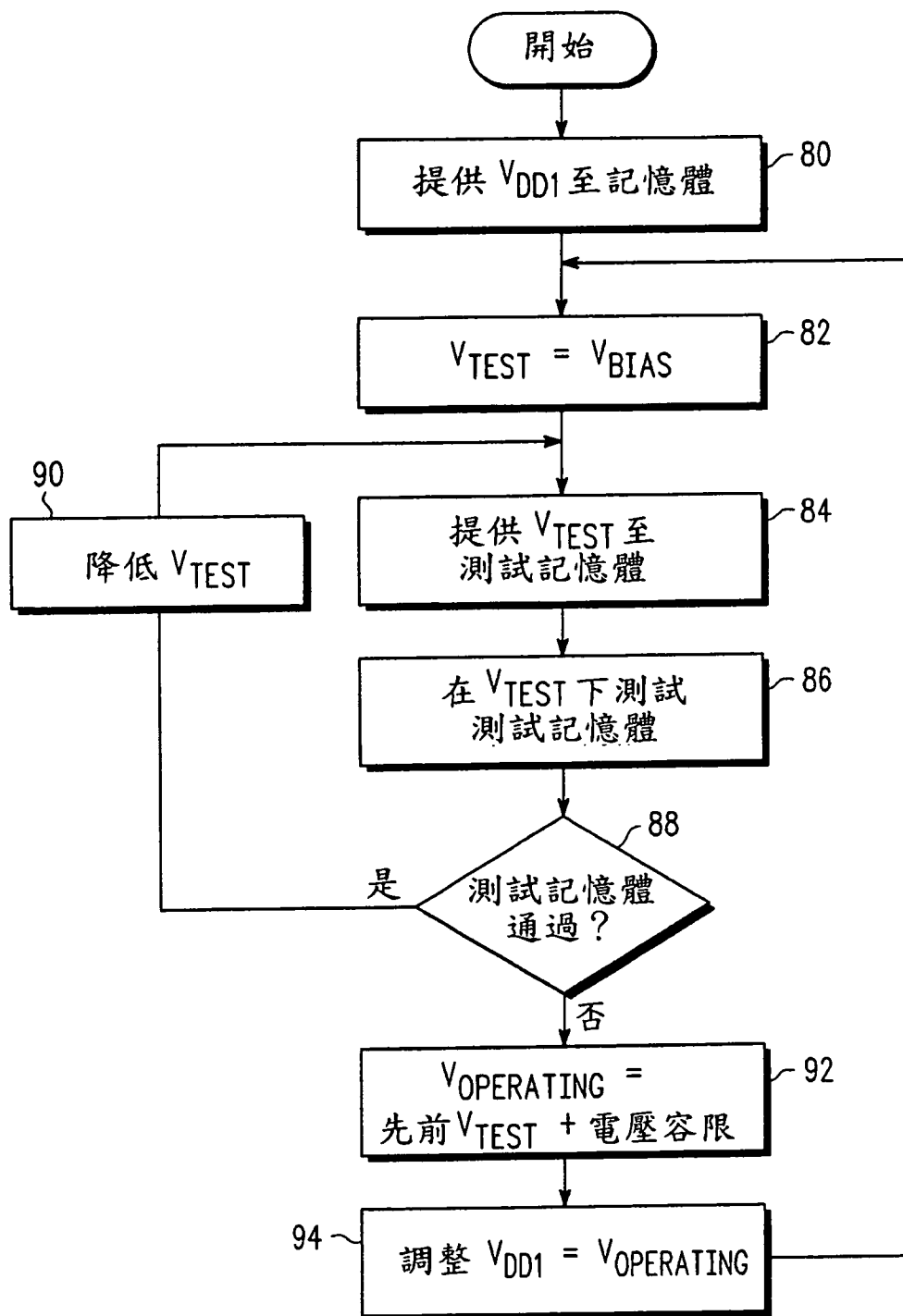
32

圖 2



54

圖 3



78

圖 4