

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2012-205006

(P2012-205006A)

(43) 公開日 平成24年10月22日 (2012. 10. 22)

(51) Int.Cl.	F I	テーマコード (参考)
H03K 17/08 (2006.01)	H03K 17/08 C	5J055
H03K 17/693 (2006.01)	H03K 17/693 A	

審査請求 未請求 請求項の数 6 O L (全 15 頁)

(21) 出願番号	特願2011-66490 (P2011-66490)	(71) 出願人	300057230
(22) 出願日	平成23年3月24日 (2011. 3. 24)		セミコンダクター・コンポーネンツ・イン ダストリーズ・リミテッド・ライアビリティ・カンパニー アメリカ合衆国 アリゾナ州 85008 フェニックス イースト・マクドウェル ・ロード5005
		(74) 代理人	100105924 弁理士 森下 賢樹
		(72) 発明者	山田 光一 群馬県邑楽郡大泉町坂田一丁目1番1号 三洋半導体株式会社内
		Fターム (参考)	5J055 AX32 AX64 BX03 BX04 CX24 DX22 DX83 EX07 EY12 EY21 EZ16 EZ62 GX01 GX02

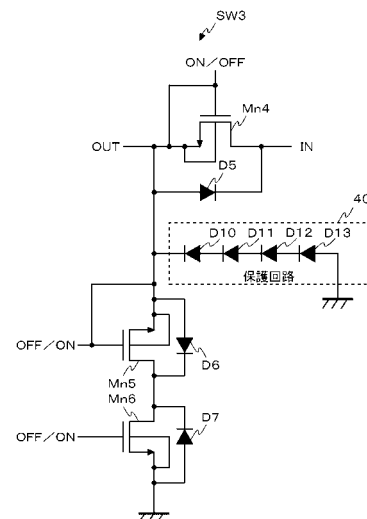
(54) 【発明の名称】 スイッチおよびそのスイッチを用いたスイッチ回路

(57) 【要約】

【課題】スイッチ用のトランジスタに発生する寄生ダイオードを介して内部に流入するESDによる負電流から内部回路を保護する。

【解決手段】第4nチャネルMOSFET (Mn4) は、ソース端子とバグゲート端子間が接続されている。スイッチ素子は、第4nチャネルMOSFET (Mn4) のソース端子とグラウンド電位との間に接続され、第4nチャネルMOSFET (Mn4) のオフ時に第4nチャネルMOSFET (Mn4) のソース端子をグラウンド電位にする。保護回路40は、第4nチャネルMOSFET (Mn4) のソース端子と上記スイッチ素子の入力端子の接続点と、グラウンド電位との間に設けられ、静電気放電による第4nチャネルMOSFET (Mn4) のドレイン端子から流入する負電流をグラウンド電位に流す。

【選択図】 図7



【特許請求の範囲】**【請求項 1】**

正負に振幅を持つ信号をスイッチングするスイッチであって、
ソース端子とバグゲート端子間が接続された第 1 トランジスタと、
前記第 1 トランジスタのソース端子とグラウンド電位との間に接続され、前記第 1 トランジスタのオフ時に前記第 1 トランジスタのソース端子をグラウンド電位にするためのスイッチ素子と、
前記第 1 トランジスタのソース端子と前記スイッチ素子の入力端子の接続点と、グラウンド電位との間に設けられ、静電気放電による前記第 1 トランジスタのドレイン端子から流入する負電流をグラウンド電位に流すための保護回路と、
を備えることを特徴とするスイッチ。

10

【請求項 2】

前記保護回路は複数のダイオードが縦列接続されたダイオード縦列回路であり、
前記ダイオード縦列回路のカソード端子は前記接続点に接続され、アノード端子はグラウンド電位に接続されることを特徴とする請求項 1 に記載のスイッチ。

【請求項 3】

前記第 1 トランジスタのドレイン端子に規定範囲の負電圧が入力されるとき前記ダイオード縦列回路に負電流が流れない範囲に、前記ダイオード縦列回路を構成する複数のダイオードのそれぞれの閾値電圧の合計電圧が設定されることを特徴とする請求項 2 に記載のスイッチ。

20

【請求項 4】

ソース端子とバックゲート端子間が接続された第 2 トランジスタをさらに備え、
前記第 1 トランジスタのソース端子と前記第 2 トランジスタのソース端子が接続されることを特徴とする請求項 1 から 3 のいずれかに記載のスイッチ。

【請求項 5】

前記スイッチ素子は、
ソース端子とバックゲート端子間が接続された第 3 トランジスタと、
ソース端子とバックゲート端子間が接続された第 4 トランジスタと、
をさらに備え、
前記第 3 トランジスタのソース端子は前記第 1 トランジスタのソース端子に接続され、
前記第 4 トランジスタのソース端子はグラウンド電位に接続され、
前記第 3 トランジスタのドレイン端子と前記第 4 トランジスタのドレイン端子が接続されることを特徴とする請求項 4 に記載のスイッチ。

30

【請求項 6】

高周波信号を伝送可能なケーブルの端子と、オーディオ信号を専用に伝送するケーブルの端子を共通に挿し込むことができる共通端子を備える機器に搭載されたスイッチ回路であって、

高周波信号を通過させるか否かをスイッチング可能な高周波系スイッチと、
オーディオ信号を通過させるか否かを専用にスイッチングするオーディオ系スイッチと、
を含み、

40

前記共通端子からの信号線は二つに分岐して、前記高周波系スイッチの一端と、第 1 階層の前記オーディオ系スイッチの一端にそれぞれ接続され、

前記高周波系スイッチの他端からの信号線は目的の回路に接続され、

前記第 1 階層の前記オーディオ系スイッチの他端からの信号線は複数に分岐して、それぞれ第 2 階層の複数のオーディオ系スイッチの一端に接続され、前記第 2 階層の複数のオーディオ系スイッチの他端からのそれぞれの信号線はそれぞれの目的の回路に接続され、

前記第 1 階層の前記オーディオ系スイッチに、請求項 1 から 5 のいずれかに記載のスイッチが用いられ、

前記第 1 トランジスタのドレイン端子が前記共通端子に接続され、ソース端子に前記第 2 階層の複数のオーディオ系スイッチの一端がそれぞれ接続されることを特徴とするスイ

50

ッチ回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、正負に振幅を持つ信号をスイッチングするスイッチおよびそのスイッチを用いたスイッチ回路に関する。

【背景技術】

【0002】

アナログオーディオ信号は0V（グラウンド電位）を基準に正側および負側に振幅が発生する。したがって、アナログオーディオ信号のような正負に振幅が発生する信号をスイッチングするスイッチでは、正側と負側の通過特性の対称性が要求される。一般的に、スイッチに用いられるMOSFET（ここでは、nチャネルMOSFETを想定する）のゲート端子には、オン信号としてハイレベル電圧（たとえば、電源電位）、オフ信号としてローレベル電圧（たとえば、グラウンド電位）が印加される。

【0003】

MOSFETではソース電圧が上昇すると閾値電圧 V_t も上昇し、ソース・ドレイン間のインピーダンスが大きくなる特性がある。したがって、正負に振幅を持つ信号では、正側の振幅が負側の振幅に対して歪みやすくなる。

【0004】

これに対して、ゲート・ソース間電圧およびバックゲート・ソース間電圧を一定にして、閾値電圧 V_t の変動を抑えるために、ゲート端子とソース端子間を接続し、バックゲート端子（ボディ端子、バルク端子ともいう）とソース端子間を接続する形態が用いられる。ただし、バックゲート端子とソース端子間を接続すると、ソース・ドレイン間に寄生ダイオードが形成される。この接続形態では、ゲート端子をオフしても、ドレイン端子からソース端子側へ当該寄生ダイオードを通じて負電流が流れる。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2010-166793号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

上述した接続形態のMOSFETを用いたスイッチを、外部機器（たとえば、ヘッドフォン、マイクなど）が挿入される経路に用いた場合、その経路のコネクタ部分は外部に露出することが多くなるため、当該スイッチは静電気放電（ESD；Electrostatic Discharge）の影響を受けやすくなる。一般に、スイッチオン時に内部に流入するESD電流に対しては十分な対策が施されることが多いが、スイッチオフ時にそのスイッチ用のトランジスタに発生する寄生ダイオードを介して内部に流入する、ESDによる負電流に対しては、十分な対策が施されていないことが多い。

【0007】

本発明はこうした状況に鑑みなされたものであり、その目的は、スイッチ用のトランジスタに発生する寄生ダイオードを介して内部に流入する、ESDによる負電流から内部回路を保護する技術を提供することにある。

【課題を解決するための手段】

【0008】

本発明のある態様のスイッチは、正負に振幅を持つ信号をスイッチングするスイッチであって、ソース端子とパーゲート端子間が接続された第1トランジスタと、第1トランジスタのソース端子とグラウンド電位との間に接続され、第1トランジスタのオフ時に第1トランジスタのソース端子をグラウンド電位にするためのスイッチ素子と、第1トランジスタのソース端子とスイッチ素子の入力端子の接続点と、グラウンド電位との間に設け

10

20

30

40

50

られ、静電気放電による第 1 トランジスタのドレイン端子から流入する負電流をグラウンド電位に流すための保護回路と、を備える。

【 0 0 0 9 】

本発明の別の態様は、スイッチ回路である。このスイッチ回路は、高周波信号を送送可能なケーブルの端子と、オーディオ信号を専用に伝送するケーブルの端子を共通に挿し込むことができる共通端子を備える機器に搭載されたスイッチ回路であって、高周波信号を通過させるか否かをスイッチング可能な高周波系スイッチと、オーディオ信号を通過させるか否かを専用にスイッチングするオーディオ系スイッチと、を含む。共通端子からの信号線は二つに分岐して、高周波系スイッチの一端と、第 1 階層のオーディオ系スイッチの一端にそれぞれ接続され、高周波系スイッチの他端からの信号線は目的の回路に接続され、第 1 階層のオーディオ系スイッチの他端からの信号線は複数に分岐して、それぞれ第 2 階層の複数のオーディオ系スイッチの一端に接続され、第 2 階層の複数のオーディオ系スイッチの他端からのそれぞれの信号線はそれぞれの目的の回路に接続され、第 1 階層のオーディオ系スイッチに、上述したスイッチが用いられ、第 1 トランジスタのドレイン端子が共通端子に接続され、ソース端子に第 2 階層の複数のオーディオ系スイッチの一端がそれぞれ接続される。

10

【発明の効果】

【 0 0 1 0 】

本発明によれば、スイッチ用のトランジスタに発生する寄生ダイオードを介して内部に流入する、ESD による負電流から内部回路を保護することができる。

20

【図面の簡単な説明】

【 0 0 1 1 】

【図 1】図 1 (a)、(b) は、本発明の実施の形態に係るスイッチ回路と比較すべき、スイッチ回路を説明するためのブロック図である。

【図 2】本発明の実施の形態 1 に係るスイッチ回路を説明するためのブロック図である。

【図 3】本発明の実施の形態 2 に係るスイッチ回路を説明するためのブロック図である。

【図 4】本発明の実施の形態に係るスイッチ回路に適用可能なスイッチの構成例 1 を示す図である。

【図 5】本発明の実施の形態に係るスイッチ回路に適用可能なスイッチの構成例 2 を示す回路図である。

30

【図 6】本発明の実施の形態に係るスイッチ回路に適用可能なスイッチの構成例 2 (保護回路付) を示す回路図である。

【図 7】本発明の実施の形態に係るスイッチ回路に適用可能なスイッチの構成例 3 を示す回路図である。

【図 8】本発明の実施の形態 1 に係るスイッチ回路に含まれるスイッチへの、第 1 双方向スイッチおよび第 2 双方向スイッチの適用例を示すブロック図である。

【図 9】本発明の実施の形態 1 に係るスイッチ回路に含まれるスイッチへの、第 1 双方向スイッチおよび第 2 スイッチの適用例を示すブロック図である。

【発明を実施するための形態】

【 0 0 1 2 】

40

図 1 (a)、(b) は、本発明の実施の形態に係るスイッチ回路と比較すべき、スイッチ回路を説明するためのブロック図である。図 1 (a) は、比較例 1 に係るスイッチ回路 1 0 0 c 1 を説明するためのブロック図である。以下、本明細書では機器 5 0 0 c 1 として携帯電話機を例に説明する。機器 5 0 0 c 1 は制御部 2 0 0 c 1、スイッチ回路 1 0 0 c 1 および共通端子 5 0 を備える。制御部 2 0 0 c 1 は USB ドライバ 2 1 0 およびオーディオ回路 2 2 1 を含む。スイッチ回路 1 0 0 c 1 は USB スイッチ 1 0 およびヘッドホンスイッチ 2 1 を含む。

【 0 0 1 3 】

共通端子 5 0 には、高周波信号を送送可能なケーブルの端子 (たとえば、USB ケーブルの端子) と、オーディオ信号を専用に伝送するケーブルの端子 (たとえば、ヘッドホン

50

ケーブルの端子)を共通に挿し込むことができる。

【0014】

以下、本明細書では共通端子50としてUSBコネクタのD-端子、D+端子を例に説明する。USBコネクタはその他に電源端子およびグラウンド端子を備え、合計四ピンで形成される。なお、マイクロUSBコネクタは、さらにID端子を備え、合計五ピンで形成される。

【0015】

スイッチ回路100c1は、高周波信号を通過させるか否かをスイッチング可能な高周波系スイッチと、オーディオ信号を通過させるか否かを専用にスイッチングするオーディオ系スイッチを備える。以下、本明細書では高周波系スイッチおよびオーディオ系スイッチとも、MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) で構成する例を説明する。

【0016】

アナログオーディオ信号をスイッチングするトランジスタには、数Ω程度の低いオン抵抗のトランジスタを用いる必要があり、トランジスタのサイズを大きくする必要がある。より具体的には、ゲート幅(GW)を大きく(すなわち、拡散層を大きく)設計する必要がある。

【0017】

一方、USB2.0規格はハイスピードモードをサポートしており、ハイスピードモードでは最大480Mbpsのビットレートでの伝送が可能である。また、USB3.0規格では最大5Gbpsのビットレートでの伝送が可能である。したがって、これらの規格では動画データなど大容量データも高速に伝送することができる。このような高周波信号をスイッチングするには、負荷容量をできるだけ小さくする必要がある。負荷容量が大きくなると、立ち上がりエッジや立ち下がりエッジが鈍ってしまい、ビット誤りが発生しやすくなる。このように、高周波信号をスイッチングするには、できるだけ小さな負荷容量にする必要がある。

【0018】

図1(a)では、高周波系スイッチがUSBスイッチ10に相当し、オーディオ系スイッチがヘッドホンスイッチ21に相当する。なお、後述する図1(b)のマイクスイッチ22、図2のオーディオスイッチ20および図3のマイクスイッチ23もオーディオ系スイッチに相当する。

【0019】

共通端子50からの信号線は二つに分岐して、USBスイッチ10の一端とヘッドホンスイッチ21の一端にそれぞれ接続される。USBスイッチ10の他端からの信号線は、USBドライバ210に接続される。ヘッドホンスイッチ21の他端からの信号線は、オーディオ回路221に接続される。

【0020】

図1(b)は、比較例2に係るスイッチ回路100c2を説明するためのブロック図である。機器500c2は制御部200c2、スイッチ回路100c2および共通端子50を備える。制御部200c2はUSBドライバ210、オーディオ回路1(221)およびオーディオ回路2(222)を含む。スイッチ回路100c2はUSBスイッチ10、ヘッドホンスイッチ21およびマイクスイッチ22を含む。

【0021】

共通端子50には、USBケーブルの端子、ヘッドホンケーブルの端子およびマイクロホンケーブルの端子を共通に挿し込むことができる。共通端子50からの信号線は三つに分岐して、USBスイッチ10の一端、ヘッドホンスイッチ21の一端およびマイクスイッチ22の一端にそれぞれ接続される。USBスイッチ10の他端からの信号線はUSBドライバ210に接続され、ヘッドホンスイッチ21の他端からの信号線はオーディオ回路1(221)に接続され、およびマイクスイッチ22の他端からの信号線はオーディオ回路2(222)に接続される。

10

20

30

40

50

【 0 0 2 2 】

ヘッドホンスイッチ 2 1 を構成する M O S F E T とマイクスイッチ 2 2 を構成する M O S F E T のサイズが同じ場合、比較例 2 に係るスイッチ回路 1 0 0 c 2 における U S B 用の信号線から見える容量は、比較例 1 に係るスイッチ回路 1 0 0 c 1 における当該容量の 2 倍となる。この場合、U S B スイッチ 1 0 を通る高周波信号の波形（アイバターン波形）の精度は低下する。

【 0 0 2 3 】

また、当該高周波信号の波形の精度を維持しようと、ヘッドホンスイッチ 2 1 を構成する M O S F E T とマイクスイッチ 2 2 を構成する M O S F E T のサイズをそれぞれ 1 / 2 にすると、ヘッドホンスイッチ 2 1 およびマイクスイッチ 2 2 をそれぞれ通るオーディオ信号の T H D (Total Harmonic Distortion) が約 2 倍大きくなる。

10

【 0 0 2 4 】

図 2 は、本発明の実施の形態 1 に係るスイッチ回路 1 0 0 e 1 を説明するためのブロック図である。機器 5 0 0 e 1 は制御部 2 0 0 e 1、スイッチ回路 1 0 0 e 1 および共通端子 5 0 を備える。制御部 2 0 0 e 1 は U S B ドライバ 2 1 0、オーディオ回路 1 (2 2 1) およびオーディオ回路 2 (2 2 2) を含む。スイッチ回路 1 0 0 e 1 は U S B スイッチ 1 0、オーディオスイッチ 2 0、ヘッドホンスイッチ 2 1 およびマイクスイッチ 2 2 を含む。

【 0 0 2 5 】

共通端子 5 0 には、U S B ケーブルの端子、ヘッドホンケーブルの端子およびマイクロホンケーブルの端子を共通に挿し込むことができる。共通端子 5 0 からの信号線は二つに分岐して、U S B スイッチ 1 0 の一端、およびオーディオ系スイッチの第 1 階層のスイッチであるオーディオスイッチ 2 0 の一端にそれぞれ接続される。U S B スイッチ 1 0 の他端からの信号線は U S B ドライバ 2 1 0 に接続される。

20

【 0 0 2 6 】

第 1 階層のオーディオスイッチ 2 0 の他端からの信号線は複数（図 2 では二つ）に分岐して、それぞれ、オーディオ系スイッチの第 2 階層のスイッチであるヘッドホンスイッチ 2 1 およびマイクスイッチ 2 2 の一端に接続される。ヘッドホンスイッチ 2 1 の他端からの信号線はオーディオ回路 1 (2 2 1) に接続され、およびマイクスイッチ 2 2 の他端からの信号線はオーディオ回路 2 (2 2 2) に接続される。

30

【 0 0 2 7 】

図 3 は、本発明の実施の形態 2 に係るスイッチ回路 1 0 0 e 2 を説明するためのブロック図である。実施の形態 2 は実施の形態 1 と比較し、オーディオ回路が一つ増えた構成である。追加されたオーディオ回路は別規格のオーディオ信号を処理する回路であってもよい。また、実施の形態 2 では実施の形態 1 と比較し、マイクスイッチが一つ増えた構成を描いているが、ヘッドホンスイッチが一つ増えた構成でもよい。

【 0 0 2 8 】

機器 5 0 0 e 2 は制御部 2 0 0 e 2、スイッチ回路 1 0 0 e 2 および共通端子 5 0 を備える。制御部 2 0 0 e 2 は U S B ドライバ 2 1 0、オーディオ回路 1 (2 2 1)、オーディオ回路 2 (2 2 2) およびオーディオ回路 3 (2 2 3) を含む。スイッチ回路 1 0 0 e 2 は U S B スイッチ 1 0、オーディオスイッチ 2 0、ヘッドホンスイッチ 2 1、マイクスイッチ 2 2 およびマイクスイッチ 2 3 を含む。

40

【 0 0 2 9 】

共通端子 5 0 には、U S B ケーブルの端子、ヘッドホンケーブルの端子およびマイクロホンケーブルの端子を共通に挿し込むことができる。共通端子 5 0 からの信号線は二つに分岐して、U S B スイッチ 1 0 の一端、およびオーディオ系スイッチの第 1 階層のスイッチであるオーディオスイッチ 2 0 の一端にそれぞれ接続される。U S B スイッチ 1 0 の他端からの信号線は U S B ドライバ 2 1 0 に接続される。

【 0 0 3 0 】

第 1 階層のオーディオスイッチ 2 0 の他端からの信号線は複数（図 3 では三つ）に分岐

50

して、それぞれ、オーディオ系スイッチの第2階層のスイッチであるヘッドホンスイッチ21、マイクスイッチ22およびマイクスイッチ23の一端に接続される。ヘッドホンスイッチ21の他端からの信号線はオーディオ回路1(221)に接続され、マイクスイッチ22の他端からの信号線はオーディオ回路2(222)に接続され、およびマイクスイッチ23の他端からの信号線はオーディオ回路3(223)に接続される。

【0031】

実施の形態1、2に係るスイッチ回路100e1、e2におけるUSB用の信号線から見える容量は、オーディオスイッチ20の容量が大部分であり、第2階層のオーディオ系スイッチが増えてもほとんど影響を受けない。したがって、第2階層のオーディオ系スイッチの数が増えても、第2階層のオーディオ系スイッチの負荷容量の増大に対する対策の必要性が低い。たとえば、当該負荷容量の増大を抑制するために当該スイッチに用いられるトランジスタのサイズを小さくする必要性は低い。当該トランジスタのサイズを小さくしなければ、第2階層のオーディオ系スイッチの数が増えても、オーディオ系スイッチを通るオーディオ信号の品質はほとんど低下しない。

【0032】

一方、オーディオ系スイッチを二つ直列に接続すると、その二つのオーディオ系スイッチを通るオーディオ信号のTHDは2倍弱大きくなるが、実施の形態1、2に係るスイッチ回路100e1、e2では、オーディオ回路および/またはオーディオ配線が増えてもオーディオ系スイッチが三つ以上直列に接続されることはない。

【0033】

したがって、オーディオ系スイッチを階層構造に接続することにより、オーディオ回路および/またはオーディオ配線が増えても、オーディオ系スイッチを通るオーディオ信号の品質と、高周波系スイッチを通る高周波信号の品質の両方を維持することができる。

【0034】

図4は、本発明の実施の形態に係るスイッチ回路に適用可能なスイッチの構成例1を示す図である。アナログオーディオ信号は0V(グラウンド電位)を基準に正側および負側に振幅が発生する。したがって、正側と負側の通過特性の対称性が要求される。一般的に、スイッチに用いられるMOSFET(ここでは、nチャネルMOSFETを想定する)のゲート端子には、オン信号としてハイレベル電圧(たとえば、電源電位)、オフ信号としてローレベル電圧(たとえば、グラウンド電位)が印加される。

【0035】

MOSFETではソース電圧が上昇すると閾値電圧 V_t も上昇し、ソース-ドレイン間のインピーダンスが大きくなる特性がある。したがって、アナログオーディオ信号では、正側の振幅が負側の振幅に対して歪みやすくなる。

【0036】

これに対して、ゲート-ソース間電圧およびバックゲート-ソース間電圧を一定にして、閾値電圧 V_t の変動を抑えるために、ゲート端子とソース端子間を接続し、バックゲート端子とソース端子間を接続する形態が用いられる。ただし、バックゲート端子とソース端子間を接続すると、ソース-ドレイン間に寄生ダイオードが形成される。この寄生ダイオードはソースからドレイン方向に順方向に形成されるため、ソースからドレイン方向への入力信号をオフできなくなる。

【0037】

以上を前提に、図4に示す構成例1に係る第1双方向スイッチBSW1について説明する。ソースからドレイン方向への入力信号をオフできるようにするため、すなわち、双方向スイッチとして使用可能とするため、二つのMOSFETを直列に接続して第1双方向スイッチBSW1を構成する。

【0038】

構成例1では、第1nチャネルMOSFET(M_{n1})のドレイン端子と、第2nチャネルMOSFET(M_{n2})のドレイン端子を接続して第1双方向スイッチBSW1を構成する。第1nチャネルMOSFET(M_{n1})のゲート端子とソース端子間が接続され

10

20

30

40

50

る。なお、図4では両端子が直接接続される形態で描いているが、実際には容量やその他の素子を介して接続される。第1nチャネルMOSFET(Mn1)のバックゲート端子とソース端子間が接続される。これにより、第1nチャネルMOSFET(Mn1)のソース端子とドレイン端子間に第1寄生ダイオードD1が形成される。第1寄生ダイオードD1はソース端子側がアノードとなり、ドレイン端子側がカソードとなる。

【0039】

第2nチャネルMOSFET(Mn2)も第1nチャネルMOSFET(Mn1)と同様の接続形態である。したがって、第2nチャネルMOSFET(Mn2)のソース端子とドレイン端子間に第2寄生ダイオードD2が形成される。

【0040】

第1nチャネルMOSFET(Mn1)のドレイン端子と第2nチャネルMOSFET(Mn2)のドレイン端子との接続点と、電源電位Vddとの間に第1pチャネルMOSFET(Mp1)が挿入される。第1pチャネルMOSFET(Mp1)のソース端子は電源電位Vddに接続され、そのドレイン端子は上記接続点と接続され、そのゲート端子はスイッチング信号を受ける。第1pチャネルMOSFET(Mp1)のバックゲート端子とソース端子間が接続される。これにより、第1pチャネルMOSFET(Mp1)のソース端子とドレイン端子間に第3寄生ダイオードD3が形成される。

【0041】

第1双方向スイッチBSW1がオンに制御されるとき、第1nチャネルMOSFET(Mn1)および第2nチャネルMOSFET(Mn2)のゲート端子にオン信号(ハイレベル電圧)が入力され、第1pチャネルMOSFET(Mp1)のゲート端子にオフ信号(ハイレベル電圧)が入力される。一方、第1双方向スイッチBSW1がオフに制御されるとき、第1nチャネルMOSFET(Mn1)および第2nチャネルMOSFET(Mn2)のゲート端子にオフ信号(ローレベル電圧)が入力され、第1pチャネルMOSFET(Mp1)のゲート端子にオン信号(ローレベル電圧)が入力される。

【0042】

第1双方向スイッチBSW1では、第1寄生ダイオードD1のカソードと第2寄生ダイオードD2のカソード同士が向き合う形態になるため、第1nチャネルMOSFET(Mn1)および第2nチャネルMOSFET(Mn2)がオンに制御されているとき、第1寄生ダイオードD1および第2寄生ダイオードD2を通じて、第1双方向スイッチBSW1にいずれの方向からでも電流が流れない。また、第1双方向スイッチBSW1がオフに制御されているとき、第1pチャネルMOSFET(Mp1)により第1寄生ダイオードD1および第2寄生ダイオードD2のカソードが電源電位Vddとなるため、第1寄生ダイオードD1のアノードまたは第2寄生ダイオードD2のアノードに電源電位Vddよりも高い電圧が入力されない限り、第1寄生ダイオードD1および第2寄生ダイオードD2に電流は流れない。

【0043】

なお、第1nチャネルMOSFET(Mn1)および第2nチャネルMOSFET(Mn2)にはESD高耐圧性なMOSFETを採用することが好ましい。第1nチャネルMOSFET(Mn1)および第2nチャネルMOSFET(Mn2)のオフ時に大きなESD電圧が印加されても、ESD電流を第1nチャネルMOSFET(Mn1)および第2nチャネルMOSFET(Mn2)で遮断できる。なお、正のESD電流は第1寄生ダイオードD1または第2寄生ダイオードD2に流入するが、第1pチャネルMOSFET(Mp1)を介して電源電位Vddに抜けていく。

【0044】

図5は、本発明の実施の形態に係るスイッチ回路に適用可能なスイッチの構成例2を示す回路図である。図5に示す構成例2でも、二つのMOSFETを直列に接続して第2双方向スイッチBSW2を構成する。

【0045】

構成例2では、第3nチャネルMOSFET(Mn3)のソース端子と、第4nチャネ

10

20

30

40

50

ルMOSFET (Mn4) のソース端子を接続して第2双方向スイッチBSW2を構成する。なお、構成例1と同様に第3nチャネルMOSFET (Mn3) および第4nチャネルMOSFET (Mn4) にはESD高耐圧性なMOSFETを採用することが好ましい。

【0046】

第3nチャネルMOSFET (Mn3) のゲート端子とソース端子間は連動して動作するように接続され、さらにバックゲート端子とソース端子間が接続される。これにより、第3nチャネルMOSFET (Mn3) のソース端子とドレイン端子間に第4寄生ダイオードD4が形成される。なお、図5では第3nチャネルMOSFET (Mn3) のゲート端子とソース端子間が直接接続される形態で描いているが、実際には容量やその他の素子を介して接続される。

10

【0047】

第4nチャネルMOSFET (Mn4) も第3nチャネルMOSFET (Mn3) と同様の接続形態である。したがって、第4nチャネルMOSFET (Mn4) のソース端子とドレイン端子間に第5寄生ダイオードD5が形成される。

【0048】

第3nチャネルMOSFET (Mn3) のソース端子と第4nチャネルMOSFET (Mn4) のソース端子との接続点と、グラウンド電位との間に第5nチャネルMOSFET (Mn5) および第6nチャネルMOSFET (Mn6) が直列に接続された直列回路が挿入される。当該直列回路は、第3nチャネルMOSFET (Mn3) および第4nチャネルMOSFET (Mn4) のオフ時に第3nチャネルMOSFET (Mn3) および第4nチャネルMOSFET (Mn4) のソース端子をグラウンド電位にするためのスイッチ素子として機能する。

20

【0049】

第5nチャネルMOSFET (Mn5) のソース端子は第3nチャネルMOSFET (Mn3) および第4nチャネルMOSFET (Mn4) のソース端子と接続され、第5nチャネルMOSFET (Mn5) のドレイン端子は第6nチャネルMOSFET (Mn6) のドレイン端子と接続される。第5nチャネルMOSFET (Mn5) のゲート端子はスイッチング信号を受ける。

【0050】

また、第5nチャネルMOSFET (Mn5) のゲート端子とソース端子間は、ゲート端子に固定電位が供給されているトランジスタやその他の素子を介して接続され、そのバグゲート端子とソース端子間は接続される。したがって、第5nチャネルMOSFET (Mn5) のソース端子とドレイン端子間に第6寄生ダイオードD6が形成される。

30

【0051】

第6nチャネルMOSFET (Mn6) のソース端子はグラウンド電位と接続され、第6nチャネルMOSFET (Mn6) のドレイン端子は第5nチャネルMOSFET (Mn5) のドレイン端子と接続され、第6nチャネルMOSFET (Mn6) のゲート端子はスイッチング信号を受ける。第6nチャネルMOSFET (Mn6) のバグゲート端子とソース端子間は接続される。したがって、第6nチャネルMOSFET (Mn6) のソース端子とドレイン端子間に第7寄生ダイオードD7が形成される。

40

【0052】

第2双方向スイッチBSW2がオンに制御されるとき、第3nチャネルMOSFET (Mn3) および第4nチャネルMOSFET (Mn4) のゲート端子にオン信号（ハイレベル電圧）が入力され、第5nチャネルMOSFET (Mn5) および第6nチャネルMOSFET (Mn6) のゲート端子にオフ信号（ローレベル電圧）が入力される。したがって、第5nチャネルMOSFET (Mn5) および第6nチャネルMOSFET (Mn6) はオフする。

【0053】

一方、第2双方向スイッチBSW2がオフに制御されるとき、第3nチャネルMOSF

50

ET (Mn3) および第4nチャネルMOSFET (Mn4) のゲート端子にオフ信号 (ローレベル電圧) が入力され、第5nチャネルMOSFET (Mn5) および第6nチャネルMOSFET (Mn6) のゲート端子にオン信号 (ハイレベル電圧) が入力される。したがって、第5nチャネルMOSFET (Mn5) および第6nチャネルMOSFET (Mn6) はオンする。

【0054】

なお、上記スイッチ素子として第6nチャネルMOSFET (Mn6) のみ設けた場合、第3nチャネルMOSFET (Mn3) および第4nチャネルMOSFET (Mn4) のオン時に第6nチャネルMOSFET (Mn6) がオフしていても、第7寄生ダイオードD7を通じて負の信号がグラウンド電位になってしまうため、負の信号を伝達できなくなってしまう。そこで、第5nチャネルMOSFET (Mn5) を設けて、負の信号がグラウンド電位になってしまうことを回避している。また、正の信号は第6寄生ダイオードD6を通過してしまうが、第7寄生ダイオードD7により遮断できるため、正の信号がグラウンド電位になってしまうことも回避できる。

【0055】

第2双方向スイッチBSW2では、第4寄生ダイオードD4と第5寄生ダイオードD5のアノードのアノード同士が向き合う形態になるため、第3nチャネルMOSFET (Mn3) および第4nチャネルMOSFET (Mn4) がオフに制御されているとき、第4寄生ダイオードD4および第5寄生ダイオードD5を通じて、第2双方向スイッチBSW2にいずれの方向からも電流が流れない。また、第2双方向スイッチBSW2がオフに制御されているとき、第5nチャネルMOSFET (Mn5) および第6nチャネルMOSFET (Mn6) がオンすることにより、第4寄生ダイオードD4のアノードおよび第5寄生ダイオードD5のカソードがグラウンド電位となる。したがって、第4寄生ダイオードD4のカソードまたは第5寄生ダイオードD5のカソードに正電流は流入しないが、負電流は流入する。

【0056】

ここで、この負電流が小電流であれば問題ないが、大電流であれば第5nチャネルMOSFET (Mn5) のバグゲート端子に流れこみ、第5nチャネルMOSFET (Mn5) に不具合を発生させる可能性がある。

【0057】

図6は、本発明の実施の形態に係るスイッチ回路に適用可能なスイッチの構成例2 (保護回路付) を示す回路図である。図6に示す回路は、図5に示す回路に保護回路40が追加された構成である。保護回路40は、第3nチャネルMOSFET (Mn3) および第4nチャネルMOSFET (Mn4) のソース端子と第5nチャネルMOSFET Mn5のソース端子との接続点と、グラウンド電位とに間に設けられる。保護回路40は、第3nチャネルMOSFET (Mn3) または第4nチャネルMOSFET (Mn4) のドレイン端子から流入する、ESDによる負電流をグラウンド電位に逃がすための回路である。

【0058】

保護回路40は、複数のダイオード (図6では、第1保護ダイオードD10、第2保護ダイオードD11、第3保護ダイオードD12および第4保護ダイオードD13) が縦列接続されたダイオード縦列回路で構成される。当該ダイオード縦列回路のカソード端子は上記接続点に接続され、当該ダイオード縦列回路のアノード端子はグラウンド電位に接続される。

【0059】

ここで、第3nチャネルMOSFET (Mn3) または第4nチャネルMOSFET (Mn4) のドレイン端子に規定範囲の負電圧が入力されるとき当該ダイオード縦列回路に負電流が流れない範囲に、当該ダイオード縦列回路を構成する複数のダイオード (図6では、第1保護ダイオードD10、第2保護ダイオードD11、第3保護ダイオードD12および第4保護ダイオードD13) のそれぞれの閾値電圧の合計電圧が設定される。

【0060】

たとえば、ドレイン端子に入力される規定範囲の電圧レンジが $\pm 1.5\text{V}$ である場合、当該ダイオード縦列回路が -1.5V で負電流を流してしまうと、第3nチャネルMOSFET(Mn3)または第4nチャネルMOSFET(Mn4)がオンに制御されているとき、負の信号が正しく伝達されなくなってしまう。したがって、この例では当該ダイオード縦列回路の閾値電圧を -1.5V より低く設定する必要がある。たとえば、同じ閾値電圧を持つ複数のダイオードを使用する場合であって、その閾値電圧が -0.6V の場合、当該ダイオードを三段接続すればよい。なお、冗長性を持たせて四段以上接続してもよい。ただし、段数が多くなりすぎると抵抗が高くなり保護回路として機能しなくなる。また、コストの増大および回路面積の増大を招く。したがって、バランスのとれた段数にする

10

【0061】

なお、ESDによる負電圧は -3000V にも及ぶ。そこで、第2双方向スイッチBSW2の負電圧のESD対策をより万全にするため、第5nチャネルMOSFET(Mn5)にESD高耐圧性なMOSFETを採用することが好ましい。

【0062】

図7は、本発明の実施の形態に係るスイッチ回路に適用可能なスイッチの構成例3を示す回路図である。構成例3に係るスイッチSW3は、図6に示す第2双方向スイッチBSW2から第3nチャネルMOSFET(Mn3)を削除した構成である。構成例3に係るスイッチSW3は、単体では双方向スイッチとして用いることができない。第4nチャネルMOSFET(Mn4)のドレイン端子を信号の入力側に接続し、第4nチャネルMOSFET(Mn4)のソース端子を信号の出力側に接続する。

20

【0063】

構成例1、2に係る第1双方向スイッチBSW1および第2双方向スイッチBSW2は、双方向からの入力信号をスイッチングすることができ、かつ、アナログオーディオ信号の歪も抑制できる。したがって、これら第1双方向スイッチBSW1および第2双方向スイッチBSW2は、本発明の実施の形態に係るスイッチ回路に含まれるスイッチに適している。

【0064】

図8は、本発明の実施の形態1に係るスイッチ回路100e1に含まれるスイッチへの、第1双方向スイッチBSW1および第2双方向スイッチBSW2の適用例を示すブロック図である。第1双方向スイッチBSW1はオフのとき、二つのMOSFET間の中間ノード電位が電源電位にクランプされることになる。一方、第2双方向スイッチBSW2はオフのとき、二つのMOSFET間の中間ノード電位がグラウンド電位にクランプされることになる。

30

【0065】

スイッチ回路100e1では、高周波系スイッチ(図8では、USBスイッチ10)には、第1双方向スイッチBSW1を用いる。そして、オーディオ系スイッチの第1階層のスイッチ(図8では、オーディオスイッチ20)には、第2双方向スイッチBSW2を用いるとともに、第2階層のスイッチ(図8では、ヘッドホンスイッチ21およびマイクスイッチ22)には、第1双方向スイッチBSW1を用いる。

40

【0066】

オーディオ系スイッチの第2階層のスイッチに第1双方向スイッチBSW1を用いたことにより、オーディオ回路1(221)とオーディオ回路2(222)間での信号の逆流を確実に防止することができる。たとえば、オーディオ回路1(221)を外端子と接続する場合を想定する。この場合、USBスイッチ10はオフ、オーディオスイッチ20およびヘッドホンスイッチ21はオン、マイクスイッチ22はオフである。この際、マイクスイッチ22の第1双方向スイッチBSW1の中間ノードは電源電位にクランプされている。このため、ヘッドホンスイッチ21に電源電圧よりも高い電圧が入力されない限り、マイクスイッチ22からノイズとなる信号は流れない。

50

【 0 0 6 7 】

なお、オーディオ系スイッチの第2階層のスイッチに第2双方向スイッチBSW2を適用した場合には、以下のことが懸念される。たとえば、オーディオ回路1(221)を外端子に接続する場合を想定する。この場合、USBスイッチ10はオフ、オーディオスイッチ20およびヘッドホンスイッチ21はオン、マイクスイッチ22はオフである。この際、マイクスイッチ22の第2双方向スイッチBSW2の中間ノードはグラウンド電位にクランプされている。そして、オーディオ信号は0V中心の波形(プラス電位とマイナス電位を有する波形)のため、ヘッドホンスイッチ21にマイナス電位が入力された際には、マイクスイッチ22の第2双方向スイッチBSW2のダイオード(第4寄生ダイオードD4または第5寄生ダイオードD5)にノイズとなる電流が流れる。これにより、ヘッドホンスイッチ21のマイナス電位がグラウンド電位側に引っ張られ、その結果としてヘッドホンスイッチ21を通るオーディオ信号のTHDが大きくなる。

10

【 0 0 6 8 】

本実施の形態では、高周波系スイッチにおけるUSB用の信号線から見える負荷容量は、オーディオ系スイッチの第1階層のスイッチの容量が支配的となる。高周波系スイッチの第1双方向スイッチBSW1に対して、オーディオ系スイッチの第1階層のスイッチに第2双方向スイッチBSW2を用いたことにより、USB用の信号線から見える負荷容量は、第1階層のスイッチに第1双方向スイッチBSW1を用いた場合に比べて、軽減される。

【 0 0 6 9 】

第1階層のスイッチが第2双方向スイッチBSW2の場合、そのドレイン端子がUSB用の信号線に接続されるため、USB用の信号線から見える負荷容量としては、ドレイン端子に起因する容量(ドレイン端子を構成する不純物領域と、バックゲート端子を構成する不純物領域との間の容量)が主となる。

20

【 0 0 7 0 】

一方、第1階層のスイッチが第1双方向スイッチBSW1の場合、そのソース端子がUSB用の信号線に接続されているものの、そのソース端子がさらにバックゲート端子と接続されているため、USB用の信号線から見える負荷容量としては、バックゲート端子に起因する容量(バックゲート端子を構成する不純物領域とこの不純物領域が形成されるウェル領域または基板との間の容量、バックゲート端子を構成する不純物領域とドレイン端子を構成する不純物領域との間の容量、バックゲート端子を構成する不純物領域とゲート端子との間の容量)が主となる。

30

【 0 0 7 1 】

こうした要因も参酌して、本実施の形態では、高周波系スイッチの第1双方向スイッチBSW1に対して、オーディオ系スイッチの第1階層のスイッチに第2双方向スイッチBSW2を採用している。

【 0 0 7 2 】

なお、図8に示す適用例では第1双方向スイッチBSW1を、USBスイッチ10、ヘッドホンスイッチ21およびマイクスイッチ22に採用する例を説明した。当然のことながら、それぞれに採用される第1双方向スイッチBSW1の仕様(たとえば、ゲート幅)は、それぞれのスイッチを通る信号やそれらの信号が入出力される回路の仕様により異なるものとなる。

40

【 0 0 7 3 】

図9は、本発明の実施の形態1に係るスイッチ回路100e1に含まれるスイッチへの、第1双方向スイッチBSW1および第3スイッチSW3の適用例を示すブロック図である。図8ではオーディオスイッチ20に第2双方向スイッチBSW2を適用する例を説明した。その例はオーディオスイッチ20に第1双方向スイッチBSW1を適用する例より優るが、二つのMOSFETを使用している以上、一つのMOSFETを使用する場合は、共通端子50からオーディオ回路までのインピーダンスが高くなる。

【 0 0 7 4 】

50

そこで、オーディオスイッチ 20 に図 7 に示す第 3 スイッチ SW 3 を適用する。なお、このスイッチ SW 3 単体では外部端子からオーディオ回路 1 (221) またはオーディオ回路 2 (222) に入力される負の信号を遮断することはできないが、ヘッドホンスイッチ 21 およびマイクスイッチ 22 に適用される第 1 双方向スイッチ BSW 1 により遮断できる。また、オーディオ回路 1 (221) またはオーディオ回路 2 (222) から外部端子に出力される信号も、ヘッドホンスイッチ 21 およびマイクスイッチ 22 に適用される第 1 双方向スイッチ BSW 1 により遮断できる。

【0075】

以上説明したように本実施の形態によれば、スイッチ用のトランジスタのソース端子と、当該ソース端子をグラウンド電位にクランプするためのスイッチ素子との接続点に、グラウンド電位に接続されたダイオード縦列回路を接続することにより、上記トランジスタに発生する寄生ダイオードを介して内部に流入する、ESD による負電流から内部回路を保護することができる。

10

【0076】

また、図 7 のスイッチ SW 3 を図 9 に示すようにオーディオスイッチ 20 に適用すれば、高周波信号およびオーディオ信号に発生する歪成分を抑制することができる。また、共通端子 50 は外部に露出することがあるため、オーディオスイッチ 20 は ESD の影響を受けやすい。そこで、オーディオスイッチ 20 に図 7 のスイッチ SW 3 を適用することにより、ESD による負電流から内部回路を保護することができる。これは、オーディオスイッチ 20 に図 6 の第 2 双方向スイッチ BSW 2 を適用した場合も同様である。

20

【0077】

以上、本発明を実施の形態をもとに説明した。この実施の形態は例示であり、それらの各構成要素や各処理プロセスの組合せにいろいろな変形例が可能なおと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。

【0078】

上述した実施の形態では、携帯電話機などの携帯機器にスイッチ回路 100e1、e2 を搭載する例を説明したが、デザイン性や、差し込み違い防止などの観点から、コネクタを簡素化したい機器であれば、携帯機器に限らず、すべての電子機器に適用可能である。

【符号の説明】

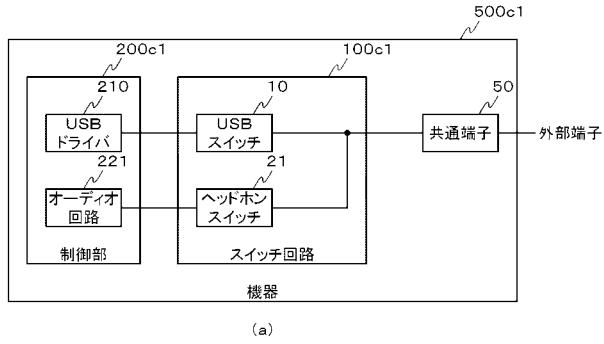
【0079】

100c1, 100c2, 100e1, 100e2 スイッチ回路、10 USB スイッチ、20 オーディオスイッチ、21 ヘッドホンスイッチ、22, 23 マイクスイッチ、40 保護回路、50 共通端子、200c1, 200c2, 200e1, 200e2 制御部、210 USB ドライバ、221 オーディオ回路、221 オーディオ回路 1、222 オーディオ回路 2、500c1, 500c2, 500e1, 500e2 機器、BSW1 第 1 双方向スイッチ、BSW2 第 2 双方向スイッチ、SW3 スイッチ、Mn1 第 1 n チャンネル MOSFET、Mn2 第 2 n チャンネル MOSFET、Mn3 第 3 n チャンネル MOSFET、Mn4 第 4 n チャンネル MOSFET、Mn5 第 5 n チャンネル MOSFET、Mn6 第 6 n チャンネル MOSFET、Mp1 第 1 p チャンネル MOSFET、D1 第 1 寄生ダイオード、D2 第 2 寄生ダイオード、D3 第 3 寄生ダイオード、D4 第 4 寄生ダイオード、D5 第 5 寄生ダイオード、D6 第 6 寄生ダイオード、D7 第 7 寄生ダイオード、D10 第 1 保護ダイオード、D11 第 2 保護ダイオード、D12 第 3 保護ダイオード、D13 第 4 保護ダイオード。

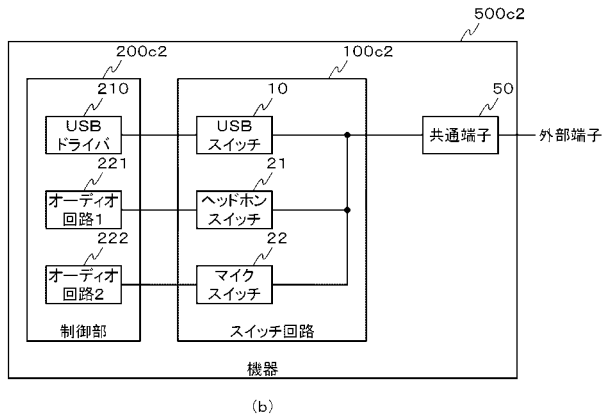
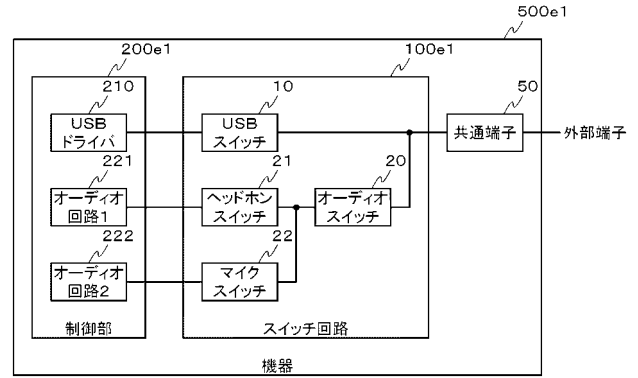
30

40

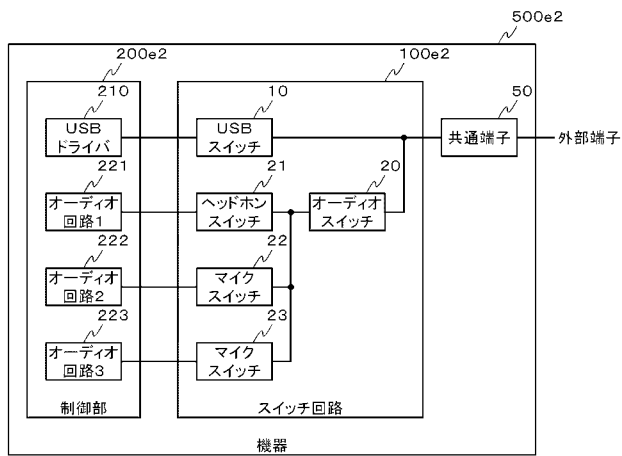
【図 1】



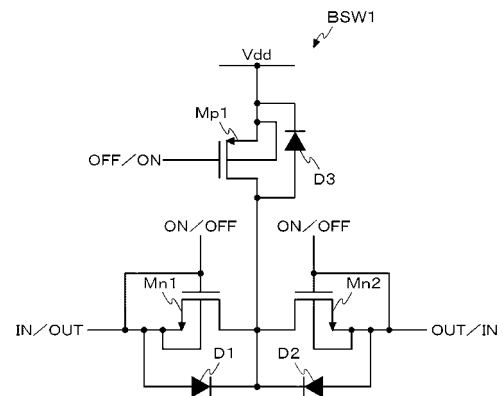
【図 2】



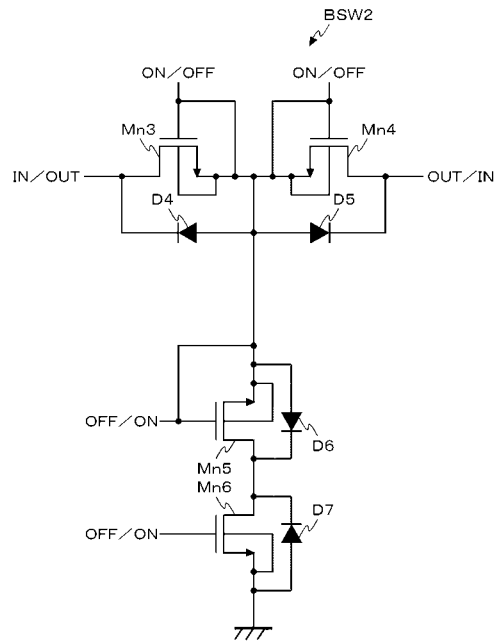
【図 3】



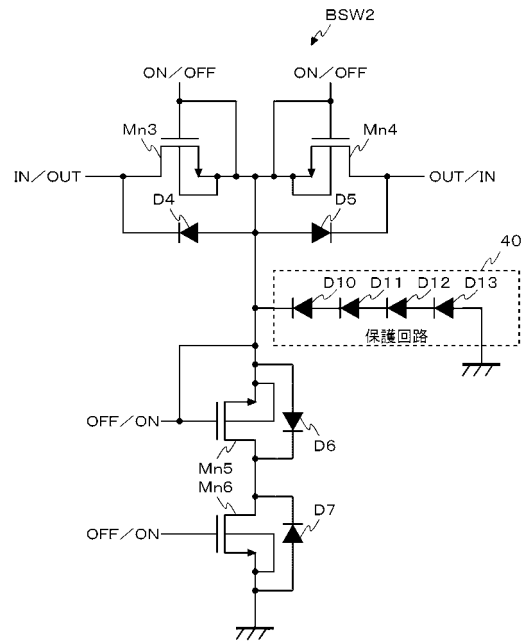
【図 4】



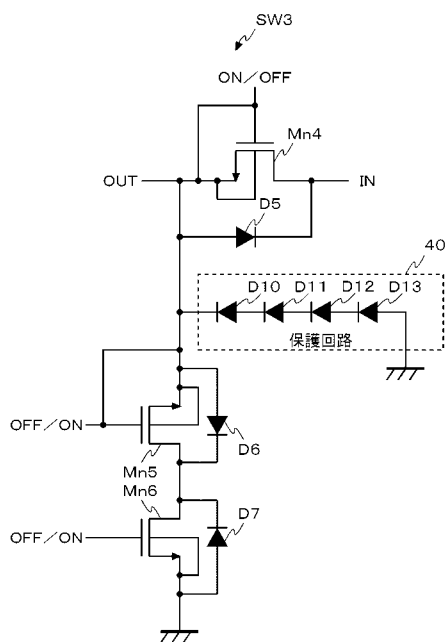
【図 5】



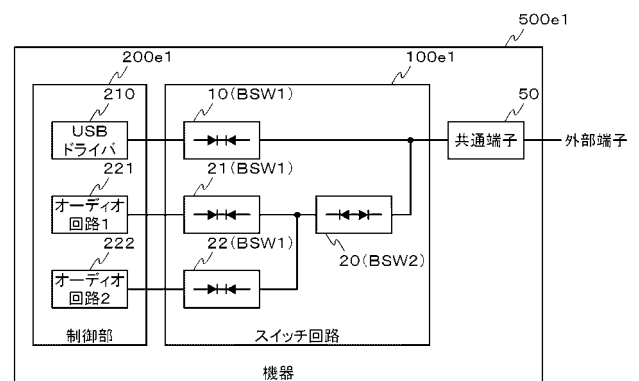
【図 6】



【図 7】



【図 8】



【図 9】

