(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2017 년 1 월 12 일 (12.01.2017)

WIPO | PCT

(10) 국제공개번호
WO 2017/007182 A1

(51) 국제특허분류:
H01L 33/62 (2010.01) *H01L 33/36* (2010.01)
H01L 33/60 (2010.01) *H01L 33/64* (2010.01)

(21) 국제출원번호: PCT/KR2016/007112

(22) 국제출원일: 2016 년 7 월 1 일 (01.07.2016)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:
10-2015-0095456 2015 년 7 월 3 일 (03.07.2015) KR

(71) 출원인: 엘지이노텍 주식회사 (LG INNOTEK CO., LTD.) [KR/KR]; 04637 서울시 중구 한강대로 416 서울스퀘어, Seoul (KR).

(72) 발명자: 마츠다슈헤이 (MATSUDA, Shuhei); 04637 서울시 중구 한강대로 416 서울스퀘어, Seoul (KR).

(74) 대리인: 김기문 (KIM, Ki Moon); 06252 서울시 강남구 역삼로 114 현죽빌딩 6 층, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

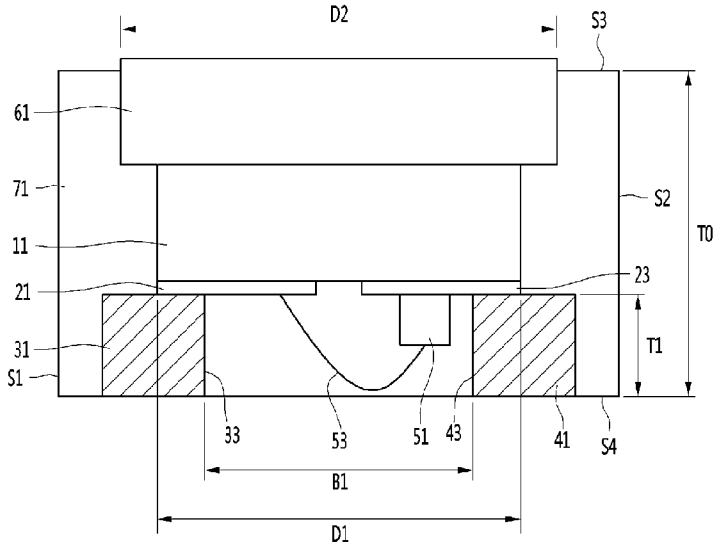
공개:

— 국제조사보고서와 함께 (조약 제 21 조(3))

— 청구범위 보정 기한 만료 전의 공개이며, 보정서를 접수하는 경우 그에 관하여 별도 공개함 (규칙 48.2(h))

(54) Title: LIGHT-EMITTING DEVICE AND LIGHT-EMITTING MODULE

(54) 발명의 명칭 : 발광 소자 및 발광 모듈



(57) Abstract: A light-emitting device according to an embodiment comprises: a light-emitting chip having a plurality of semiconductor layers and a first electrode and a second electrode which are below the plurality of semiconductor layers; a first lead frame disposed under the first electrode of the light-emitting chip; a second lead frame disposed under the second electrode of the light-emitting chip; a protective chip disposed between the first and second lead frames and electrically connected to the first and second electrodes; and a reflection member disposed at the perimeter of the light-emitting chip and the first and second lead frames.

(57) 요약서:

[다음 쪽 계속]

WO 2017/007182 A1

실시 예에 개시된 발광 소자는, 복수의 반도체층 및 상기 복수의 반도체층 하부에 제 1 전극 및 제 2 전극을 갖는 발광 칩; 상기 발광 칩의 제 1 전극 아래에 배치된 제 1 리드 프레임; 상기 발광 칩의 제 2 전극 아래에 배치된 제 2 리드 프레임; 상기 제 1 및 제 2 리드 프레임 사이에 배치되며 상기 제 1 및 제 2 전극과 전기적으로 연결된 보호 칩; 및 상기 발광 칩과 상기 제 1 및 제 2 리드 프레임의 둘레에 배치된 반사 부재를 포함한다.

명세서

발명의 명칭: 발광 소자 및 발광 모듈

기술분야

[1] 발광 소자, 예컨대 발광 다이오드(Light Emitting Diode)는 전기 에너지를 빛으로 변환하는 반도체 소자의 일종으로, 기존의 형광등, 백열등을 대체하여 차세대 광원으로서 각광받고 있다.

[2] 발광 다이오드는 반도체 소자를 이용하여 빛을 생성하므로, 텅스텐을 가열하여 빛을 생성하는 백열등이나, 또는 고압 방전을 통해 생성된 자외선을 형광체에 충돌시켜 빛을 생성하는 형광등에 비해 매우 낮은 전력만을 소모한다.

[3] 발광 다이오드는 실내 및 실외에서 사용되는 각종 램프, 액정표시장치, 전광판, 가로등, 지시등과 같은 조명 장치의 광원으로서 사용이 증가하고 있다.

배경기술

[4] 발광 소자, 예컨대 발광 다이오드(Light Emitting Diode)는 전기 에너지를 빛으로 변환하는 반도체 소자의 일종으로, 기존의 형광등, 백열등을 대체하여 차세대 광원으로서 각광받고 있다.

[5] 발광 다이오드는 반도체 소자를 이용하여 빛을 생성하므로, 텅스텐을 가열하여 빛을 생성하는 백열등이나, 또는 고압 방전을 통해 생성된 자외선을 형광체에 충돌시켜 빛을 생성하는 형광등에 비해 매우 낮은 전력만을 소모한다.

[6] 발광 다이오드는 실내 및 실외에서 사용되는 각종 램프, 액정표시장치, 전광판, 가로등, 지시등과 같은 조명 장치의 광원으로서 사용이 증가하고 있다.

발명의 상세한 설명

기술적 과제

[7] 실시 예는 새로운 방열 구조를 갖는 발광 소자를 제공한다.

[8] 실시 예는 발광 칩과 복수의 리드 프레임 사이에 보호 칩이 배치된 발광 소자를 제공한다.

[9] 실시 예는 보호 칩을 발광 칩 아래에 직접 연결한 발광 소자 및 이를 구비한 발광 모듈을 제공한다.

과제 해결 수단

[10] 실시 예에 따른 발광 소자는, 복수의 반도체층 및 상기 복수의 반도체층의 하부에 제1전극 및 제2전극을 갖는 발광 칩; 상기 발광 칩의 제1전극 아래에 배치된 제1리드 프레임; 상기 발광 칩의 제2전극 아래에 배치된 제2리드 프레임; 상기 제1 및 제2 리드 프레임 사이에 배치되며 상기 제1 및 제2전극과 전기적으로 연결된 보호 칩; 및 상기 발광 칩과 상기 제1 및 제2리드 프레임의 둘레에 배치된 반사 부재를 포함한다.

[11] 실시 예에 따른 발광 소자는, 기판, 상기 기판 아래에 복수의 반도체층과, 상기 복수의 반도체층 아래에 제1전극 및 제2전극을 갖는 발광 칩; 상기 발광 칩의

제1전극 아래에 배치된 제1리드 프레임; 상기 발광 칩의 제2전극 아래에 배치된 제2리드 프레임; 상기 제1 및 제2 리드 프레임 사이에 배치되며 상기 제1 및 제2전극과 전기적으로 연결된 보호 칩; 및 상기 발광 칩과 상기 제1 및 제2리드 프레임의 둘레에 배치된 반사 부재를 포함하며, 상기 제1 및 제2리드 프레임 사이의 간격은 상기 제1,2리드 전극 사이의 간격보다 넓게 배치되며, 상기 제1,2리드 프레임의 두께는 상기 보호 칩의 두께보다 두껍게 배치되며, 상기 반사 부재는 수지 재질을 포함하며, 상기 제1,2리드 프레임의 사이의 영역과 상기 제1,2전극 사이의 영역에 배치된다.

[12] 실시 예에 따른 발광 모듈은, 상기의 발광 소자; 상기 발광 소자 아래에 제 1및 제2전극 패드를 갖는 회로 기판; 및 상기 회로 기판과 상기 발광 소자 사이에 배치된 접합 부재를 포함하며, 상기 발광 소자의 제1 및 제2리드 프레임은 상기 접합 부재에 의해 상기 회로 기판의 제1 및 제2전극 패드에 연결된다.

발명의 효과

[13] 실시 예는 플립 형태의 발광 칩 아래에 보호 칩을 갖는 발광 소자를 제공한다.

[14] 실시 예는 발광 소자의 너비 및 두께를 줄일 수 있다.

[15] 실시 예는 발광 소자의 방열 효율의 저하를 방지할 수 있다.

[16] 실시 예는 방열 효율이 개선된 발광 소자를 제공할 수 있다.

[17] 실시 예는 발광 소자 및 이를 구비한 발광 모듈의 신뢰성이 개선될 수 있다.

도면의 간단한 설명

[18] 도 1은 제1실시 예에 따른 발광 소자를 나타낸 사시도이다.

[19] 도 2는 도 1의 발광 소자의 A-A측 단면도이다.

[20] 도 3은 도 1의 발광 소자의 평면도이다.

[21] 도 4는 도 1의 발광 소자에서 보호 칩을 나타낸 저면도이다.

[22] 도 5는 도 4의 발광 소자에서 캐비티의 다른 예를 나타낸 저면도이다.

[23] 도 6은 도 4의 발광 소자에서 캐비티의 다른 예를 나타낸 저면도이다.

[24] 도 7은 도 2의 발광 소자의 다른 예이다.

[25] 도 8은 도 2의 발광 소자의 다른 예이다.

[26] 도 9는 도 8의 발광 소자의 저면도이다.

[27] 도 10은 제2실시 예에 따른 발광 소자의 측 단면도이다.

[28] 도 11은 제3실시 예에 따른 발광 소자의 측 단면도이다.

[29] 도 12는 도 11의 발광 소자의 저면도이다.

[30] 도 13은 도 12의 발광 소자의 다른 예를 나타낸 저면도이다.

[31] 도 14는 실시 예에 따른 발광 소자를 갖는 발광 모듈의 측 단면도이다.

[32] 도 15는 실시 예에 따른 발광 소자의 발광 칩을 나타낸 도면이다.

[33] 도 16A 및 도 16B는 실시 예에 따른 발광 소자 내의 보호 칩이 센터 영역에 위치한 경우, 발광 소자의 열 분포를 나타낸 도면이다.

[34] 도 17A 및 도 17B는 실시 예에 따른 발광 소자 내의 보호 칩이 센터에 인접한

영역에 위치한 경우 및 발광 소자의 열 분포를 나타낸 도면이다.

[35] 도 18A 및 도 18B는 실시 예에 따른 발광 소자 내의 보호 칩이 외곽에 위치한 경우 및 발광 소자의 열 분포를 나타낸 도면이다.

[36] 도 19는 실시 예 및 비교 예에 따른 발광 소자의 보호 칩의 위치에 따른 열 분포를 나타낸 그래프이다.

발명의 실시를 위한 최선의 형태

[37] 이하, 실시 예들은 첨부된 도면 및 실시 예들에 대한 설명을 통하여 명백하게 드러나게 될 것이다. 실시 예들의 설명에 있어서, 각 층(막), 영역, 패턴 또는 구조물들이 기판, 각 층(막), 영역, 패드 또는 패턴들의 "상/위(on)"에 또는 "하/아래(under)"에 형성되는 것으로 기재되는 경우에 있어, "상/위(on)"와 "하/아래(under)"는 "직접(directly)" 또는 "다른 층을 개재하여 (indirectly)" 형성되는 것을 모두 포함한다. 또한 각 층의 상/위 또는 하/아래에 대한 기준은 도면을 기준으로 설명한다.

[38]

[39] 이하, 첨부된 도면을 참조하여 실시 예에 따른 발광 소자를 설명한다. 첨부된 도면의 전체에 걸쳐, 동일하거나 대응하는 구성요소는 동일한 도면부호로 지칭되며, 중복되는 설명은 생략한다.

[40] 도 1은 제1실시 예에 따른 발광 소자를 나타낸 사시도이고, 도 2는 도 1의 발광 소자의 A-A측 단면도이며, 도 3은 도 1의 발광 소자의 평면도이고, 도 4는 도 1의 발광 소자에서 보호 칩을 나타낸 저면도이다.

[41] 도 1 내지 도 4를 참조하면, 발광 소자(10)는 발광 칩(11)과, 상기 발광 칩(11)의 서로 다른 영역 아래에 배치된 복수의 리드 프레임(31,41)과, 상기 발광 칩(11)에 연결되며 상기 복수의 리드 프레임(31,41) 사이에 배치된 보호 칩(51)과, 상기 발광 칩(11) 및 상기 복수의 리드 프레임(31,41)의 둘레에 배치된 반사 부재(71)를 포함한다.

[42] 상기 발광 소자(10)는 청색, 녹색, 적색, 또는 백색 광 중 적어도 하나를 방출할 수 있다. 상기 발광 소자(10)는 상기 발광 칩(11)으로부터 발생된 광의 측면 누설을 방지하고 상면을 통해 방출시켜 줄 수 있다.

[43] 상기 발광 칩(11)은 가시광선 대역부터 자외선 대역의 범위 중에서 선택적으로 발광할 수 있다. 상기 발광 칩(11)은, 예컨대 UV(Ultraviolet) LED, 적색 LED, 청색 LED, 녹색 LED, 엘로우 그린(yellow green) LED, 적외선 또는 백색 LED 중 적어도 하나를 포함할 수 있다.

[44] 상기 발광 칩(11)은 칩 내의 두 전극이 서로 인접하게 배치된 수평형 칩 구조, 또는 두 전극이 서로 반대측에 배치된 수직형 칩 구조 중 적어도 하나를 포함할 수 있으며, 이에 대해 한정하지는 않는다. 실시 예에 따른 발광 칩(11)은 플립 칩 방식으로 상기 복수의 리드 프레임(31,41) 상에 배치될 수 있다. 상기 플립 칩 방식의 발광 칩(11)은 하부에 두 전극(21,23)이 평행하게 배치될 수 있으며, 이에

대해 한정하지는 않는다.

[45] 상기 발광 칩(11)은 복수의 반도체층 예컨대, 제1 도전형 반도체층, 활성층 및 제2 도전형 반도체층을 갖는 발광 구조물을 포함할 수 있다. 상기 발광 칩(11)은 상기 발광 구조물 상에 투광성의 기판을 포함할 수 있다. 상기 발광 구조물은 상기 전극(21,23)과 전기적으로 연결될 수 있다. 상기 제1,2전극(21,23)은 상기 발광 구조물의 아래에 배치될 수 있다. 상기 발광 칩(11)의 상면은 광 추출을 위해 요철 구조를 포함할 수 있으며, 이러한 요철 구조는 방출되는 광의 임계각을 변화시켜 줄 수 있다. 또한 상기 요철 구조는 형광체층(61)과의 접착 면적을 개선시키고 광의 추출 효율을 개선시켜 줄 수 있다. 상기 요철 구조는 상기 투광성의 기판에 형성될 수 있다.

[46] 상기 발광 칩(11)은 하부에 복수의 전극 예컨대, 제1전극(21) 및 제2전극(23)을 포함하며, 상기 제1전극(21) 및 제2전극(21,23)은 상기 발광 칩(11)의 하부에서 서로 분리되어 배치될 수 있다. 상기 제1전극(21) 및 제2전극(23)은, 금(Au), 니켈(Ni), 크롬(Cr), 탄탈늄(Ta), 백금(Pt), 주석(Sn), 은(Ag), 인(P), 티타늄(Ti), 팔라듐(Pd), 구리(Cu) 중 적어도 하나 또는 이들의 선택적인 합금으로 형성될 수 있으며, 단층 또는 다층으로 형성될 수 있다. 상기 제1전극(21) 및 제2전극(23) 중 적어도 하나는 암(arm) 패턴을 구비할 수 있으며, 이러한 암 패턴은 전류를 확산시켜 줄 수 있다.

[47] 상기 제1전극(21) 및 제2전극(23) 중 적어도 하나의 아래에는 보호 칩(51)이 배치될 수 있다. 상기 보호 칩(51)은 상기 제1 및 제2전극(21,23)과 전기적으로 연결될 수 있다. 상기 보호 칩(51)은 예컨대, 상기 제2전극(23) 아래에 배치되고, 상기 제1전극(21)과 와이어(53)로 연결될 수 있다. 다른 예로서, 상기 보호 칩(51)은 제1전극(21)의 아래에 배치되고 제2전극(23)과 와이어(53)로 연결될 수 있다.

[48] 상기 보호 칩(51)은 싸이리스터, 제너 다이오드, 또는 TVS(Transient voltage suppression) 소자로 구현될 수 있다. 상기 보호 칩(51)은 상기 발광 칩(11)과 병렬 또는 역 병렬로 연결될 수 있다. 상기 보호 칩(51)은 단 방향 다이오드 또는 양 방향 다이오드일 수 있다. 상기 보호 칩(51)은 상기 발광 칩(11)을 ESD(electro static discharge)로부터 보호하게 된다.

[49] 상기 보호 칩(51)의 어느 한 변의 길이는 상기 발광 칩(11)의 어느 한 변의 길이보다 짧을 수 있다. 상기 보호 칩(51)의 두께는 상기 발광 칩(11)의 두께 및 상기 리드 프레임(31,41)의 두께보다 얇을 수 있다.

[50] 상기 발광 소자(10)는 형광체층(61)을 포함할 수 있다. 상기 형광체층(61)은 상기 발광 칩(11)의 상면 위에 배치될 수 있다. 상기 형광체층(61)은 상기 발광 칩(11)의 상면 상에 접촉되거나 이격되게 배치될 수 있다. 상기 형광체층(61)은 상기 발광 칩(11)의 상면 및 측면 상에 접촉되거나 이격되게 배치될 수 있다.

[51] 도 2 및 도 3과 같이, 상기 형광체층(61)의 너비(D2) 또는 상면 면적은 상기 발광 칩(11)의 너비(D1) 또는 상면 면적과 같거나 더 넓을 수 있다. 이러한

형광체층(61)이 상기 발광 칩(11)의 상면 전체를 커버하는 크기로 배치되므로, 상기 발광 칩(11)으로부터 방출된 광의 파장 변환 효율이 개선될 수 있다. 상기 형광체층(61)의 상면은 상기 반사 부재(71)의 상면(S3)보다 더 돌출될 수 있다. 이에 따라 상기 형광체층(61)의 상면 및 측면 상부에 의한 광의 추출 효율은 개선될 수 있다.

[52] 상기 형광체층(61)은 상기 발광 칩(11)으로부터 방출된 일부 광을 파장 변환하게 된다. 상기 형광체층(61)은 실리콘 또는 에폭시 수지 내에 형광체를 포함하며, 상기 형광체는 적색 형광체, 녹색 형광체, 청색 형광체, 황색 형광체 중 적어도 하나를 포함할 수 있으며, 이에 대해 한정하지는 않는다. 상기 형광체는 예컨대, YAG, TAG, Silicate, Nitride, Oxy-nitride 계 물질 중에서 선택적으로 형성될 수 있다.

[53] 도 3과 같이, 상기 형광체층(61)의 너비(D2)는 상기 발광 칩(11)의 어느 한 변의 너비(D1)보다는 길고 상기 반사 부재(71)의 너비(D3)보다는 좁을 수 있다. 상기 반사 부재(71)의 너비(D3)는 발광 소자의 너비일 수 있다. 상기 형광체층(61)의 상면은 볼록한 면, 오목한 면, 평탄한 면이거나, 또는 러프한 면 중 적어도 하나를 포함할 수 있다.

[54]

[55] 상기 복수의 리드 프레임(31,41)은 적어도 2개 또는 그 이상을 포함할 수 있으며, 설명의 편의를 위해 2개의 리드 프레임으로 설명하기로 한다. 상기 복수의 리드 프레임(31,41)은 상기 제1전극(21) 아래에 배치된 제1리드 프레임(31)과 상기 제2전극(23) 아래에 배치된 제2리드 프레임(31,41)을 포함한다. 도 4와 같이, 상기 제1 및 제2리드 프레임(31,41) 간의 간격(D7)은 상기 제1 및 제2전극(21,23) 간의 간격(D8)보다 크게 배치되어, 상기 제1 및 제2리드 프레임(31,41) 사이의 갭(Gap) 영역에서 열이 집중되는 것을 방지할 수 있다.

[56] 상기 제1 및 제2리드 프레임(31,41)은 티타늄(Ti), 팔라듐(Pd), 구리(Cu), 니켈(Ni), 금(Au), 크롬(Cr), 탄탈늄(Ta), 백금(Pt), 주석(Sn), 은(Ag), 인(P) 중 적어도 하나 또는 이들의 선택적인 합금으로 형성될 수 있으며, 단층 또는 다층으로 형성될 수 있다. 상기 제1 및 제2리드 프레임(31,41)은 방열을 위해 구리 또는 구리 합금을 포함할 수 있다.

[57] 상기 제1리드 프레임(31)은 상기 제1전극(21) 아래에 배치될 수 있다. 상기 제1리드 프레임(31)은 상기 제1전극(21) 아래에 본딩될 수 있다. 도 4와 같이, 상기 제1리드 프레임(31)은 상기 발광 칩(11)의 외 측면보다 외측으로 돌출될 수 있다. 상기 제1리드 프레임(31)은 상기 발광 칩(11)의 외 측면들 중 적어도 세 측면보다 외측으로 돌출될 수 있다. 상기 제1리드 프레임(31)이 상면 또는 하면 면적이 상기 제1전극(21)의 하면 면적보다 크게 배치되어, 방열 효율을 개선시켜 줄 수 있다.

[58] 상기 제2리드 프레임(41)은 상기 제2전극(23) 아래에 배치될 수 있다. 상기 제2리드 프레임(41)은 상기 제2전극(23) 아래에 본딩될 수 있다. 도 4와 같이,

상기 제2리드 프레임(41)은 상기 발광 칩(11)의 외 측면보다 외측으로 돌출될 수 있다. 상기 제2리드 프레임(41)은 상기 발광 칩(11)의 외 측면들 중 적어도 세 측면보다 외측으로 돌출될 수 있다. 상기 제2리드 프레임(41)은 상면 또는 하면 면적이 상기 제2전극(23)의 하면 면적보다 크게 배치되어, 방열 효율을 개선시켜 줄 수 있다.

[59] 상기 제1리드 프레임(31)은 오목한 제1리세스(33) 및 상기 제2리드 프레임(41)은 상기 제1리세스(33)의 반대측 방향으로 오목한 제2리세스(43)를 포함한다. 상기 제1리세스(33)는 상기 제1 및 제2리드 프레임(31,41) 사이의 갭(gap)으로부터 상기 제1리드 프레임(31) 방향 또는 상기 반사 부재(71)의 제1측면(S1) 방향으로 오목하게 함몰될 수 있다. 상기 제2리세스(43)는 상기 제1 및 제2리드 프레임(31,41) 사이의 갭(gap)으로부터 제2리드 프레임(41) 방향 또는 상기 반사 부재(71)의 제2측면(S2) 방향으로 오목하게 함몰될 수 있다. 여기서, 상기 반사 부재(71)의 제1측면(S1) 및 제2측면(S2)는 서로 반대측 면일 수 있다.

[60] 도 4와 같이, 상기 제1,2리세스(33,43)는 서로 대응되거나 서로 반대측 방향에 배치될 수 있다. 상기 제1,2리세스(33,43)는 서로 동일하거나 서로 다른 형상으로 배치될 수 있다. 상기 제1,2리세스(33,43)는 서로 동일한 면적을 갖거나 서로 다른 면적을 가질 수 있다. 상기 제1리세스(33)는 바텀 뷰 형상이 다각형 형상 또는 타원 형상이거나 반구 형상일 수 있다. 상기 제2리세스(43)는 바텀 뷰 형상이 다각형 형상 또는 타원 형상이거나 반구 형상일 수 있다.

[61]

[62] 도 4와 같이, 상기 제1리세스(33)의 깊이(D5)는 상기 제1리드 프레임(31)의 너비(D4)의 1/2 이하일 수 있다. 만약, 상기 제1리세스(33)의 깊이(D5)가 상기 제1리드 프레임(31)의 너비(D4)의 1/2를 초과하는 경우 제1리드 프레임(31)의 방열 효율 감소와 더블어 센터측 강성에 문제가 발생될 수 있다. 상기 제2리세스(43)의 깊이(D6)는 상기 제2리드 프레임(41)의 너비(예: D4)의 1/2 이하일 수 있다. 만약 상기 제2리세스(43)의 깊이(D6)가 상기 제2리드 프레임(41)의 너비(예: D4)의 1/2를 초과하는 경우 상기 제2리드 프레임(41)의 방열 효율 감소와 더블어 센터측 강성이 약화되는 문제가 발생될 수 있다.

[63] 상기 제1리세스(33)는 상기 제1전극(21)과 수직 방향으로 오버랩(overlap)되며, 상기 제2리세스(43)는 상기 제2전극(23)과 수직 방향으로 오버랩될 수 있다. 상기 제2리세스(43)에는 보호 칩(51)이 배치되며, 상기 제1리세스(33)에는 상기 보호 칩(51)에 연결된 와이어(53)의 단부가 배치될 수 있다. 다른 예로서, 상기 보호 칩(51)은 제1리세스(33)에 배치되고, 상기 와이어(53)의 단부는 제2리세스(43)에 배치될 수 있으며, 이에 대해 한정하지는 않는다.

[64] 도 4와 같이, 상기 제1리세스(33) 및 제2리세스(43)의 길이(D9)는 상기 보호 칩(51)의 길이보다는 크고 상기 제1 및 제2전극(21,23)의 길이보다는 짧을 수 있다. 상기 보호 칩(51) 및 와이어(53)가 상기 발광 칩(11)의 제1 및 제2전극(21,23)에 연결된 후 상기 제1리세스(33) 및 제2리세스(43) 내에

수납됨으로써, 상기 제1리세스(33) 및 제2리세스(43)의 길이를 상기 보호 칩(51) 및 와이어(53)의 수납 시의 공정 오차를 고려하여 형성할 수 있다. 상기 제1,2리세스(33,43)의 길이 방향은 너비 방향과 직교하는 방향일 수 있다.

[65] 상기 제1 및 제2리세스(33,43)는 발광 소자(10)의 하면 중심을 지나는 센터 라인(C1) 상에 배열될 수 있으며, 상기 센터 라인(C1) 상에는 상기 보호 칩(51) 및 와이어(53)의 단부 중 적어도 하나 또는 모두가 배치될 수 있다. 상기 보호 칩(51)이 상기 발광 칩(11)의 중심 아래에 배치됨으로써, 상기 발광 칩(11)으로부터 발생된 열 분포를 균일하게 제공할 수 있다. 상기 보호 칩(51) 및 와이어(53)의 구성이 상기 발광 칩(11)의 아래에서 상기 제1 및 제2리드 프레임(31,41) 사이에 배치됨으로써, 상기 발광 칩(11)으로부터 방출된 광의 흡수를 방지할 수 있다. 이에 따라 발광 소자(10)의 광 효율이 저하되는 것을 방지할 수 있다. 여기서, 상기 센터 라인(C1)는 제1,2리드 프레임(31,41)의 사이의 영역 중심과, 상기 제1,2리드 프레임(31,41)의 중심을 지나는 직선일 수 있다.

[66] 도 2와 같이, 상기 제1 및 제2리세스(33,43) 사이의 간격(B1)은 상기 제1 및 제2리드 프레임(31,41)의 최 외측 간의 거리보다 좁고 상기 발광 칩(11)의 너비(D1)보다는 좁을 수 있다. 만약, 상기 제1 및 제2리세스(33,43) 간의 간격(B1)이 상기 발광 칩(11)의 너비(D1)와 같거나 클 경우, 상기 제1 및 제2리세스(33,43)의 외측에 위치한 리드 프레임(31,41)의 센터 영역에서의 방열 효율이 저하될 수 있다.

[67] 상기 제1 및 제2리세스(33,43) 중 적어도 하나 또는 모두의 높이가 상기 제1 및 제2리드 프레임(31,41)의 두께(T1)와 동일한 높이로 형성될 수 있다. 이에 따라 상기 와이어(53)와 리드 프레임(31,41) 간의 전기적인 간섭을 방지할 수 있다.

[68] 상기 제1 및 제2리드 프레임(31,41)의 두께(T1)는 상기 보호 칩(51)의 두께와 상기 와이어(53)의 저점 높이를 합한 값보다 큰 값으로서, 150㎛ 이상 예컨대, 180㎛ 내지 350㎛ 범위로 형성될 수 있다. 상기 제1 및 제2리드 프레임(31,41)의 두께(T1)가 상기 범위보다 작을 경우 상기 와이어(53)의 저점이 리드 프레임(31,41)의 아래로 노출될 수 있으며, 상기 범위보다 두꺼운 경우 발광 소자(10)의 두께가 두꺼워지는 문제가 있다. 상기 제1 및 제2리드 프레임(31,41)의 두께(T1)가 상기 범위보다 작을 경우, 방열 표면적이 감소되어 제1,2리드 프레임(31,41) 사이의 갭에서의 열이 집중되는 문제가 발생될 수 있다.

[69] 상기 제1 및 제2리드 프레임(31,41)의 하면은 상기 반사 부재(71)의 하면(S4)과 동일 수평 면상에 배치될 수 있다. 다른 예로서, 상기 제1 및 제2리드 프레임(31,41)의 하면은 상기 반사 부재(71)의 하면(S4)보다 더 아래로 돌출될 수 있으며, 이러한 돌출 구조는 솔더와 같은 접합 부재와의 접착력이 개선될 수 있다. 상기 제1 및 제2리드 프레임(31,41)의 측면은 상기 반사 부재(71)의 양 측면(S1,S2)에 노출되거나, 상기 측면(S1,S2)과 동일 수직 면에 배치되거나, 상기 측면(S1,S2)보다 돌출될 수 있다. 이러한 경우 리드 프레임(31,41)의 방열 표면적이 증가될 수 있다.

[70] 상기 반사 부재(71)는 상기 발광 칩(11) 및 상기 복수의 리드 프레임(31,41)의 외측 둘레에 배치될 수 있다. 상기 발광 칩(11)의 외 측면은 상기 반사 부재(71)의 양 측면(S1,S2) 또는 모든 측면으로부터 이격될 수 있어, 습기 침투를 억제할 수 있다. 상기 복수의 리드 프레임(31,41)의 외측 면은 상기 반사 부재(71)의 양 측면(S1,S2) 또는 모든 측면으로부터 이격될 수 있다.

[71] 상기 반사 부재(71)는 상기 복수의 리드 프레임(31,41)의 하면부터 상기 발광 칩(11)의 상면까지의 둘레에 배치될 수 있다. 상기 반사 부재(71)는 상기 발광 소자(10)가 형광체층(61)을 구비한 경우, 상기 복수의 리드 프레임(31,41)의 하면부터 상기 형광체층(61)의 상면의 외측 둘레에 배치될 수 있다. 여기서, 상기 형광체층(61)의 상면은 상기 반사 부재(71)의 상면(S3)과 동일한 수평 면 상에 배치되거나 더 높게 배치될 수 있으며, 이에 대해 한정하지는 않는다. 상기 형광체층(61)은 제거되거나 이격되게 배치될 수 있으며, 이에 대해 한정하지는 않는다.

[72] 상기 반사 부재(71)는 상기 제1 및 제2리드 프레임(31,41) 사이의 갭(gap) 영역과 상기 제1 및 제2리세스(33,43) 영역 내에 배치될 수 있다. 상기 반사 부재(71)는 상기 제1 및 제2전극(21,23) 아래 및 상기 제1 및 제2전극(21,23) 사이의 영역에 배치될 수 있다.

[73] 상기 반사 부재(71)의 하면(S4)에는 상기 제1 및 제2리드 프레임(31,41)의 하면이 노출될 수 있고, 상기 노출된 상기 제1 및 제2리드 프레임(31,41)의 하면 영역은 솔더와 같은 접착 부재로 접착될 수 있다.

[74] 상기 반사 부재(71)는 발광 칩(11) 및 형광체층(61)의 둘레에 배치되어, 상기 발광 칩(11) 및 상기 형광체층(61)으로부터 입사된 광을 반사시켜 주어, 상기 형광체층(61)을 통해 광이 추출되도록 한다.

[75] 상기 반사 부재(71)는 비 금속 재질 또는 절연 재질을 포함하며, 예컨대 실리콘 또는 에폭시와 같은 수지 재질로 형성될 수 있다. 상기 반사 부재(71)는 내부에 상기 수지 재질의 굴절률보다 높은 굴절률을 갖는 불순물을 포함할 수 있다. 상기 반사 부재(71)는 Al, Cr, Si, Ti, Zn, Zr 중 적어도 하나를 갖는 산화물, 질화물, 불화물, 황화물과 같은 화합물들 중 적어도 하나가 첨가될 수 있다. 상기 반사 부재(71)는 예컨대, TiO_2, SiO_2, Al_2O_3중 적어도 하나를 포함할 수 있다.

[76] 도 2 및 도 3과 같이, 상기 반사 부재(71)의 두께(T0)는 상기 발광 칩(11), 형광체층(61), 및 리드 프레임(31,41)의 두께의 합과 같거나 더 얇을 수 있다. 상기 반사 부재(71)의 두께(T0)는 상기 리드 프레임(31,41)의 두께와 상기 발광 칩(11)의 두께의 합보다는 두꺼울 수 있다. 이러한 반사 부재(71)의 크기에 따라 상기 발광 소자(10)의 크기가 달라질 수 있어, 이러한 발광 소자(10)의 두께는 얇은 두께로 제공될 수 있다.

[77] 상기 반사 부재(71)는 상기 제1,2리드 프레임(31,41) 사이의 영역과 상기 제1,2리세스(33,43) 내부에 채워질 수 있다. 상기 반사 부재(71)는 상기 제1,2리드 프레임(31,41) 각각의 둘레에 배치될 수 있다. 상기 반사 부재(71)의 일부는 상기

제1,2전극(21,23) 사이의 제1영역과, 상기 제1,2리드 프레임(31,41) 사이의 제2영역이 서로 연결될 수 있다.

[78] 다른 예로서, 반사 부재(71)와 발광 칩(11) 사이의 영역에 광 추출을 위해, 투광성의 광 가이드층(미도시)이 배치될 수 있다. 상기 광 가이드층은 상기 반사 부재(71)와 상기 발광 칩(11) 사이에 투명한 수지 재질로 형성되며, 상기 발광 칩(11)의 측 방향으로 방출된 광을 상 방향으로 가이드할 수 있다. 상기 반사 부재(71)는 발광 칩(11)에 직접 접촉되지 않고, 광 가이드층에 접촉되므로, 광 가이드층으로 진행되는 광을 상 방향으로 반사시켜 줄 수 있다. 상기 광 가이드층은 상기 형광체층(61)과 상기 반사 부재(71) 사이에 연장되어 배치될 수 있다. 상기 형광체층(61)과 상기 반사 부재(71) 사이에 광 가이드층이 배치되므로, 형광체층(61)과 반사 부재(71) 사이의 접착력을 개선시켜 줄 수 있다.

[79]

[80] 도 4와 같이, 상기 제 1 및 제2리세스(33,43)는 바텀 뷰의 형상이 다각형 형상일 수 있으며, 서로 동일하거나 다른 형상일 수 있다. 상기 제1 및 제2리세스(33,43)는 동일한 크기를 가질 수 있다. 다른 예로서, 상기 제1 및 제2리세스(33,43) 중에서 보호 칩(51)이 수납된 리세스(43)의 크기가 더 크고, 와이어(53)의 단부가 수납된 레세스(33)의 크기가 더 작을 수 있다.

[81] 도 5와 같이, 상기 제1 및 제2리드 프레임(31,41)의 제1 및 제2리세스(33A,43) 중에서 와이어(53)의 단부가 수납된 리세스(33A)는 외 형상이 반구 형상 또는 곡면을 갖는 형상일 수 있다. 이러한 반구 형상의 리세스(33A)의 외곽선은 와이어(53)의 단부와 동일한 간격을 가질 수 있어, 리세스(33)의 크기를 최소화시켜 줄 수 있다.

[82] 도 6과 같이, 상기 제1 및 제2리세스(33,43) 중 적어도 하나 또는 모두는 센터 라인(C1)을 기준으로 서로 반대측 방향으로 어긋나게 배치될 수 있다. 이러한 제1 및 제2리세스(33,43)가 센터 라인(C1)으로부터 틸트(tilt)되어 배치됨으로써, 열 분포를 분산시켜 줄 수 있다. 또한 발광 칩(11)의 하부 센터 영역에 리세스가 아닌 리드 프레임이 배치됨으로써, 센터 측 방열 효율을 개선시켜 줄 수 있다. 여기서, 상기 센터 라인(C1)는 제1,2리드 프레임(31,41)의 사이의 영역 중심과, 상기 제1,2리드 프레임(31,41)의 중심을 지나는 직선일 수 있다.

[83] 상기 제1리세스(33)의 영역 중 일부는 상기 제2리세스(43)와 수평 방향으로 오버랩될 수 있으며, 상기 오버랩되는 영역의 너비(D10)는 상기 제2리세스(43)의 너비(D9)의 1/2 이하일 수 있다. 이러한 수평 방향으로 오버랩된 영역에 의해 와이어(53)의 연결이 용이할 수 있다.

[84] 상기 제1 및 제2리드 프레임(31,41)의 하면 및 측면 중 적어도 하나에 요철 구조가 배치될 수 있으며, 이에 대해 한정하지는 않는다.

[85] 실시 예는 제1 및 제2리드 프레임(31,41) 사이의 리세스(33,43) 내에 보호 칩(51) 및 와이어(53)을 배치함으로써, 상기 제1 및 제2리드 프레임(31,41)의 두께(T1)가

증가되는 것을 방지할 수 있다. 또한 발광 소자(10)의 두께 및 크기를 감소시켜 줄 수 있다. 또한 발광 소자(10) 내에 보호 칩(51)을 구비함으로써, 발광 칩(11)을 전기적으로 보호할 수 있다.

[86]

[87] 도 7은 도 2의 발광 소자의 다른 예이다. 도 7을 설명함에 있어서, 상기의 실시 예와 동일한 구성은 상기의 설명을 참조하기로 한다.

[88] 도 7을 참조하면, 발광 소자는 발광 칩(11) 아래에 배치된 제1 및 제2리드 프레임(31,41)의 하면 구조를 변형한 것이다.

[89] 상기 제1 및 제2리드 프레임(31,41)의 하면은 요부(R1,R2)를 포함하며, 상기 요부(R1,R2)는 상기 제1 및 제2리드 프레임(31,41)의 하면으로부터 상기 발광 칩(11) 방향으로 볼록하게 함몰된 형상이다. 상기 요부(R1,R2)를 갖는 제1 및 제2리드 프레임(31,41)의 하면은 도 14와 같이 회로 기판(111) 상에 접합 부재(133,143)로 본딩시, 상기 접합 부재(133,143)와의 접착 면적이 증가될 수 있다. 이에 따라 제1,2리드 프레임(31,41)에 의한 열 전달 효율이 개선될 수 있고, 접합 불량을 방지할 수 있다.

[90] 다른 예로서, 반사 부재(71)와 발광 칩(11) 사이의 영역에 광 추출을 위해, 투광성의 광 가이드층(미도시)이 배치될 수 있다. 상기 광 가이드층은 상기 반사 부재(71)와 상기 발광 칩(11) 사이에 투명한 수지 재질로 형성되며, 상기 발광 칩(11)의 측 방향으로 방출된 광을 상 방향으로 가이드할 수 있다. 상기 반사 부재(71)는 발광 칩(11)에 직접 접촉되지 않고, 광 가이드층에 접촉되므로, 광 가이드층으로 진행되는 광을 상 방향으로 반사시켜 줄 수 있다. 상기 광 가이드층은 상기 형광체층(61)과 상기 반사 부재(71) 사이에 연장되어 배치될 수 있다. 상기 형광체층(61)과 상기 반사 부재(71) 사이에 광 가이드층이 배치되므로, 형광체층(61)과 반사 부재(71) 사이의 접착력을 개선시켜 줄 수 있다.

[91]

[92] 도 8은 도 2의 발광 소자의 다른 예이며, 도 9는 도 8의 발광 소자의 저면도이다. 도 8을 설명함에 있어서, 상기의 실시 예와 동일한 구성은 상기의 설명을 참조하기로 한다.

[93] 도 8을 참조하면, 발광 소자는 발광 칩(11) 아래에 배치된 제1 및 제2리드 프레임(31,41)의 외 형상을 변경한 것이다. 상기 발광 소자는 제1리드 프레임(31)으로부터 반사 부재(71)의 제1측면(S1)으로 돌출된 제1돌기(35) 및 상기 제2리드 프레임(41)으로부터 반사 부재(71)의 제2측면(S2)으로 돌출된 제2돌기(45)를 포함한다. 상기 반사 부재(71)의 제1측면(S1)과 제2측면(S2)은 서로 반대측 측면이 될 수 있다.

[94] 도 9와 같이, 상기 제1돌기(35)는 제1리드 프레임(31)으로부터 복수개가 상기 반사 부재(71)의 제1측면(S1)으로 돌출될 수 있다. 상기 복수의 제1돌기(35)들 사이에는 상기 반사 부재(71)의 제1하부(72)가 배치될 수 있다. 이에 따라 상기

제1리드 프레임(31)은 상기 복수의 제1돌기(35)가 상기 반사 부재(71)의 제1하부(72)에 결합되므로, 반사 부재(71)와의 결합력이 강화될 수 있다. 상기 제1하부(72) 및 제1돌기(35)는 상기 반사 부재(71)의 하면(S4)에 배치될 수 있다.

[95] 상기 제2돌기(45)는 제2리드 프레임(41)으로부터 복수개가 상기 반사 부재(71)의 제2측면(S2)으로 돌출될 수 있다. 상기 복수의 제2돌기(45)들 사이에는 상기 반사 부재(71)의 제2하부(73)에 배치될 수 있다. 상기 제2하부(73) 및 제2돌기(45)는 상기 반사 부재(71)의 하면(S4)에 배치될 수 있다. 이에 따라 상기 제2리드 프레임(41)은 복수의 제2돌기(45)가 상기 반사 부재(71)의 제2하부(73)에 결합되므로, 반사 부재(71)와의 결합력이 강화될 수 있다.

[96] 또한 제1 및 제2리드 프레임(31,41)은 상기 제1및 제2돌기(35,45)들에 의해 접합 면적 및 방열 면적이 증가될 수 있다.

[97] 상기 제1 및 제2돌기(35,45)의 두께(T2)는 상기 제1 및 제2리드 프레임(31,41)의 두께(T1)의 1/2 이하일 수 있다. 만약, 상기 제1 및 제2돌기(35,45의 두께(T2)가 상기 제1 및 제2리드 프레임(31,41)의 두께(T1)의 1/2를 초과할 경우, 상기 반사 부재(71)의 하부(72,73)의 강성이 약화되어, 반사 부재(71)와의 결합력이 개선되지 않을 수 있다.

[98] 상기 제1 및 제2돌기(35,45)는 외 측면이 상가 반사부재(71)의 제1 및 제2측면들과 동일 수직 면 상에 배치되거나 더 돌출될 수 있다. 만약, 상기 제1 및 제2돌기(35,45)가 상기 반사 부재(71)의 외 측면보다 더 외측으로 돌출될 경우, 상기 제 1및 제2리드 프레임(31,41)의 방열 면적은 증가될 수 있다.

[99] 다른 예로서, 반사 부재(71)와 발광 칩(11) 사이의 영역에 광 추출을 위해, 투광성의 광 가이드층(미도시)이 배치될 수 있다. 상기 광 가이드층은 상기 반사 부재(71)와 상기 발광 칩(11) 사이에 투명한 수지 재질로 형성되며, 상기 발광 칩(11)의 측 방향으로 방출된 광을 상 방향으로 가이드할 수 있다. 상기 반사 부재(71)는 발광 칩(11)에 직접 접촉되지 않고, 광 가이드층에 접촉되므로, 광 가이드층으로 진행되는 광을 상 방향으로 반사시켜 줄 수 있다. 상기 광 가이드층은 상기 형광체층(61)과 상기 반사 부재(71) 사이에 연장되어 배치될 수 있다. 상기 형광체층(61)과 상기 반사 부재(71) 사이에 광 가이드층이 배치되므로, 형광체층(61)과 반사 부재(71) 사이의 접착력을 개선시켜 줄 수 있다.

[100]

[101] 도 10은 제2실시 예에 따른 발광 소자를 나타낸 측 단면도이다.

[102] 도 10을 참조하면, 발광 소자는 발광 칩(11)과, 상기 발광 칩(11)의 서로 다른 영역 아래에 배치된 복수의 리드 프레임(31,41)과, 상기 발광 칩(11)에 연결되며 상기 복수의 리드 프레임(31,41) 사이에 배치된 보호 칩(51)과, 상기 발광 칩(11) 및 상기 복수의 리드 프레임(31,41)의 둘레를 덮는 반사 부재(71)를 포함한다.

[103] 상기 제1리드 프레임(31)은 제1리세스(33) 및 상기 제2리드 프레임(41)은 제2리세스(43)를 포함한다.

[104] 상기 제1리세스(33)는 상기 제1리드 프레임(31)의 상부에 형성될 수 있으며, 상기 제2리세스(43)는 상기 제2리드 프레임(41)의 상부에 형성될 수 있다. 상기 제1 및 제2리세스(33,43)는 서로 마주보는 위치에 배치되거나, 도 6과 같이 틸트되게 배치될 수 있으며, 이에 대해 한정하지는 않는다. 또한 제1 및 제2리세스(33,43) 중 어느 하나 또는 모두는 도 5와 같이, 반구형 형상일 수 있으며, 이에 대해 한정하지는 않는다.

[105] 상기 보호 칩(51)은 발광 칩(11)의 제1 및 제2전극(21,23) 아래에 배치될 수 있으며, 예컨대 상기 제1 및 제2전극(21,23)에 플립 칩 본딩될 수 있다. 이러한 보호 칩(51)이 플립 칩 본딩됨으로써, 상기 제1 및 제2리세스(33,43) 간의 간격(B2)은 도 2의 구조에 비해 더 좁아질 수 있고, 제1 및 제2리드 프레임(31,41)의 방열 면적은 증가될 수 있다. 즉, 상기 제1 및 제2리드 프레임(31,41)의 하부 방열 면적은 더 증가될 수 있다.

[106] 상기 제1 및 제2리세스(33,43)의 높이(B3)는 상기 제1 및 제2리드 프레임(31,41)의 두께(T1) 미만으로 형성되므로, 상기 제1 및 제2리드 프레임(31,41)의 면적 감소를 최소화할 수 있다.

[107] 상기 보호 칩(51)은 상기 제1 및 제2리드 프레임(31,41)의 상부 사이의 갭 영역에 배치될 수 있다. 상기 보호 칩(51)에 와이어를 연결하지 않기 때문에, 상기 제1 및 제2리드 프레임(31,41)의 하부는 상기 제1 및 제2리세스(33,43)의 영역 아래로 연장될 수 있다. 이에 따라 제1 및 제2리드 프레임(31,41)의 하면 면적 또는 하면 너비는 도 2의 구조에 비해 증가될 수 있다.

[108] 다른 예로서, 반사 부재(71)와 발광 칩(11) 사이의 영역에 광 추출을 위해, 투광성의 광 가이드층(미도시)이 배치될 수 있다. 상기 광 가이드층은 상기 반사 부재(71)와 상기 발광 칩(11) 사이에 투명한 수지 재질로 형성되며, 상기 발광 칩(11)의 측 방향으로 방출된 광을 상 방향으로 가이드할 수 있다. 상기 반사 부재(71)는 발광 칩(11)에 직접 접촉되지 않고, 광 가이드층에 접촉되므로, 광 가이드층으로 진행되는 광을 상 방향으로 반사시켜 줄 수 있다. 상기 광 가이드층은 상기 형광체층(61)과 상기 반사 부재(71) 사이에 연장되어 배치될 수 있다. 상기 형광체층(61)과 상기 반사 부재(71) 사이에 광 가이드층이 배치되므로, 형광체층(61)과 반사 부재(71) 사이의 접착력을 개선시켜 줄 수 있다.

[109]

[110] 도 11은 제3실시 예에 따른 발광 소자를 나타낸 측 단면도이다.

[111] 도 11을 참조하면, 발광 소자는, 발광 칩(11)과, 상기 발광 칩(11)의 서로 다른 영역 아래에 배치된 복수의 리드 프레임(31,41)과, 상기 발광 칩(11)에 연결되며 상기 복수의 리드 프레임(31,41) 사이에 배치된 보호 칩(51)과, 상기 발광 칩(11) 및 상기 복수의 리드 프레임(31,41)의 둘레를 덮는 반사 부재(71)를 포함한다.

[112] 상기 제1리드 프레임(31)은 상기 발광 칩(11)의 제1전극(21) 아래에 배치되며, 상기 제2리드 프레임(41)은 상기 발광 칩(11)의 제2전극(23) 아래에 배치된다.

[113] 상기 제1리드 프레임(31)은 제1리세스(33) 위로 돌출된 본딩부(32)를 포함한다. 상기 본딩부(32)는 상기 제1전극(21)과 와이어(53)의 단부 사이에 배치될 수 있다. 상기 본딩부(32)는 상기 제1리세스(33) 상에 상기 제1전극(21)과 수직 방향으로 오버랩되게 연장될 수 있다.

[114] 상기 보호 칩(51)은 상기 발광 칩(11)의 제2전극(23) 아래에 배치되고, 상기 제1리드 프레임(31)의 본딩부(32)에 와이어(53)로 연결될 수 있다. 이러한 본딩부(32)에 의해 상기 와이어(53) 양단의 높이 차이가 줄어들어, 와이어(53)에 걸리는 인장력은 감소될 수 있다. 이에 따라 보호 칩(51)에 연결된 와이어(53)가 끊어지거나 오픈되는 불량을 방지할 수 있다.

[115] 상기 제1리드 프레임(31)은 제1돌기(36)를 포함하며, 상기 제1돌기(36)는 상기 반사 부재(71)의 제1측면(S1)보다 더 외측으로 돌출될 수 있다. 이러한 제1돌기(36)의 돌출된 면적만큼 방열 효율은 개선될 수 있다.

[116] 상기 제2리드 프레임(41)은 제2돌기(46)를 포함하며, 상기 제2돌기(46)는 상기 반사 부재(71)의 제2측면(S2)보다 더 외측으로 돌출될 수 있다. 이러한 제2돌기(46)의 돌출된 면적만큼 방열 효율은 개선될 수 있다.

[117] 도 12와 같이, 상기 제1돌기(36)는 상기 제1리드 프레임(31)의 길이와 동일한 길이 또는 다른 길이로 돌출될 수 있다. 상기 제2돌기(46)는, 상기 제2리드 프레임(41)의 길이와 동일한 길이 또는 다른 길이로 돌출될 수 있다.

[118] 도 13과 같이, 제1돌기(36A)는 복수개를 구비하며, 상기 복수개의 제1돌기(36A)는 상기 제1리드 프레임(31)으로부터 상기 반사 부재(71)의 제1측면(S1)보다 외측으로 돌출될 수 있다. 제2돌기(46A)는, 복수개를 구비하며, 상기 복수개의 제2돌기(46A)는 상기 제2리드 프레임(41)으로부터 반사 부재(71)의 제2측면(S2)보다 외측으로 돌출될 수 있다. 이러한 제1 및 제2돌기(S1,S2)는 솔더와 같은 접합 부재와의 접착 면적이 증가시켜 주고, 방열 효율의 개선과 더블어, 반사 부재(71)와의 결합력을 개선시켜 줄 수 있다.

[119] 다른 예로서, 반사 부재(71)와 발광 칩(11) 사이의 영역에 광 추출을 위해, 투광성의 광 가이드층(미도시)이 배치될 수 있다. 상기 광 가이드층은 상기 반사 부재(71)와 상기 발광 칩(11) 사이에 투명한 수지 재질로 형성되며, 상기 발광 칩(11)의 측 방향으로 방출된 광을 상 방향으로 가이드할 수 있다. 상기 반사 부재(71)는 발광 칩(11)에 직접 접촉되지 않고, 광 가이드층에 접촉되므로, 광 가이드층으로 진행되는 광을 상 방향으로 반사시켜 줄 수 있다. 상기 광 가이드층은 상기 형광체층(61)과 상기 반사 부재(71) 사이에 연장되어 배치될 수 있다. 상기 형광체층(61)과 상기 반사 부재(71) 사이에 광 가이드층이 배치되므로, 형광체층(61)과 반사 부재(71) 사이의 접착력을 개선시켜 줄 수 있다.

[120]

[121] 한편, 상기에 개시된 실시 예에서 제 1 및 제2리세스(33,43)의 위치에 따라 발광 소자의 열 분포는 달라질 수 있다. 예를 들면, 도 16a와 같이, 발광 소자의 하부

센터 라인(C1) 상에 제1 및 제2리세스(33,43)와 보호 칩(51)이 정렬(a=0, a/b=0)된 경우, 도 16b와 같이 열 분포는 센터 측 좌우로 분포할 수 있다. 만약, 도 17a 또는 도 18a와 같이, 발광 소자의 하부 센터 라인(C1)을 벗어난 라인(C2, C3)을 따라 제1 및 제2리세스(33,43)와 보호 칩(51)이 정렬(a>0, a/b>0)된 경우, 도 17b 및 도 18b와 같이 열 분포는 센터 측으로부터 벗어난 영역에 분포할 수 있다. 여기서, 상기 a는 센터 라인(C1)을 기준으로 상기 제1 및 제2리세스(33,43)의 센터 또는 보호 칩(51)의 중심까지의 거리 값이다. 상기 b는 상기 센터 라인(C1)으로부터 상기 제1 및 제2리드 프레임(31,41)의 측면 중 가장 먼 측면까지의 직선 거리이다. 도 17a에서 a/b의 비는 50% 정도이고, 도 18a에서 a/b의 비는 70% 정도이다.

[122] 도 19와 같이, 비교 예는 리드 프레임의 아래에 보호 칩을 배치한 경우로서 일정한 열 분포를 나타내고 있다. 실시 예는 a/b의 비율이 점차 커짐에 따라 열 저항(Rth) 값이 점차 증가됨을 알 수 있으며, 상기 a 값이 0인 경우 가장 낮은 열 저항을 가지게 됨을 알 수 있다. 또한 제1 및 제2리세스와 보호 칩이 도 16a부터 도 18a와 같이 센터 라인(C1)으로부터 멀어질수록 상기 열 저항 값은 증가함을 알 수 있다. 이는 a/b의 비가 0인 경우 가장 낮은 열 저항을 가지게 됨을 알 수 있다. 여기서, 상기 보호 칩이 멀어지는 방향은 상기 제1,2리드 프레임의 사이의 센터 영역보다 상기 제1,2리드 프레임 사이의 외측 영역에 더 인접한 방향일 수 있다.

[123]

[124] 도 14는 실시 예에 따른 발광 소자를 갖는 발광 모듈을 나타낸 도면이다.

[125] 도 14를 참조하면, 발광 모듈은 발광 소자(10)와, 상기 발광 소자(10) 아래에 회로 기판(111)과, 상기 회로 기판(111)과 상기 발광 소자(10) 사이에 제1 및 제2접합 부재(133,143)를 포함한다.

[126] 상기 발광 소자(10)는 실시 예에 개시된 발광 소자를 포함하며, 예컨대 제1 내지 제3실시 예에 개시된 발광 소자를 선택적으로 포함할 수 있다.

[127] 상기 발광 소자(10)는 하부에 배치된 제1 및 제2리드 프레임(31,41)이 상기 회로 기판(111)의 제1 및 제2전극 패드(131,141)와 대응되게 배치될 수 있다. 상기 회로 기판(111)은 상기 제1 및 제2전극 패드(131,141)를 갖는 회로 패턴을 포함할 수 있다.

[128] 제1접합 부재(133)는 상기 제1리드 프레임(31)과 상기 회로 기판(111)의 제1전극 패드(131) 사이에 배치되어, 상기 제1리드 프레임(31)과 제1전극 패드(131)를 전기적으로 연결시켜 준다.

[129] 제2접합 부재(143)는 상기 제2리드 프레임(41)과 상기 회로 기판(111)의 제2전극 패드(141) 사이에 배치되어, 상기 제2리드 프레임(41)과 상기 제2전극 패드(141)를 전기적으로 연결시켜 준다.

[130] 상기 제1 및 제2접합 부재(133,143)는 솔더 페이스트 재질을 포함할 수 있다. 상기 솔더 페이스트 재질은 금(Au), 주석(Sn), 납(Pb), 구리(Cu), 비스무트(Bi), 인듐(In), 은(Ag) 중 적어도 하나를 포함한다. 상기 제1 및 제2접합

부재(133,143)는 열 전달을 회로 기판(111)에 직접 전도하기 때문에 열 전도 효율이 개선될 수 있다.

[131] 상기 제1 및 제2접합 부재(133,143)는 다른 예로서, 전도성 필름을 포함할 수 있으며, 상기 전도성 필름은 절연성 필름 내에 하나 이상의 도전성 입자를 포함한다. 상기 도전성 입자는 예컨대, 금속이나, 금속 합금, 탄소 중 적어도 하나를 포함할 수 있다. 상기 도전성 입자는 니켈, 은, 금, 알루미늄, 크롬, 구리 및 탄소 중 적어도 하나를 포함할 수 있다. 상기 전도성 필름은 이방성(Anisotropic) 전도 필름 또는 이방성 도전 접착제를 포함할 수 있다.

[132] 상기 발광 소자(10)와 상기 회로 기판(111) 사이에는 접착 부재 예컨대, 열전도성 필름을 포함할 수 있다. 상기 열전도성 필름은 폴리에틸렌테레프탈레이트, 폴리부티렌테레프탈레이드, 폴리에틸렌나프탈레이트, 폴리부티렌나프탈레이트 등의 폴리에스터 수지; 폴리이미드 수지; 아크릴 수지; 폴리스티렌 및 아크릴로니트릴-스티렌 등의 스티렌계 수지; 폴리카보네이트 수지; 폴리락트산 수지; 폴리우레탄 수지; 등을 사용할 수 있다. 또한, 폴리에틸렌, 폴리프로필렌, 에틸렌-프로필렌 공중합체와 같은 폴리올레핀 수지; 폴리비닐클로라이드, 폴리비닐리덴클로라이드 등의 비닐 수지; 폴리아미드 수지; 설폰계 수지; 폴리에테르-에테르케톤계 수지; 알릴레이트계 수지; 또는 상기 수지들의 블렌드 중에서 적어도 하나를 포함할 수 있다.

[133] 상기 회로 기판(111)은 수지 재질의 PCB, 메탈 코어 PCB(MCPCB, Metal Core PCB), 연성 PCB(FPCB, Flexible PCB) 중 적어도 하나를 포함할 수도 있으며, 이에 대해 한정하지는 않는다.

[134] 상기 발광 소자(11)은 상기 회로 기판(111) 상에 복수개가 적어도 1열로 배치될 수 있으며, 이에 대해 한정하지는 않는다.

[135]

[136] 도 15는 실시 예에 따른 발광 소자의 발광 칩의 예를 나타낸 도면이다.

[137] 도 15를 참조하면, 발광 칩(11)은 발광 구조물(225) 및 복수의 전극(21,23)을 포함한다. 상기 발광 구조물(225)은 II족 내지 VI족 원소의 화합물 반도체층 예컨대, III족-V족 원소의 화합물 반도체층 또는 II족-VI족 원소의 화합물 반도체층으로 형성될 수 있다. 상기 복수의 전극(21,23)은 상기 발광 구조물(225)의 반도체층에 선택적으로 연결되며, 전원을 공급하게 된다.

[138] 상기 발광 칩은 기판(221)을 포함할 수 있다. 상기 기판(221)은 상기 발광 구조물(225) 위에 배치된다. 상기 기판(221)은 예컨대, 투광성, 절연성 기판, 또는 전도성 기판일 수 있다. 상기 기판(221)은 예컨대, 사파이어(Al_2O_3), SiC, Si, GaAs, GaN, ZnO, Si, GaP, InP, Ge, Ga_2O_3 중 적어도 하나를 이용할 수 있다. 상기 기판(221)의 탑 면 및 바닥면 중 적어도 하나 또는 모두에는 복수의 볼록부(미도시)가 형성되어, 광 추출 효율을 개선시켜 줄 수 있다. 각 볼록부의 측 단면 형상은 반구형 형상, 반타원 형상, 또는 다각형 형상 중 적어도 하나를

포함할 수 있다. 이러한 기판(221)은 제거될 수 있으며, 이에 대해 한정하지는 않는다.

[139] 상기 발광 칩(11)은 상기 기판(221)과 상기 발광 구조물(225) 사이에 버퍼층(미도시) 및 언도프드 반도체층(미도시) 중 적어도 하나를 포함할 수 있다. 상기 버퍼층은 상기 기판(221)과 반도체층과의 격자 상수 차이를 완화시켜 주기 위한 층으로서, II족 내지 VI족 화합물 반도체 중에서 선택적으로 형성될 수 있다. 상기 버퍼층 아래에는 언도핑된 III족-V족 화합물 반도체층이 더 형성될 수 있으며, 이에 대해 한정하지는 않는다. 상기 기판(221)은 제거될 수 있다. 상기 기판(221)이 제거된 경우 형광체층(61)은 상기 제1도전형 반도체층(222)의 상면이나 다른 반도체층의 상면에 접촉될 수 있다.

[140] 상기 발광 구조물(225)은 상기 기판(221) 아래에 배치될 수 있으며, 제1도전형 반도체층(222), 활성층(223) 및 제2도전형 반도체층(224)을 포함한다. 상기 각 층(222,223,224)의 위 및 아래 중 적어도 하나에는 다른 반도체층이 더 배치될 수 있으며, 이에 대해 한정하지는 않는다.

[141]

[142] 상기 제1도전형 반도체층(222)은 기판(221) 아래에 배치되며, 제1도전형 도펀트가 도핑된 반도체 예컨대, n형 반도체층으로 구현될 수 있다. 상기 제1도전형 반도체층(222)은 $In_xAl_yGa_{1-x-y}N$ ($0\leq x\leq 1$, $0\leq y\leq 1$, $0\leq x+y\leq 1$)의 조성식을 포함한다. 상기 제1도전형 반도체층(222)은 III족-V족 원소의 화합물 반도체 예컨대, GaN, AlN, AlGaN, InGaN, InN, InAlGaN, AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 중에서 선택될 수 있다. 상기 제1도전형 도펀트는 n형 도펀트로서, Si, Ge, Sn, Se, Te 등과 같은 도펀트를 포함한다.

[143] 상기 활성층(223)은 제1도전형 반도체층(222) 아래에 배치되고, 단일 양자 우물, 다중 양자 우물(MQW), 양자 선(quantum wire) 구조 또는 양자 점(quantum dot) 구조를 선택적으로 포함하며, 우물층과 장벽층의 주기를 포함한다. 상기 우물층/장벽층의 주기는 예컨대, InGaN/GaN, GaN/AlGaN, AlGaN/AlGaN, InGaN/AlGaN, InGaN/InGaN, AlGaAs/GaA, InGaAs/GaAs, InGaP/GaP, AlInGaP/InGaP, InP/GaAs의 페어 중 적어도 하나를 포함한다.

[144] 상기 제2도전형 반도체층(224)은 활성층(223) 아래에 배치된다. 상기 제2도전형 반도체층(224)은 제2도전형 도펀트가 도핑된 반도체 예컨대, $In_xAl_yGa_{1-x-y}N$ ($0\leq x\leq 1$, $0\leq y\leq 1$, $0\leq x+y\leq 1$)의 조성식을 포함한다. 상기 제2도전형 반도체층(224)은, GaN, InN, AlN, InGaN, AlGaN, InAlGaN, AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP와 같은 화합물 반도체 중 적어도 하나로 이루어질 수 있다. 상기 제2도전형 반도체층(224)이 p형 반도체층이고, 상기 제1도전형 도펀트는 p형 도펀트로서, Mg, Zn, Ca, Sr, Ba을 포함할 수 있다.

[145] 상기 발광 구조물(225)은 다른 예로서, 상기 제1도전형 반도체층(222)이 p형 반도체층, 상기 제2도전형 반도체층(224)은 n형 반도체층으로 구현될 수 있다. 상기 제2도전형 반도체층(224) 아래에는 상기 제2도전형과 반대의 극성을 갖는

제3도전형 반도체층이 형성할 수도 있다. 또한 상기 발광 구조물(225)은 n-p 접합 구조, p-n 접합 구조, n-p-n 접합 구조, p-n-p 접합 구조 중 어느 한 구조로 구현할 수 있다.

[146]

[147] 상기 발광 칩(11)은 하부에는 제1 및 제2전극(21,23)이 배치된다. 상기 제1전극(21)은 상기 제1도전형 반도체층(222)과 전기적으로 연결되며, 상기 제2전극(23)은 제2도전형 반도체층(224)과 전기적으로 연결된다. 상기 제1 및 제2전극(21,23)은 바닥 형상이 다각형 또는 원 형상일 수 있다.

[148] 상기 발광 칩(11)은 제1 및 제2전극층(241,242), 제3전극층(243), 절연층(231,233)을 포함한다. 상기 제1 및 제2전극층(241,242) 각각은 단층 또는 다층으로 형성될 수 있으며, 전류 확산층으로 기능할 수 있다. 상기 제1 및 제2전극층(241,242)은 상기 발광 구조물(225)의 아래에 배치된 제1전극층(241); 및 상기 제1전극층(241) 아래에 배치된 제2전극층(242)을 포함할 수 있다. 상기 제1전극층(241)은 전류를 확산시켜 주게 되며, 상기 제2전극층(241)은 입사되는 광을 반사하게 된다.

[149] 상기 제1 및 제2전극층(241,242)은 서로 다른 물질로 형성될 수 있다. 상기 제1전극층(241)은 투광성 재질로 형성될 수 있으며, 예컨대 금속 산화물 또는 금속 질화물로 형성될 수 있다.

[150] 상기 제1전극층(241)은 예컨대 ITO(indium tin oxide), ITON(ITO nitride), IZO(indium zinc oxide), IZON(IZO nitride), IZTO(indium zinc tin oxide), IAZO(indium aluminum zinc oxide), IGZO(indium gallium zinc oxide), IGTO(indium gallium tin oxide), AZO(aluminum zinc oxide), ATO(antimony tin oxide), GZO(gallium zinc oxide) 중에서 선택적으로 형성될 수 있다.

[151] 상기 제2전극층(242)은 상기 제1전극층(241)의 하면과 접촉되며 반사 전극층으로 기능할 수 있다. 상기 제2전극층(242)은 금속 예컨대, Ag, Au 또는 Al를 포함한다. 상기 제2전극층(242)은 상기 제1전극층(241)이 일부 영역이 제거된 경우, 상기 발광 구조물(225)의 하면에 부분적으로 접촉될 수 있다.

[152] 다른 예로서, 상기 제1 및 제2전극층(241,242)의 구조는 무지향성 반사(ODR: Omni Directional Reflector layer) 구조로 적층될 수 있다. 상기 무지향성 반사 구조는 낮은 굴절률을 갖는 제1전극층(241)과, 상기 제1전극층(241)과 접촉된 고반사 재질의 금속 재질인 제2전극층(242)의 적층 구조로 형성될 수 있다. 상기 전극층(241,242)은, 예컨대, ITO/Ag의 적층 구조로 이루어질 수 있다. 이러한 상기 제1전극층(241)과 제2전극층(242) 사이의 계면에서 전 방위 반사각을 개선시켜 줄 수 있다.

[153] 다른 예로서, 상기 제2전극층(242)은 제거될 수 있으며, 다른 재질의 반사층으로 형성될 수 있다. 상기 반사층은 분산형 브래그 반사(distributed bragg reflector: DBR) 구조로 형성될 수 있으며, 상기 분산형 브래그 반사 구조는 서로 다른 굴절률을 갖는 두 유전체층이 교대로 배치된 구조를 포함하며, 예컨대, SiO_2

층, Si_3N_4층, TiO_2층, Al_2O_3층, 및 MgO층 중 서로 다른 어느 하나를 각각 포함할 수 있다. 다른 예로서, 상기 전극층(241,242)은 분산형 브래그 반사 구조와 무지향성 반사 구조를 모두 포함할 수 있으며, 이 경우 98% 이상의 광 반사율을 갖는 발광 칩을 제공할 수 있다. 상기 플립 방식으로 탑재된 발광 칩은 상기 제2전극층(242)로부터 반사된 광이 기판(221)을 통해 방출하게 되므로, 수직 상 방향으로 대부분의 광을 방출할 수 있다.

[154] 상기 발광 칩(11)의 측면으로 방출된 광은 실시 예에 따른 반사 부재에 의해 광 출사 영역으로 반사될 수 있다.

[155] 상기 제3전극층(243)은 상기 제2전극층(242)의 아래에 배치되며, 상기 제1 및 제2전극층(241,242)과 전기적으로 절연된다. 상기 제3전극층(243)은 금속 예컨대, 티타늄(Ti), 구리(Cu), 니켈(Ni), 금(Au), 크롬(Cr), 탄탈늄(Ta), 백금(Pt), 주석(Sn), 은(Ag), 인(P) 중 적어도 하나를 포함한다. 상기 제3전극층(243) 아래에는 제1전극(21) 및 제2전극(23)가 배치된다.

[156] 상기 절연층(231,233)은 제1 및 제2전극층(241,242), 제3전극층(243), 제1 및 제2전극(21,23), 발광 구조물(225)의 층 간의 불필요한 접촉을 차단하게 된다. 상기 절연층(231,233)은 제1 및 제2절연층(231,233)을 포함한다. 상기 제1절연층(231)은 상기 제3전극층(243)과 제2전극층(242) 사이에 배치된다. 상기 제2절연층(233)은 상기 제3전극층(243)과 제1,2전극(21,23) 사이에 배치된다.

[157] 상기 제3전극층(243)은 상기 제1도전형 반도체층(222)과 연결된다. 상기 제3전극층(243)의 연결부(244)는 상기 제1, 2전극층(241, 242) 및 발광 구조물(225)의 하부를 통해 비아 구조(226)로 돌출되며 제1도전형 반도체층(222)과 접촉된다. 상기 연결부(244)는 복수로 배치될 수 있다. 상기 제3전극층(243)의 연결부(244)의 둘레에는 상기 제1절연층(231)의 일부(232)가 연장되어 제3전극층(243)과 상기 제1 및 제2전극층(241,242), 제2도전형 반도체층(224) 및 활성층(223) 간의 전기적인 연결을 차단한다. 상기 발광 구조물(225)의 측면에는 측면 보호를 위해 절연 층이 배치될 수 있으며, 이에 대해 한정하지는 않는다.

[158] 상기 제2전극(23)은 상기 제2절연층(233) 아래에 배치되고 상기 제2절연층(233)의 오픈 영역을 통해 상기 제1 및 제2전극층(241, 242) 중 적어도 하나와 접촉되거나 연결된다. 상기 제1전극(21)은 상기 제2절연층(233)의 아래에 배치되며 상기 제2절연층(233)의 오픈 영역을 통해 상기 제3전극층(243)과 연결된다. 이에 따라 상기 제2전극(23)의 돌기(248)는 제1,2전극층(241,242)을 통해 제2도전형 반도체층(224)에 전기적으로 연결되며, 제1전극(21)의 돌기(246)는 제3전극층(243)을 통해 제1도전형 반도체층(222)에 전기적으로 연결된다.

[159]

[160] 이러한 발광 소자 또는 발광 모듈은, 각 종 휴대 단말기, 노트북 컴퓨터의 모니터, 랩탑 컴퓨터의 모니터, TV와 같은 표시 장치에 적용되거나, 3차원

디스플레이, 각종 조명등, 신호등, 차량 전조등, 전광판에 적용될 수 있다.

[161]

[162] 이상에서 실시예들에 설명된 특징, 구조, 효과 등은 본 발명의 적어도 하나의 실시예에 포함되며, 반드시 하나의 실시예에만 한정되는 것은 아니다. 나아가, 각 실시예에서 예시된 특징, 구조, 효과 등은 실시예들이 속하는 분야의 통상의 지식을 가지는 자에 의해 다른 실시예들에 대해서도 조합 또는 변형되어 실시 가능하다. 따라서 이러한 조합과 변형에 관계된 내용들은 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

[163] 또한, 이상에서 실시예를 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 실시예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

[164]

산업상 이용가능성

[165] 실시 예는 발광 칩을 갖는 발광 소자의 방열 효율을 개선시켜 줄 수 있다.

[166] 실시 예는 발광 칩 및 보호 칩을 갖는 발광 소자의 방열 효율을 개선시켜 줄 수 있다.

[167] 실시 예는 발광 칩 및 보호 칩이 패키징된 발광 소자의 신뢰성을 개선시켜 줄 수 있다.

[168] 실시 예는 발광 칩의 둘레에 반사 부재를 배치하여 광 추출 효율을 개선시켜 줄 수 있다.

[169] 실시 예에 따른 발광 소자는 조명등, 지시등, 차량 램프, 백라이트 유닛과 같은 조명 장치에 적용될 수 있다.

[170]

청구범위

[청구항 1] 복수의 반도체층 및 상기 복수의 반도체층의 하부에 제1전극 및 제2전극을 갖는 발광 칩;
상기 발광 칩의 제1전극 아래에 배치된 제1리드 프레임;
상기 발광 칩의 제2전극 아래에 배치된 제2리드 프레임;
상기 제1 및 제2 리드 프레임 사이에 배치되며 상기 제1 및 제2전극과 전기적으로 연결된 보호 칩; 및
상기 발광 칩과 상기 제1 및 제2리드 프레임의 둘레에 배치된 반사 부재를 포함하는 발광 소자.

[청구항 2] 제1항에 있어서, 상기 제1리드 프레임은 상기 제1 및 제2리드 프레임 사이의 갭으로부터 상기 반사 부재의 제1측면 방향으로 오목한 제1리세스를 포함하며,
상기 제2리드 프레임은 상기 제1 및 제2리드 프레임 사이의 갭으로부터 상기 반사 부재의 제2측면 방향으로 오목한 제2리세스를 포함하며,
상기 보호 칩은 상기 제1 및 제2리세스 중 어느 하나에 배치되는 발광 소자.

[청구항 3] 제2항에 있어서, 상기 보호 칩은 상기 제2리세스 내에 배치되고 상기 제1리세스 상에 배치된 상기 제1전극과 와이어로 연결되며,
상기 제1,2리세스의 중심을 지나는 직선은 상기 제1,2리드 프레임의 사이의 갭 중심을 지나는 발광 소자.

[청구항 4] 제3항에 있어서, 상기 제1 및 제2리세스 중 적어도 하나는 상기 제1리드 프레임의 두께와 동일한 높이를 갖는 발광 소자.

[청구항 5] 제1항 또는 제2항에 있어서, 상기 보호 칩은 상기 제1 및 제2전극 아래에 플립 칩 방식으로 연결되는 발광 소자.

[청구항 6] 제1항 내지 제3항 중 어느 한 항에 있어서, 상기 제1리드 프레임은 상기 반사 부재의 제1측면 방향으로 돌출된 적어도 하나의 제1돌기를 포함하며,
상기 제2리드 프레임은 상기 반사 부재의 제2측면 방향으로 돌출된 적어도 하나의 제2돌기를 포함하는 발광 소자.

[청구항 7] 제6항에 있어서, 상기 제1돌기는 상기 제1리드 프레임의 두께보다 얇은 두께를 갖고 상기 반사 부재의 제1측면보다 더 외측으로 돌출되며,
상기 제2돌기는 상기 제1리드 프레임의 두께보다 얇은 두께를 갖고 상기 반사 부재의 제2측면보다 더 외측으로 돌출되는 발광 소자.

[청구항 8] 제6항에 있어서, 상기 제1리드 프레임은 서로 이격된 복수의 제1돌기를 가지며, 상기 제2리드 프레임은 서로 이격된 복수의 제2돌기를 갖는 발광 소자.

[청구항 9] 제8항에 있어서, 상기 반사 부재의 하부는 상기 복수의 제1돌기 및

제2돌기들 사이의 영역으로 돌출되는 발광 소자.

[청구항 10] 제1항 내지 제3항 중 어느 한 항에 있어서, 상기 반사 부재는 수지 재질을 포함하는 발광 소자.

[청구항 11] 제9항에 있어서, 상기 발광 칩 상에 형광체층을 포함하며, 상기 반사 부재는 상기 형광체층의 둘레에 배치되는 발광 소자.

[청구항 12] 제11항에 있어서, 상기 반사 부재의 상면은 상기 형광체층의 상면보다 낮고 상기 발광 칩의 상면보다 높게 배치되며,
상기 반사 부재와 상기 발광 칩 사이에 투명한 수지 재질의 광 가이드층을 포함하는 발광 소자.

[청구항 13] 제3항에 있어서, 상기 제1리드 프레임은 상기 와이어의 단부와 상기 제1전극 사이에 배치된 본딩부를 포함하는 발광 소자.

[청구항 14] 제3항에 있어서, 상기 제1리세스는 다각형 형상 또는 반구형 형상을 갖는 발광 소자.

[청구항 15] 기판, 상기 기판 아래에 복수의 반도체층과, 상기 복수의 반도체층 아래에 제1전극 및 제2전극을 갖는 발광 칩;
상기 발광 칩의 제1전극 아래에 배치된 제1리드 프레임;
상기 발광 칩의 제2전극 아래에 배치된 제2리드 프레임;
상기 제1 및 제2 리드 프레임 사이에 배치되며 상기 제1 및 제2전극과 전기적으로 연결된 보호 칩; 및
상기 발광 칩과 상기 제1 및 제2리드 프레임의 둘레에 배치된 반사 부재를 포함하며,
상기 제1 및 제2리드 프레임 사이의 간격은 상기 제1,2리드 전극 사이의 간격보다 넓게 배치되며,
상기 제1,2리드 프레임의 두께는 상기 보호 칩의 두께보다 두껍게 배치되며,
상기 반사 부재는 수지 재질을 포함하며, 상기 제1,2리드 프레임의 사이의 영역과 상기 제1,2전극 사이의 영역에 배치되는 발광 소자.

[청구항 16] 제15항에 있어서, 상기 제1리드 프레임은 상기 제1 및 제2리드 프레임 사이의 갭으로부터 상기 반사 부재의 제1측면 방향으로 오목한 제1리세스를 포함하며,
상기 제2리드 프레임은 상기 제1 및 제2리드 프레임 사이의 갭으로부터 상기 반사 부재의 제2측면 방향으로 오목한 제2리세스를 포함하며,
상기 보호 칩은 상기 제1 및 제2리세스 중 어느 하나에 배치되며,
상기 제1,2리세스는 상기 제1,2리드 프레임 사이의 갭을 중심으로 서로 반대측 방향에 배치된 발광 소자.

[청구항 17] 제16항에 있어서, 상기 제1,2리세스의 중심을 지나는 직선은 상기 제1,2리드 프레임의 사이의 갭 중심을 지나는 발광 소자.

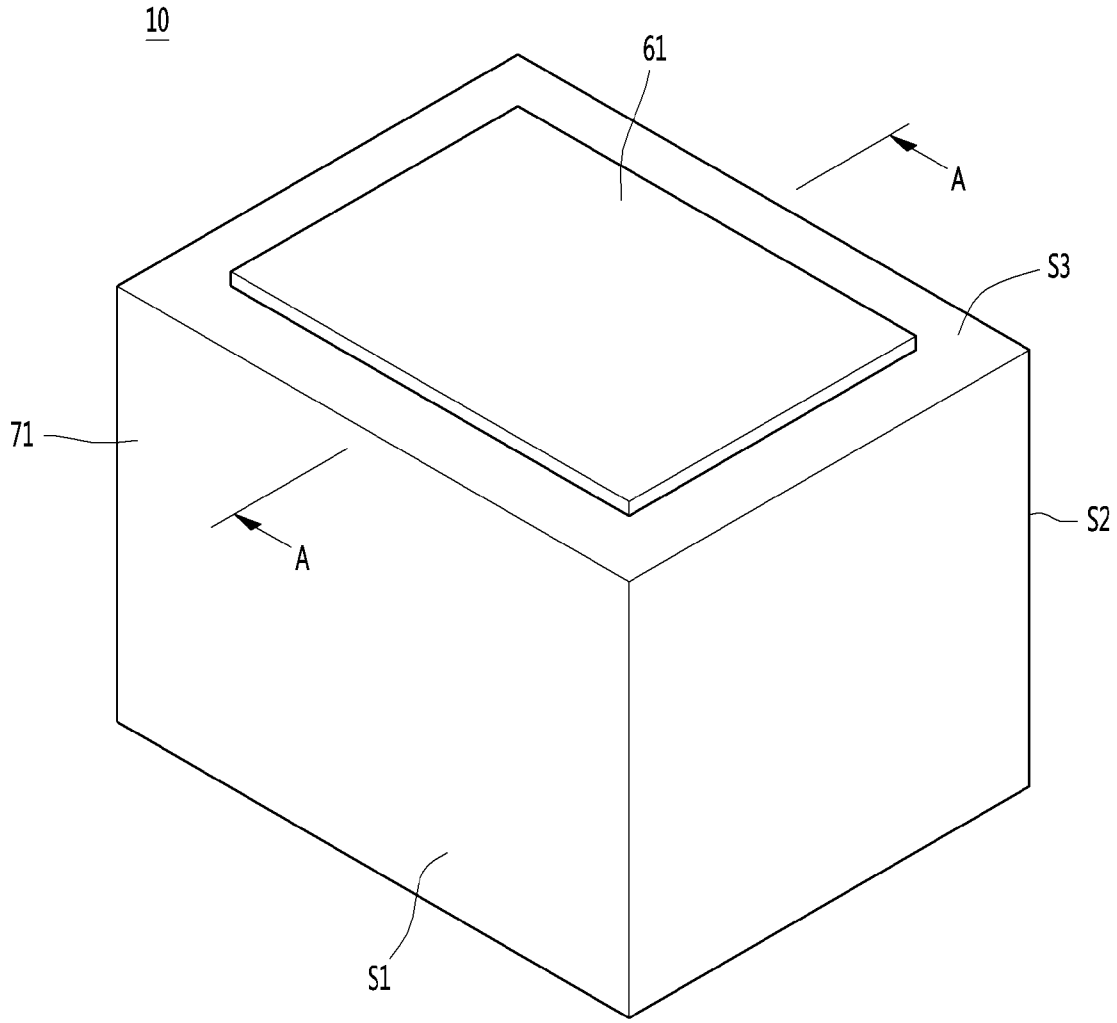
[청구항 18] 제17항에 있어서, 상기 제1 및 제2리세스는 상기 제1리드 프레임의

두께와 동일한 높이를 가지며,
상기 보호 칩에 연결된 와이어의 단부는 상기 제1,2리세스 중 다른 하나에 배치되며,
상기 제1,2리드 프레임의 외측 영역은 상기 발광 칩의 측면보다 더 외측에 배치되는 발광 소자.

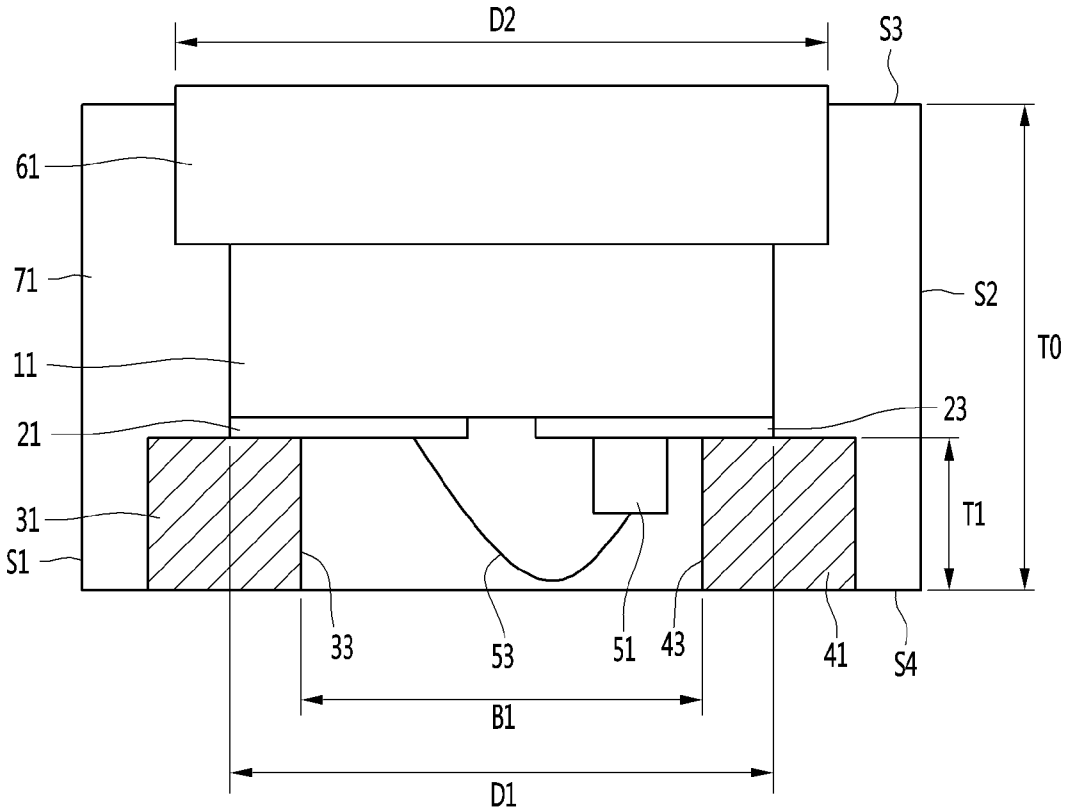
[청구항 19] 제15항 내지 제18항 중 어느 한 항에 있어서, 상기 발광 칩 상에 형광체층을 포함하며, 상기 반사 부재는 상기 형광체층의 둘레에 배치되며,
상기 반사 부재는 상기 발광 칩의 두께와 상기 리드 프레임의 두께의 합보다 두꺼운 두께를 갖는 발광 소자.

[청구항 20] 청구항 제1항 또는 제15항 중 어느 한 항의 발광 소자;
상기 발광 소자 아래에 제 1및 제2전극 패드를 갖는 회로 기판; 및
상기 회로 기판과 상기 발광 소자 사이에 배치된 접합 부재를 포함하며,
상기 발광 소자의 제1 및 제2리드 프레임은 상기 접합 부재에 의해 상기 회로 기판의 제1 및 제2전극 패드에 연결되는 발광 모듈.

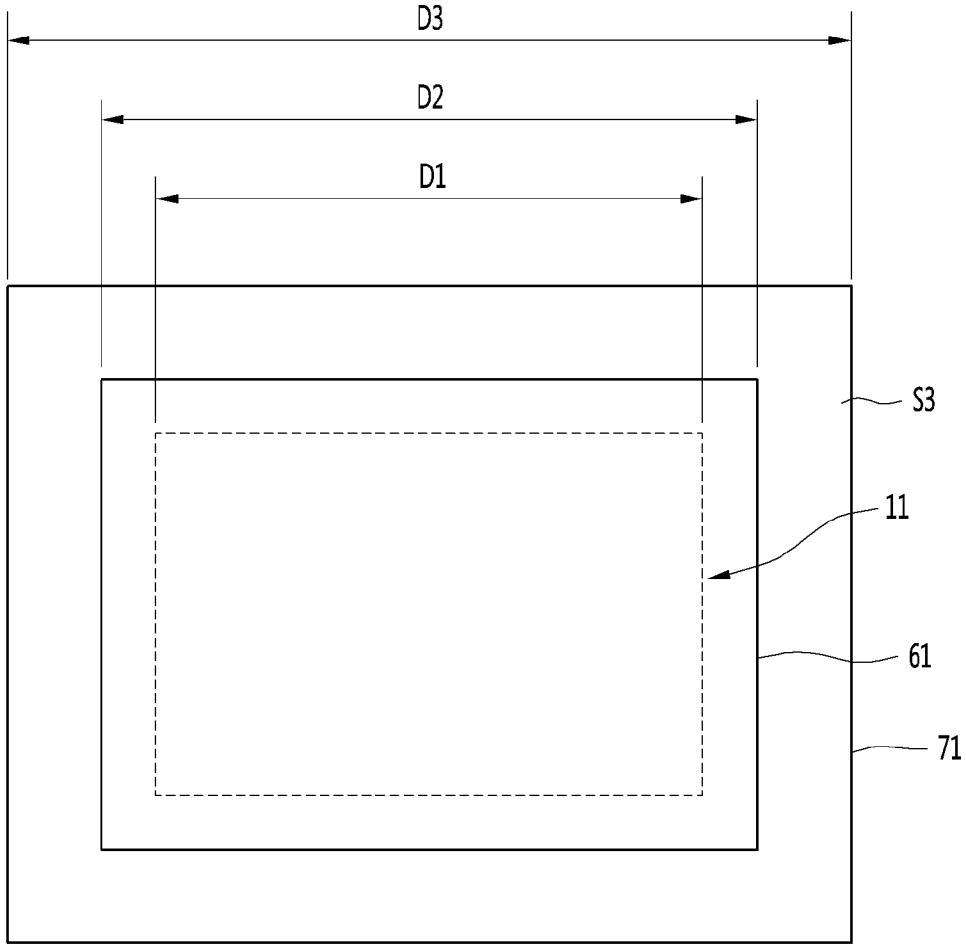
[도1]


10
61
A
S3
71
A
S2
S1

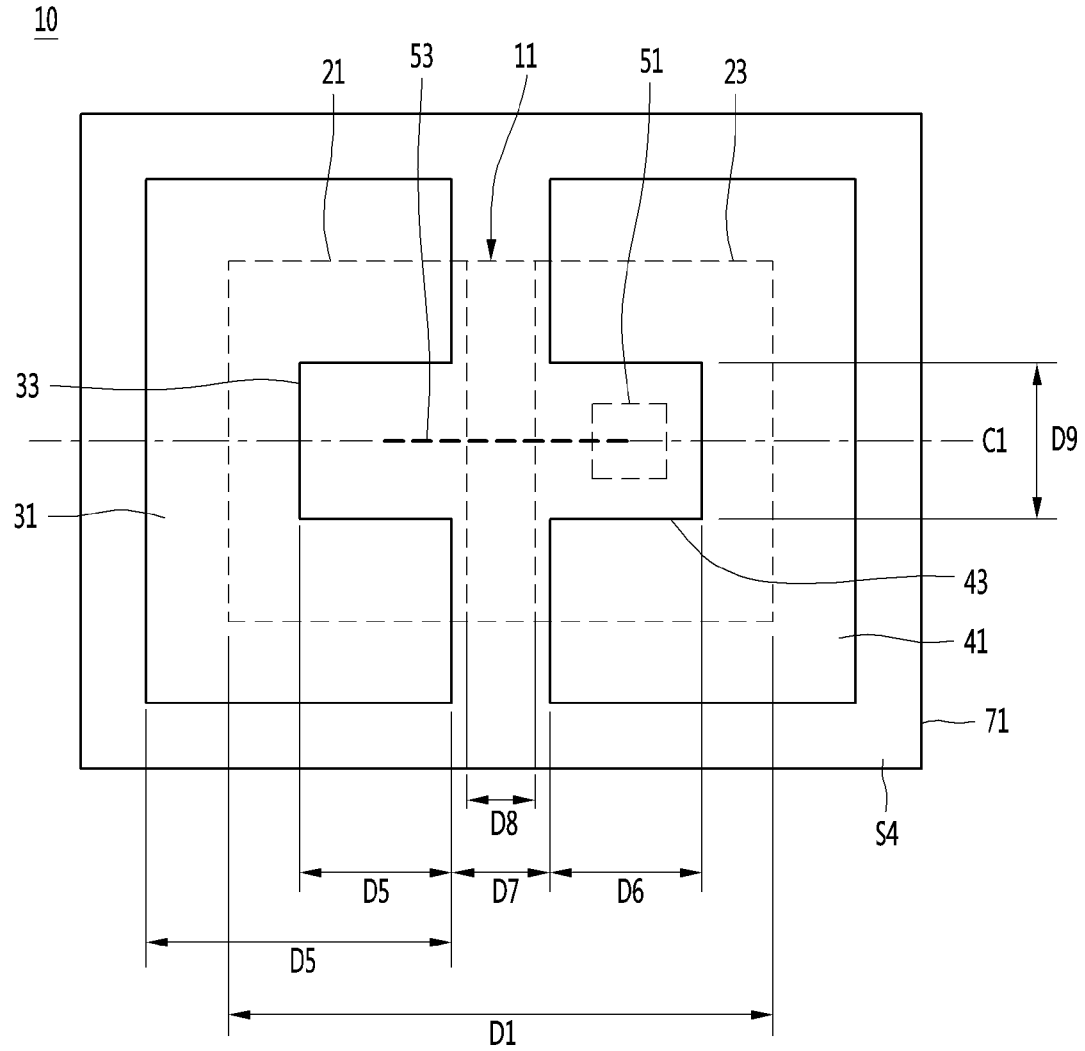
[도2]


D2
S3
61
71
S2
T0
11
23
21
T1
31
S1
33
53
51
43
41
S4
B1
D1

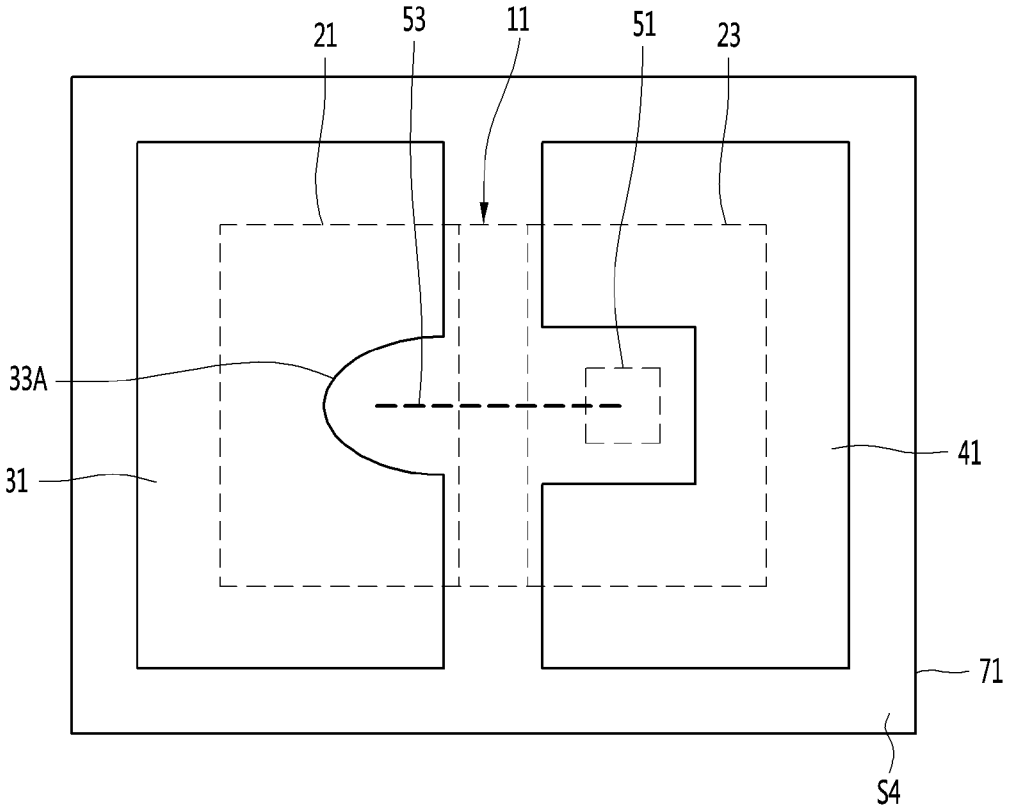
[도3]



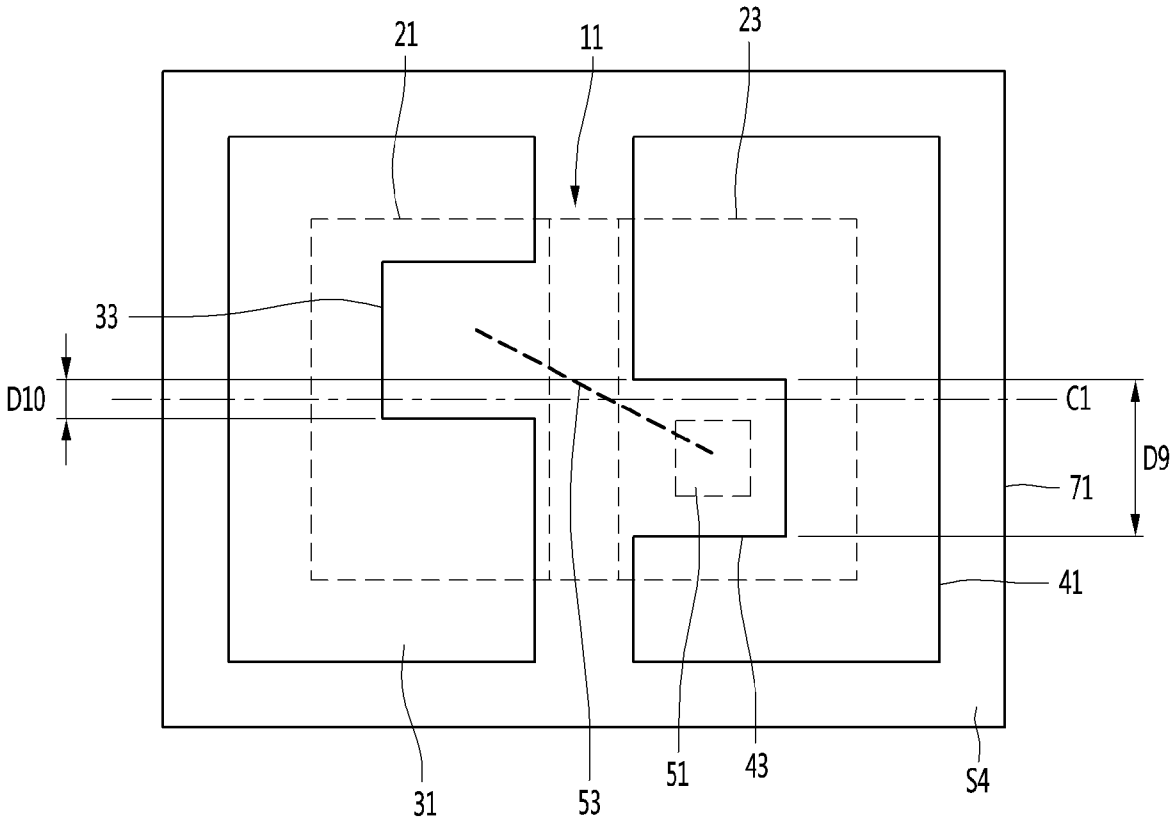
[도4]



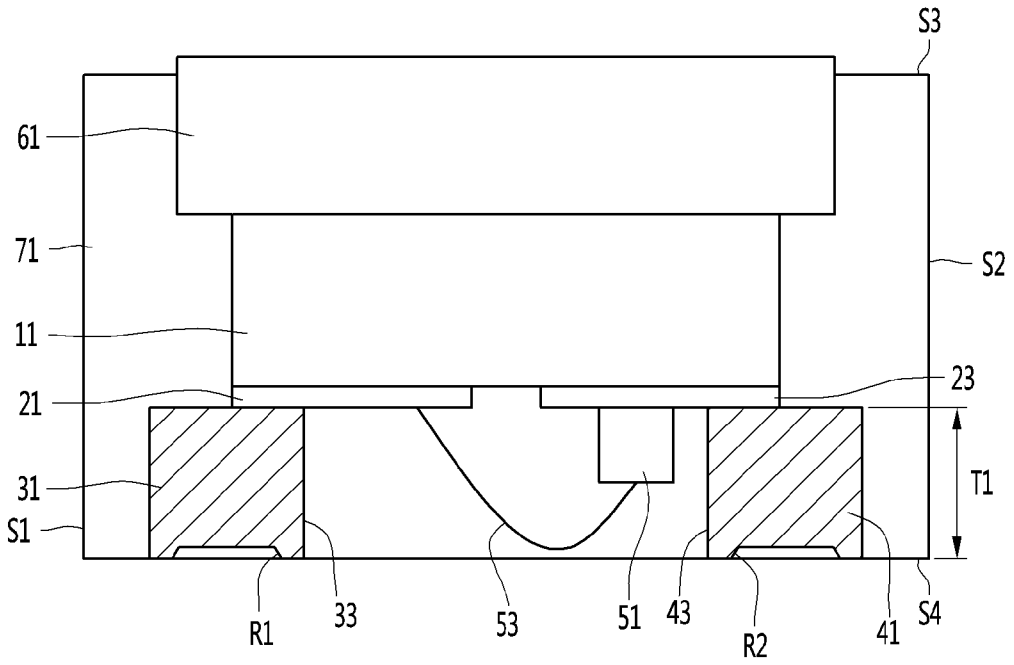
[도5]


21
53
11
51
23
33A
31
41
71
S4

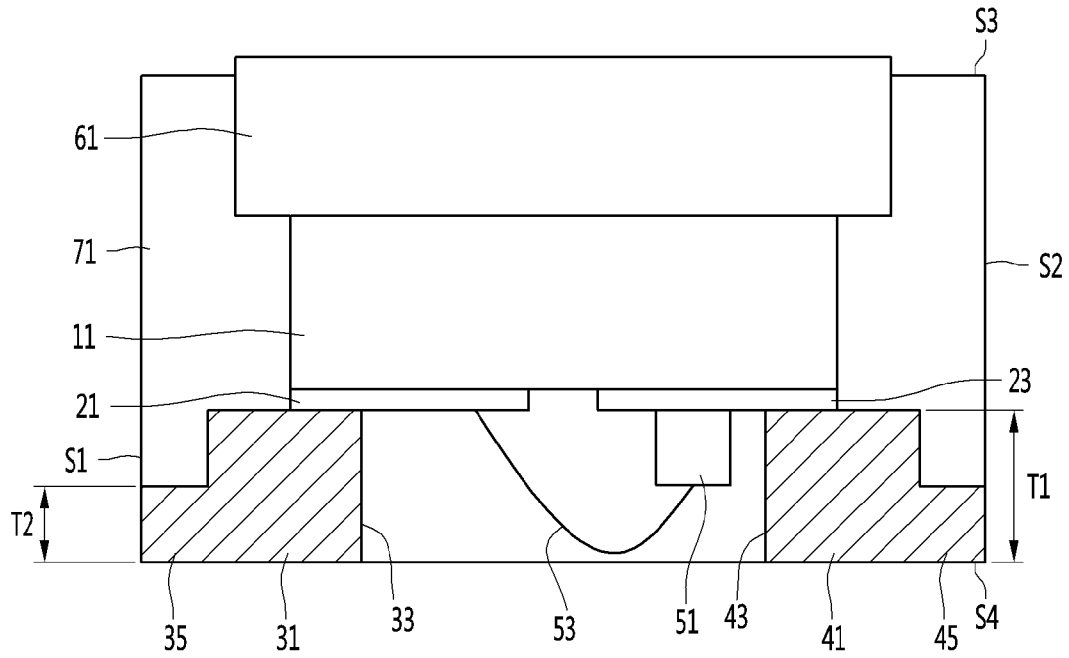
[도6]


21
11
23
33
D10
C1
D9
71
41
31
53
51
43
S4

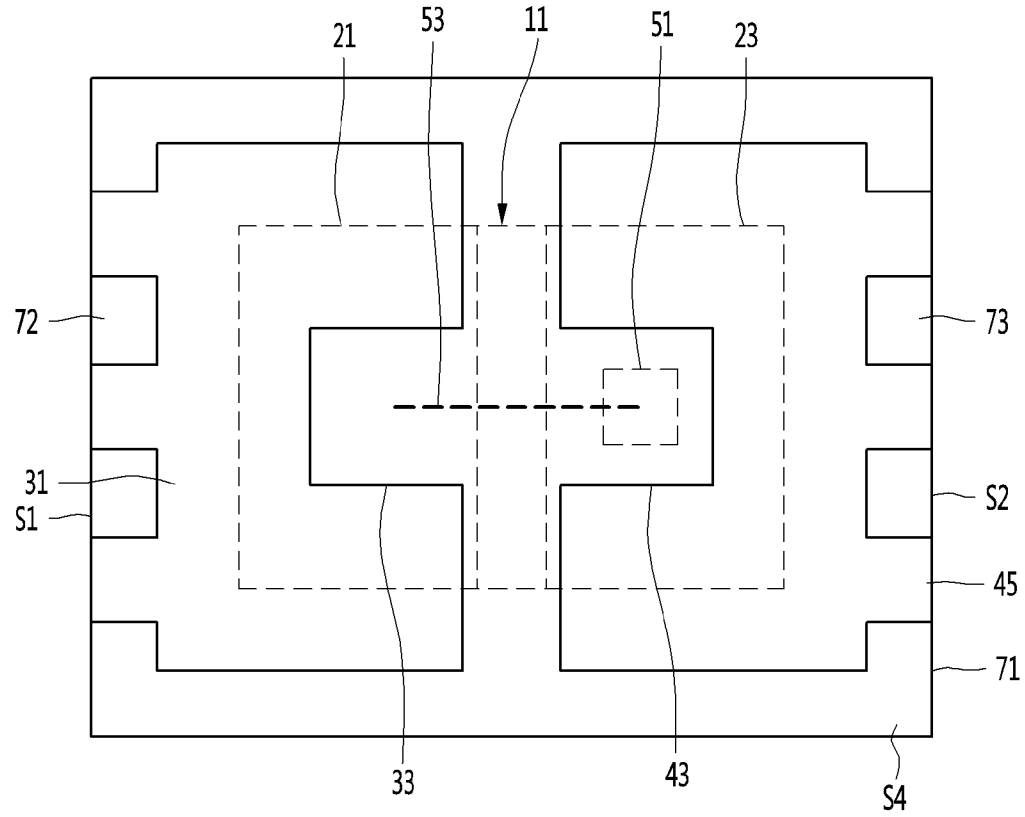
[도7]


S3
61
71
S2
11
23
21
31
T1
S1
R1
33
53
51
43
R2
41
S4

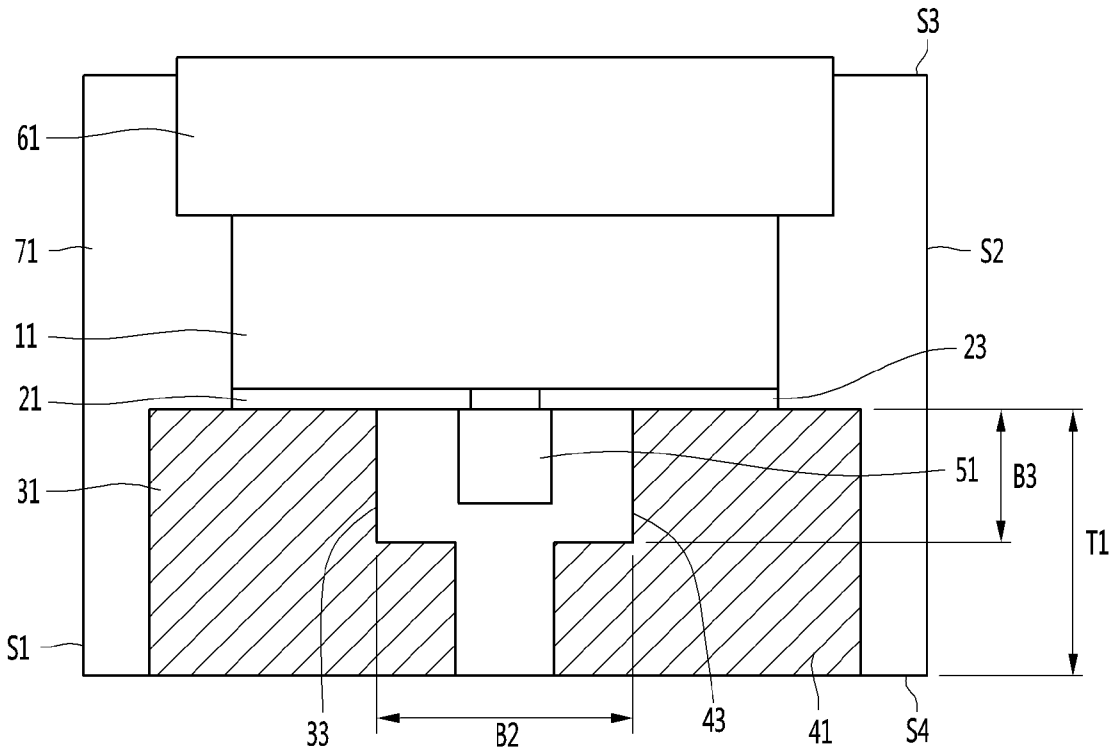
[도8]


S3
61
71
S2
11
23
21
S1
T1
T2
35
31
33
53
51
43
41
45
S4

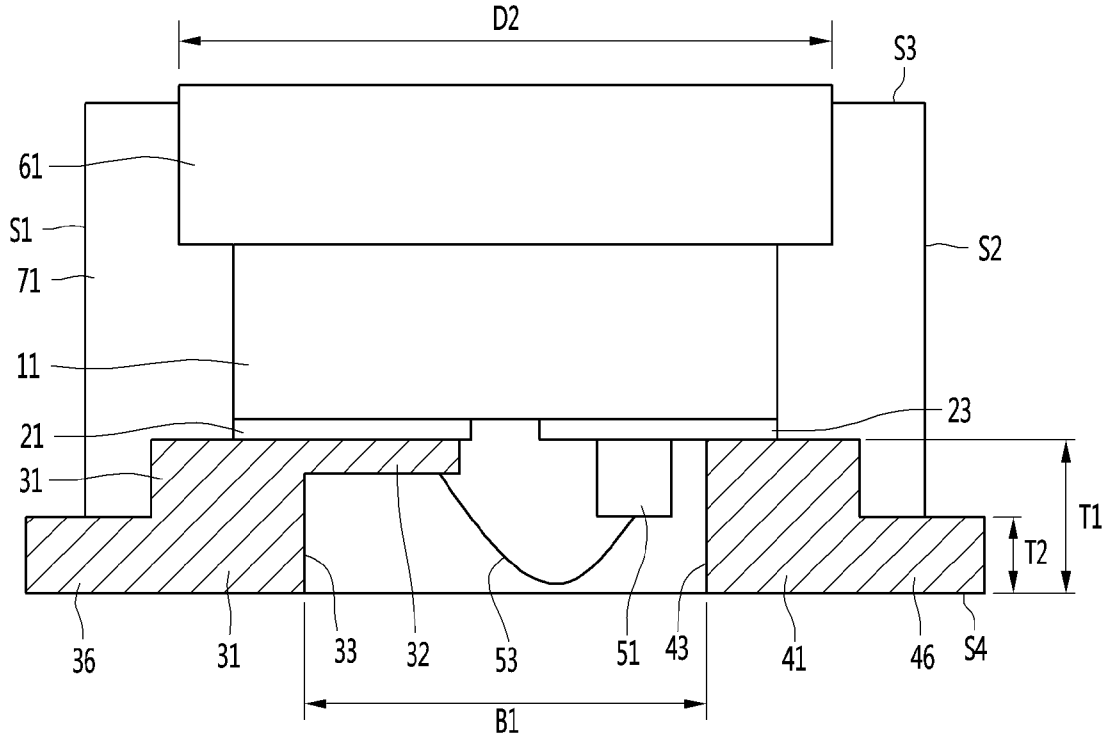
[도9]


21
53
11
51
23
72
73
31
S1
S2
45
71
33
43
S4

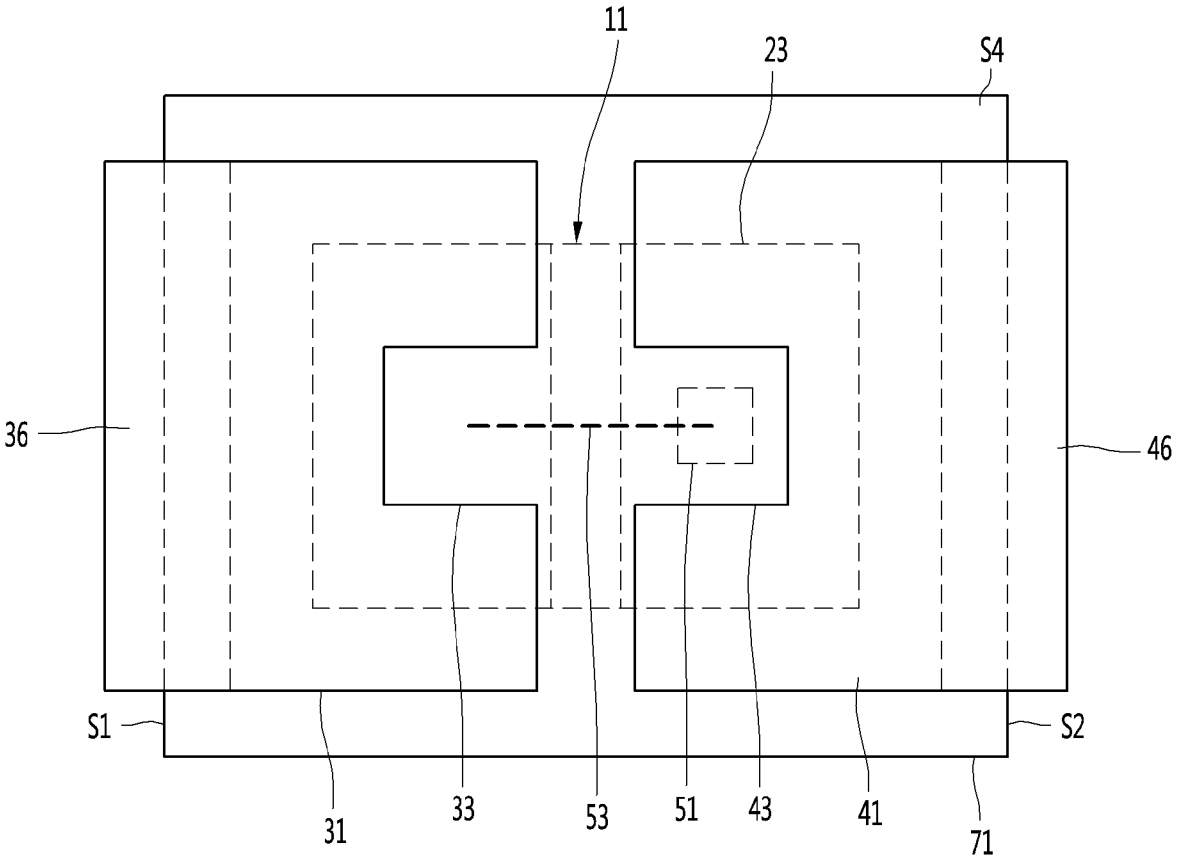
[도10]


S3
61
71
S2
11
23
21
31
51
B3
T1
S1
33
B2
43
41
S4

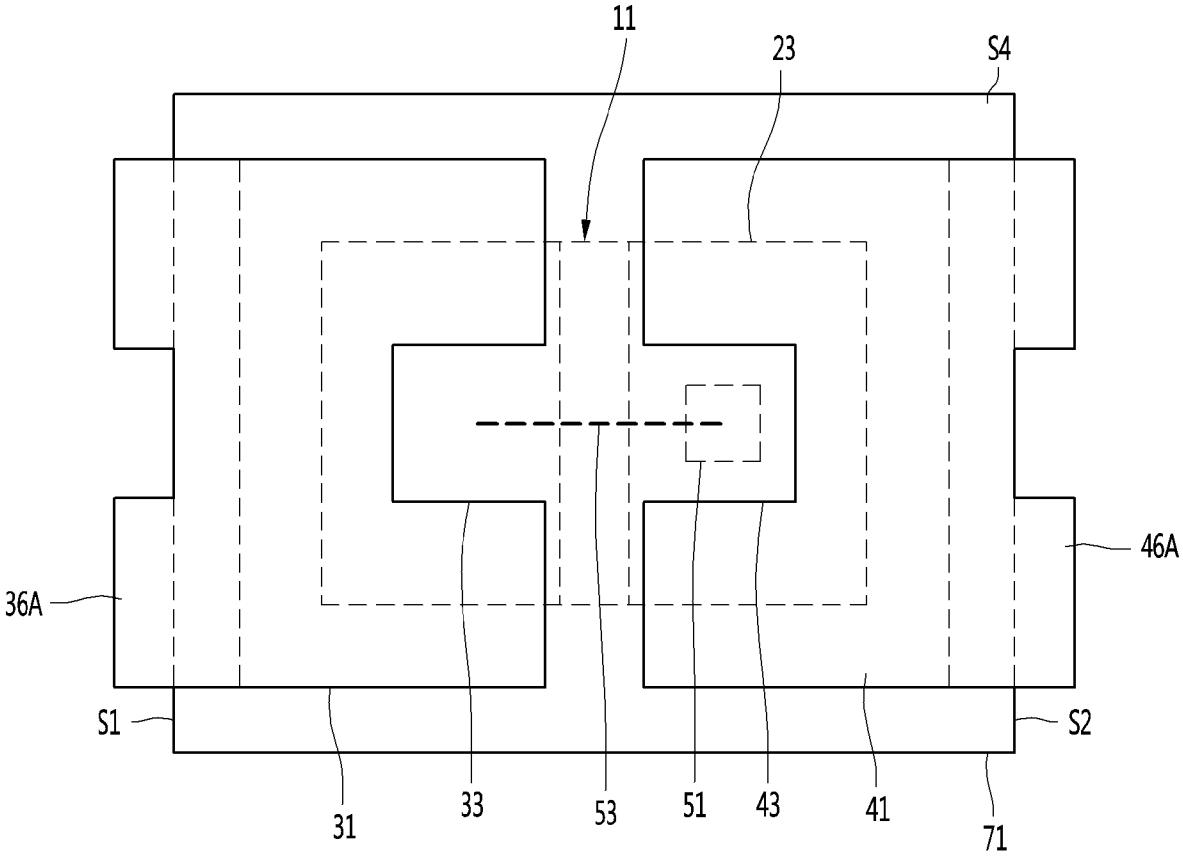
[도11]


D2
S3
61
S1
71
S2
11
23
21
31
T1
T2
36
31
33
32
53
51
43
41
46
S4
B1

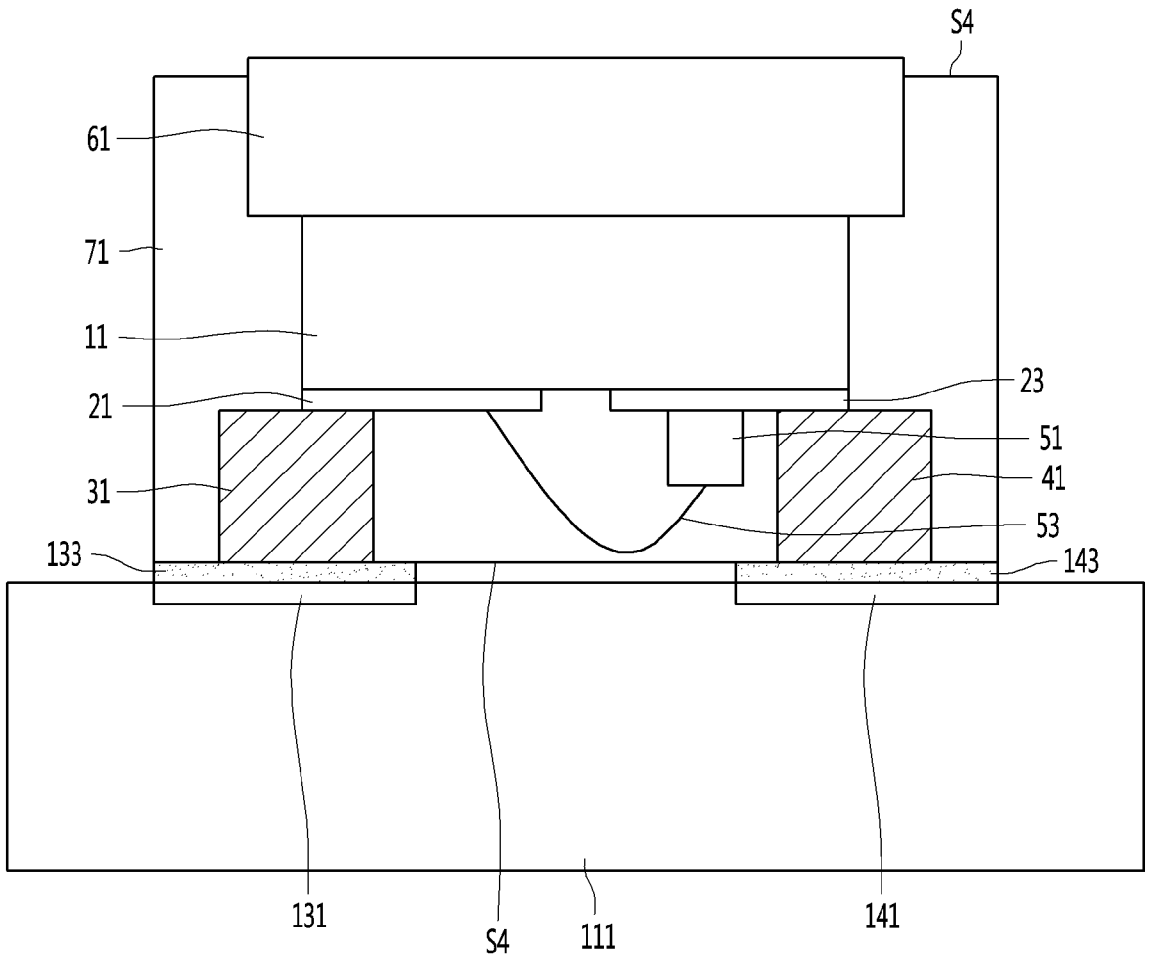
[도12]


11
23
S4
36
46
S1
S2
31
33
53
51
43
41
71

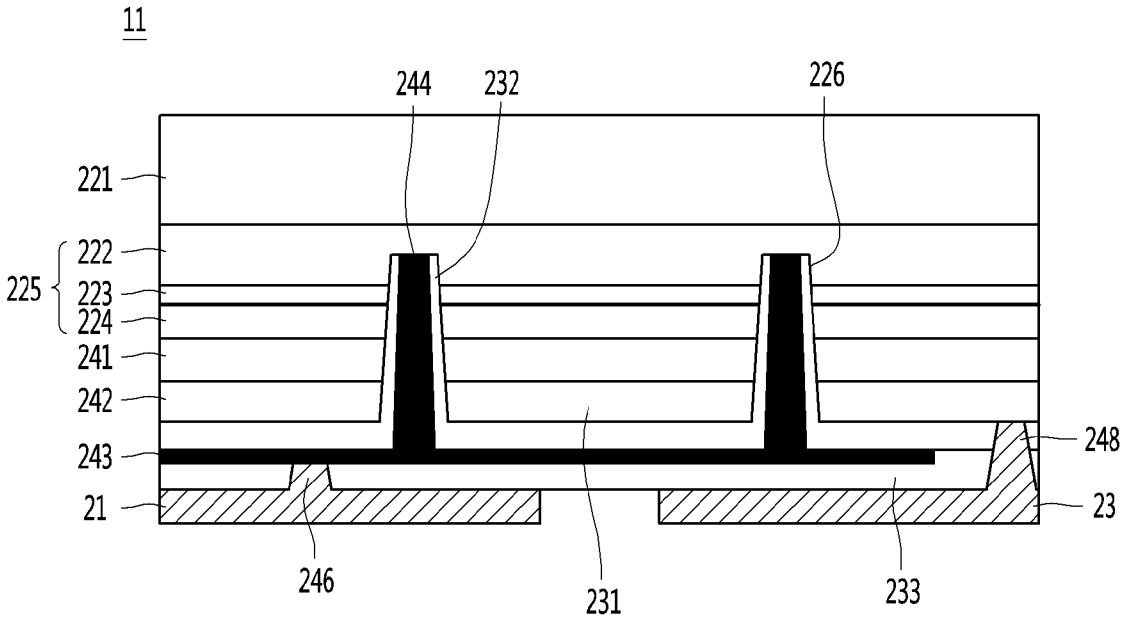
[도13]


11
23
S4
46A
36A
S1
S2
31
33
53
51
43
41
71

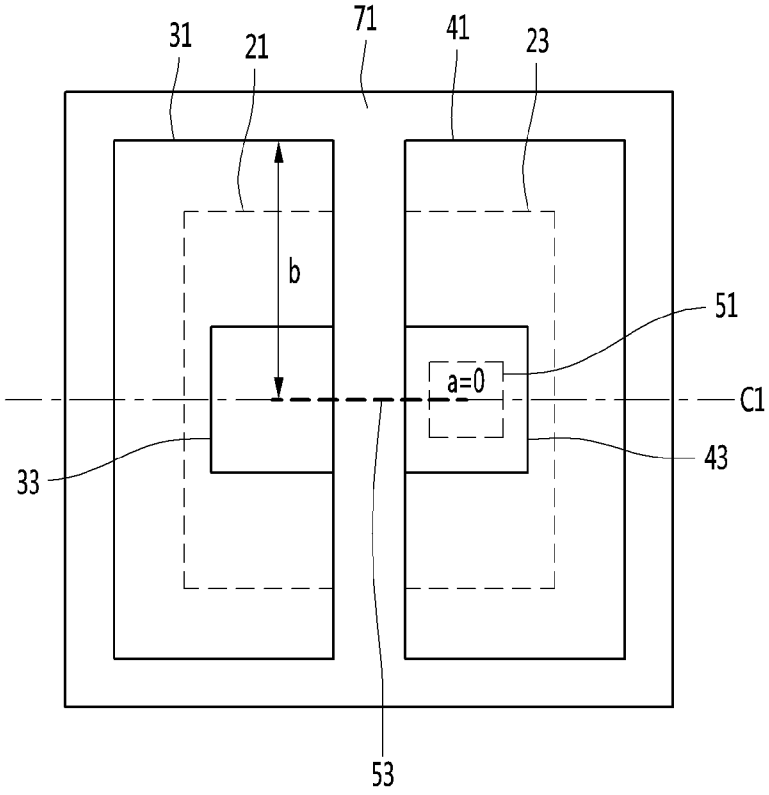
[도14]


S4
61
71
11
21
23
51
31
41
53
133
143
131
S4
111
141

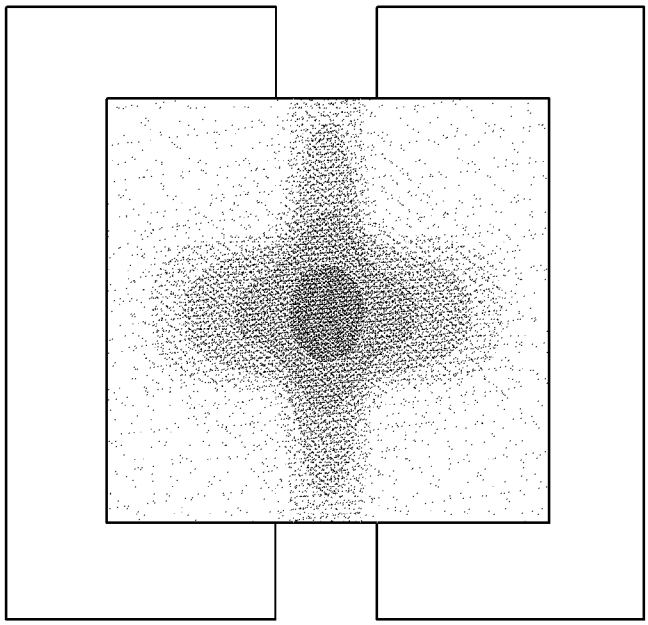
[도15]


11
244
232
226
221
222
225
223
224
241
242
243
21
246
231
233
248
23

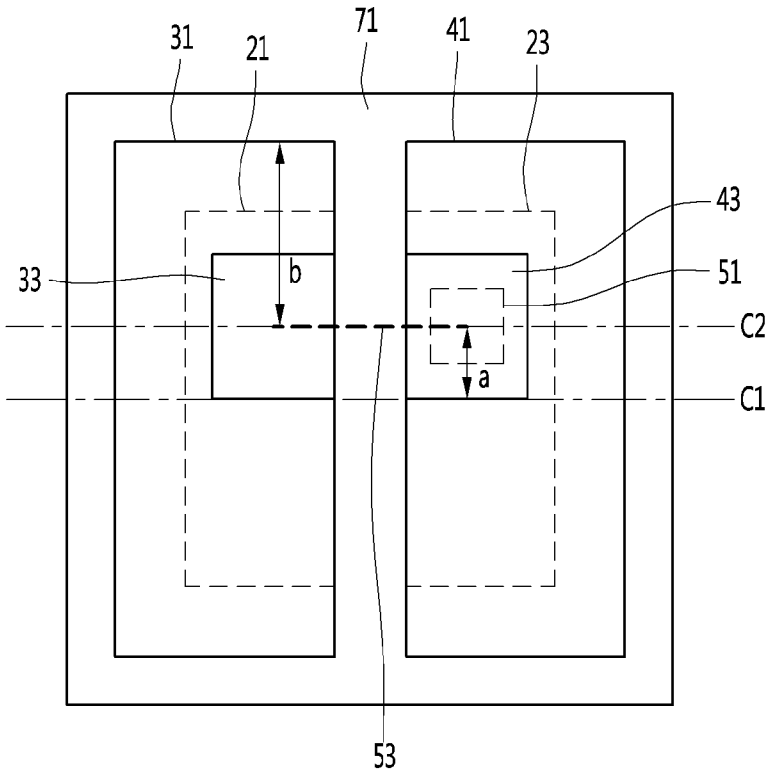
[도16a]


31
21
71
41
23
b
51
a=0
C1
33
43
53

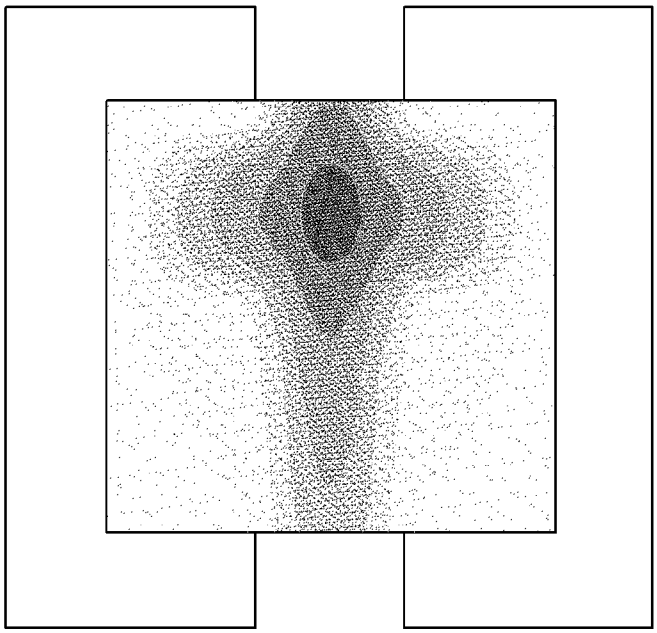
[도16b]



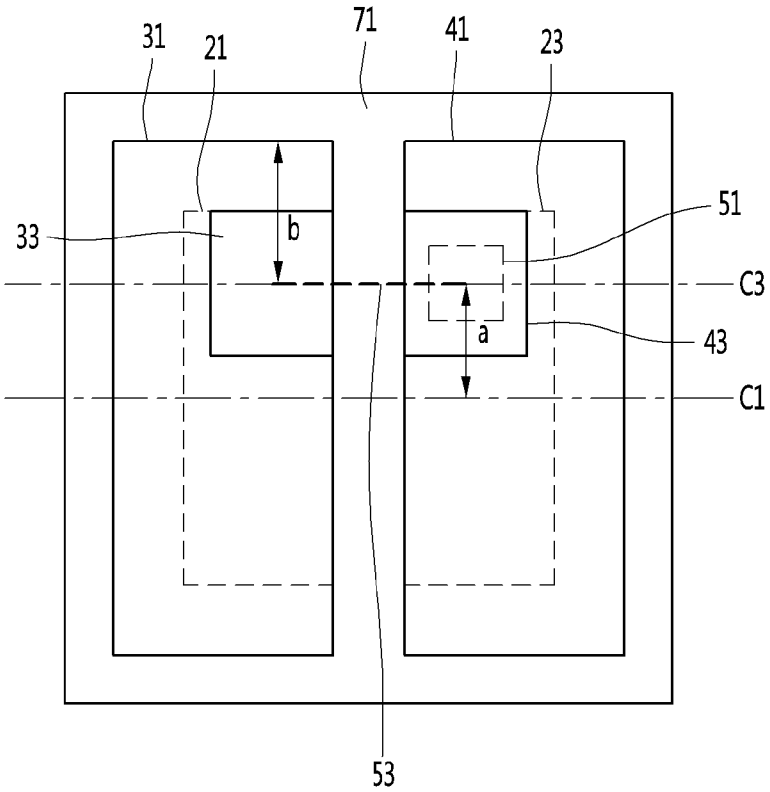
[도17a]



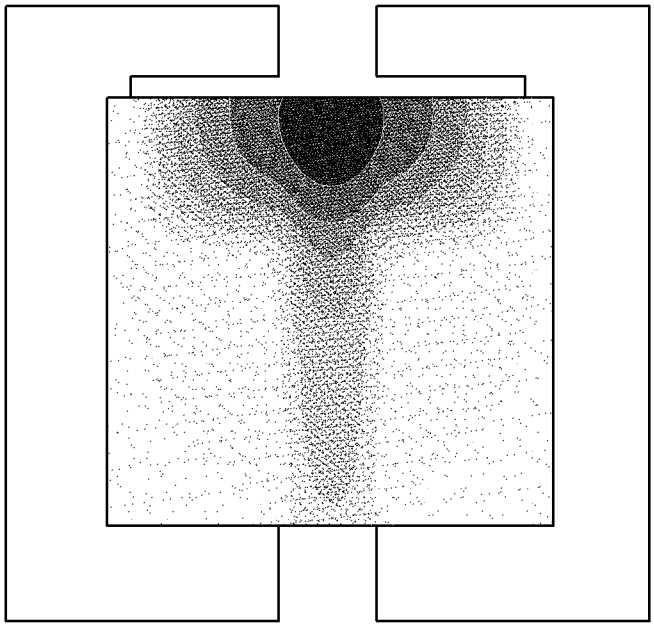
[도17b]



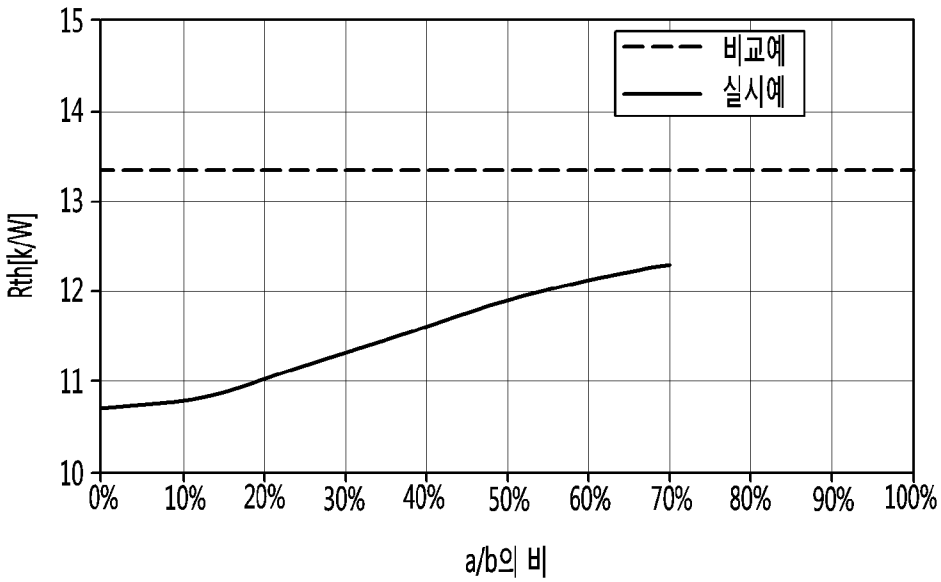
[도18a]



[도18b]



[도19]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/KR2016/007112

A. CLASSIFICATION OF SUBJECT MATTER

H01L 33/62(2010.01)i, H01L 33/60(2010.01)i, H01L 33/36(2010.01)i, H01L 33/64(2010.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 33/62; H01L 33/00; H01L 33/48; H01L 33/60; H01L 33/36; H01L 33/64

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Korean Utility models and applications for Utility models: IPC as above
Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: heat radiation, lead frame, protection chip, reflectance, electrode, interval

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2015-043374 A (KYOCERA CORP.) 05 March 2015 See paragraphs [12]-[25], [37], claim 1 and figures 2-8.	1-3,5,10,13-14,20
A		4,6-9,11-12,15-19
Y	KR 10-2013-0032202 A (LG INNOTEK CO., LTD.) 01 April 2013 See paragraphs [30]-[40], claim 1 and figures 1-5, 15.	1-3,5,10,13-14,20
Y	KR 10-2015-0042012 A (LG DISPLAY CO., LTD.) 20 April 2015 See paragraphs [50]-[65], claim 1 and figures 1-5.	3,13-14
A	JP 2007-273852 A (NGK SPARK PLUG CO., LTD.) 18 October 2007 See paragraphs [20]-[30], claim 1 and figure 3.	1-20
A	JP 2000-124506 A (ROHM CO., LTD.) 28 April 2000 See paragraphs [14]-[23] and figures 1-4.	1-20

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
07 NOVEMBER 2016 (07.11.2016)	**07 NOVEMBER 2016 (07.11.2016)**
Name and mailing address of the ISA/KR Korean Intellectual Property Office Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701, Republic of Korea Facsimile No. 82-42-472-7140	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (January 2015)

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/KR2016/007112

Patent document cited in search report	Publication date	Patent family member	Publication date
JP 2015-043374 A	05/03/2015	NONE	
KR 10-2013-0032202 A	01/04/2013	NONE	
KR 10-2015-0042012 A	20/04/2015	NONE	
JP 2007-273852 A	18/10/2007	NONE	
JP 2000-124506 A	28/04/2000	NONE	

국제조사보고서

국제출원번호
PCT/KR2016/007112

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 33/62(2010.01)i, H01L 33/60(2010.01)i, H01L 33/36(2010.01)i, H01L 33/64(2010.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)
H01L 33/62; H01L 33/00; H01L 33/48; H01L 33/60; H01L 33/36; H01L 33/64

조사된 기술분야에 속하는 최소문헌 이외의 문헌
한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))
eKOMPASS(특허청 내부 검색시스템) & 키워드: 방열, 리드 프레임, 보호 칩, 반사, 전극, 간격

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	JP 2015-043374 A (KYOCERA CORP.) 2015.03.05 단락 12-25, 37, 청구항 1 및 도면 2-8 참조.	1-3,5,10,13-14,20
A		4,6-9,11-12,15-19
Y	KR 10-2013-0032202 A (엘지이노텍 주식회사) 2013.04.01 단락 30-40, 청구항 1 및 도면 1-5, 15 참조.	1-3,5,10,13-14,20
Y	KR 10-2015-0042012 A (엘지디스플레이 주식회사) 2015.04.20 단락 50-65, 청구항 1 및 도면 1-5 참조.	3,13-14
A	JP 2007-273852 A (NGK SPARK PLUG CO., LTD.) 2007.10.18 단락 20-30, 청구항 1 및 도면 3 참조.	1-20
A	JP 2000-124506 A (ROHM CO., LTD.) 2000.04.28 단락 14-23 및 도면 1-4 참조.	1-20

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

"A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

"E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

"L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

"O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

"P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

"T" 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

"X" 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

"Y" 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

"&" 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일	국제조사보고서 발송일
2016년 11월 07일 (07.11.2016)	2016년 11월 07일 (07.11.2016)

ISA/KR의 명칭 및 우편주소
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)
팩스 번호 +82-42-481-8578

심사관
박혜련
전화번호 +82-42-481-3463

국제조사보고서
대응특허에 관한 정보

국제출원번호
PCT/KR2016/007112

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
JP 2015-043374 A	2015/03/05	없음	
KR 10-2013-0032202 A	2013/04/01	없음	
KR 10-2015-0042012 A	2015/04/20	없음	
JP 2007-273852 A	2007/10/18	없음	
JP 2000-124506 A	2000/04/28	없음	