

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：**09178064**

※申請日期：

※IPC 分類：**H01L33/00 (2006.01)**
H01L21/20 (2006.01)

一、發明名稱：(中文/英文)

光電元件粗化結構及其製程

ROUGH STRUCTURE OF OPTOELECTRONICS DEVICE AND
FABRICATION THEREOF

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

先進開發光電股份有限公司

ADVANCED OPTOELECTRONIC TECHNOLOGY INC.

代表人：(中文/英文)

曹治中/TSAO, CHIH CHUNG

住居所或營業所地址：(中文/英文)

新竹縣湖口鄉新竹工業區工業五路 13 號

NO. 13, GONGYE 5TH RD., HSINCHU INDUSTRIAL PARK,

HUKOU TOWNSHIP, HSINCHU COUNTY 303, TAIWAN, R. O. C.

國 籍：(中文/英文)

中華民國 REPUBLIC OF CHINA

三、發明人：(共 6 人)

姓 名：(中文/英文)

1. 葉穎超

YEH, YING CHAO

2. 黃世晟

HUANG, SHIH CHENG

3. 涂博閔

TU, PO MIN

4. 林文禹

LIN, WEN YU

201005997

5. 吳芃逸

WU, PENG YI

6. 詹世雄

CHAN, SHIH HSIUNG

國 籍：(中文/英文)

1.-6.均中華民國 REPUBLIC OF CHINA

四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明涉及一種光電元件粗化結構及其製程，尤其是一種光電元件雙重尺度粗化結構及其製程。

【先前技術】

使用固態材料的發光元件，其發光效率主要是內部量子效率與外部量子效率兩者加成後的結果。一般而言，內部量子效率與材料本身的特性以及磊晶品質較有關係，外部量子效率則與材料的折射率以及表面平整度有關。然而，習知發光二極體的效率受限於無法將產生的光線完全向外發射，因為典型的半導體材料與周遭空氣($n=1.0$)或封裝材料—環氧化物($n\approx 1.5$)相較之下，具有較高的折射係數($n\approx 2.2-3.8$)。

根據司乃耳定律 (Snell's Law)，當光線由高折射係數區域向低折射係數區域入射時，若是入射角度大於臨界角，則光線會產生全反射，因而無法進入低折射係數區域。因此，發光二及體內部之大部分光線都是因為在向外發射時產生全內反射 (Total Internal Reflection; TIR)，導致發光二極體的整體發光功率下降。

一種降低光線產生全內反射的方法主要是在發光二極體表面上產生隨機結構形式的光線散射中心，此一技術係由

Shnitzer 等人提出，”30% External Quantum Efficiency From Surface Textured, Thin Film Light Emitting Diodes”，Applied Physics Letters 63, 2174-2176 (1993)。此一隨機結構係在反應離子蝕刻期間，藉由使用次微米直徑聚苯乙烯顆粒在發光二極體表面上作為一遮罩而成型於表面上。此一結構化的表面特徵在於光線波長的尺度可使光線的折射及反射的方式無法由司乃耳定律來預測，因而產生隨機干擾效應。此一方法可將發光二極體之發光效率由 9%改善至 30%。

再者，請參考 Krames 等人提出之美國專利 US 5779924，其係藉由在發光二極體表面形成一週期性的表面結構，其中干擾效應即不再隨機，並且發光二極體之表面可將光線耦合至特殊模式或方向。此方法之缺點在於製造困難，因為其表面形狀及樣式必須是均勻的，並且非常小，大約為發光二極體光線的單一波長之尺度大小。

為了增加光凝聚也可利用將發光二極體的出光表面作成半球形。由 Scifres 與 Burnham 所提出的美國專利 US 3954534 中，揭露一種發光二極體陣列，其中每個發光二極體上分別具有一半球形結構。每一個半球形結構係形成於一基板中，而發光二極體陣列及成長於其上。然後，發光二極體與半球形結構即藉由蝕刻方式以脫離基板。此一方法的缺點係為其限於將半球形結構形成於基板表面，而自基板移除上述結構會造成製造

成本的增加。同時，每個半球形結構皆須配置一發光二極體，需要非常精密的製程配合。

在美國專利 US 5040044 中，發光二極體元件係利用化學試劑蝕刻使其表面產生粗化，即可達到減少全反射並增加亮度的輸出。不過利用製程加工的方式，對於氮化鎵（GaN）系列的材料並不適用，因為氮化鎵系列的材料具有很強的強固性與耐酸鹼腐蝕，一般的化學試劑與有機溶劑皆難以蝕刻氮化鎵系列的材料。而最常應用來蝕刻氮化鎵的方式係為活性離子蝕刻（RIE），但是此種方式有會影響磊晶的品質，並且增加製程的複雜度。

【發明內容】

鑒於上述之發明背景中，為了符合產業上某些利益之需求，本發明提供一種光電元件粗化結構及其製程可用以解決上述傳統之光電元件未能達成之標的。

本發明之一目的係提供一種半導體粗化結構之製造方法，其係在一光電元件之半導體層磊晶過程中，藉由高濃度摻雜（heavily-dope）一摻雜物，以使此一半導體層成長出一第一粗化層。隨後，降低磊晶溫度以持續成長一第二粗化層於第一粗化層上。再者，上述之第一粗化層與第二粗化層係分別由一島體陣列與一針孔陣列所組成，並且島體陣列包含複數個隨機分佈之島體，針孔陣列包含複數個隨機分佈之針孔，其中上

述之針孔不僅會形成於島體之頂部，亦會自島體之側面成長出針孔結構，以形成光電元件之雙重尺度粗化結構。

【實施方式】

本發明在此所探討的方向為一種光電元件粗化結構及其製程。為了能徹底地瞭解本發明，將在下列的描述中提出詳盡的步驟及其組成。顯然地，本發明的施行並未限定於光電元件粗化結構及其製程之技藝者所熟習的特殊細節。另一方面，眾所周知的組成或步驟並未描述於細節中，以避免造成本發明不必要之限制。本發明的較佳實施例會詳細描述如下，然而除了這些詳細描述之外，本發明還可以廣泛地施行在其他的實施例中，且本發明的範圍不受限定，其以之後的專利範圍為準。

為了增加光電元件的出光效率，可藉由粗化光電元件表面以降低全反射產生的機率，使得此一光電元件能更有效地利用其所產生之光線。如專利案號 US 6657236 之美國專利提出一種加強光取出效率之發光二極體，其主要技術特徵係沈積光凝聚元件（light extraction elements）之陣列於發光二極體內部，藉此以產生發光二極體內部空間之折射係數的改變，並藉由此一折射係數的變化以折射或反射發光二極體產生之光線。而為了增加光凝聚元件之有效性，其通常具有比發光二極體封裝材料更高之折射係數，使得經由光凝聚元件折射或反射之光線得以透射出發光二極體封裝材料。此一專利所提及之光

凝聚元件係先藉由蒸發、化學氣相沈積 (CVD) 或濺鍍法沈積光凝聚元件之材料於發光二極體之一半導體層上，再覆蓋一遮罩，並以濕蝕刻或反應離子蝕刻方式將遮罩圖案轉移至光凝聚元件之材料上，藉此以形成上述之光凝聚元件。然而，此一製程不僅步驟繁複，成本昂貴，並且蝕刻過程亦會造成大量污染。再者，由上述製程產生之光凝聚元件僅具有單一尺度，能夠提升之出光效率極其有限。

另外，專利案號 US 7211831 之美國專利提出類似地發光二極體，其主要目的亦為提供一粗化結構以反射或折射光線，並且藉由改變粗化結構之圖形排列，以提高發光二極體之光強表現。上述之圖形排列包含了週期性排列之圖形以及非週期性排列之圖形，其中週期性圖形係為重複排列之單元圖形，例如蜂窩圖形、環狀圖形或阿基米德圖形等等，而非週期性圖形則包含了准晶圖形、羅賓遜圖形或安曼圖形等等。然而，此一粗化結構仍須經過微影製程與蝕刻等高成本、高污染之步驟，並且仍為僅具備單一尺度之粗化結構。

一般而言，在使用有機金屬氣相磊晶成長 (OMVPE) 製程時，比較在氫氣環境中成長氮化鎵系列材料與在氮氣環境下成長氮化鎵系列材料，其成長過程有極大的差異。因此，藉由改變 III 族元素與 V 族元素之比例以及載氣中氮氣與氫氣的含量變化，即可以控制磊晶表面的粗糙度。

另外，在不同溫度時，晶格表面的原子移動力也會不同。一般而言，在較低溫成長磊晶時，因為晶格表面的原子移動力不足，故通常會刻意降低磊晶速率，以形成較好的磊晶品質與較好的表面平整度。因此，相反地，藉由控制成長時的溫度、成長速率，也可以達到粗化表面的目的。

再者，若以有機金屬氣相磊晶成長方式成長氮化鎵系列材料，且是使用氨氣 (NH_3) 當作氮原子的來源時，由於材料本身的強固性 (rigidity)，以及考慮氨氣的裂解速率 (dissociation rate)，除了活性發光層含有銦元素需在較低溫成長外，其他磊晶層長溫度約在 $1000\sim 1200^\circ\text{C}$ 之間。

根據上述，專利案號 US 6441403 之美國專利提出一種粗化發光二極體表面之方法，其係應用磊晶成長技術直接成長粗糙表面。例如藉由改變 III 族元素與 V 族元素間之比例、載氣、溫度、壓力、成長速率等等環境因素，以成長出粗糙之磊晶層。上述專利即揭露在低於 1000°C 成長 p 型或 n 型氮化鎵當作電極接觸層，亦即利用晶格表面原子較低的移動力而造成粗糙之表面。首先，將一可直接磊晶成長之藍寶石 (epitaxy-ready sapphire) 單晶基底裝載於一有機金屬氣相磊晶成長反應爐中。首先，於 1150°C 溫度下預熱藍寶石基底十分鐘，然後，將藍寶石基底將溫至 $500\sim 600^\circ\text{C}$ 。當藍寶石基底處於 520°C 時，在其表面上成長一氮化鎵緩衝層。接著，將藍寶石基底加

溫至 1100°C 時，在緩衝層表面上成長出一 Si 摻雜（N 型矽摻雜）氮化鎵層。隨後，將藍寶石基底冷卻至 820°C，並於 N 型矽摻雜氮化鎵層表面上成長一氮化銦鎵/氮化鎵（InGaN/GaN）多層量子井結構（multiple quantum well structure）或雙異質結構（double-hetero structure）。之後，升高溫度至 1100°C，於氮化銦鎵/氮化鎵多層量子井結構表面上成長一平滑 P 型鎂摻雜氮化鎵層。最後，改變成長參數，在低溫下故意成長一粗糙的 P 型鎂摻雜氮化鎵層。此一製造方式雖已簡化製程步驟、降低污染及成本，但以上述製程所產生之粗糙表面仍僅為單一尺度的表面型態。

類似地，專利案號 WO 2007/058474 之世界專利提出一種形成雙重尺度粗糙表面之方法，其亦藉由降低半導體層磊晶時的溫度，以在半導體層上形成一具有複數個六角形小孔（hexagonal pinholes）之粗糙表面。隨後，再配置一遮罩於此一粗糙表面上，以粗糙表面上無小孔之平坦部分形成複數個微小突起，藉此以產生雙重尺度之粗糙表面。雖然此一具有雙重尺度之粗糙表面已大幅改良前述單一尺度表面之缺陷，但是上述之微小突起仍只分佈於粗糙表面上無小孔之平坦部分，小孔中之斜面部分仍為光滑平坦，並無法將半導體表面全部粗糙化。再者，此一雙重尺度粗糙表面亦需藉由配置遮罩並搭配蝕刻製程以形成微小突起，依舊具有高成本與高污染等問題存

在。

有鑑於此，本發明提出一種半導體粗化結構之製造方法，其係在一光電元件之半導體層磊晶過程中，藉由高濃度摻雜（heavily-dope）一摻雜物，以使此一半導體層成長出一第一粗化層，其中，此時的環境溫度約為 $1000\sim 1200^{\circ}\text{C}$ 。隨後，降低磊晶溫度 $200\sim 650^{\circ}\text{C}$ ，以持續成長一第二粗化層於第一粗化層上。上述之摻雜物包含鎂（Mg）、矽（Si）或鎂與矽之組合，並且此一摻雜物之濃度約為 $1\times 10^{20}\sim 9.9\times 10^{22}/\text{cm}^3$ 。

再者，對上述之半導體層進行高濃度摻雜之磊晶製程時，半導體層會成長出一具有複數個隨機分佈島體之島體陣列，以形成上述之第一粗化層。當第一粗化層在較低溫度下持續進行磊晶時，第一粗化層上會成長出一具有複數個隨機分佈針孔之針孔陣列，以形成第二粗化層，其中上述之針孔不僅會形成於島體之頂部，亦會自島體之側面成長出針孔結構，使得半導體層可被完全地粗糙化，以形成更完整的雙重尺度粗化結構。此一粗化結構可依據不同製程以形成於光電元件內部或表面，以藉由反射或折射光線加強光電元件之出光效率。

為了形成上述之針孔結構，美國專利 US 7385226 已提出相關之技術內容。此一專利提出一種發光二極體，包含一基板；形成於基板上之一第一氮化物半導體疊層；形成於第一氮化物半導體疊層上之一氮化物發光層；與形成於氮化物發光層

上之一第二氮化物半導體疊層，其中，於第二氮化物半導體疊層相對於氮化物發光層之表面處，包含複數個向下延伸之內六角錐形孔穴構造。此一內六角錐形孔穴係於 P 型半導體層中，並且係以一磊晶溫度 $700\sim 950^{\circ}\text{C}$ 一範圍成長，使其改變磊晶成核型態，而於 P 型半導體疊層或表層中形成內六角錐形孔穴構造。藉由調控磊晶溫度之變化與升降溫速率，即可控制內六角錐形孔穴之大小與密度，進而改變出光效率。參考第一 A 圖與第一 B 圖所示，其係為根據上述製程所形成之光電元件粗化結構之側視圖與俯視圖。此一粗化結構包含複數個島體 110 與複數個針孔 120，其中複數個島體 110 分佈於光電元件之一半導體層 130 上，並且複數個針孔 120 分佈於複數個島體 110 之頂部 112 與側面 114。另外，上述之複數個針孔 120 更可分佈於複數個島體 110 間的半導體層 130 上。因此，不論複數個島體 110 之頂部 112 與側面 114，或是複數個島體 110 間的半導體層 130，皆可密佈複數個針孔 120，以達成雙重尺度粗糙化之目的。上述之複數個島體 110 與半導體層 130 皆可為 P 型氮化鎵 (P-GaN)、N 型氮化鎵 (N-GaN)、P 型氮化鋁鎵 (P-AlGaIn) 或 N 型氮化鋁鎵 (N-AlGaIn)，並且島體 110 與針孔 120 之尺度比約為 $1000:1$ 至 $10:1$ ，其中島體之尺度約為 $0.1\sim 10\ \mu\text{m}$ ，並且針孔 120 尺度大於或等於 $1/8$ 光電元件光源之波長。上述之針孔 120 之直徑約為 $10\sim 1000\ \text{nm}$ ，並且針

孔之分佈密度約為 $10^7 \sim 10^{11} \text{ cm}^{-2}$ 。

參考第二圖所示，其係為光電元件粗化表面之側視圖。此一粗化表面包含一第一粗化面 210 與一第二粗化面 220，其中第一粗化面 210 位於光電元件表面 230，並且第二粗化面 220 位於第一粗化面 210 上。同理，上述之第一粗化面 210、第二粗化面 220 與光電元件表面 230 皆可為 P 型氮化鎵或 N 型氮化鎵，並且第一粗化面 210 與第二粗化面 220 之表面粗化尺度比約為 1000 : 1 至 10 : 1，其中第一粗化面 210 之表面粗化尺度約為 $0.1 \sim 10 \mu\text{m}$ ，並且第二粗化面 220 之表面粗化尺度大於或等於 $1/8$ 光電元件光源之波長，約為 $10 \sim 1000 \text{ nm}$ 。

參考第三 A 圖與第三 B 圖所示，其係為光電元件粗化表面之側視圖與俯視圖。此一粗化表面包含一島體陣列 310 與一針孔陣列 320，其中島體陣列 310 隨機分佈於光電元件表面 330，並且針孔陣列 320 亦隨機分佈於島體陣列 310 上，其中針孔陣列 320 係隨機分佈於島體陣列 310 之島體的頂部與側面。上述之島體陣列 310、針孔陣列 320 與光電元件表面 330 皆可為 P 型氮化鎵或 N 型氮化鎵，並且島體陣列 310 之島體與針孔陣列 320 上針孔之尺度比約為 1000 : 1 至 10 : 1，其中島體陣列 310 之尺度約為 $0.1 \sim 10 \mu\text{m}$ ，並且針孔陣列 320 之針孔直徑大於或等於 $1/8$ 光電元件光源之波長，約為 $10 \sim 1000 \text{ nm}$ 。

換言之，上述之複數個島體 110、第一粗化面 210 與島體陣列 310 皆可以高濃度摻雜方式磊晶於光電元件之半導體層或表面上，以形成一摻雜層（或稱為一第一粗化層）。另外，上述之複數個針孔 120、第二粗化面 220 與針孔陣列 320 亦可藉由降低摻雜層之磊晶溫度，以持續形成一低溫層（或稱為一第二粗化層）於摻雜層上。

如第四 A 圖與第四 B 圖所示，本發明亦提出一種光電元件粗化層之製造方法。首先，在光電元件之一半導體層 402 的磊晶過程中，高濃度摻雜一摻雜物，以使半導體層 402 成長出一第一粗化層 404，如步驟 410 所示。隨後，如步驟 420 所示，降低磊晶溫度以持續形成一第二粗化層 406 於第一粗化層 404 上。

參考第五 A 圖與第五 B 圖所示，其係為一種半導體粗化結構製造方法之流程圖與結構示意圖。首先，如步驟 510 所示，提供一半導體層 502。隨後，如步驟 520 所示，在一第一溫度下，高濃度摻雜一摻雜物於半導體層 502 中，使半導體層 502 成長出複數個島體 504。最後，如步驟 530 所示，降低第一溫度至一第二溫度，以形成複數個針孔 506，其中複數個針孔 506 分佈於複數個島體 504 之頂部與側面，更可分佈於複數個島體 504 間的半導體層 502 上。更重要的是，上述之第一溫度高於第二溫度，其中第一溫度約為 1000~1200°C，第二溫

度約為 500~950°C。

類似地，本發明亦提出一種光電元件粗化結構之製造方法。首先，在光電元件製程中，磊晶一半導體層。隨後，高濃度摻雜一摻雜物，使半導體層成長出一島體陣列。最後，降低磊晶溫度，以形成針孔直徑大於或等於 1/8 光電元件光源波長之一針孔陣列，其中針孔隨機分佈於島體之頂部與側面。同理，本發明更提出一種光電元件粗化表面之製造方法。首先，高濃度摻雜一摻雜物，使光電元件之表面成長出一第一粗化面。隨後，再降低製程溫度，以在第一粗化面上形成表面粗化尺度大於或等於 1/8 光電元件光源波長之一第二粗化面。

上述之摻雜物可為鎂、矽或鎂與矽之組合，並且於本發明中，此一摻雜物之較佳濃度為 $1 \times 10^{20} \sim 9.9 \times 10^{22} / \text{cm}^3$ 。另外，上述之半導體層、第一粗化層、複數個島體、島體陣列或第一粗化面之磊晶溫度約為 1000~1200°C，並且第二粗化層、複數個針孔、針孔陣列或第二粗化面之磊晶溫度約為 500~950°C，其中兩者間的降溫差約為 200~650°C。再者，光電元件之半導體層可為 P 型氮化鎵或 N 型氮化鎵，而隨後磊晶形成之第一粗化層、第二粗化層，或複數個島體，或島體陣列、針孔陣列，或第一粗化面、第二粗化面亦會與半導體層之材料相同。

參考第六 A 圖、第六 B 圖與第六 C 圖所示，其中第六 A 圖係為以 $1 \times 10^{20} \sim 9.9 \times 10^{22} / \text{cm}^3$ 之高濃度摻雜鎂時，半導體層所生

長出的島體形貌。第六 B 圖係為以 500~950°C 之相對低溫磊晶而成的針孔形貌。第六 C 圖係為綜合上述製程所產生之雙重尺度粗化結構。

參考第七圖所示，其係為量測不同表面形貌之紫外光發光二極體 (UV LEDs) 的遠場圖 (far-field patterns)，其中實線係為具有雙重尺度粗糙表面之發光二極體的出光表現，而虛線則為平滑表面之發光二極體的出光表現。明顯地，具有雙重尺度粗糙表面之發光二極體的發光效率遠遠優於僅有平滑表面之發光二極體。

參考第八圖所示，其係為量測不同表面形貌之發光二極體隨電流增加之發光功率表現，其中矩形線係為平滑表面之發光二極體、正三角線係為僅以第六 A 圖之島體為粗糙表面的發光二極體、倒三角線係為僅以第六 B 圖之針孔為粗糙表面的發光二極體、圓形線係為以第六 C 圖之雙重尺度結構為粗糙表面之發光二極體。由圖中可知，具有雙重尺度粗糙表面之發光二極體的出光效率明顯地優於單一尺度或平滑表面之發光二極體。

顯然地，依照上面實施例中的描述，本發明可能有許多的修正與差異。因此需要在其附加的權利要求項之範圍內加以理解，除了上述詳細的描述外，本發明還可以廣泛地在其他的實施例中施行。上述僅為本發明之較佳實施例而已，並非用以

限定本發明之申請專利範圍；凡其它未脫離本發明所揭示之精神下所完成的等效改變或修飾，均應包含在下述申請專利範圍內。

【圖式簡單說明】

第一 A 圖係為光電元件粗化結構之側視圖；

第一 B 圖係為光電元件粗化結構之俯視圖；

第二圖與第三 A 圖係為光電元件粗化表面之側視圖；

第三 B 圖係為光電元件粗化表面之俯視圖；

第四 A 圖係為光電元件粗化層製造方法之流程圖；

第四 B 圖係為光電元件粗化層製造方法之結構示意圖；

第五 A 圖係為半導體粗化結構製造方法之流程圖；

第五 B 圖係為半導體粗化結構製造方法之結構示意圖；

第六 A 圖、第六 B 圖與第六 C 圖分別為不同之粗化結構形貌；

第七圖係為不同表面形貌之紫外光發光二極體的遠場圖；以及

第八圖係為量測不同表面形貌之發光二極體隨電流增加之發光功率圖。

【主要元件符號說明】

- 110 複數個島體
- 112 頂部
- 114 側面
- 120 複數個針孔
- 130 半導體層
- 210 第一粗化面
- 220 第二粗化面
- 230 光電元件表面
- 310 島體陣列
- 320 針孔陣列
- 330 光電元件表面
- 402 半導體層
- 404 第一粗化層
- 406 第二粗化層
- 410, 420 步驟
- 502 半導體層
- 504 複數個島體
- 506 複數個針孔
- 510, 520, 530 步驟

五、中文發明摘要：

本發明提供一種具有雙重尺度粗化結構之光電元件，其係在一光電元件之半導體層磊晶過程中，藉由高濃度摻雜（heavily-dope）一摻雜物，以使此一半導體層成長出複數個島體。隨後，降低磊晶溫度以持續形成複數個針孔（pin holes）於複數個島體上，其中針孔分佈於島體的頂部與側面，可大幅降低光線在光電元件內部之全反射率，進而增加光電元件之光強表現。而相較傳統技術而言，本發明提出之製程具有低污染、製程簡單、成本低廉、光取出效率更佳、雙重尺度出光面之有效面積較大（幾乎無平滑出光面存在）等等優勢。

六、英文發明摘要：

A dual scale rough structure is disclosed, wherein a plurality of islands are grown on the semiconductor by heavily-doping during epitaxy of a semiconductor layer of an optoelectronics device. Then, by lowering the epitaxial temperature, a plurality of pin holes are formed on the islands, wherein the pin holes are distributed over the top and sidewall surfaces of the islands for substantially reducing the total reflection possibility inside the optoelectronics device to enhance brightness. In terms of comparing with traditional technology, the fabrication disclosed by this invention has the following advantages: less pollution, simple fabrication, low-cost, higher efficiency of light extraction, larger effective area of the dual scale emitting surface (almost without any smooth emitting surface).

十、申請專利範圍：

1. 一種光電元件粗化結構，包含：

複數個島體，分佈於該光電元件之一半導體層上；以及
複數個針孔 (pin holes)，分佈於該複數個島體之頂部與側
面。

2. 根據申請專利範圍第 1 項之光電元件粗化結構，其中上述之半
導體層與該複數個島體皆為 P-GaN、N-GaN、P-AlGaN 或
N-AlGaN。

3. 根據申請專利範圍第 1 項之光電元件粗化結構，其中上述之複
數個針孔更分佈於該複數個島體間之該半導體層上。

4. 根據申請專利範圍第 1 項之光電元件粗化結構，其中上述之光
電元件係為一發光二極體 (light-emitting diode; LED)。

5. 根據申請專利範圍第 4 項之光電元件粗化結構，其中上述之針
孔尺度大於或等於 $1/8$ 該光電元件光源之波長。

6. 根據申請專利範圍第 5 項之光電元件粗化結構，其中上述之島
體與該針孔之尺度比為 $1000:1$ 至 $10:1$ 。

7. 根據申請專利範圍第 6 項之光電元件粗化結構，其中上述之島
體之尺度約為 $0.1\sim 10\ \mu\text{m}$ 。

8. 根據申請專利範圍第 6 項之光電元件粗化結構，其中上述之針
孔之直徑約為 $10\sim 1000\ \text{nm}$ ，並且該複數個針孔之密度約為
 $10^7\sim 10^{11}\ \text{cm}^{-2}$ 。

9. 一種光電元件粗化表面，包含：

一第一粗化面，位於該光電元件表面；以及

一第二粗化面，位於該第一粗化表面上，其中該第二粗化面之表面粗化尺度大於或等於 $1/8$ 該光電元件光源之波長。

10. 根據申請專利範圍第 9 項之光電元件粗化表面，其中上述之光電元件表面、該第一粗化面與該第二粗化面皆為 P-GaN、N-GaN、P-AlGaN 或 N-AlGaN。

11. 根據申請專利範圍第 9 項之光電元件粗化表面，其中上述之光電元件係為一發光二極體 (light-emitting diode; LED)。

12. 根據申請專利範圍第 9 項之光電元件粗化表面，其中上述之第一粗化面與該第二粗化面之表面粗糙尺度比為 1000 : 1 至 10 : 1。

13. 根據申請專利範圍第 12 項之光電元件粗化表面，其中上述之第一粗化面之表面粗糙尺度約為 $0.1 \sim 10 \mu m$ 。

14. 根據申請專利範圍第 12 項之光電元件粗化表面，其中上述之第二粗化面之表面粗糙尺度約為 $10 \sim 1000 nm$ 。

15. 一種光電元件粗化層，包含：

一摻雜層，以高濃度摻雜 (heavily-dope) 方式磊晶於該光電元件之一半導體層上；以及

一低溫層，降低該摻雜層之磊晶溫度以持續形成於該摻雜層上。

16. 根據申請專利範圍第 15 項之光電元件粗化層，其中上述之半導體層、該摻雜層與該低溫層皆為 P-GaN、N-GaN、P-AlGaN 或 N-AlGaN。
17. 根據申請專利範圍第 16 項之光電元件粗化層，其中上述之高濃度摻雜方式係為摻雜一摻雜物於該半導體層之磊晶過程中，其中該摻雜物包含下列元素之一及其組成：Mg、Si。
18. 根據申請專利範圍第 17 項之光電元件粗化層，其中上述之摻雜物之濃度為 $1 \times 10^{20} \sim 9.9 \times 10^{22} / \text{cm}^3$ 。
19. 根據申請專利範圍第 15 項之光電元件粗化層，其中上述之降低磊晶溫度之溫差約為 $200 \sim 650^\circ\text{C}$ 。
20. 根據申請專利範圍第 19 項之光電元件粗化層，其中上述之低溫層的磊晶溫度為 $500 \sim 950^\circ\text{C}$ 。
21. 根據申請專利範圍第 15 項之光電元件粗化層，其中上述之光電元件係為一發光二極體（light-emitting diode; LED）
22. 一種光電元件粗化表面，包含：
 - 一島體陣列，隨機分佈於該光電元件表面；以及
 - 一針孔（pin hole）陣列，隨機分佈於該島體陣列上，其中該針孔分佈於該島體之頂部與側面，其中該針孔之直徑大於或等於 $1/8$ 該光電元件光源之波長。
23. 根據申請專利範圍第 22 項之光電元件粗化表面，其中上述之光電元件表面、該島體陣列與該針孔陣列皆為 P-GaN 或 N-GaN。

24.根據申請專利範圍第 22 項之光電元件粗化表面，其中上述之島體陣列與該針孔陣列之尺度比為 1000：1 至 10：1。

25.根據申請專利範圍第 24 項之光電元件粗化表面，其中上述之島體陣列之島體尺度約為 0.1~10 μm 。

26.根據申請專利範圍第 24 項之光電元件粗化表面，其中上述之針孔陣列之針孔直徑約為 10~1000 nm ，並且該針孔陣列之密度約為 $10^7\sim 10^{11} \text{cm}^{-2}$ 。

27.根據申請專利範圍第 22 項之光電元件粗化表面，其中上述之光電元件係為一發光二極體 (light-emitting diode; LED)。

28.一種光電元件粗化結構，包含：

複數個島體，以高濃度摻雜(heavily-dope)方式使該光電元件之一半導體層生長出該複數個島體；以及

複數個針孔 (pin holes)，降低該複數個島體之磊晶溫度以持續形成該複數個針孔於該複數個島體之頂部與側面。

29.根據申請專利範圍第 28 項之光電元件粗化結構，其中上述之複數個針孔更形成於該複數個島體間之該半導體層上。

30.根據申請專利範圍第 28 項之光電元件粗化結構，其中上述之光電元件係為一發光二極體 (light-emitting diode; LED)。

31.根據申請專利範圍第 30 項之光電元件粗化結構，其中上述之針孔尺度大於或等於 1/8 該光電元件光源之波長。

32.根據申請專利範圍第 31 項之光電元件粗化結構，其中上述之島

體與該針孔之尺度比為 1000 : 1 至 10 : 1。

33.根據申請專利範圍第 32 項之光電元件粗化結構，其中上述之島體之尺度約為 $0.1\sim 10\mu m$ 。

34.根據申請專利範圍第 32 項之光電元件粗化結構，其中上述之針孔之直徑約為 $10\sim 1000\text{ nm}$ ，並且該複數個針孔之密度約為 $10^7\sim 10^{11}\text{ cm}^{-2}$ 。

35.根據申請專利範圍第 28 項之光電元件粗化結構，其中上述之半導體層與該複數個島體皆為 P-GaN N-GaN、P-AlGaN 或 N-AlGaN。

36.根據申請專利範圍第 35 項之光電元件粗化結構，其中上述之高濃度摻雜方式係為摻雜一摻雜物於該半導體層之磊晶過程中，其中該摻雜物包含下列元素之一及其組成：Mg、Si。

37.根據申請專利範圍第 36 項之光電元件粗化結構，其中上述之摻雜物之濃度為 $1\times 10^{20}\sim 9.9\times 10^{22}/\text{cm}^3$ 。

38.根據申請專利範圍第 28 項之光電元件粗化結構，其中上述之降低磊晶溫度之溫差約為 $200\sim 650^\circ\text{C}$ 。

39.根據申請專利範圍第 38 項之光電元件粗化結構，其中上述之複數個針孔的磊晶溫度為 $500\sim 950^\circ\text{C}$ 。

40.一種光電元件粗化層，包含：

一第一粗化層，以高濃度摻雜(heavily-dope)方式磊晶於該光電元件之一半導體層上；以及

一第二粗化層，降低該第一粗化層之磊晶溫度以持續形成該二粗化層，其中該第二粗化層之粗化尺度大於或等於 $1/8$ 該光電元件光源之波長。

41. 根據申請專利範圍第 40 項之光電元件粗化層，其中上述之光電元件係為一發光二極體 (light-emitting diode; LED)。

42. 根據申請專利範圍第 40 項之光電元件粗化層，其中上述之第一粗化層與該第二粗化層之粗化尺度比為 $1000:1$ 至 $10:1$ 。

43. 根據申請專利範圍第 42 項之光電元件粗化層，其中上述之第一粗化層之粗化尺度約為 $0.1 \sim 10 \mu m$ 。

44. 根據申請專利範圍第 42 項之光電元件粗化層，其中上述之第二粗化層之粗化尺度約為 $10 \sim 1000 nm$ 。

45. 根據申請專利範圍第 40 項之光電元件粗化層，其中上述之半導體層、該第一粗化層與該第二粗化層皆為 P-GaN、N-GaN、P-AlGaN 或 N-AlGaN。

46. 根據申請專利範圍第 45 項之光電元件粗化層，其中上述之高濃度摻雜方式係為摻雜一摻雜物於該半導體層之磊晶過程中，其中該摻雜物包含下列元素之一及其組成：Mg、Si。

47. 根據申請專利範圍第 46 項之光電元件粗化層，其中上述之摻雜物之濃度為 $1 \times 10^{20} \sim 9.9 \times 10^{22} / cm^3$ 。

48. 根據申請專利範圍第 40 項之光電元件粗化層，其中上述之降低磊晶溫度之溫差約為 $200 \sim 650^\circ C$ 。

49.根據申請專利範圍第 48 項之光電元件粗化層，其中上述之第二粗化層的磊晶溫度為 500~950°C。

50.一種光電元件粗化層之製造方法，包含：

於該光電元件之一半導體層的磊晶過程中，高濃度摻雜（heavily-dope）一摻雜物，以使該半導體層成長出一第一粗化層；以及

降低磊晶溫度以形成一第二粗化層於該第一粗化層上。

51.根據申請專利範圍第 50 項之光電元件粗化層之製造方法，其中上述之半導體層、該第一粗化層與該第二粗化層皆為 P-GaN、N-GaN、P-AlGaN 或 N-AlGaN。

52.根據申請專利範圍第 51 項之光電元件粗化層之製造方法，其中上述之摻雜物包含下列元素之一及其組成：Mg、Si。

53.根據申請專利範圍第 52 項之光電元件粗化層之製造方法，其中上述之摻雜物之濃度為 $1 \times 10^{20} \sim 9.9 \times 10^{22} / \text{cm}^3$ 。

54.根據申請專利範圍第 50 項之光電元件粗化層之製造方法，其中上述之降低磊晶溫度之溫差約為 200~650°C。

55.根據申請專利範圍第 54 項之光電元件粗化層之製造方法，其中上述之第二粗化層的磊晶溫度為 500~950°C。

56.根據申請專利範圍第 50 項之光電元件粗化層之製造方法，其中上述之光電元件係為一發光二極體（light-emitting diode; LED）。

57.一種半導體粗化結構之製造方法，包含：

提供一半導體層；

在一第一溫度下，高濃度摻雜(heavily-dope)一摻雜物，使該半導體層成長出複數個島體；以及

降低該第一溫度至一第二溫度，以形成複數個針孔 (pin holes)，其中該複數個針孔分佈於該複數個島體之頂部與側面。

58.根據申請專利範圍第 57 項之光電元件粗化結構之製造方法，其中上述之複數個針孔更形成於該複數個島體間之該半導體層上。

59.根據申請專利範圍第 57 項之光電元件粗化結構之製造方法，其中上述之半導體層與該複數個島體皆為 P-GaN、N-GaN、P-AlGaN 或 N-AlGaN。

60.根據申請專利範圍第 59 項之光電元件粗化結構之製造方法，其中上述之摻雜物包含下列元素之一及其組成：Mg、Si。

61.根據申請專利範圍第 60 項之光電元件粗化結構之製造方法，其中上述之摻雜物之濃度為 $1 \times 10^{20} \sim 9.9 \times 10^{22} / \text{cm}^3$ 。

62.根據申請專利範圍第 57 項之光電元件粗化結構之製造方法，其中上述之第一溫度與第二溫度之溫差為 $200 \sim 650^\circ\text{C}$ 。

63.根據申請專利範圍第 62 項之光電元件粗化結構之製造方法，其中上述之第二溫度為 $500 \sim 950^\circ\text{C}$ 。

64.根據申請專利範圍第 57 項之光電元件粗化結構之製造方法，其中上述之光電元件係為一發光二極體 (light-emitting diode;

LED)。

65.根據申請專利範圍第 64 項之光電元件粗化結構之製造方法，其中上述之針孔尺度大於或等於 $1/8$ 該光電元件光源之波長。

66.根據申請專利範圍第 65 項之光電元件粗化結構之製造方法，其中上述之島體與該針孔之尺度比為 $1000:1$ 至 $10:1$ 。

67.根據申請專利範圍第 66 項之光電元件粗化結構之製造方法，其中上述之島體之尺度約為 $0.1\sim 10\mu m$ 。

68.根據申請專利範圍第 66 項之光電元件粗化結構之製造方法，其中上述之針孔之直徑約為 $10\sim 1000nm$ ，並且該複數個針孔之密度約為 $10^7\sim 10^{11}cm^{-2}$ 。

69.一種光電元件粗化表面之製造方法，包含：

高濃度摻雜(heavily-dope)一摻雜物，使該光電元件之表面成長出一第一粗化面；以及

降低製程溫度，以在該第一粗化面上形成表面粗化尺度大於或等於 $1/8$ 該光電元件光源波長之一第二粗化面。

70.根據申請專利範圍第 69 項之光電元件粗化表面之製造方法，其中上述之光電元件表面、該第一粗化面與該第二粗化面皆為 P-GaN、N-GaN、P-AlGaN 或 N-AlGaN。

71.根據申請專利範圍第 70 項之光電元件粗化表面之製造方法，其中上述之摻雜物包含下列元素之一及其組成：Mg、Si。

72.根據申請專利範圍第 71 項之光電元件粗化表面之製造方法，其

中上述之摻雜物之濃度為 $1 \times 10^{20} \sim 9.9 \times 10^{22} / \text{cm}^3$ 。

73.根據申請專利範圍第 69 項之光電元件粗化表面之製造方法，其中上述之降低製程溫度之溫差約為 $200 \sim 650^\circ\text{C}$ 。

74.根據申請專利範圍第 73 項之光電元件粗化表面之製造方法，其中上述之第二粗化面的製程溫度為 $500 \sim 950^\circ\text{C}$ 。

75.根據申請專利範圍第 69 項之光電元件粗化表面之製造方法，其中上述之光電元件係為一發光二極體 (light-emitting diode; LED)。

80.一種光電元件粗化結構之製造方法，包含：

磊晶一半導體層；

高濃度摻雜(heavily-dope)一摻雜物，使該半導體層成長出一島體陣列；

降低磊晶溫度，以形成針孔 (pin hole) 直徑大於或等於 $1/8$ 該光電元件光源波長之一針孔陣列，其中該針孔隨機分佈於該島體之頂部與側面。

81.根據申請專利範圍第 80 項之光電元件粗化結構之製造方法，其中上述之半導體層、該島體陣列與該針孔陣列皆為 P-GaN、N-GaN、P-AlGaN 或 N-AlGaN。

82.根據申請專利範圍第 81 項之光電元件粗化結構之製造方法，其中上述之摻雜物包含下列元素之一及其組成：Mg、Si。

83.根據申請專利範圍第 82 項之光電元件粗化結構之製造方法，其

中上述之摻雜物之濃度為 $1 \times 10^{20} \sim 9.9 \times 10^{22} / \text{cm}^3$ 。

84. 根據申請專利範圍第 80 項之光電元件粗化結構之製造方法，其中上述之降低製程溫度之溫差約為 $200 \sim 650^\circ\text{C}$ 。

85. 根據申請專利範圍第 84 項之光電元件粗化結構之製造方法，其中上述之針孔陣列的製程溫度約為 $500 \sim 950^\circ\text{C}$ 。

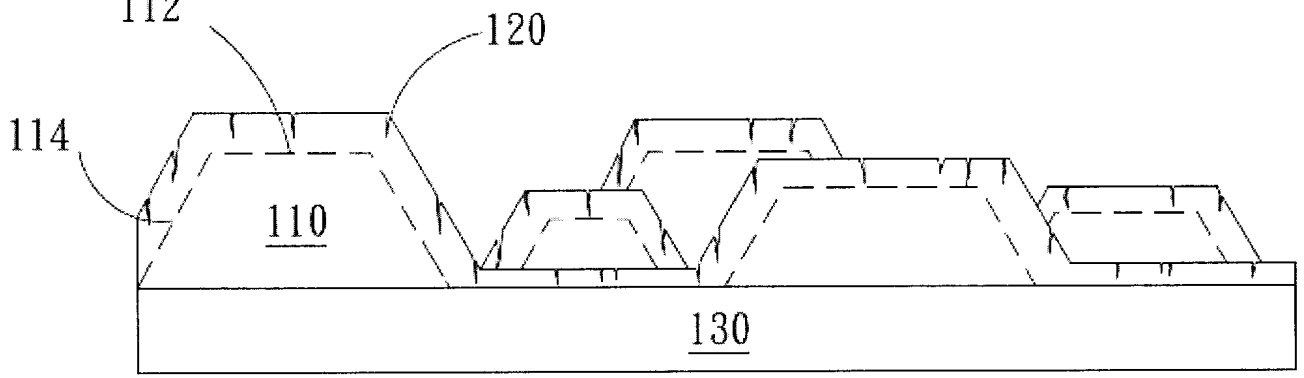
86. 根據申請專利範圍第 80 項之光電元件粗化結構之製造方法，其中上述之光電元件係為一發光二極體 (light-emitting diode; LED)。

87. 根據申請專利範圍第 86 項之光電元件粗化結構之製造方法，其中上述之島體陣列與該針孔陣列之尺度比為 $1000:1$ 至 $10:1$ 。

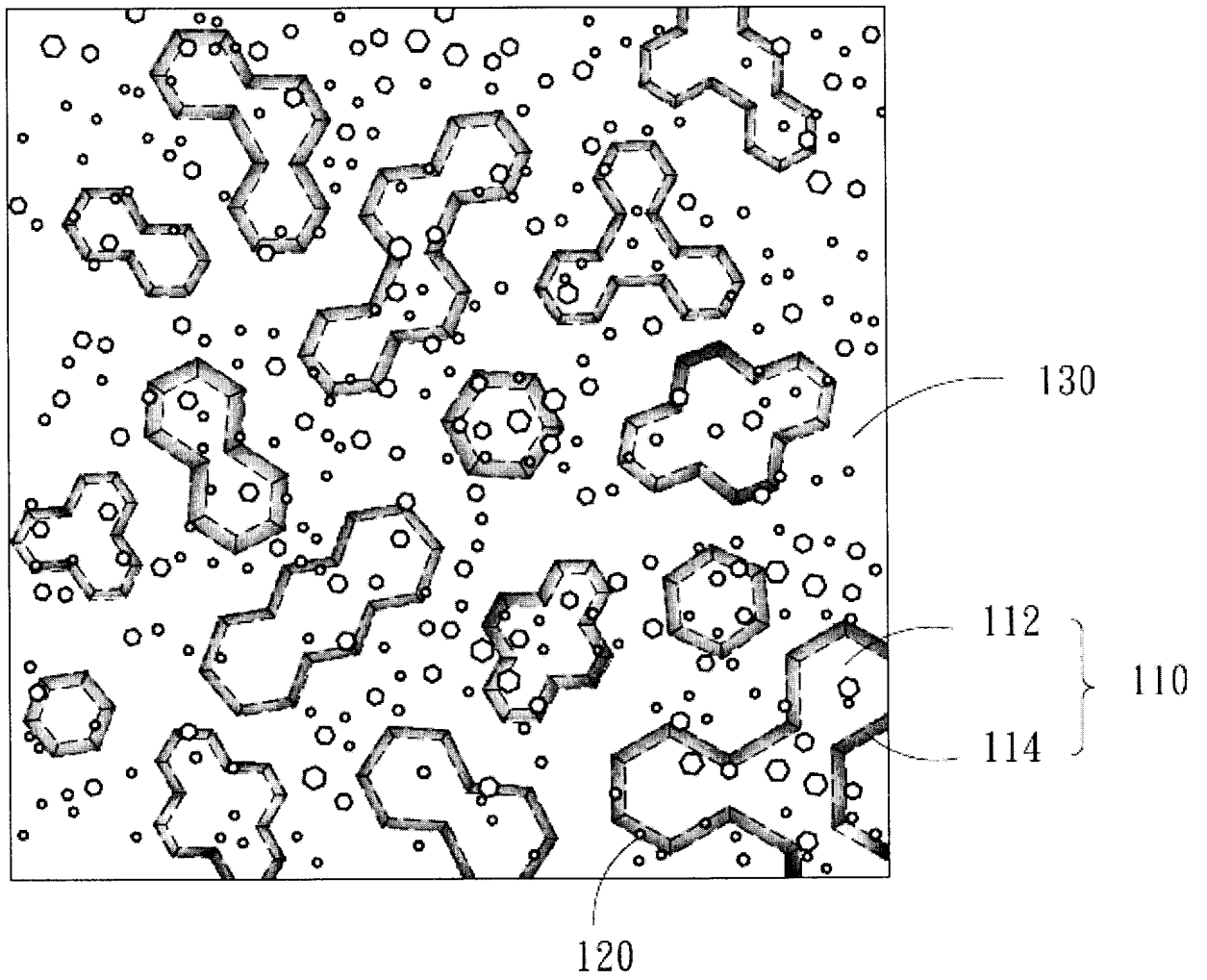
88. 根據申請專利範圍第 87 項之光電元件粗化結構之製造方法，其中上述之島體陣列之尺度約為 $0.1 \sim 10 \mu\text{m}$ 。

89. 根據申請專利範圍第 87 項之光電元件粗化結構之製造方法，其中上述之針孔陣列之針孔直徑約為 $10 \sim 1000 \text{nm}$ ，並且該針孔陣列之密度約為 $10^7 \sim 10^{11} \text{cm}^{-2}$ 。

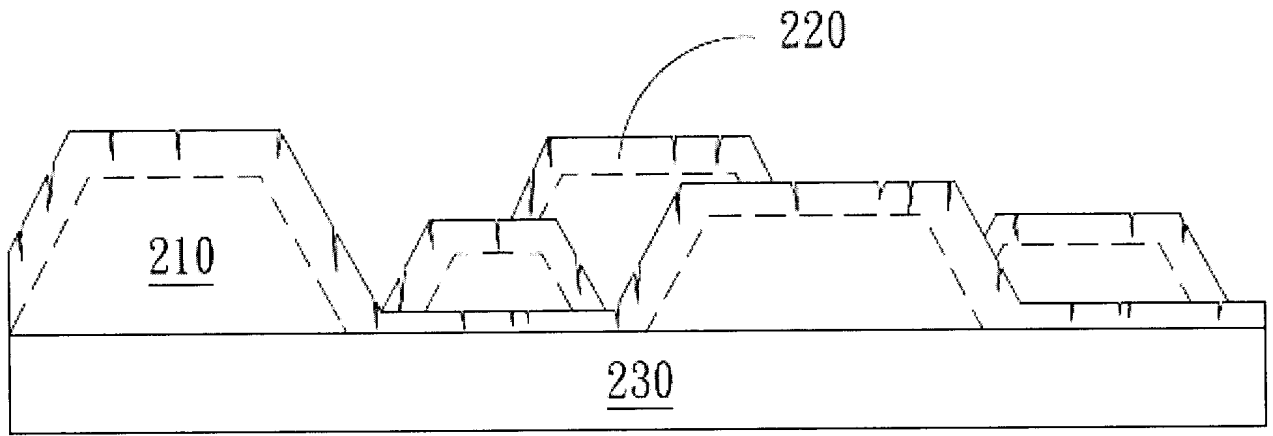
十一、圖式：



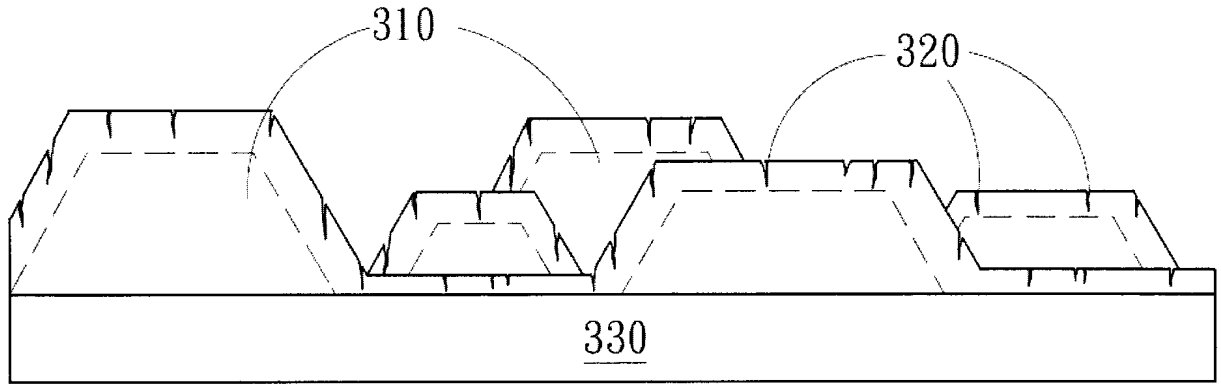
第一 A 圖



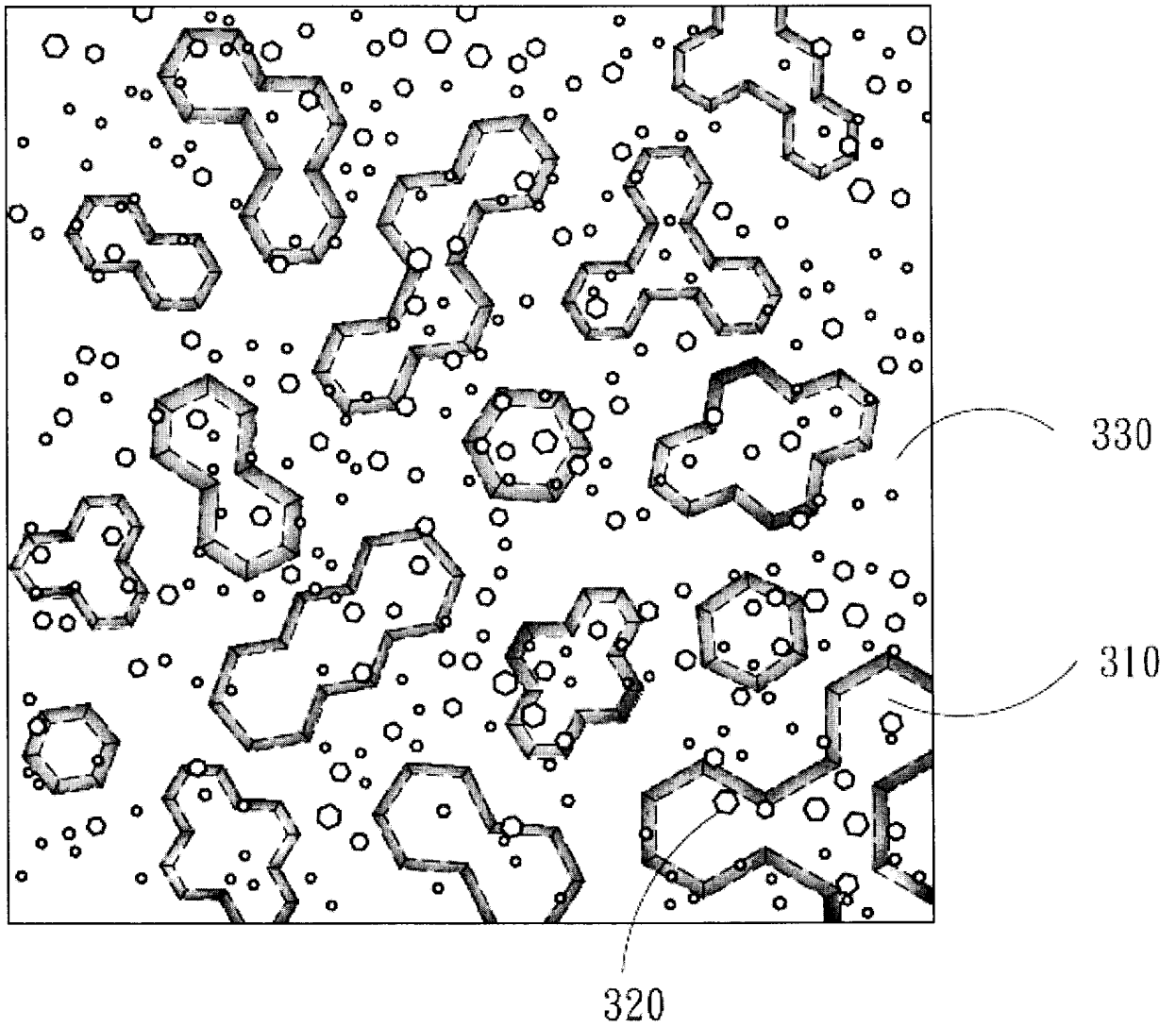
第一 B 圖



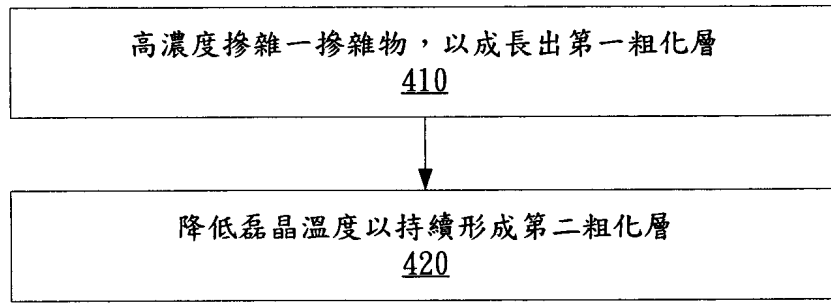
第二圖



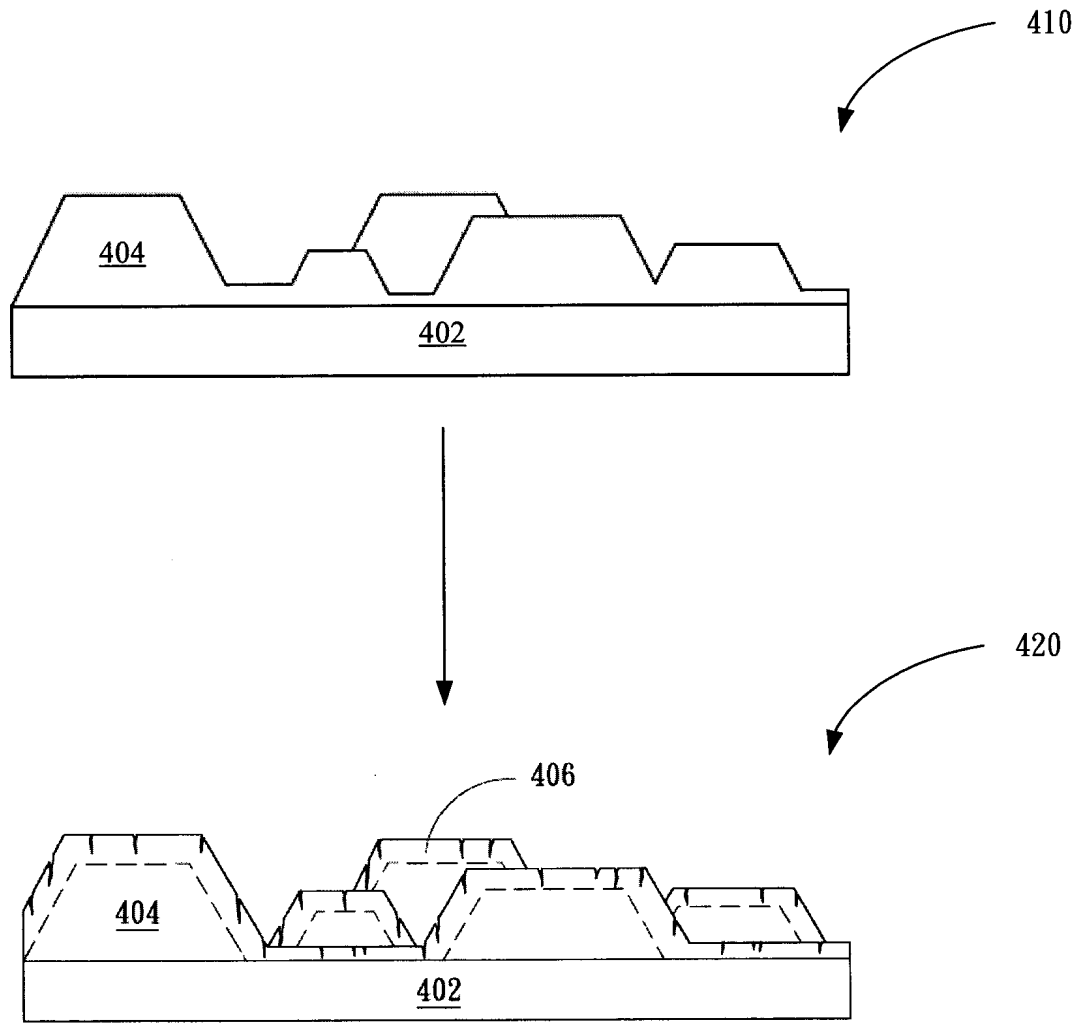
第三A圖



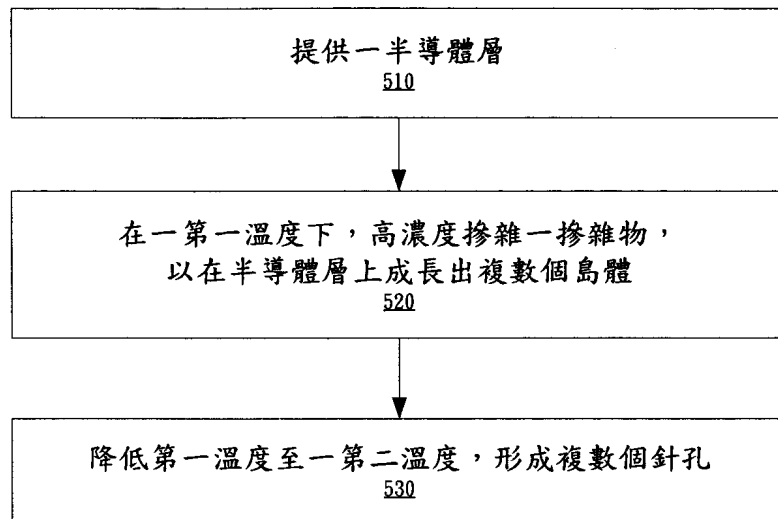
第三B圖



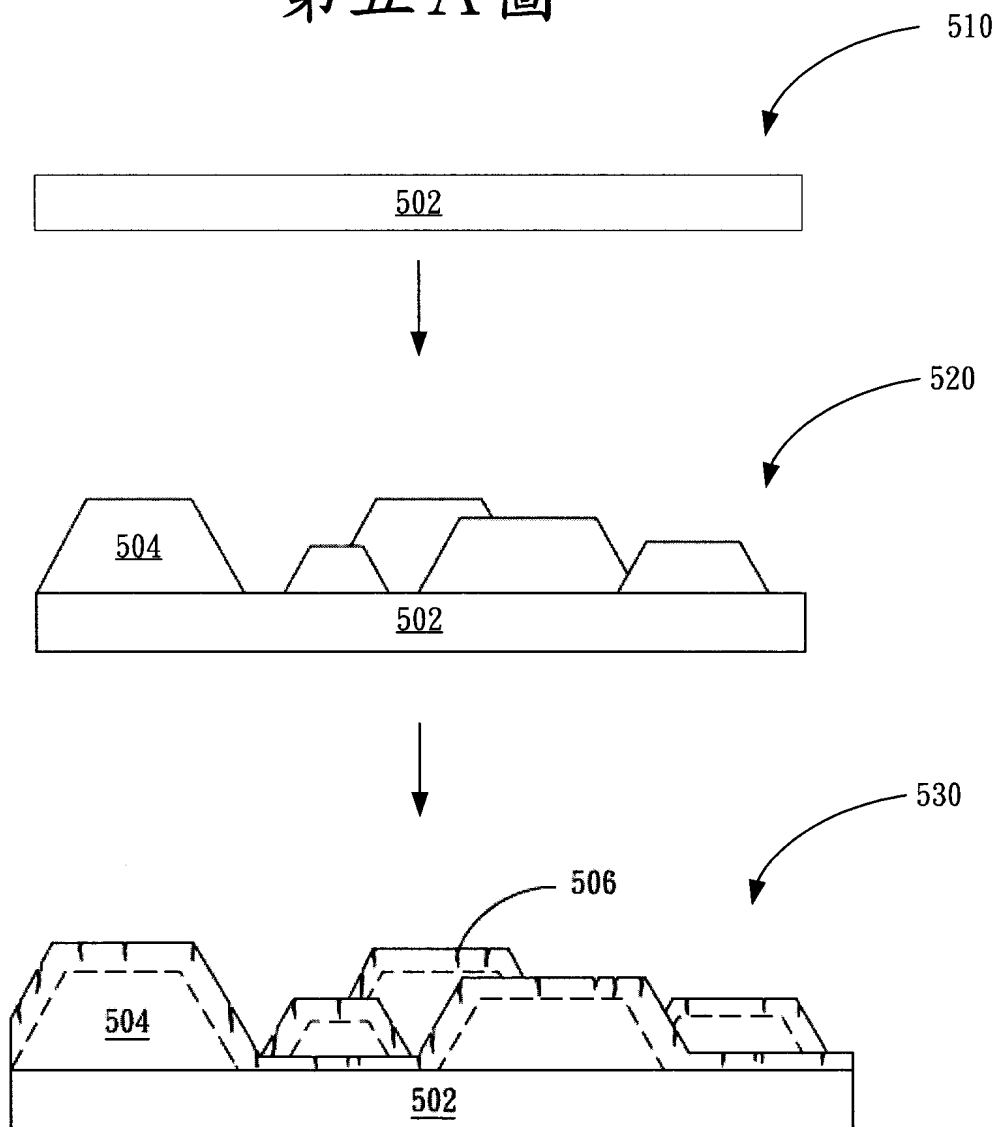
第四 A 圖



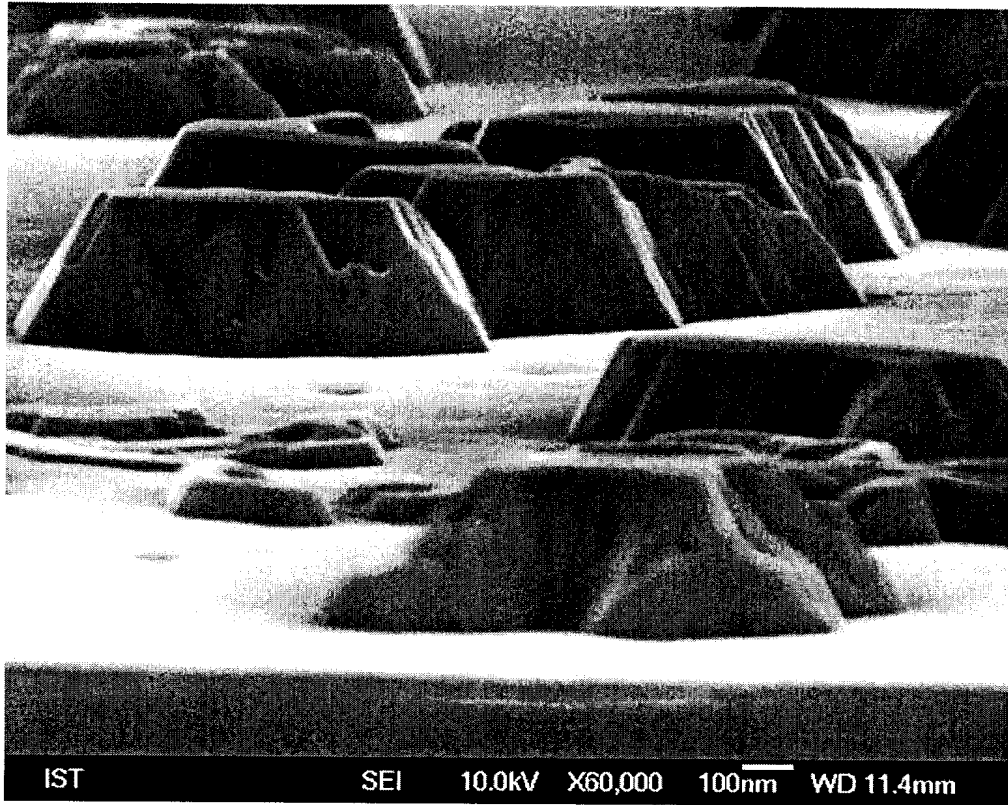
第四 B 圖



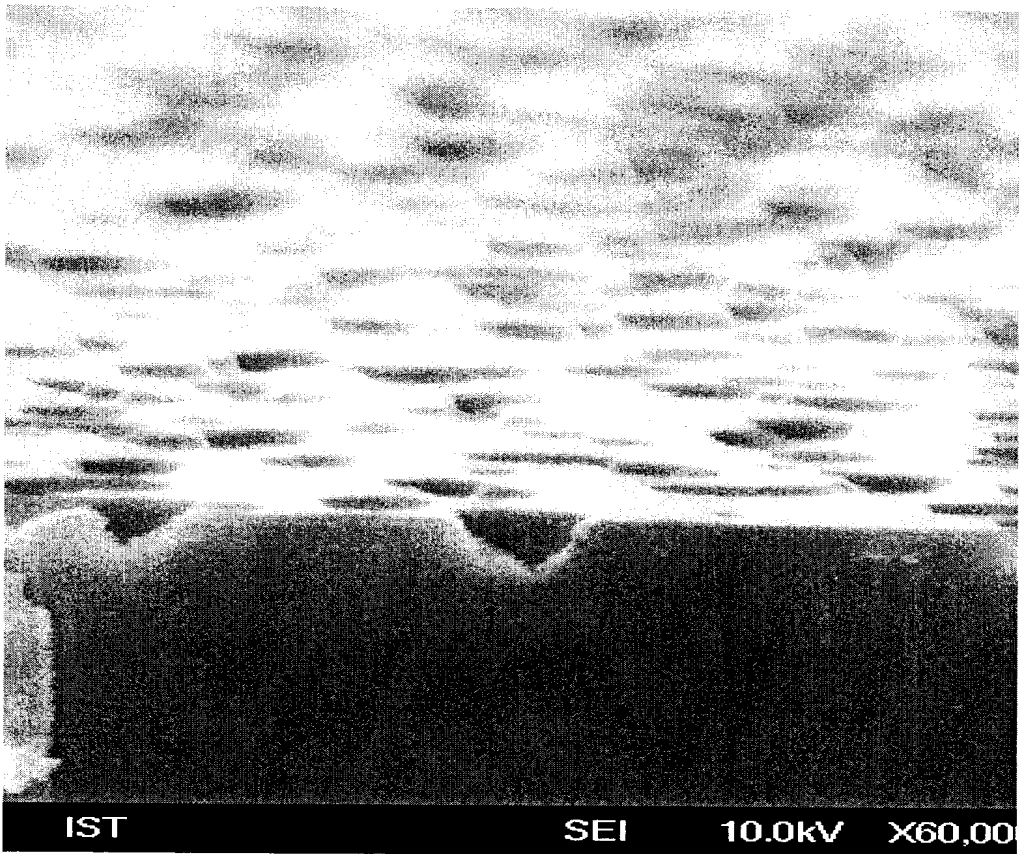
第五 A 圖



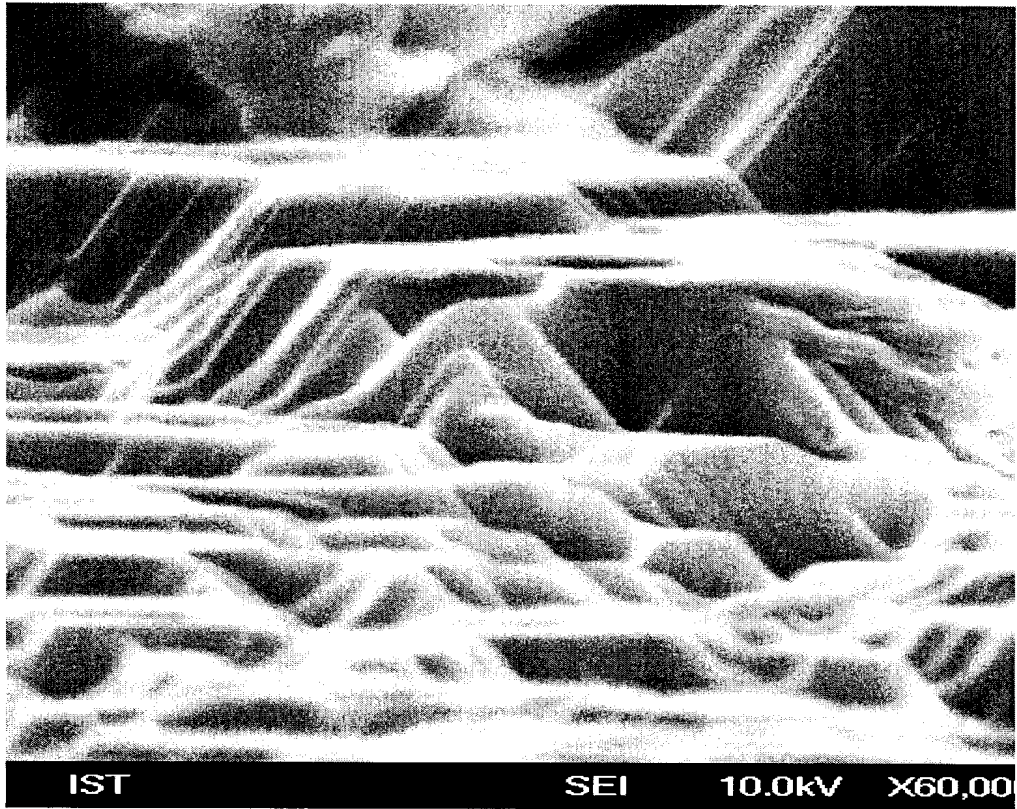
第五 B 圖



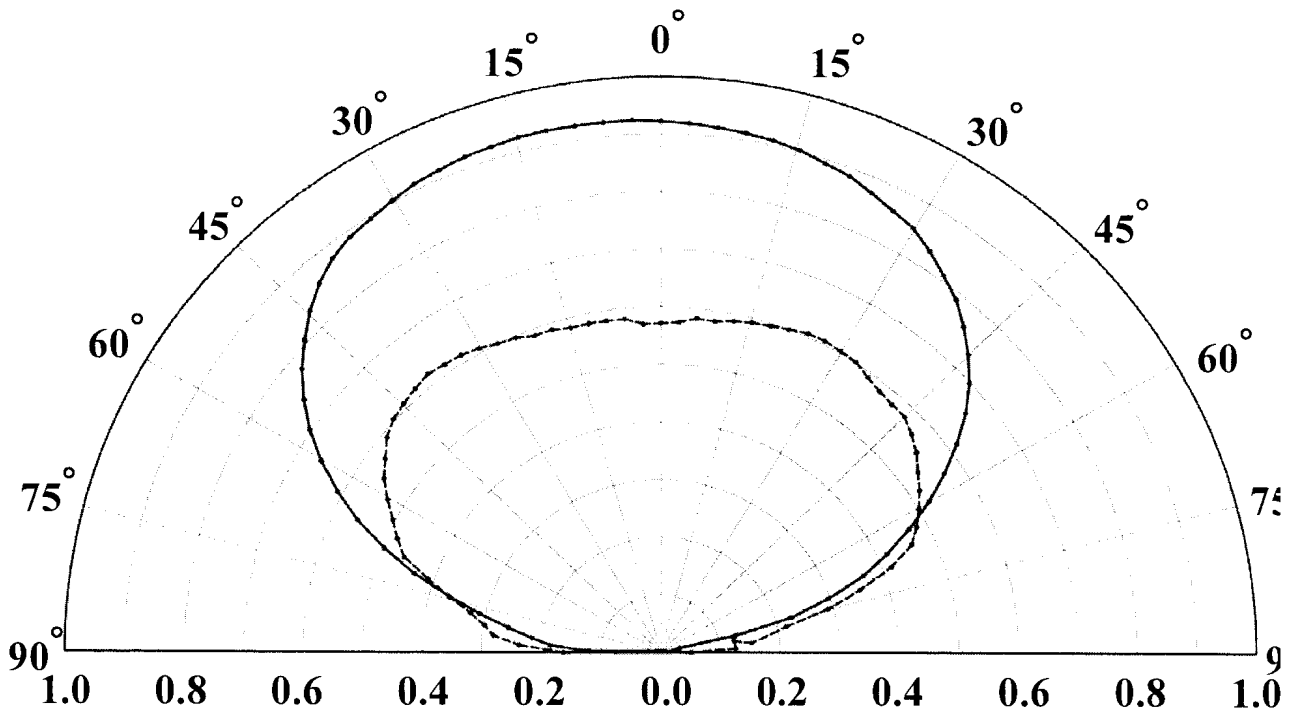
第六A圖



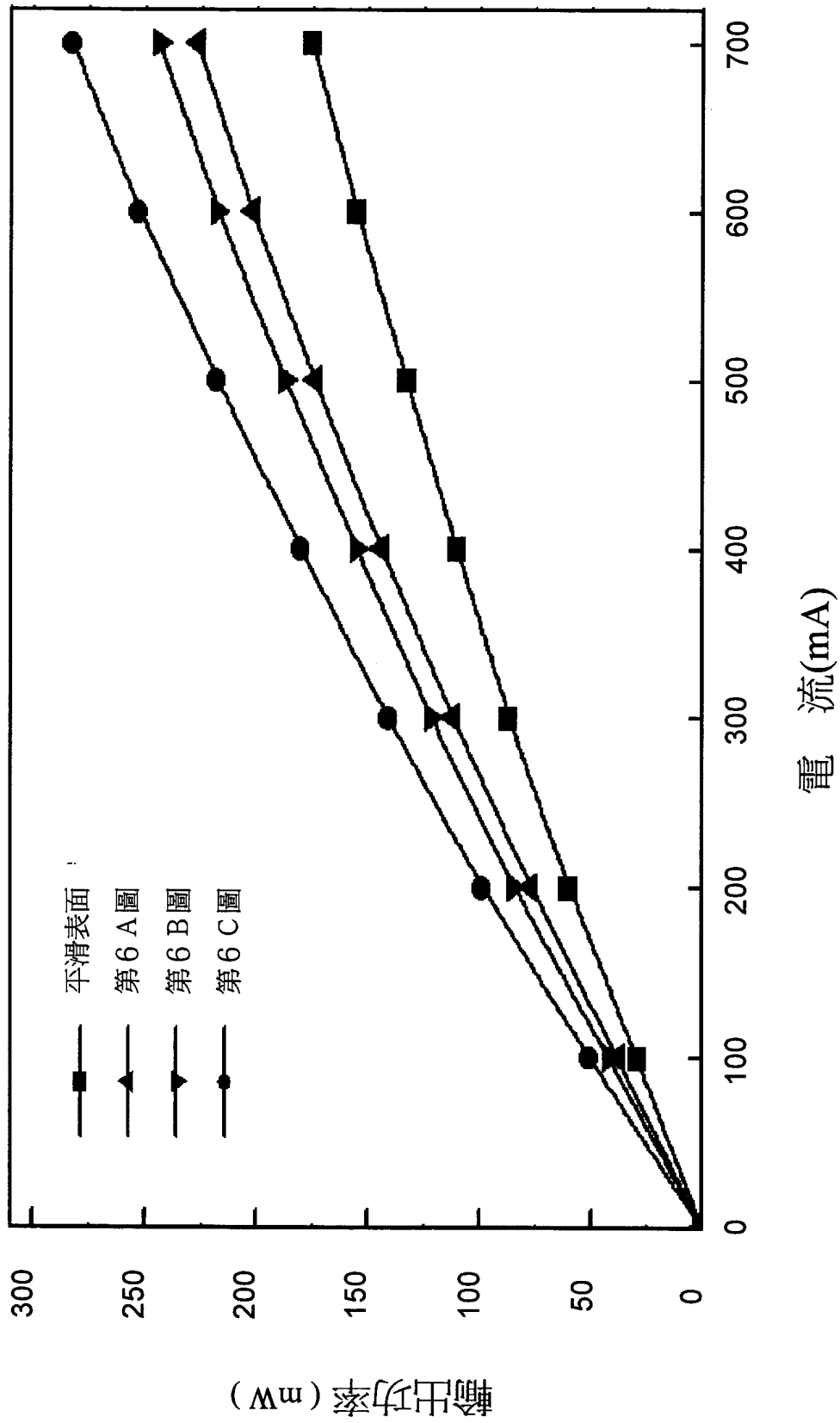
第六B圖



第六C圖



第七圖



第八圖

七、指定代表圖：

(一)本案指定代表圖為：第（ 一 A ）圖。

(二)本代表圖之元件符號簡單說明：

110 複數個島體

112 頂部

114 側面

120 複數個針孔

130 半導體層

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：