



1. 一种移位寄存器,包括多级级联的移位寄存电路,其特征在于,每一级移位寄存电路,包括:

主输出端,用于输出驱动信号;

主输入模块,用于接收初始信号;

第一输出模块,连接于所述主输入模块和所述主输出端之间,用于根据第二时钟信号输出高电平驱动信号,所述主输入模块和所述第一输出模块之间的节点为第一节点;

第二输出模块,与所述主输出端连接,用于根据第一时钟信号输出低电平驱动信号;

还包括:

第一复位模块,用于根据复位信号输入端输入的第一复位信号,使所述第一节点和所述主输出端复位为低电平;

其中,所述第一复位模块包括:第一复位晶体管 M1,第二复位晶体管 M2;所述第一复位晶体管 M1 的栅极、所述第二复位晶体管 M2 的栅极均与所述复位信号输入端连接,所述第一复位晶体管 M1 的第一电极与所述第一节点连接,所述第二复位晶体管 M2 的第一电极与所述主输出端连接;所述第一复位晶体管 M1 的第二电极、所述第二复位晶体管 M2 的第二电极均与低电平信号输入端连接;

第二复位模块,连接于所述第一节点和所述第一复位模块之间,用于接收下一级移位寄存器电路输出的第二复位信号,使所述第一节点和所述主输出端复位为低电平。

2. 如权利要求 1 所述的移位寄存器,其特征在于,所述第一复位模块还包括:第三复位晶体管 M0;

所述第三复位晶体管 M0 的栅极、第一电极连接所述复位信号输入端,第二电极连接所述第一复位晶体管 M1 的栅极、所述第二复位晶体管 M2 的栅极。

3. 如权利要求 1 或 2 所述的移位寄存器,其特征在于,所述第二复位模块包括第四复位晶体管 M7;

所述第四复位晶体管 M7 的栅极与下一级移位寄存器电路的主输出端连接,第一电极与所述第一复位晶体管 M1 的第一电极连接,第二电极与低电平控制信号输入端连接。

4. 如权利要求 1 或 2 所述的移位寄存器,其特征在于,所述主输入模块包括开关晶体管 M3;

所述开关晶体管 M3 的栅极与初始信号输入端连接,第一电极与高电平控制信号输入端连接,第二电极与所述第一节点连接。

5. 如权利要求 1 或 2 所述的移位寄存器,其特征在于,所述第一输出模块包括第一电容 C1 和上拉晶体管 M4;

其中,所述第一电容 C1 连接于所述第一节点和所述主输出端之间,所述上拉晶体管 M4 的栅极与所述第一节点连接,第一电极与第二时钟信号输入端连接,第二电极与所述主输出端连接。

6. 如权利要求 1 或 2 所述的移位寄存器,其特征在于,所述第二输出模块包括晶体管 M5;

所述晶体管 M5 的栅极与第一时钟信号输入端连接,第一电极与所述主输出端连接,第二电极与低电平信号输入端连接。

7. 如权利要求 1 或 2 所述的移位寄存器,其特征在于,在所述第一节点和所述第一输出

模块之间还接入有下拉模块；所述下拉模块包括：下拉晶体管 M6 和第二电容 C2；

其中，所述下拉晶体管 M6 的栅极与所述第一节点连接，第一电极与所述第二电容 C2 的第一端连接，第二电极与低电平信号输入端连接，所述第二电容 C2 的第二端与所述第一输出模块的第二时钟信号输入端连接。

8. 一种应用于如权利要求 1-7 任一项所述的移位寄存器的每一级移位寄存电路的驱动方法，其特征在于，所述每一级移位寄存电路包括第一复位阶段；

在第一复位阶段，在所述复位信号输入端输入第一复位信号，致使所述第一复位模块的第一复位晶体管 M1、第二复位晶体管 M2 导通，所述第一节点以及所述主输出端的电压复位为低电平。

9. 如权利要求 8 所述的驱动方法，其特征在于，

在第一复位阶段，在所述复位信号输入端输入第一复位信号，致使所述第一复位模块的第三复位晶体管 M0、第一复位晶体管 M1、第二复位晶体管 M2 导通，致使所述第一节点以及所述主输出端的电压复位为低电平。

10. 如权利要求 8 或 9 所述的驱动方法，其特征在于，所述每一级移位寄存电路还包括：电平信号生成阶段、低电平驱动信号输出阶段、高电平驱动信号输出阶段和第二复位阶段；

在电平信号生成阶段，在所述主输入端输入初始信号，致使所述第一节点为高电平，所述第一复位模块的第一复位晶体管 M1 和第二复位晶体管 M2 的栅极为低电平；

在低电平驱动信号输出阶段，在所述第一时钟信号输入端输入高电平的第一时钟信号，致使第二输出模块向所述主输出端输出低电平驱动信号；

在高电平驱动信号输出阶段，在所述第二时钟信号输入端输入高电平的第二时钟信号，致使第一输出模块向所述主输出端输出高电平驱动信号；

在第二复位阶段，所述第二复位模块接收下一级移位寄存器电路的主输出端输出的高电平第二复位信号，致使所述第一节点复位为低电平，所述第一复位模块的第一复位晶体管 M1 和第二复位晶体管 M2 的栅极输入高电平的第二时钟信号，致使所述主输出端复位为低电平。

## 一种移位寄存器及其驱动方法

### 技术领域

[0001] 本发明涉及液晶平板显示技术领域,尤其涉及一种移位寄存器及其驱动方法。

### 背景技术

[0002] 液晶显示器(LCD)一般由液晶显示面板及其外部的驱动装置组成,驱动装置用于为显示单元提供驱动信号。目前,集成在显示面板上的驱动装置可以使显示器的结构更紧凑,例如,集成在显示器面板上为显示面板的像素单元提供栅极驱动信号的非晶硅栅极驱动装置,因非晶硅薄膜晶体管技术相对比较成熟,均匀性好,成本较低,因此非晶硅栅极驱动装置被广泛应用于液晶显示器中。

[0003] 非晶硅驱动装置中的移位寄存器,包括多个移位寄存单元,每个移位寄存单元的移位寄存电路通常由多个薄膜晶体管组成,当薄膜晶体管处于长期导通的状态下容易使其阈值电压发生变化,称为阈值电压的漂移,该阈值电压的漂移的累积通常会使栅极驱动装置对显示单元的驱动产生异常,导致显示单元的异常显示。例如具有下拉电位作用的下拉晶体管,因为显示面板的行像素单元不被驱动时,该行像素单元的栅极驱动装置中的下拉晶体管要一直处于导通状态,长期处于导通状态下的薄膜晶体管的阈值电压漂移容易使栅极驱动装置的输出信号异常。

[0004] 综上,现有技术中存在着栅极驱动装置中的薄膜晶体管因阈值电压的漂移会对显示单元的驱动产生异常,导致显示单元的异常显示的问题。

### 发明内容

[0005] 本发明实施例提供一种移位寄存器及其驱动方法,用以解决现有技术中存在的栅极驱动装置中的薄膜晶体管因阈值电压的漂移会对显示单元的驱动产生异常,导致显示单元的异常显示的问题。

[0006] 本发明实施例提供一种移位寄存器,包括多级级联的移位寄存电路,每一级移位寄存电路,包括:

[0007] 主输出端,用于输出驱动信号;

[0008] 主输入模块,用于接收初始信号;

[0009] 第一输出模块,连接于所述主输入模块和所述主输出端之间,用于根据第二时钟信号输出高电平驱动信号,所述主输入模块和所述第一输出模块之间的节点为第一节点;

[0010] 第二输出模块,与所述主输出端连接,用于根据第一时钟信号输出低电平驱动信号;

[0011] 还包括:

[0012] 第一复位模块,用于根据复位信号输入端输入的第一复位信号,使所述第一节点和所述主输出端复位为低电平;

[0013] 其中,所述第一复位模块包括:第一复位晶体管 M1,第二复位晶体管 M2;所述第一复位晶体管 M1 的栅极、所述第二复位晶体管 M2 的栅极均与所述复位信号输入端连接,所述

第一复位晶体管 M1 的第一电极与所述第一节点连接,所述第二复位晶体管 M2 的第一电极与所述主输出端连接;所述第一复位晶体管 M1 的第二电极、所述第二复位晶体管 M2 的第二电极均与低电平信号输入端连接;

[0014] 第二复位模块,连接于所述第一节点和所述第一复位模块之间,用于接收下一级移位寄存器电路输出的第二复位信号,使所述第一节点和所述主输出端复位为低电平。

[0015] 上述实施例提供的一种移位寄存器,每一级移位寄存电路中第一复位模块包括的第一复位晶体管 M1 和第二复位晶体管 M2 能够实现在向每一级移位寄存电路的开关晶体管输入初始信号之前,将第一节点和主输出端的电压复位,使得每一级的移位寄存电路产生的栅极驱动信号不受薄膜晶体管的阈值电压的漂移的影响,保证移位寄存器的正常驱动和显示单元的正常显示,相对于现有技术,在没有增加薄膜晶体管的情况下,解决了现有技术中存在的栅极驱动装置中的薄膜晶体管因阈值电压的漂移会对显示单元的驱动产生异常,导致显示单元的异常显示的问题。此外,每一级移位寄存电路中第一复位模块包括的第一复位晶体管 M1 和第二复位晶体管 M2,还能够实现当下一级的移位寄存电路的输出端输出高电平驱动信号并向该移位寄存电路反馈的复位信号时,将第一节点和主输出端的电压复位,以使该级移位寄存电路不再向显示单元的栅极输出高电平驱动信号。

[0016] 进一步地,所述第一复位模块还包括:第三复位晶体管 M0;

[0017] 所述第三复位晶体管 M0 的栅极、第一电极连接所述复位信号输入端,第二电极连接所述第一复位晶体管 M1 的栅极、所述第二复位晶体管 M2 的栅极。该实施例在上述实施例的基础上增加了作为二极管使用的薄膜晶体管 M0,用于接收第一复位信号,并根据第一复位信号的高、低电平控制第一复位模块的正常启动和关闭。也就是说当第一复位信号为高电平,或者接收到高电平的第一复位信号时,薄膜晶体管 M0 作为二极管导通,使得第一复位晶体管 M1、第二复位晶体管 M2 导通,实现在向每一级移位寄存电路的开关晶体管输入初始信号之前,将第一节点和主输出端的电压复位,使得每一级的移位寄存电路产生的栅极驱动信号不受薄膜晶体管的阈值电压的漂移的影响,保证移位寄存器的正常驱动和显示单元的正常显示;第一复位信号为低电平,或者高电平的第一复位信号消失时,薄膜晶体管 M0 截止,使得第一复位晶体管 M1、第二复位晶体管 M2 截止,使得第一复位模块复位结束,以使向每一级移位寄存电路的开关晶体管开始接收输入初始信号,为显示单元产生并输出栅极驱动信号。

[0018] 进一步地,所述第二复位模块包括第四复位晶体管 M7;

[0019] 所述第四复位晶体管 M7 的栅极与下一级移位寄存器电路的主输出端连接,第一电极与所述第一复位晶体管 M1 的第一电极连接,第二电极与低电平控制信号输入端连接。

[0020] 进一步地,所述主输入模块包括开关晶体管 M3;

[0021] 所述开关晶体管 M3 的栅极与初始信号输入端连接,第一电极与高电平控制信号输入端连接,第二电极与所述第一节点连接。

[0022] 进一步地,所述第一输出模块包括第一电容 C1 和上拉晶体管 M4;

[0023] 其中,所述第一电容 C1 连接于所述第一节点和所述主输出端之间,所述上拉晶体管 M4 的栅极与所述第一节点连接,第一电极与第二时钟信号输入端连接,第二电极与所述主输出端连接。

[0024] 进一步地,所述第二输出模块包括晶体管 M5;

[0025] 所述晶体管 M5 的栅极与第一时钟信号输入端连接,第一电极与所述主输出端连接,第二电极与低电平信号输入端连接。

[0026] 进一步地,在所述第一节点和所述第一输出模块之间还接入有下拉模块;所述下拉模块包括:下拉晶体管 M6 和第二电容 C2;

[0027] 其中,所述下拉晶体管 M6 的栅极与所述第一节点连接,第一电极与所述第二电容 C2 的第一端连接,第二电极与低电平信号输入端连接,所述第二电容 C2 的第二端与所述第一输出模块的第二时钟信号输入端连接。

[0028] 基于上述实施例提供的一种移位寄存器,本发明实施例提供了一种移位寄存器的每一级移位寄存电路的驱动方法,该方法包括:

[0029] 所述每一级移位寄存电路包括第一复位阶段;

[0030] 在第一复位阶段,在所述复位信号输入端输入第一复位信号,致使所述第一复位模块的第一复位晶体管 M1、第二复位晶体管 M2 导通,所述第一节点以及所述主输出端的电压复位为低电平。

[0031] 上述实施例中,在第一复位阶段,在复位信号输入端输入的高电平的第一复位信号,触发第一复位模块的正常启动,使第一复位晶体管 M1 和第二复位晶体管 M2 导通后实现在向每一级移位寄存电路的开关晶体管输入初始信号之前,将第一节点和主输出端的电压复位,使得每一级的移位寄存电路产生的栅极驱动信号不受薄膜晶体管的阈值电压的漂移的影响,保证移位寄存器的正常驱动和显示单元的正常显示。相对于现有技术,在没有增加薄膜晶体管的情况下,解决了现有技术中存在的栅极驱动装置中的薄膜晶体管因阈值电压的漂移会对显示单元的驱动产生异常,导致显示单元的异常显示的问题。

[0032] 进一步地,在第一复位阶段,在所述复位信号输入端输入第一复位信号,致使所述第一复位模块的第三复位晶体管 M0、第一复位晶体管 M1、第二复位晶体管 M2 导通,致使所述第一节点以及所述主输出端的电压复位为低电平。

[0033] 上述实施例中,在第一复位阶段,在复位信号输入端输入的高电平的第一复位信号,使作为二极管使用的薄膜晶体管 M0 导通,触发第一复位模块的正常启动,使第一复位晶体管 M1 和第二复位晶体管 M2 导通后实现在向每一级移位寄存电路的开关晶体管输入初始信号之前,将第一节点和主输出端的电压复位,使得每一级的移位寄存电路产生的栅极驱动信号不受薄膜晶体管的阈值电压的漂移的影响,保证移位寄存器的正常驱动和显示单元的正常显示。

[0034] 进一步地,所述每一级移位寄存电路还包括:电平信号生成阶段、低电平驱动信号输出阶段、高电平驱动信号输出阶段、第二复位阶段;

[0035] 在电平信号生成阶段,在所述主输入端输入初始信号,致使所述第一节点为高电平,所述第一复位模块的第一复位晶体管 M1 和第二复位晶体管 M2 的栅极为低电平;

[0036] 在低电平驱动信号输出阶段,在所述第一时钟信号输入端输入高电平的第一时钟信号,致使第二输出模块向所述主输出端输出低电平驱动信号;

[0037] 在高电平驱动信号输出阶段,在所述第二时钟信号输入端输入高电平的第二时钟信号,致使第一输出模块向所述主输出端输出高电平驱动信号;

[0038] 在第二复位阶段,所述第二复位模块接收下一级移位寄存器电路的主输出端输出的高电平第二复位信号,致使所述第一节点复位为低电平,所述第一复位模块的第一复位

晶体管 M1 和第二复位晶体管 M2 的栅极输入高电平的第二时钟信号,致使所述主输出端复位为低电平。上述实施例中,在第二复位阶段,第二复位模块接收下一级移位寄存器电路的主输出端输出的高电平第二复位信号,触发第二复位模块启动,使每一级移位寄存电路中第一复位模块包括的第一复位晶体管 M1 和第二复位晶体管 M2,实现当下一级的移位寄存电路的输出端输出高电平驱动信号并向该移位寄存电路反馈的复位信号时,将第一节点和主输出端的电压复位,以使该级移位寄存电路不再向显示单元的栅极输出高电平驱动信号。

## 附图说明

[0039] 为了更清楚地说明本发明实施例中的技术方案,下面将对实施例描述中所需要使用的附图作简要介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域的普通技术人员来讲,在不付出创造性劳动性的前提下,还可以根据这些附图获得其他的附图。

[0040] 图 1 为本发明实施例提供的一种移位寄存电路的电路图;

[0041] 图 2 为本发明实施例提供的一种移位寄存器的每一级移位寄存电路的电路图;

[0042] 图 3 为本发明实施例提供的一种移位寄存器的每一级移位寄存电路的电路图;

[0043] 图 4 为本发明实施例提供的一种移位寄存器的结构示意图;

[0044] 图 5 为本发明实施例提供的一种移位寄存器工作时序图。

## 具体实施方式

[0045] 为了使本发明的目的、技术方案和优点更加清楚,下面将结合附图对本发明作进一步地详细描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明实施例的设计构思,本领域普通技术人员在没有做出创造性劳动前提下通过对薄膜晶体管的类型进行替换等方式所获得的所有其它实施例也应落入本发明的保护范围之内。

[0046] 为了解决现有技术中存在的栅极驱动装置中的薄膜晶体管因阈值电压的漂移会对显示单元的驱动产生异常,导致显示单元的异常显示的问题,发明人提出,通过在每个移位寄存单元中包含多个薄膜晶体管作为复位模块,实现在移位寄存单元产生驱动信号之前将薄膜晶体管输出端以及薄膜晶体管的栅极电位重新置位,以使栅极驱动装置向显示单元输出的驱动信号不受薄膜晶体管阈值电压的漂移的影响,具体参见实施例 1。

[0047] 实施例 1

[0048] 如图 1 所示的一种移位寄存电路的电路图,其包括 9 个薄膜晶体管,2 个电容 C1 和 C2,其中,复位模块包括两个薄膜晶体管 M1 和 M2,开关薄膜晶体管 M3,用于输出驱动信号的薄膜晶体管 M4 和 M5,用于下拉电位的薄膜晶体管 M6, M7, M8, M9。其中第一节点为 P,第二节点为 Q, Gout 为主输出,主输入端 STP,用于输入初始信号, Gn+1 为下一级移位寄存电路输出端反馈的信号的输入端, VGL 为低电平信号源,复位信号 Reset 输入端,第一时钟信号 CLK 输入端,第二时钟信号 CLKB 输入端,其中,第一时钟信号 CLK 和第二时钟信号 CLKB 反相。如图 1 所示的移位寄存电路产生驱动信号的驱动过程为:

[0049] 第一阶段,在 STP 端输入高电平的初始信号之前,输入高电平的 Reset 信号,薄膜

晶体管 M1 和 M2 导通,致使 P 点和主输出端 Gout 复位为低电平;

[0050] 第二阶段,在主输入端 STP 输入高电平的初始信号,致使 M3 导通、P 点为高电平、M4 导通,因 P 点为高电平,致使下拉薄膜晶体管 M6 导通, Q 点与低电平信号源连接,在第一半时钟周期内输入高电平的第一时钟信号 CLK 致使 Gout 输出低电平驱动信号,在第二半时钟周期内输入高电平的第二时钟信号 CLKB 使 Gout 输出高电平驱动信号;

[0051] 第三阶段,当 Gout 向显示单元输出一个时钟周期的驱动信号之后,  $G_{n+1}$  输入端输入高电平的反馈信号,致使薄膜晶体管 M7 导通, P 点与低电平信号源连接, P 点变为低电平,致使下拉薄膜晶体管 M6 截止, Q 点悬空(即不与低电平信号源 VGL 连接),高电平的第二时钟信号 CLKB 通过 C2 使 Q 点为高电平,薄膜晶体管 M8 和 M9 导通,致使 P 点和 Gout 点与低电平信号源 VGL 连接,使 Gout 主输出端在下一时钟周期不再向显示单元输出栅极驱动信号。

[0052] 综上,如图 1 所示的移位寄存电路,通过增加复位模块,在主输入端 STP 输入高电平的初始信号之前将 Gout 主输出端的电位置位为低电平,使栅极驱动装置向显示单元输出的驱动信号不受薄膜晶体管阈值电压的漂移的影响。但是如图 1 所示的移位寄存电路的复位模块由两个薄膜晶体管 M1 和 M2 组成,新增加的两个薄膜晶体管及其线框会占用较大的空间,不利于液晶显示器的窄边框和轻型化。

[0053] 为了得到更优的实施例,本发明在如图 1 所示的移位寄存电路的基础上,将上述方案进行改进和扩展,将如图 1 所示的移位寄存电路的薄膜晶体管 M1 和 M2 去掉,将复位信号 Reset 输入端接入在薄膜晶体管 M8 和 M9 之间,通过 Reset 复位信号控制薄膜晶体管 M8 和 M9 在主输入端 STP 输入高电平的初始信号之前将 Gout 主输出端的电位置位为低电平,使栅极驱动装置向显示单元输出的驱动信号不受薄膜晶体管阈值电压的漂移的影响,解决了现有技术中存在的栅极驱动装置中的薄膜晶体管因阈值电压的漂移会对显示单元的驱动产生异常,导致显示单元的异常显示的问题。

[0054] 本发明实施例将如图 1 所示的移位寄存电路的薄膜晶体管 M1 和 M2 去掉,节省了移位寄存器的占用空间,有利于液晶显示器的窄边框和轻型化。

[0055] 此外,本发明实施例的上述改进,使得薄膜晶体管 M8 和 M9 在第一阶段和第三阶段都发挥了下拉电位的作用,从而提高了薄膜晶体管 M8 和 M9 的利用率。

[0056] 下面结合附图对本发明实施例提供的一种移位寄存器,以及移位寄存器中的每一级移位寄存电路进行详细说明。

[0057] 实施例 2

[0058] 如图 2 所示的本发明实施例提供的一种移位寄存器,该移位寄存器包括多级级联的移位寄存电路,每一级移位寄存电路,包括:

[0059] 主输出端 Gout,用于输出驱动信号,包括高电平驱动信号和低电平驱动信号;

[0060] 主输入模块 201,用于接收初始信号 STP;

[0061] 第一输出模块 202,连接于所述主输入模块 201 和所述主输出端 Gout 之间,用于根据第二时钟信号输出高电平驱动信号,所述主输入模块 201 和所述第一输出模块 202 之间的节点为第一节点 P 点;

[0062] 第二输出模块 203,与所述主输出端 Gout 连接,用于根据第一时钟信号输出低电平驱动信号;

[0063] 还包括:第一复位模块 204,用于根据复位信号输入端输入的第一复位信号

RESET,使所述第一节点 P 和所述主输出端 Gout 复位为低电平;其中,所述第一复位模块 204 包括:第一复位晶体管 M1,第二复位晶体管 M2;所述第一复位晶体管 M1 的栅极、所述第二复位晶体管 M2 的栅极均与所述复位信号输入端连接,所述第一复位晶体管 M1 的第一电极与所述第一节点连接,所述第二复位晶体管 M2 的第一电极与所述主输出端 Gout 连接;所述第一复位晶体管 M1 的第二电极、所述第二复位晶体管 M2 的第二电极均与低电平信号 VGL 输入端连接;

[0064] 第二复位模块 205,连接于所述第一节点 P 和所述第一复位模块 204 之间,用于接收下一级移位寄存器电路输出的第二复位信号  $G_{n+1}$ ,使所述第一节点 P 和所述主输出端 Gout 复位为低电平。

[0065] 上述实施例中,第一时钟信号为高电平的 CKL 时钟信号,第二时钟信号为高电平的 CKB 时钟信号,第二时钟信号为第一时钟信号的反相时钟信号,第一时钟信号与第二时钟信号的周期均为半个时钟周期。

[0066] 较佳的,在如图 2 所示的电路中,所述主输入模块 201 包括开关晶体管 M3;所述开关晶体管 M3 的栅极与初始信号输入端连接,第一电极与高电平控制信号 DIR1 输入端连接,第二电极与所述第一节点 P 连接。

[0067] 所述第一输出模块 202 包括第一电容 C1 和上拉晶体管 M4;其中,所述第一电容 C1 连接于所述第一节点 P 和所述主输出端 Gout 之间,所述上拉晶体管 M4 的栅极与所述第一节点 P 连接,第一电极与第二时钟信号输入端连接,第二电极与所述主输出端 Gout 连接。

[0068] 所述第二输出模块 203 包括晶体管 M5;所述晶体管 M5 的栅极与第一时钟信号输入端连接,第一电极与所述主输出端 Gout 连接,第二电极与低电平信号 VGL 输入端连接。

[0069] 所述第二复位模块 205 包括第四复位晶体管 M7;所述第四复位晶体管 M7 的栅极与下一级移位寄存器电路的主输出端 Gout 连接,第一电极与所述第一复位晶体管 M1 的第一电极连接,第二电极与低电平控制信号 DIR2 输入端连接。

[0070] 在所述第一节点 P 和所述第一输出模块 202 之间还接入有下拉模块 206;所述下拉模块 206 包括:下拉晶体管 M6 和第二电容 C2;其中,所述下拉晶体管 M6 的栅极与所述第一节点 P 连接,第一电极与所述第二电容 C2 的第一端连接,第二电极与低电平信号 VGL 输入端连接,所述第二电容 C2 的第二端与所述第一输出模块 202 的第二时钟信号输入端连接。

[0071] 上述实施例提供了一种移位寄存器,每一级移位寄存电路中第一复位模块包括的第一复位晶体管 M1 和第二复位晶体管 M2 能够实现在向每一级移位寄存电路的开关晶体管输入初始信号之前,将第一节点和主输出端的电压复位,使得每一级的移位寄存电路产生的栅极驱动信号不受薄膜晶体管的阈值电压的漂移的影响,保证移位寄存器的正常驱动和显示单元的正常显示,相对于现有技术,在没有增加薄膜晶体管的情况下,解决了现有技术中存在的栅极驱动装置中的薄膜晶体管因阈值电压的漂移会对显示单元的驱动产生异常,导致显示单元的异常显示的问题。此外,每一级移位寄存电路中第一复位模块包括的第一复位晶体管 M1 和第二复位晶体管 M2,还能够实现当下一级的移位寄存电路的输出端输出高电平驱动信号并向该移位寄存电路反馈的复位信号时,将第一节点和主输出端的电压复位,以使该级移位寄存电路不再向显示单元的栅极输出高电平驱动信号。

[0072] 实施例 3

[0073] 如图 3 所示的一种本发明实施例提供的一种移位寄存器,该移位寄存器包括多级级联的移位寄存电路,每一级移位寄存电路是在如图 2 所示的移位寄存电路的基础上,在第一复位模块中增加了一个薄膜晶体管 M0,如图 3 所示,该移位寄存电路包括:主输出端 Gout,用于输出驱动信号,包括高电平驱动信号和低电平驱动信号;

[0074] 主输入模块 201,用于接收初始信号 STP;

[0075] 第一输出模块 202,连接于所述主输入模块 201 和所述主输出端 Gout 之间,用于根据第二时钟信号输出高电平驱动信号,所述主输入模块 201 和所述第一输出模块 202 之间的节点为第一节点 P 点;

[0076] 第二输出模块 203,与所述主输出端 Gout 连接,用于根据第一时钟信号输出低电平驱动信号;

[0077] 第一复位模块 204,用于根据复位信号输入端输入的第一复位信号 RESET,使所述第一节点 P 和所述主输出端 Gout 复位为低电平;其中,所述第一复位模块 204 包括:第一复位晶体管 M1,第二复位晶体管 M2,第三复位晶体管 M0;所述第三复位晶体管 M0 的栅极、第一电极连接所述复位信号 RESET 输入端,第二电极连接所述第一复位晶体管 M1 的栅极、所述第二复位晶体管 M2 的栅极;所述第一复位晶体管 M1 的第一电极与所述第一节点 P 连接,所述第二复位晶体管 M2 的第一电极与所述主输出端 Gout 连接;所述第一复位晶体管 M1 的第二电极、所述第二复位晶体管 M2 的第二电极均与低电平信号 VGL 输入端连接;

[0078] 第二复位模块 205,连接于所述第一节点 P 和所述第一复位模块 204 之间,用于接收下一级移位寄存器电路输出的第二复位信号  $G_{n+1}$ ,使所述第一节点 P 和所述主输出端 Gout 复位为低电平。

[0079] 上述实施例中,第一时钟信号为高电平的 CKL 时钟信号,第二时钟信号为高电平的 CKB 时钟信号,第二时钟信号为第一时钟信号的反相时钟信号,第一时钟信号与第二时钟信号的周期均为半个时钟周期。

[0080] 较佳的,在如图 3 所示的电路中,所述主输入模块 201 包括开关晶体管 M3;所述开关晶体管 M3 的栅极与初始信号 STP 输入端连接,第一电极与高电平控制信号 DIR1 输入端连接,第二电极与所述第一节点 P 连接。

[0081] 所述第一输出模块 202 包括第一电容 C1 和上拉晶体管 M4;其中,所述第一电容 C1 连接于所述第一节点 P 和所述主输出端 Gout 之间,所述上拉晶体管 M4 的栅极与所述第一节点 P 连接,第一电极与第二时钟信号输入端连接,第二电极与所述主输出端 Gout 连接。

[0082] 所述第二输出模块 203 包括晶体管 M5;所述晶体管 M5 的栅极与第一时钟信号输入端连接,第一电极与所述主输出端 Gout 连接,第二电极与低电平信号 VGL 输入端连接。

[0083] 所述第二复位模块 205 包括第四复位晶体管 M7;所述第四复位晶体管 M7 的栅极与下一级移位寄存器电路的主输出端 Gout 连接,第一电极与所述第一复位晶体管 M1 的第一电极连接,第二电极与低电平控制信号 DIR2 输入端连接。

[0084] 在所述第一节点 P 和所述第一输出模块 202 之间还接入有下拉模块 206;所述下拉模块 206 包括:下拉晶体管 M6 和第二电容 C2;其中,所述下拉晶体管 M6 的栅极与所述第一节点 P 连接,第一电极与所述第二电容 C2 的第一端连接,第二电极与低电平信号 VGL 输入端连接,所述第二电容 C2 的第二端与所述第一输出模块 202 的第二时钟信号输入端连接。

[0085] 该实施例在上述实施例的基础上增加了作为二极管使用的薄膜晶体管 M0,用于接收第一复位信号,并根据第一复位信号的高、低电平控制第一复位模块的正常启动和关闭。也就是说当第一复位信号为高电平,或者接收到高电平的第一复位信号时,薄膜晶体管 M0 作为二极管导通,使得第一复位晶体管 M1、第二复位晶体管 M2 导通,实现在向每一级移位寄存电路的开关晶体管输入初始信号之前,将第一节点和主输出端的电压复位,使得每一级的移位寄存电路产生的栅极驱动信号不受薄膜晶体管的阈值电压的漂移的影响,保证移位寄存器的正常驱动和显示单元的正常显示;第一复位信号为低电平,或者高电平的第一复位信号消失时,薄膜晶体管 M0 截止,使得第一复位晶体管 M1、第二复位晶体管 M2 截止,使得第一复位模块复位结束,以使向每一级移位寄存电路的开关晶体管开始接收输入初始信号,为显示单元产生并输出栅极驱动信号。

#### [0086] 实施例 4

[0087] 基于实施例 2 和实施例 3,本发明实施例提供了一种移位寄存器的结构,如图 4 所示。

[0088] 移位寄存器包括多级级联的移位寄存电路,每一级移位寄存电路产生栅极驱动信号来控制显示单元的显示,相当于一级移位寄存电路的主输出端输出的驱动信号控制显示单元一行像素单元的栅极的开启。在图 4 所示的移位寄存器 401 中,第一级移位寄存电路的主输入端 IN(开关晶体管 M3 的栅极)接收初始信号 STP,第 n+1 级移位寄存电路的主输入端 IN 与第 n 级移位寄存电路的主输出端 Gout 连接,使得每一级移位寄存电路的输出信号控制其下一级移位寄存电路的主输入模块的开启,例如,第 2 级移位寄存电路的主输入端 IN 与第 1 级移位寄存电路的主输出端 Gout 连接,使第 1 级移位寄存电路的输出信号 Gout(1) 控制第 2 级移位寄存电路的主输入模块的开启。第 n+1 级移位寄存电路的主输出端 Gout 与第 n 级移位寄存电路的第二复位信号输入端 Gn+1 连接,使得每一级移位寄存电路的输出信号控制其上一级移位寄存电路的第二复位模块的开启,例如,第 2 级移位寄存电路的主输出端 Gout 与第 1 级移位寄存电路的第二复位信号输入端 G2 连接,使得第 2 级移位寄存电路的输出信号控制第 1 级移位寄存电路的第二复位模块的开启;最后一级移位寄存电路的第二复位信号输入端与“END”信号源连接,用于接收“END”信号,控制最后一级移位寄存电路的第二复位模块的开启。其中,n 为大于等于 1 的正整数。

[0089] 此外,本发明实施例的移位寄存器还应包括奇数级的移位寄存电路和偶数级的移位寄存电路,为了便于理解,图 4 中只给出了移位寄存器结构的简图,移位寄存器的结构细节根据器件的具体细节决定。每一级移位寄存电路除了与第一时钟信号 CKL、第二时钟信号 CLKB 连接之外,还应与低电平 VGL 信号源、高电平 DIR1 控制信号源、低电平控 DIR2 制信号源、第一复位 RESET 信号源连接,图 4 中省略上述信号的连接。

#### [0090] 实施例 5

[0091] 基于上述实施例 2 提供的一种移位寄存器,以及如图 5 所示的一种移位寄存器工作时序图,本发明实施例提供了一种移位寄存器的每一级移位寄存电路的驱动方法,该方法包括:

[0092] 第一复位阶段,电平信号生成阶段、低电平驱动信号输出阶段、高电平驱动信号输出阶段、第二复位阶段;

[0093] 在第一复位阶段,在所述复位信号输入端输入第一复位信号 RESET,致使所述第一

复位模块 204 的第一复位晶体管 M1、第二复位晶体管 M2 导通,所述第一节点 P 以及所述主输出端 Gout 的电压复位为低电平,即第一节点 P 以及所述主输出端 Gout 均与低电平 VGL 信号源连接。其中,若第一复位晶体管 M1、第二复位晶体管 M2 为 N 型 MOS 管,则第一复位阶段输入的所述第一复位信号号 RESET 为高电平。本实施例以所有薄膜晶体管均为 N 型 MOS 管为例,对以下各个驱动阶段进行说明。

[0094] 在电平信号生成阶段,在所述主输入端输入初始信号,致使所述第一节点 P 为高电平,所述第一复位模块的第一复位晶体管 M1 和第二复位晶体管 M2 的栅极为低电平;其中,若移位寄存电路为第一级移位寄存电路,则初始信号 STP 为初始触发信号,若移位寄存电路为第二级或第二级以后的移位寄存电路,则初始信号为上一级移位寄存电路输出端输出的高电平信号。

[0095] 具体的,在电平信号生成阶段,因高电平初始信号的输入,使第一节点 P 为高电平,致使开关晶体管 M3 导通,高电平控制信号输入端输入的高电平控制信号 DIR1,致使所述开关晶体管 M3 的第一电极为高电平、所述上拉晶体管 M4 导通、所述下拉晶体管 M6 导通,所述下拉晶体管 M6 的导通致使所述第一复位模块的第一复位晶体管 M1 和第二复位晶体管 M2 的栅极为低电平,即第一复位晶体管 M1 和第二复位晶体管 M2 都与低电平 VGL 信号源连接。

[0096] 在低电平驱动信号输出阶段,在所述第一时钟信号输入端输入高电平的第一时钟信号 CLK,致使第二输出模块 203 向所述主输出端 Gout 输出低电平驱动信号;

[0097] 具体的,在所述第一时钟信号输入端输入高电平的第一时钟信号 CLK,在所述第二时钟信号输入端输入低电平的第一时钟信号 CLKB,致使所述第二输出模块 203 的晶体管 M5 导通、使所述主输出端 Gout 输出低电平的栅极驱动信号,即主输出端 Gout 与低电平 VGL 信号源连接。

[0098] 在高电平驱动信号输出阶段,在所述第二时钟信号输入端输入高电平的第二时钟信号 CLKB,致使第一输出模块 201 向所述主输出端 Gout 输出高电平驱动信号;

[0099] 具体的,在所述第一时钟信号输入端输入低电平的第一时钟信号 CLK,致使第二输出模块 203 的晶体管 M5 截止,在所述第二时钟信号输入端输入高电平的第二时钟信号 CLKB,致使所述主输出端 Gout 输出高电平的栅极驱动信号。

[0100] 在第二复位阶段,所述第二复位模块 205 接收下一级移位寄存器电路的主输出端输出的高电平第二复位信号  $G_{n+1}$ ,致使所述第一节点 P 复位为低电平,所述第一复位模块 204 的第一复位晶体管 M1 和第二复位晶体管 M2 的栅极输入高电平的第二时钟信号 CLKB,致使所述主输出端 Gout 复位为低电平;

[0101] 具体的,所述第二复位模块 205 的第四复位晶体管 M7 的栅极接收下一级移位寄存器电路的主输出端输出的高电平第二复位信号  $G_{n+1}$ ,致使第四复位晶体管 M7 导通,第四复位晶体管 M7 的导通使低电平控制信号输入端输入的低电平控制信号 DIR2 与第一节点 P 连接,使第一节点 P 复位为低电平,致使所述下拉晶体管 M6 截止,高电平的第二时钟信号 CLKB 经所述第二电容 C2 传输至第一复位模块 204 的第一复位晶体管 M1 和第二复位晶体管 M2 的栅极,辅助复位模块,使第一复位晶体管 M1 和第二复位晶体管 M2 导通,第一复位晶体管 M1 和第二复位晶体管 M2 的导通致使 Gout 复位为低电平,即主输出端 Gout 与低电平 VGL 信号源连接。

[0102] 上述实施例中,在第一复位阶段,在复位信号输入端输入的高电平的第一复位信号,触发第一复位模块的正常启动,使第一复位晶体管 M1 和第二复位晶体管 M2 导通后实现在向每一级移位寄存电路的开关晶体管输入初始信号之前,将第一节点和主输出端的电压复位,使得每一级的移位寄存电路产生的栅极驱动信号不受薄膜晶体管的阈值电压的漂移的影响,保证移位寄存器的正常驱动和显示单元的正常显示。相对于现有技术,在没有增加薄膜晶体管的情况下,解决了现有技术中存在的栅极驱动装置中的薄膜晶体管因阈值电压的漂移会对显示单元的驱动产生异常,导致显示单元的异常显示的问题。

[0103] 上述实施例中,在第二复位阶段,第二复位模块接收下一级移位寄存器电路的主输出端输出的高电平第二复位信号,触发第二复位模块启动,使每一级移位寄存电路中第一复位模块包括的第一复位晶体管 M1 和第二复位晶体管 M2,实现当下一级的移位寄存电路的输出端输出高电平驱动信号并向该移位寄存电路反馈的复位信号时,将第一节点和主输出端的电压复位,以使该级移位寄存电路不再向显示单元的栅极输出高电平驱动信号。

[0104] 实施例 6

[0105] 基于上述实施例 3 提供的一种移位寄存器,以及如图 5 所示的一种移位寄存器工作时序图,本发明实施例提供了一种移位寄存器的每一级移位寄存电路的驱动方法,该方法包括:

[0106] 第一复位阶段、电平信号生成阶段、低电平驱动信号输出阶段、高电平驱动信号输出阶段、第二复位阶段;

[0107] 优选的,在第一复位阶段,在所述复位信号输入端输入第一复位信号 RESET,致使所述第一复位模块 204 的第三复位晶体管 M0、第一复位晶体管 M1、第二复位晶体管 M2 导通,致使所述第一节点 P 以及所述主输出端的电压复位为低电平;

[0108] 具体的,在第一复位阶段,在所述复位信号输入端输入高电平的第一复位信号 RESET,致使所述第一复位模块 204 的第三复位晶体管 M0 作为二极管导通,第三复位晶体管 M0 的导通使高电平复位信号传输至第一复位晶体管 M1、第二复位晶体管 M2 的栅极,致使第一复位晶体管 M1、第二复位晶体管 M2 导通,第一复位晶体管 M1、第二复位晶体管 M2 导通后,所述第一节点 P 以及所述主输出端 Gout 的电压复位为低电平,即第一节点 P 以及所述主输出端 Gout 均与低电平 VGL 信号源连接。

[0109] 本实施例中的电平信号生成阶段、低电平驱动信号输出阶段、高电平驱动信号输出阶段、第二复位阶段的驱动过程具体参见实施例 3,此处不再累述。

[0110] 上述实施例中,在第一复位阶段,在复位信号输入端输入的高电平的第一复位信号,使作为二极管使用的薄膜晶体管 M0 导通,触发第一复位模块的正常启动,使第一复位晶体管 M1 和第二复位晶体管 M2 导通后实现在向每一级移位寄存电路的开关晶体管输入初始信号之前,将第一节点和主输出端的电压复位,使得每一级的移位寄存电路产生的栅极驱动信号不受薄膜晶体管的阈值电压的漂移的影响,保证移位寄存器的正常驱动和显示单元的正常显示。

[0111] 尽管已描述了本发明的优选实施例,但本领域内的技术人员一旦得知了基本创造性概念,则可对这些实施例作出另外的变更和修改。所以,所附权利要求意欲解释为包括优选实施例以及落入本发明范围的所有变更和修改。

[0112] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精

神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

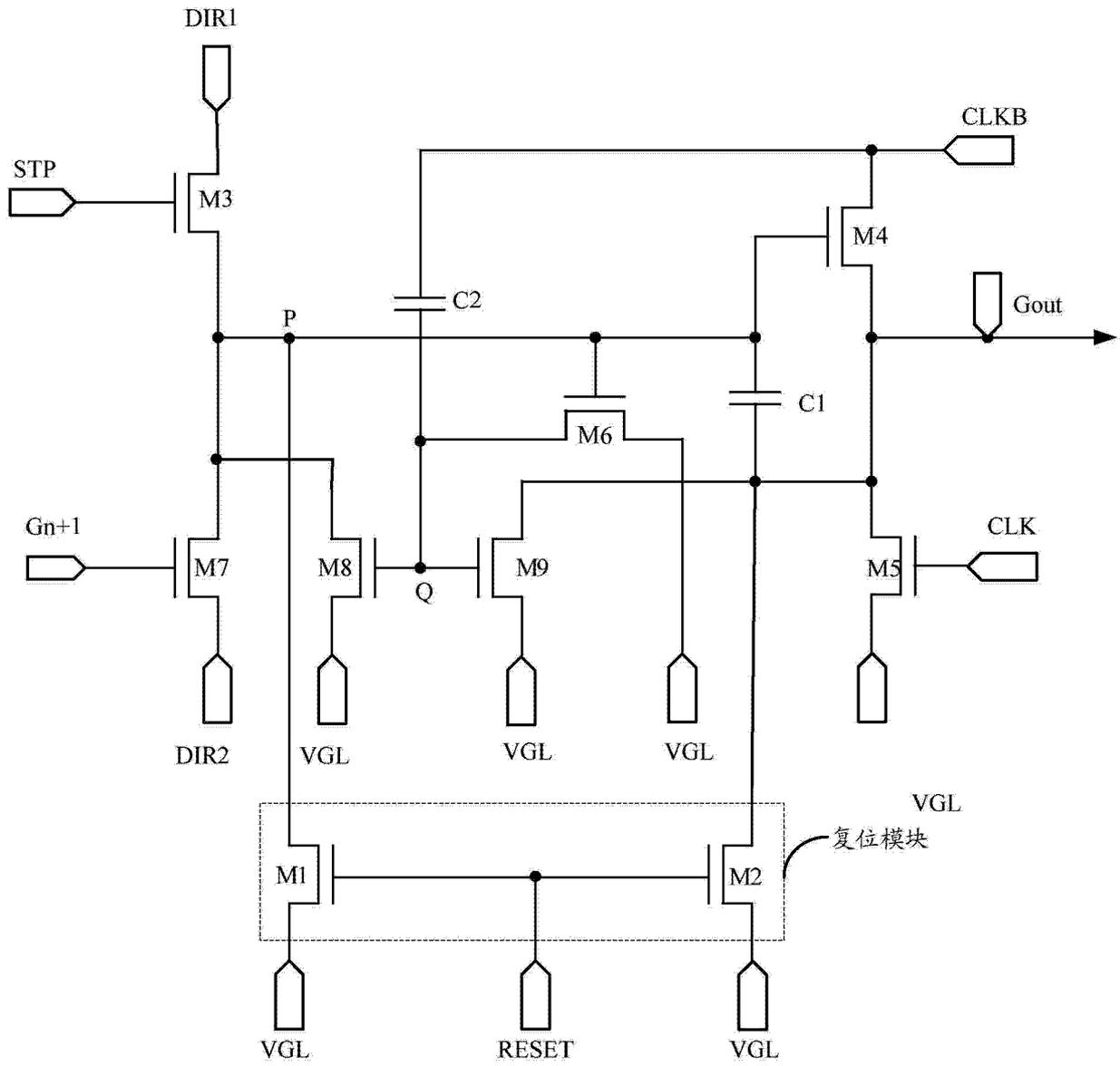


图 1



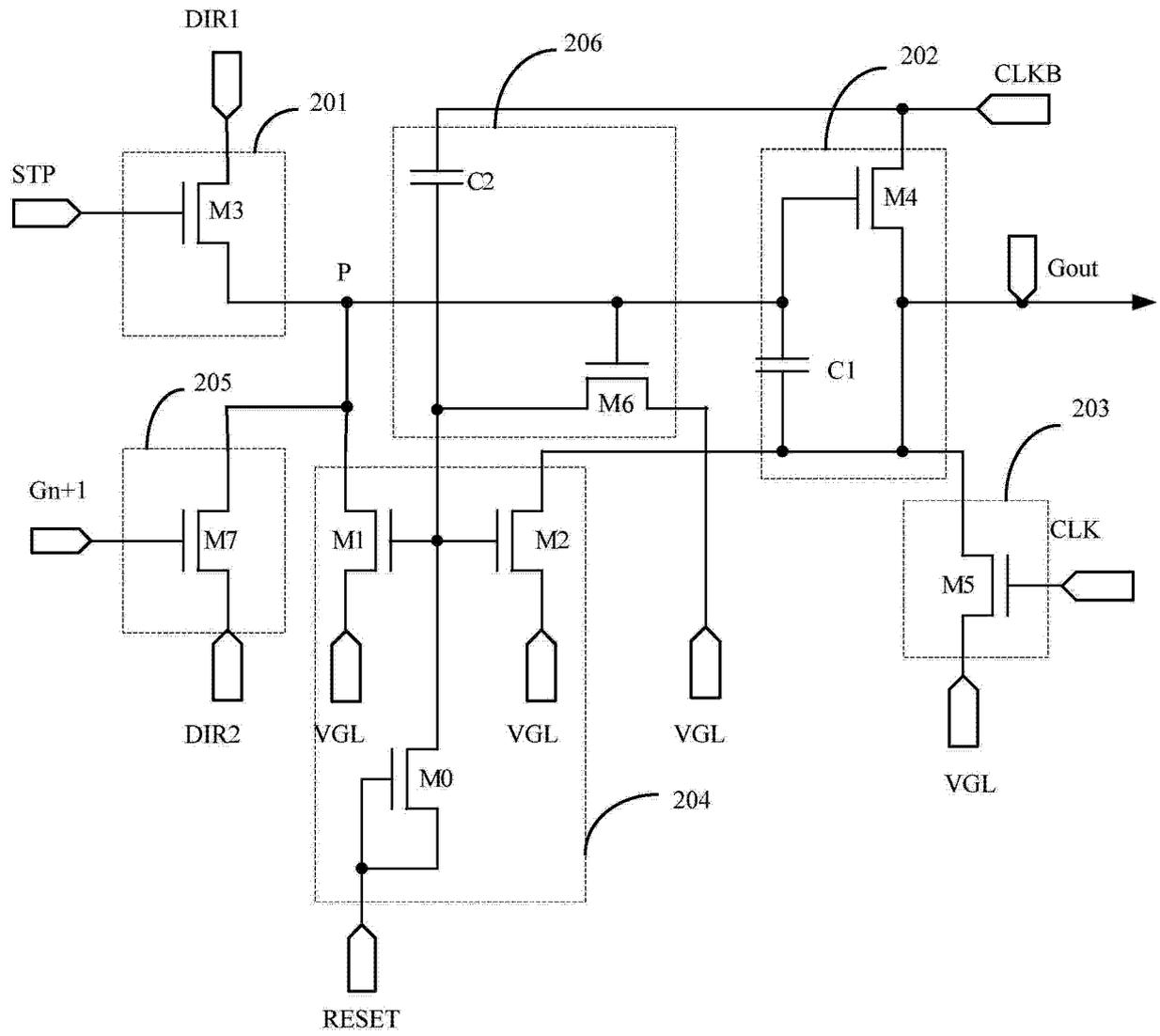


图 3

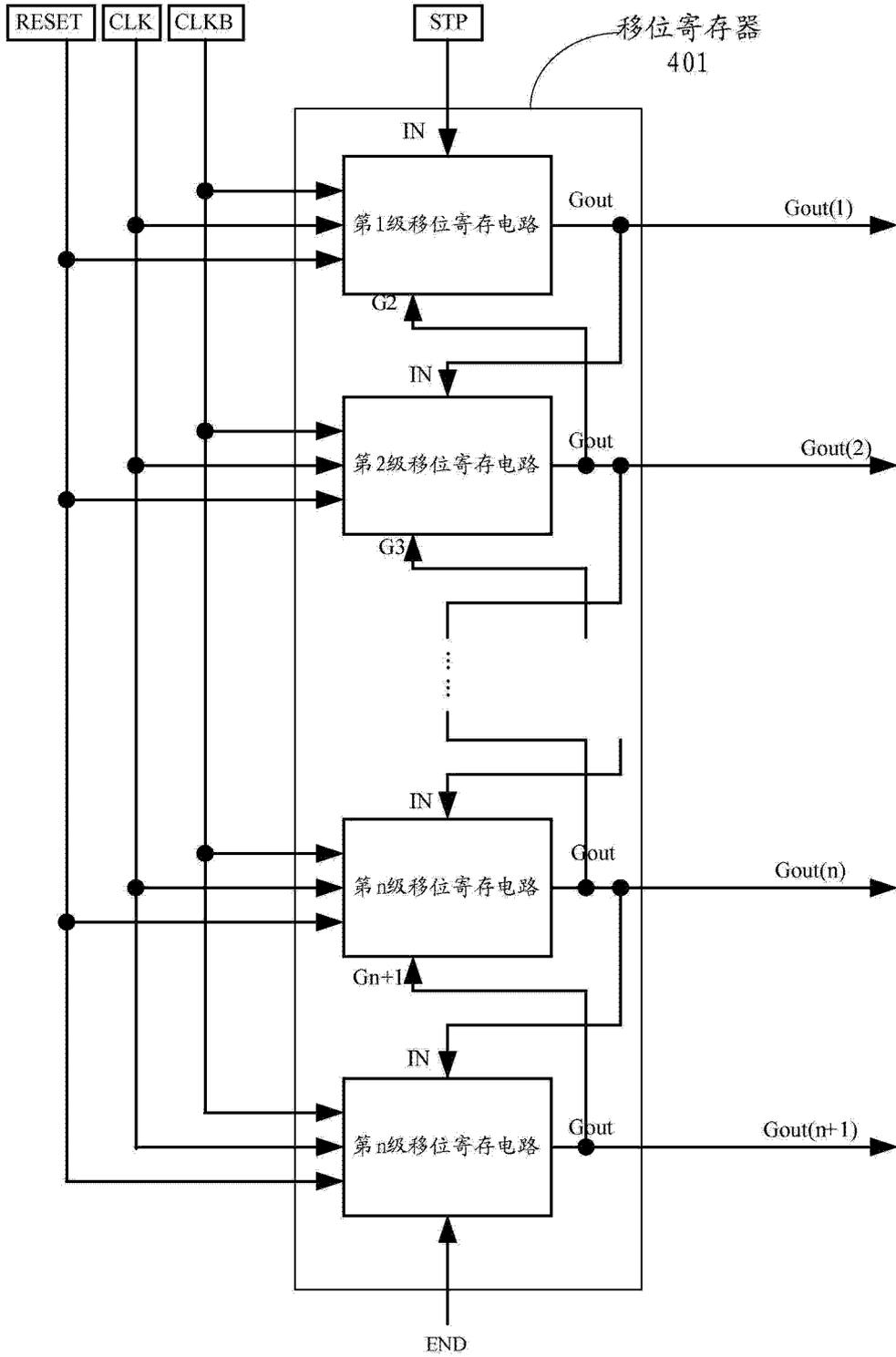


图 4

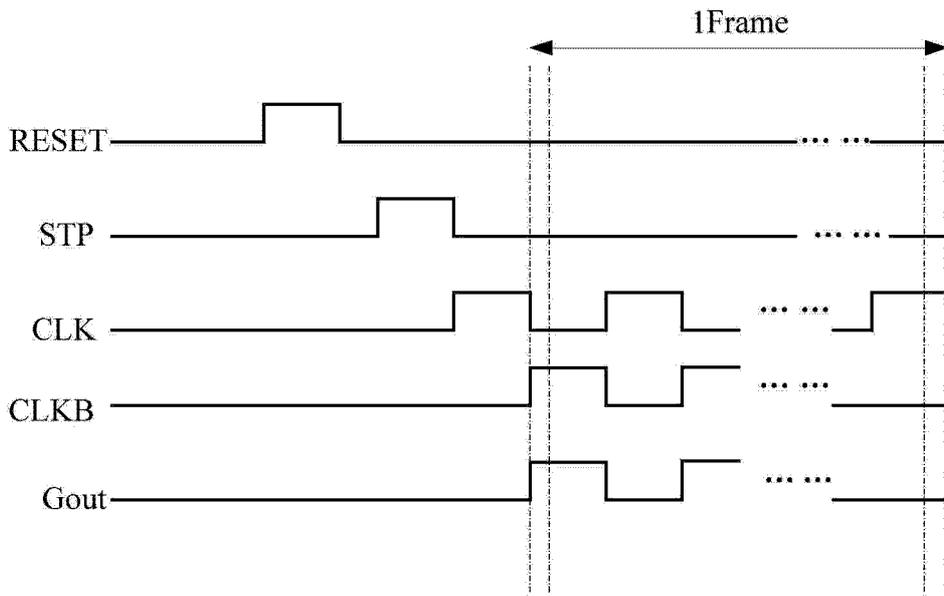


图 5