



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

(61)

(23) Výstavní priorita
(22) Přihlášeno 18 03 82
(21) (PV 1873-82)

(40) Zveřejněno 31 08 84
(45) Vydáno 01 10 86

234 130

(11) (B1)

(51) Int. Cl.³ H 03 K 13/24

(75)

Autor vynálezu SLÁMA JAROSLAV ing.,
PALÁT ANTONÍN ing.,
NĚMEC MILAN ing., PRAHA

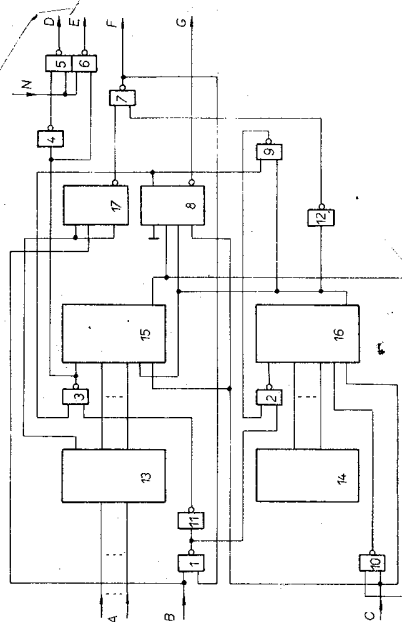
(54) Řídicí jednotka vysílače volicích impulsů

Vynález se týká zapojení řídicí jednotky elektronického vysílače volicích impulsů, tj. zařízení používaného pro přeměnu paralelního stejnosměrného kódu na aditivní sériový kód, zejména v telefonních ústřednách.

Řídicí jednotka řídí činnost vysílače volicích impulsů. Počítá vysílané zemní impulsy jedné série, odměřuje mezi-sériovou mezeru, řídí předávání povelů do připojeného registru pro předání další číslice nebo pro odpojení registru.

Řídicí jednotka podle vynálezu je tvořena logickou sítí sestavenou z první a druhé paměti (13), (14), prvního a druhého čítače (15), (16), prvního a druhého klopného obvodu (17), (8) a jedenácti logických členů.

Zapojení řídicí jednotky elektronického vysílače volicích impulsů je vhodné i pro jiné oblasti telekomunikační techniky.



Vynález se týká zapojení řídicí jednotky elektronického vysílače volicích impulsů, tj. zařízení používaného pro přeměnu paralelního stejnosměrného kódu na aditivní kód, zejména v telefonních ústřednách.

Řídicí jednotka řídí činnost vysílače volicích impulsů. Počítá vysílané zemní impulsy jedné série, odměřuje mezisériovou mezeru, řídí předávání povelů do připojeného registru pro předání další číslice účastnického čísla nebo pro odpojení registru.

Dosavadní zapojení elektrických obvodů, které tvoří řídicí jednotku ve vysílačích volicích impulsů, jsou sestavena z relé. Nevýhodou těchto zapojení je menší životnost obvodů, nižší rychlost sestavování reléových obvodů. Nároky na prostor jsou značné. Vzhledem k pevnému uložení relé a ostatních užitých prvků řídicích jednotek je stížena vyměnitelnost a opravitelnost v případě poruchy.

Účelem vynálezu je odstranit uvedené nevýhody. Podle podstaty vynálezu se toho dosáhne tím, že vstupní vodiče jsou připojeny na adresové vstupy první paměti, jejíž výstupy jsou připojeny na vstupy pro asynchronní nastavení prvního čítače a jejíž jeden výstup je spojen se vstupem a nulovacím vstupem prvního klopného obvodu. Výstup zdroje hodinových impulsů je připojen na hodinový vstup prvního klopného obvodu a na první vstup prvního logického členu, jehož výstup je spojen s druhým vstupem druhého logického členu a vstupem jedenáctého logického členu. Jeho výstup je spojen s druhým vstupem třetího logického členu, jehož výstup je spojen s hodinovým vstupem prvního čítače, vstupem čtvrtého logického členu a druhým vstupem pátého logického členu. Výstup zdroje nulovacích impulsů je spojen s druhým vstupem šestého logického členu,

nulovacím vstupem druhého klopného obvodu, nulovacím vstupem prvního čítače a nulovacím vstupem druhého čítače. Výstup prvního čítače je spojen s hodinovým vstupem druhého klopného obvodu a prvním vstupem šestého logického členu, jehož výstup je spojen se vstupem pro nastavení druhého čítače, na jehož vstupy pro asynchronní nastavení jsou připojeny výstupy z druhé paměti, a na jehož hodinový vstup je připojen výstup druhého logického členu a jehož výstup je spojen se vstupem sedmého logického členu. Výstup sedmého logického členu je spojen s druhým vstupem osmého logického členu, jehož výstup je připojen na první výstupní vodič a je spojen s druhým vstupem prvního logického členu. Výstup druhého čítače je dále spojen se vstupem pro nastavení druhého klopného obvodu, vstupem pro nastavení prvního čítače a s druhým vstupem devátého logického členu, jehož výstup je připojen na první vstup druhého logického členu a na první vstup devátého logického členu je připojen první výstup druhého klopného obvodu, který je dále připojen na první vstup třetího logického členu. Výstup čtvrtého logického členu je připojen na první vstup desátého logického členu, jehož výstup je připojen na druhý výstupní vodič. Výstup pátého logického členu je připojen na třetí výstupní vodič. Druhé vstupy desátého a pátého logického členu jsou připojeny na výstup rozmítaného generátoru. Výstup prvního klopného obvodu je připojen na první vstup osmého logického členu a výstup druhého klopného obvodu je připojen na čtvrtý výstupní vodič.

Zapojení řídicí jednotky podle vynálezu je spolehlivé, má velkou životnost a potřebuje menší prostor ve společné mechanické konstrukci.

Příklad vynálezu je dále popsán pomocí výkresů. Vstupní informace o číslici je přiváděna vstupními vodiči A na adresové vstupy první paměti 13. Výstupy z paměti 13 jsou spojeny se vstupy pro asynchronní nastavení prvního čítače 15. Další výstup z paměti 13 je spojen se vstupem a nulovacím vstupem prvního klopného obvodu 17. Hodinové impulsy jsou přiváděny z výstupu B zdroje hodinových impulsů na vstup prvního logického členu 1 a na hodinový vstup prvního klopného obvodu 17. Výstup prvního logického členu 1 je spojen se vstupem druhého

logického členu 2 a vstupem jedenáctého logického členu 11. Výstup druhého logického členu 2 je spojen se vstupem třetího logického členu 3. Výstup třetího logického členu 3 je spojen s hodinovým vstupem prvního čítače 15, vstupem čtvrtého logického členu 4 a druhým vstupem pátého logického členu 6. Výstup C zdroje nulovacích impulsů je spojen se vstupem šestého logického členu 10, nulovacím vstupem druhého klopného obvodu 8 a nulovacím vstupem prvního čítače 15 a nulovacím vstupem druhého čítače 16. Výstup pro přenos čítače 15 je spojen s hodinovým vstupem druhého klopného obvodu 8 a prvním vstupem šestého logického členu 10. Výstup šestého logického členu 10 je spojen se vstupem nastavení druhého čítače 16. Výstupy z druhé paměti 14 jsou spojeny se vstupy pro asynchronní nastavení čítače 16. Výstup druhého logického členu 2 je spojen s hodinovým vstupem druhého čítače 16. Výstup devátého logického členu 9 je spojen se vstupem druhého logického členu 2. Výstup druhého klopného obvodu 8 je spojen se vstupem devátého logického členu 9 a vstupem třetího logického členu 3. Výstup pro přenos druhého čítače 16 je spojen se vstupem sedmého logického členu 12, se vstupem devátého logického 9, se vstupem nastavení prvního čítače 15 a se vstupem nastavení druhého klopného obvodu 8. Vstup druhého klopného obvodu 8 je spojen s úrovní log 0.

Z negovaného výstupu druhého klopného 8 jsou předávány povely "dej další číslici účastnického čísla" na čtvrtý výstupní vodič G. Negovaný výstup prvního klopného obvodu 17 je spojen s prvním vstupem osmého logického členu 7. Výstup sedmého logického členu 12 je spojen s druhým vstupem osmého logického členu 7. Výstup osmého logického členu 7 je spojen s druhým vstupem prvního logického členu 1 a výstupem pro předání informace "závěr" na první výstupní vodič F. Výstupy desátého logického členu 5 a pátého logického členu 6 jsou spojeny s výstupem N rozmítaného generátoru. Výstup čtvrtého logického členu 4 je spojen se vstupem desátého logického členu 5. Výstup desátého logického členu 5 je spojen druhým výstupním vodičem D s obvodem ovládajícím volicí prvek označující impuls. Výstup pátého logického členu 6 je spojen třetím výstupním vodičem E s obvodem ovládajícím volicí prvek

označující mezeru.

Je-li obsazen elektronický vysílač volicích impulsů z registru napětím + 60 V, převede se toto napětí v úrovňovém převodníku na úroveň potřebnou pro práci logických obvodů řídicí jednotky. Toto obsazení způsobí zrušení nulování prvního čítače 15, druhého čítače 16 a druhého klopného obvodu 8. Současně s obsazením elektronického vysílače volicích impulsů přichází z registru přes úrovňové převodníky na vstupní vodiče A informace o číslici, která se má vyslat v aditivním sériovém kódu.

Číslice přicházejí na vstupy první paměti 13. V této paměti 13 se provede kontrola přijatého kódu a po zjištění jeho správnosti se provede dekódování číslice na potřebnou kombinaci pro nastavení prvního čítače 15. Správnost kontroly přijatého kódu je signalizována z výstupu první paměti 13 na vstup a nulovací vstup prvního klopného obvodu 17, u kterého se tím zruší nulování. Klopný obvod 17 je nyní připraven se překlomit na náběžnou hranu impulsu přicházejícího z výstupu B zdroje hodinových impulsů. Po překlopení prvního klopného obvodu 17 přijdou hodinové impulsy z výstupu B přes první logický člen 1 a druhý logický člen 2 na vstup druhého čítače 16. Vstupy pro asynchronní nastavení druhého čítače 16 jsou ovládány z druhé paměti 14, ve které je uložena informace o délce mezisériové mezery. Druhý čítač 16 začne odpočítávat mezisériovou mezeru. Po jejím odměření se objeví na výstupu druhého čítače 16 signál, který přichází na vstupy pro nastavení prvního čítače 15, druhého klopného obvodu 8 a vstup devátého logického členu 9. Druhý klopný obvod 8 se překlomí do stavu, který odpovídá vysílání volicích impulsů. Výstup druhého klopného obvodu 8 uvolní třetí logický člen 3, aby na vstup prvního čítače 15 přicházely ze vstupu B hodinové impulsy, které jsou současně vedeny přes čtvrtý logický člen 4 na vstup desátého logického členu 5. Logický člen 5 provádí logický součin hodinových impulsů s impulsy rozmitaného generátoru z výstupu N, který se překlápí s kmitočtem 1 kHz. Logický součin obou průběhů je veden z výstupního vodiče D k volicímu polovodičovému prvku elektronického

vysílače volicích impulsů, který sepne pro vyslání zemního impulsu na vedení. Pátý logický člen 6 provede logický součin hodinových impulsů s impulsy rozmítacího generátoru v době mezery hodinových impulsů. Tento logický součin je veden přes výstup E k volicímu polovodičovému prvku elektronického vysílače volicích impulsů, rozepne ho, a tím přeruší vysílání zemního impulsu po vedení.

Po dobu vysílání volicích impulsů, odpovídajících vždy jedné číslici účastnického čísla, se z výstupu druhého klop-
ného obvodu 8 přes výstup G předává přes úrovnový převodník do připojeného registru povel pro předání další číslice účastnického čísla. Když první čítač 15 odpočítá patřičný počet impulsů odpovídajících číslici, která se měla vyslat, objeví se signál na výstupu čítače 15. Po jeho skončení se překlopí druhý klopný obvod 8. Tím se okamžitě ruší povel do registru pro předání další číslice účastnického čísla. Signál na výstupu prvního čítače 15 způsobí nastavení druhého čítače 16 dle zvolené délky mezisériové mezery, uložené v druhé paměti 14.

Celá popsaná činnost se opakuje při vysílání každé další číslice účastnického čísla. Nepřijde-li po odměření mezisériové mezery na vstupní vodiče A z registru informace o další číslici, způsobí logická síť sestavená z obvodů druhého čítače 16, sedmého logického členu 12, prvního klopného obvodu 17 a osmého logického členu 7 vyslání závěrového povelu přes úrovnový převodník jako povel pro uvolnění elektronického vysílače volicích impulsů.

P Ř E D M Ě T V Y N Á L E Z U

234 130

Řídící jednotka vysílače volicích impulsů, zejména v telefonních ústřednách, vyznačená tím, že vstupní vodiče (A) jsou připojeny na adresové vstupy první paměti (13), jejíž výstupy jsou připojeny na vstupy pro asynchronní nastavení prvního čítače (15) a jejíž jeden výstup je spojen se vstupem a nulovacím vstupem prvního klopného obvodu (17), přičemž výstup (B) zdroje hodinových impulsů je připojen na hodinový vstup prvního klopného obvodu (17) a na první vstup prvního logického členu (1), jehož výstup je spojen s druhým vstupem druhého logického členu (2) a vstupem jedenáctého logického členu (11), jehož výstup je spojen s druhým vstupem třetího logického členu (3), jehož výstup je spojen s hodinovým vstupem prvního čítače (15), vstupem čtvrtého logického členu (4) a druhým vstupem pátého logického členu (6), zatímco výstup (C) zdroje nulovacích impulsů je spojen s druhým vstupem šestého logického členu (10), nulovacím vstupem druhého klopného obvodu (8), nulovacím vstupem prvního čítače (15) a nulovacím vstupem druhého čítače (16), přičemž výstup prvního čítače (15) je spojen s hodinovým vstupem druhého klopného obvodu (8) a prvním vstupem šestého logického členu (10), jehož výstup je spojen se vstupem pro nastavení druhého čítače (16), na jehož vstupy pro asynchronní nastavení jsou připojeny výstupy z druhé paměti (14) a na jehož hodinový vstup je připojen výstup druhého logického členu (2) a jehož výstup je spojen se vstupem sedmého logického členu (12), jehož výstup je spojen s druhým vstupem osmého logického členu (7), jehož výstup je připojen na první výstupní vodič (F) a je spojen s druhým vstupem prvního logického členu (1), přičemž výstup druhého čítače (16) je dále spojen se vstupem pro nastavení druhého klopného obvodu (8), vstupem pro nastavení prvního čítače (15) a s druhým vstupem devátého logického členu (9), jehož výstup je připojen na první vstup druhého logického členu (2) a na první vstup devátého logického členu (9) je připojen první výstup druhého klopného obvodu (8), který je dále připojen na první vstup třetího logického členu (3), zatímco výstup čtvrtého logického členu (4) je připojen na

první vstup desátého logického členu (5), jehož výstup je připojen na druhý vstupní vodič (D), výstup pátého logického členu (6) je připojen na třetí výstupní vodič (E) a druhé vstupy desátého a pátého logického členu (5, 6) jsou připojeny na výstup (N) rozmítaného generátoru, zatímco výstup prvního klopného obvodu (17) je připojen na první vstup osmého logického členu (7) a výstup druhého klopného obvodu (8) je připojen na čtvrtý výstupní vodič (G).

1 výkres

