

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年1月13日(13.01.2022)



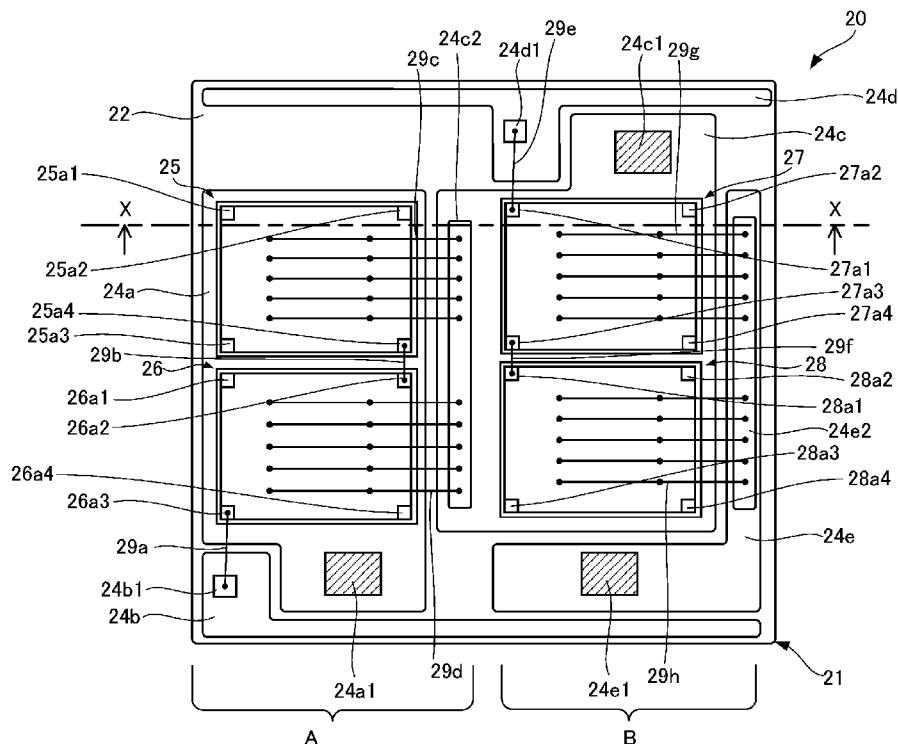
(10) 国際公開番号

WO 2022/009557 A1

- (51) 国際特許分類:
H01L 25/07 (2006.01) *H01L 21/60* (2006.01)
H01L 25/18 (2006.01)
- (21) 国際出願番号: PCT/JP2021/020532
- (22) 国際出願日: 2021年5月28日(28.05.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2020-119388 2020年7月10日(10.07.2020) JP
- (71) 出願人: 富士電機株式会社 (FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).
- (72) 発明者: 山野 彰生 (YAMANO, Akio); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 特許業務法人扶桑国際特許事務所 (FUSO INTERNATIONAL PATENT FIRM); 〒1920082 東京都八王子市東町 9 番 8 号 八王子東町センタービル 5 階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) Title: SEMICONDUCTOR DEVICE AND SEMICONDUCTOR CHIP

(54) 発明の名称: 半導体装置及び半導体チップ



(57) Abstract: The present invention suppresses tilting of a bonding wire. In a semiconductor unit (20), each of semiconductor chips (25 to 28) has gate electrodes (25a1 to 25a4, 26a1 to 26a4, 27a1 to 27a4, 28a1 to 28a4) disposed at the corners of an upper surface thereof. Further, a bonding wire (29b) connects a gate electrode (25a4) on the semiconductor chip (26) side and a gate electrode (26a2) on the semiconductor chip (25) side. A bonding wire (29f) connects a gate electrode (28a1) on the semiconductor chip (27) side and a gate electrode (27a3) on the semiconductor chip (28) side.

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

(57) 要約：ボンディングワイヤの傾倒の発生を抑制する。半導体ユニット（20）では、半導体チップ（25～28）は、おもて面の角部にそれぞれゲート電極（25a1～25a4, 26a1～26a4, 27a1～27a4, 28a1～28a4）が設けられている。この際、ボンディングワイヤ（29b）が半導体チップ（26）側のゲート電極（25a4）と半導体チップ（25）側のゲート電極（26a2）とを接続する。ボンディングワイヤ（29f）が半導体チップ（27）側のゲート電極（28a1）と半導体チップ（28）側のゲート電極（27a3）との間を接続する。

明 細 書

発明の名称：半導体装置及び半導体チップ

技術分野

[0001] 本発明は、半導体装置及び半導体チップに関する。

背景技術

[0002] 半導体装置は、パワーデバイスを含む。パワーデバイスは、例えば、I G B T (Insulated Gate Bipolar Transistor)、パワーM O S F E T (Metal Oxide Semiconductor Field Effect Transistor) を具備する半導体チップである。このような半導体装置は、上記の半導体チップが配置されたセラミック回路基板と当該セラミック回路基板が複数配置された放熱基板とを備える。さらに、半導体チップの制御電極と半導体チップの主電極とセラミック回路基板の回路パターンとの間で適宜ボンディングワイヤにより電氣的に接続される。これにより半導体装置は、所望の機能を発揮することができる（例えば、特許文献1 参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2004-363339号公報

発明の概要

発明が解決しようとする課題

[0004] 半導体装置の製造時に、半導体装置に含まれるボンディングワイヤに接触して、ボンディングワイヤが倒れてしまうおそれがある。例えば、並列接続されている半導体チップの制御電極を接続するボンディングワイヤは接触されてしまう可能性が高い。特に、セラミック回路基板の端部側に半導体チップの制御電極が位置する場合には、ボンディングワイヤに対して接触されてしまう可能性がより高い。そして、制御電極に接続されているボンディングワイヤが倒れてしまい、主電極に接続されるボンディングワイヤに接触してしまうと、半導体装置は電氣的不良を起こして、所望の機能を発現しなくな

る。

[0005] 本発明は、ボンディングワイヤの傾倒の発生が抑制された半導体装置、このような半導体装置に用いられる半導体チップを提供することを目的とする。

課題を解決するための手段

[0006] 本発明の一観点によれば、第1おもて面の角部にそれぞれ設けられた第1制御電極と前記第1おもて面に設けられた第1出力電極と第1裏面に設けられた第1入力電極とを備える第1半導体チップと、第2おもて面の角部にそれぞれ設けられた第2制御電極と前記第2おもて面に設けられた第2出力電極と第2裏面に設けられた第2入力電極とを備え、前記第1半導体チップの側部に配置された第2半導体チップと、前記第2半導体チップ側の第1制御電極と前記第1半導体チップ側の第2制御電極との間を接続する第1連結配線と、を有する半導体装置が提供される。

[0007] また、本発明の一観点によれば、平面視で矩形状のおもて面の角部にそれぞれ設けられたゲート電極と、前記おもて面の辺に沿って前記ゲート電極をそれぞれ接続するゲートランナと、前記おもて面の外周に沿って設けられた耐電構造部と、を含む半導体チップが提供される。

発明の効果

[0008] 開示の技術によれば、ボンディングワイヤの傾倒の発生が抑制されて、半導体装置の信頼性の低下を防止することができる。

[0009] 本発明の上記及び他の目的、特徴及び利点は本発明の例として好ましい実施の形態を表す添付の図面と関連した以下の説明により明らかになるであろう。

図面の簡単な説明

[0010] [図1]第1の実施の形態の半導体装置の平面図である。

[図2]第1の実施の形態の半導体ユニットの平面図である。

[図3]第1の実施の形態の半導体ユニットの断面図である。

[図4]第1の実施の形態の半導体ユニットに含まれる半導体チップの平面図で

ある。

[図5]第1の実施の形態の半導体装置で実現される等価回路を示す図である。

[図6]参考例の半導体ユニットの平面図である。

[図7]第2の実施の形態の半導体ユニットの平面図である。

[図8]第3の実施の形態の半導体装置の平面図である。

発明を実施するための形態

[0011] 以下、図面を参照して、実施の形態について説明する。なお、以下の説明において、「おもて面」及び「上面」とは、図1の半導体装置10において、上側を向いた面を表す。同様に、「上」とは、図1の半導体装置10において、上側の方向を表す。「裏面」及び「下面」とは、図1の半導体装置10において、下側を向いた面を表す。同様に、「下」とは、図1の半導体装置10において、下側の方向を表す。必要に応じて他の図面でも同様の方向性を意味する。「おもて面」、「上面」、「上」、「裏面」、「下面」、「下」、「側面」は、相対的な位置関係を特定する便宜的な表現に過ぎず、本発明の技術的思想を限定するものではない。例えば、「上」及び「下」は、必ずしも地面に対する鉛直方向を意味しない。つまり、「上」及び「下」の方向は、重力方向に限定されない。また、以下の説明において「主成分」とは、80vol%以上含む場合を表す。

[0012] [第1の実施の形態]

以下、図面を参照して、第1の実施の形態の半導体装置について、図1を用いて説明する。図1は、第1の実施の形態の半導体装置の平面図である。半導体装置10は、放熱基板11と、ボンディングワイヤ12a~12eにより放熱基板11上のコンタクト領域（後述）と電氣的に接続された半導体ユニット20a~20fとを有している。

[0013] 放熱基板11は、熱伝導性に優れた金属を主成分として構成されている。このような金属は、例えば、アルミニウム、鉄、銀、銅、または、少なくともこれらの一種を含む合金が挙げられる。また、耐食性を向上させるために、ニッケルをめっき処理等により放熱基板11の表面に形成してもよい。具

体的には、ニッケルの他に、ニッケルーリン合金、ニッケルーボロン合金がある。このような放熱基板 11 には、半導体装置 10 を外部機器に取り付ける際に用いられる取り付け孔、半導体ユニット 20a～20f に対して電流を入出力するためのコンタクト領域等が適宜形成されている。

[0014] 放熱基板 11 は、熱伝導性に優れた金属を主成分として構成されている。このような金属は、例えば、アルミニウム、鉄、銀、銅、または、少なくともこれらの一種を含む合金が挙げられる。また、放熱基板 11 は、コンタクト領域が形成されている。コンタクト領域は、半導体ユニット 20a～20f にボンディングワイヤを介して電氣的に接続されている。また、コンタクト領域は、外部と電氣的に接続されている。したがって、外部がコンタクト領域を経由して半導体ユニット 20a～20f と電氣的に接続される。

[0015] また、放熱基板 11 は、おもて面にはボルトが螺合されるボルト孔が形成されている。このボルト孔に対してボルトを螺合することにより、半導体装置 10 を外部機器や冷却ユニットに取り付けることができる。なお、冷却ユニットの取り付けについては後述する。このような放熱基板 11 の表面に、耐食性を向上させるために、めっき処理を行ってもよい。この際のめっき材は、例えば、ニッケル、ニッケルーリン合金、ニッケルーボロン合金を主成分として構成される。

[0016] 半導体ユニット 20a～20f は、例えば、はんだまたは銀ろうを介して放熱基板 11 のおもて面に対して所定の方に一列に配置されている。このような半導体ユニット 20a～20f は、所定のパワーデバイスを含む半導体チップを含み、必要とされる機能を有する。なお、図 1 に示す半導体ユニット 20a～20f は一例に設置されて、必要に応じた個数を設置することができる。また、以下では、半導体ユニット 20a～20f の総称を半導体ユニット 20 とし、その詳細については後述する。なお、ボンディングワイヤ 12a～12e は、導電性に優れた金属を主成分として構成されている。このような金属は、例えば、金、銀、銅、アルミニウム、または、少なくともこれらの 1 種を含む合金が挙げられる。ボンディングワイヤ 12a～12

eの径は、例えば、100 μ m以上、1mm以下である。

[0017] また、このような半導体装置10の放熱基板11の裏面に冷却ユニットをサーマルグリースを介して取り付けてもよい。サーマルグリースは、例えば、金属酸化物のフィラーが混入されたシリコンである。この冷却ユニットもまた、熱伝導性に優れた材料を主成分として構成され、必要に応じて、表面にめっき処理を行ってもよい。冷却ユニットは、例えば、複数のフィンから構成されるヒートシンク並びに水冷による冷却装置である。また、放熱基板11は、このような冷却ユニットと一体的に構成されてもよい。

[0018] また、半導体ユニット20a～20f及び放熱基板11を配線部材で電氣的に接続されたものをケース（図示を省略）に収納してもよい。配線部材は、例えば、リードフレームである。この場合のケースは、リードフレームに含まれる制御端子並びに外部端子が表出される。なお、制御端子により制御信号が入力される。外部端子により外部に対して所定の電流が入出力される。このようなケースは、熱可塑性樹脂を主成分として構成されている。このような樹脂は、例えば、ポリフェニレンサルファイド樹脂、ポリブチレンテレフタレート樹脂、ポリブチレンサクシネート樹脂、ポリアミド樹脂、または、アクリロニトリルブタジエンスチレン樹脂である。

[0019] 次に、半導体ユニット20について、図2～図5を用いて説明する。図2は、第1の実施の形態の半導体ユニットの平面図であり、図3は、第1の実施の形態の半導体ユニットの断面図である。なお、図3は、図2の一点鎖線X-Xにおける断面図である。但し、図3は、ボンディングワイヤの記載を省略している。図4は、第1の実施の形態の半導体ユニットに含まれる半導体チップの平面図である。なお、図4は、それぞれ半導体チップ25～28をそれぞれ表している。図5は、第1の実施の形態の半導体装置で実現される等価回路を示す図である。

[0020] 半導体ユニット20は、第1アーム部（上アーム部）Aと第2アーム部（下アーム部）Bを備え、上下アームが形成されている。半導体ユニット20は、図2及び図3に示されるように、セラミック回路基板21とセラミック

回路基板 21 のおもて面に設けられた半導体チップ 25～28 とを有している。また、半導体ユニット 20 は、このようなセラミック回路基板 21 の裏面がはんだまたは銀ろう（図示を省略）を介して放熱基板 11 上に配置される（図 1 を参照）。

[0021] 半導体チップ 25～28 は、シリコンまたは炭化シリコンを主成分として構成されている。このような半導体チップ 25～28 は、IGBT と FWD（Free Wheeling Diode）が 1 チップ内に構成された RC（Reverse Conducting）－IGBT のスイッチング素子を含んでいる。RC－IGBT チップは、IGBT と FWD とが逆並列で接続された回路が構成されている。なお、図 2 に示される半導体チップ 25～28 の配置の向きは、図 4 に示される半導体チップ 25～28 の配置の向きに対応している。例えば、図 2 における半導体チップ 25 の右下角部は、図 4 における半導体チップ 25 のゲート電極 25a4 に対応している。また、図 2 における半導体チップ 28 の左上角部は、図 4 における半導体チップ 28 のゲート電極 28a1 に対応している。このような半導体チップ 25～28 は、裏面に主電極として入力電極（コレクタ電極）を備えている。また、半導体チップ 25, 26 は、一列に配置されている。半導体チップ 27, 28 もまた、一列に配列されている。なお、半導体チップ 25, 26 は、一列に限らず、図 2 中左右方向に位置ずれして配置されていてもよい。位置ずれの範囲は、例えば、半導体チップ 26 のゲート電極 26a1（またはゲート電極 26a2）が半導体チップ 25 のゲート電極 25a3（またはゲート電極 25a4）からゲート電極 25a3 とゲート電極 25a4 との中間点まで可能である。半導体チップ 27, 28 も同様に、図 2 中左右方向に位置ずれして配置されていてもよい。

[0022] また、半導体チップ 25～28 についてさらに説明する。半導体チップ 25～28 は、図 4 にそれぞれ示されるように、平面視で矩形状のおもて面の角部にそれぞれ設けられたゲート電極（制御電極）25a1～25a4, 26a1～26a4, 27a1～27a4, 28a1～28a4 と、おもて面の辺に沿ってゲート電極 25a1～25a4, 26a1～26a4, 27a

1～27a4, 28a1～28a4をそれぞれ接続するゲートランナ25b, 26b, 27b, 28bと、おもて面の外周に沿って設けられた耐電構造部25d, 26d, 27d, 28dと、を含む。なお、ゲート電極25a1～25a4, 26a1～26a4, 27a1～27a4, 28a1～28a4は、ボンディングワイヤ29a, 29b, 29e, 29fによりボンディングすることができる面積である。さらに、半導体チップ25～28は、おもて面の角部のそれぞれの内側にエミッタ電極（主電極として出力電極）25c, 26c, 27c, 28cを含む。なお、図示を省略するものの、各ゲート電極25a1～25a4, 26a1～26a4, 27a1～27a4, 28a1～28a4の近傍にはセンス電極がそれぞれ設けられている。

[0023] セラミック回路基板21は、平面視で矩形状である。セラミック回路基板21は、絶縁板22と絶縁板22の裏面に形成された金属板23とを有している。さらに、セラミック回路基板21は、絶縁板22のおもて面に形成された回路パターン24a～24eをそれぞれ有している。絶縁板22及び金属板23は、平面視で矩形状である。また、絶縁板22及び金属板23は、角部がR形状や、C形状に面取りされていてもよい。金属板23のサイズは、平面視で、絶縁板22のサイズより小さく、絶縁板22の内側に形成されている。

[0024] 絶縁板22は、熱伝導性のよいセラミックスを主成分として構成されている。また、絶縁板22は、曲げ強度が、例えば、450MPa以上のセラミックスが用いられる。このようなセラミックスは、例えば、酸化アルミニウムと当該酸化アルミニウムに添加された酸化ジルコニウムとを主成分とする複合材料、または、窒化珪素を主成分とする材料により構成されている。また、絶縁板22の厚さは、0.5mm以上、2.0mm以下である。

[0025] 金属板23は、熱伝導性に優れた金属を主成分として構成されている。このような金属は、例えば、アルミニウム、鉄、銀、銅、または、少なくともこれらの一種を含む合金である。また、金属板23の厚さは、0.1mm以上、2.0mm以下である。金属板23の表面に対して、耐食性を向上させ

るために、めっき処理を行ってもよい。この際、用いられるめっき材は、例えば、ニッケル、ニッケル－リン合金、ニッケル－ボロン合金が挙げられる。

[0026] 回路パターン24a～24eは、導電性に優れた金属を主成分として構成されている。このような金属は、例えば、銀、銅、ニッケル、または、少なくともこれらの一種を含む合金が挙げられる。また、回路パターン24a～24eの厚さは、0.5mm以上、1.5mm以下である。回路パターン24a～24eの表面に対して、耐食性を向上させるために、めっき処理を行ってもよい。この際、用いられるめっき材は、例えば、ニッケル、ニッケル－リン合金、ニッケル－ボロン合金が挙げられる。回路パターン24a～24eは、絶縁板22のおもて面に金属層を形成し、この金属層に対してエッチング等の処理を行って得られる。または、あらかじめ金属層から切り出した回路パターン24a～24eを絶縁板22のおもて面に圧着させてもよい。なお、図2及び図3に示す回路パターン24a～24eは一例である。必要に応じて、回路パターン24a～24eの個数、形状、大きさ等を適宜選択してもよい。回路パターン24a～24eもまた、耐食性を向上させるために、めっき処理により表面にめっき材を形成してもよい。このめっき材は、例えば、ニッケル、ニッケル－リン合金、ニッケル－ボロン合金が挙げられる。

[0027] このような構成を有するセラミック回路基板21として、例えば、DCB (Direct Copper Bonding) 基板、AMB (Active Metal Brazed) 基板を用いることができる。セラミック回路基板21は、半導体チップ25～28で発生した熱を回路パターン24a、24c、絶縁板22及び金属板23を介して、放熱基板11側に伝導させることができる。

[0028] 回路パターン24aは、第1アーム部Aのコレクタパターンを構成する。回路パターン24aは、半導体チップ25、26の裏面に形成されたコレクタ電極がはんだを介して接合されている。回路パターン24aは、略矩形状を成しており、図2中下側にコンタクト領域24a1を含む部分が突出して

いる。このような回路パターン24aは、半導体チップ25, 26がはんだ(図示を省略)を介して配置されている。

[0029] 回路パターン24bは、第1アーム部Aの制御パターンを構成する。回路パターン24bは、半導体チップ26のゲート電極26a3とボンディングワイヤ29aにより接続されている。回路パターン24bは、ボンディングワイヤ29aが接続される接続領域24b1を有する。回路パターン24bは、図2において、接続領域24b1を含む部分から、絶縁板22の一辺(図2中下側)に沿って、半導体チップ25, 26の配列方向と垂直に延びている。

[0030] 回路パターン24cは、第1アーム部Aのエミッタパターン及び第2アーム部Bのコレクタパターンを構成する。回路パターン24cは、半導体チップ25, 26のエミッタ電極(出力電極)25c, 26cと接続されたボンディングワイヤ29c, 29dが接続される接続領域24c2を有する。接続領域24c2は、半導体チップ25, 26の配列と同方向に延伸する。また、回路パターン24cは、半導体チップ27, 28の裏面に形成されたコレクタ電極がはんだを介して接合されている。回路パターン24cは、略矩形状を成しており、図2中上側にコンタクト領域24c1を含む部分が突出している。回路パターン24cは、回路パターン24aと並んで配置される。

[0031] 回路パターン24dは、第2アーム部Bの制御パターンを構成する。回路パターン24dは、半導体チップ27のゲート電極27a1とボンディングワイヤ29eにより接続されている。回路パターン24dは、接続領域24b1と半導体チップ25~27を隔てて反対側に位置する接続領域24d1を有する。回路パターン24dは、図2において、接続領域24d1を含む部分から、絶縁板22の一辺(図2中上側)に沿って、半導体チップ27, 28の配列方向と垂直に延びている。

[0032] 回路パターン24eは、第2アーム部Bのエミッタパターンを構成する。回路パターン24eは、半導体チップ27, 28のエミッタ電極27c, 2

8 c と接続されたボンディングワイヤ 29 g, 29 h が接続される接続領域 24 e 2 を有する。接続領域 24 e 2 は、半導体チップ 27, 28 と並んで配置される。そのため、回路パターン 24 e は、回路パターン 24 c を挟んで回路パターン 24 a の反対側に配置される部分を有する。回路パターン 24 e は、回路パターン 24 c の直交する 2 辺と絶縁板 22 の 2 辺との間で、直交するような L 字状を成している。さらに、回路パターン 24 e は、絶縁板 22 の図 2 中下側の部分にコンタクト領域 24 e 1 が設けられている。

[0033] ボンディングワイヤ 29 a ~ 29 h は、導電性に優れた金属を主成分として構成されている。このような金属は、例えば、金、銀、銅、アルミニウム、または、少なくともこれらの 1 種を含む合金が挙げられる。また、ボンディングワイヤ 29 a, 29 b, 29 e, 29 f の径は、例えば、 $120\mu\text{m}$ 以上、 $130\mu\text{m}$ 以下であり、ボンディングワイヤ 29 c, 29 d, 29 g, 29 h の径は、 $390\mu\text{m}$ 以上、 $410\mu\text{m}$ 以下である。

[0034] ボンディングワイヤ 29 a は、半導体チップ 26 のゲート電極 26 a 3 と回路パターン 24 b の接続領域 24 b 1 とを接合して電氣的に接続する。ボンディングワイヤ 29 b は、半導体チップ 26 側のゲート電極 25 a 3, 25 a 4 と半導体チップ 25 側のゲート電極 26 a 1, 26 a 2 との間を接続する。具体的には、ゲート電極 25 a 3, 26 a 1 間並びにゲート電極 25 a 4, 26 a 2 間の少なくとも一方が接続される。または、ゲート電極 25 a 3, 26 a 2 間またはゲート電極 25 a 4, 26 a 1 間を接続してもよい。図 2 ではボンディングワイヤ 29 a は、半導体チップ 26 側のゲート電極 25 a 3, 25 a 4 と半導体チップ 25 側のゲート電極 26 a 1, 26 a 2 とのうち、相互に最近接の位置にあるゲート電極 25 a 4 とゲート電極 26 a 2 とを接続する。

[0035] ボンディングワイヤ 29 c, 29 d は、半導体チップ 25, 26 の配列方向に対して垂直に、半導体チップ 25, 26 のエミッタ電極 25 c, 26 c と回路パターン 24 c の接続領域 24 c 2 とを電氣的に接続する。この際、ボンディングワイヤ 29 c, 29 d は、半導体チップ 25, 26 のエミッタ

電極 25 c, 26 c 上の複数の個所と、回路パターン 24 c の接続領域 24 c 2 とを、連続的に接合することにより接続する。

[0036] ボンディングワイヤ 29 e は、半導体チップ 27 のゲート電極 27 a 1 と回路パターン 24 d の接続領域 24 d 1 とを電氣的に接続する。ボンディングワイヤ 29 f は、半導体チップ 28 側のゲート電極 27 a 3, 27 a 4 と半導体チップ 27 側のゲート電極 28 a 1, 28 a 2 との間を接続する。具体的には、ゲート電極 27 a 3, 28 a 1 間並びにゲート電極 27 a 4, 28 a 2 間の少なくとも一方が接続される。または、ゲート電極 27 a 3, 28 a 2 間またはゲート電極 27 a 4, 28 a 1 間を接続してもよい。図 2 では、ボンディングワイヤ 29 f は、半導体チップ 28 側のゲート電極 27 a 3, 27 a 4 と半導体チップ 27 側のゲート電極 28 a 1, 28 a 2 とのうち、相互に最近接の位置にあるゲート電極 27 a 3 とゲート電極 28 a 1 とを接続する。

[0037] ボンディングワイヤ 29 g, 29 h は、半導体チップ 27, 28 の配列方向に対して垂直に、半導体チップ 27, 28 のエミッタ電極 27 c, 28 c と回路パターン 24 e の接続領域 24 e 2 とを電氣的に接続する。この際、ボンディングワイヤ 29 g, 29 h は、半導体チップ 27, 28 のエミッタ電極 27 c, 28 c 上の複数の個所と、回路パターン 24 e の接続領域 24 e 2 とを、連続的に接合することにより接続する。

[0038] このように半導体チップ 25 ~ 28 と回路パターン 24 a ~ 24 e とがボンディングワイヤ 29 a ~ 29 h により接続されて、図 5 に示されるインバータ回路が構成される。半導体ユニット 20 は、半導体チップ 25, 26 と回路パターン 24 a, 24 b とボンディングワイヤ 29 a, 29 b とにより第 1 アーム部（上アーム部）A が構成される。また、半導体ユニット 20 は、半導体チップ 27, 28 と回路パターン 24 c, 24 d とボンディングワイヤ 29 e, 29 f とにより第 2 アーム部（下アーム部）B が構成される。そして、半導体ユニット 20 は、C 1 端子（コンタクト領域 24 a 1 に対応）と E 2 端子（コンタクト領域 24 c 1 に対応）と E 1 C 2 端子（コンタク

ト領域 24 e 1 に対応) とを備えている。

[0039] そして、入力 P 端子である C 1 端子に、外部電源の高電位端子を接続し、入力 N 端子である E 2 端子に、外部電源の低電位端子を接続する。そして、半導体ユニット 20 の出力 U 端子である E 1 C 2 端子に負荷 (図示を省略) を接続する。これにより、半導体ユニット 20 は、インバータとして機能する。

[0040] このような構成を有する半導体ユニット 20 は、放熱基板 11 に複数配置されて、各コンタクト領域 24 a 1, 24 c 1, 24 e 1 にリードフレーム (図示を省略) を接合して、セラミック回路基板 21 上の半導体チップ 25 ~ 28 及びボンディングワイヤ 29 a ~ 29 h を封止部材で封止してもよい。この際の封止部材は、熱硬化性樹脂と熱硬化性樹脂に含有される充填材とを含んでいる。熱硬化性樹脂は、例えば、エポキシ樹脂、フェノール樹脂、マレイミド樹脂である。充填材は、フィラーである。フィラーは、例えば、酸化シリコン、酸化アルミニウム、窒化ホウ素または窒化アルミニウムで構成される。

[0041] 次に、半導体ユニット 20 に対する参考例の半導体ユニットについて、図 6 を用いて説明する。図 6 は、参考例の半導体ユニットの平面図である。なお、図 6 に示す半導体ユニット 120 は、半導体ユニット 20 と同じ構成には同じ符号を付しており、それらの説明は省略する。半導体ユニット 120 では、半導体ユニット 20 における半導体チップ 25 ~ 28 に代わり、半導体チップ 125 ~ 128 が設けられている。半導体チップ 125 ~ 128 は、半導体チップ 25 ~ 28 と同様に RC-I GBT である。但し、半導体チップ 125 ~ 128 は、おもて面の端部中央部に設けられた一つのゲート電極 125 a ~ 128 a とおもて面の中央部に設けられたエミッタ電極 125 b ~ 128 b とを備えている。

[0042] 半導体チップ 125, 126 は一列に、ゲート電極 125 a, 126 a が半導体チップ 127, 128 の反対側を向くように配列されている。ボンディングワイヤ 129 a が回路パターン 24 b の接続領域 24 b 1 と半導体チ

ップ126, 125のゲート電極126a, 125aとを接続している。半導体チップ127, 128は一行に、ゲート電極127a, 128aが半導体チップ125, 126側を向くように配列されている。ボンディングワイヤ129eが回路パターン24dの接続領域24d1と半導体チップ127, 128のゲート電極127a, 128aとを接続している。なお、この際のボンディングワイヤ129a, 129eの径もまた、 $120\mu\text{m}$ 以上、 $130\mu\text{m}$ 以下である。

[0043] このような半導体ユニット120では、ボンディングワイヤ129a, 129eが回路パターン24b, 24dの接続領域24b1, 24d1からゲート電極126a, 127aを経由して、ゲート電極125a, 128aまでそれぞれ配線されている。また、この際、ボンディングワイヤ129a, 129eは、回路パターン24a, 24cのおもて面に対して所定の曲率でアーチ状を成している。半導体ユニット120並びに複数の半導体ユニット120が設けられた放熱基板11の取り扱い時に、ボンディングワイヤ129a, 129eに触れてしまい、ボンディングワイヤ129a, 129eの傾倒が発生してしまうおそれがある。特に、放熱基板11の最端部に半導体ユニット120が設けられた場合には、ボンディングワイヤ129aが最端部に位置するため、触れられやすく傾倒が生じやすい。この際、ボンディングワイヤ129aがボンディングワイヤ29c, 29d側に傾倒した状態で半導体装置が製造されると、このような半導体装置は電氣的不良を含んでしまう。ボンディングワイヤ129eもまた、ボンディングワイヤ29g, 29h側またはボンディングワイヤ29c, 29d側に傾倒してしまうおそれがある。

[0044] 一方、半導体装置10が備える半導体ユニット20では、半導体チップ25~28は、おもて面の角部にそれぞれゲート電極25a1~25a4, 26a1~26a4, 27a1~27a4, 28a1~28a4が設けられている。また、半導体チップ26の半導体チップ25が配置されている側部を除く、いずれかの側部に配置された回路パターン24bと、半導体チップ2

7の半導体チップ28が配置されている側部を除く、いずれかの側部に配置された回路パターン24dと、を備える。この際、ボンディングワイヤ29bが半導体チップ26側のゲート電極25a4と半導体チップ25側のゲート電極26a2とを接続する。ボンディングワイヤ29fが半導体チップ27側のゲート電極28a1と半導体チップ28側のゲート電極27a3との間を接続する。ボンディングワイヤ29aは、回路パターン24b側のゲート電極26a3と回路パターン24bとを接続し、ボンディングワイヤ29eは、回路パターン24d側のゲート電極27a1と回路パターン24dとを接続する。

[0045] このような半導体装置10が備える半導体ユニット20は、ボンディングワイヤ29a、29b並びにボンディングワイヤ29e、29fによりゲート電圧の印加が行われる。すなわち、ボンディングワイヤ29a、29b並びにボンディングワイヤ29e、29fは、参考例のボンディングワイヤ129a、129eよりも接続箇所間の長さが短くなり、アーチの高さも低くすることができる。このため、ボンディングワイヤ29a、29b並びにボンディングワイヤ29e、29fは、外部から接触されても傾倒しにくくなる。また、ボンディングワイヤ29bは、半導体チップ27、28側のゲート電極25a4、26a2間を接続し、ボンディングワイヤ29fは、半導体チップ25、26側のゲート電極27a3、28a1間を接続する。すなわち、ボンディングワイヤ29b、29fは半導体ユニット20の内側に配線されている。このため、ボンディングワイヤ29b、29fは外部から接触されにくくなり、ボンディングワイヤ29b、29fの傾倒が防止される。したがって、半導体装置10の電氣的不良による故障の発生を防止することができ、半導体装置10の信頼性の低下を防止することができる。

[0046] なお、半導体装置10では、ボンディングワイヤ29aは回路パターン24bと回路パターン24b側のゲート電極26a3とを接続している。この場合に限らず、回路パターン24a、24bの形状、設計仕様に応じて、ボンディングワイヤ29aは回路パターン24bと回路パターン24b側のゲ

ート電極 26a4 と接続してもよく、または、2本のボンディングワイヤ 29a により、回路パターン 24b とゲート電極 26a3, 26a4 とをそれぞれ接続してもよい。また、ボンディングワイヤ 29e による回路パターン 24d と回路パターン 24d 側のゲート電極 27a1, 27a2 との接続についても同様に接続することができる。

[0047] 〔第2の実施の形態〕

第2の実施の形態では、第1の実施の形態とは異なる回路パターンを備える半導体ユニット 20 について、図7を用いて説明する。図7は、第2の実施の形態の半導体ユニットの平面図である。なお、第2の実施の形態の半導体装置は、図7に示される半導体ユニット 20 が図1に示した放熱基板 11 に第1の実施の形態の半導体ユニット 20 に代わって、複数配置される。また、第2の実施の形態の半導体ユニット 20 に含まれる半導体チップ 25～28 は、第1の実施の形態と同様である。このため、図7では、半導体チップ 25～28 に含まれるゲート電極等の構成の符号は省略している。半導体チップ 25～28 に対しては、図2及び図4に示した符号を利用することができる。

[0048] 半導体ユニット 20 は、第1アーム部 A と第2アーム部 B を備え、上下アームが形成されている。半導体ユニット 20 は、セラミック回路基板 21 とセラミック回路基板 21 のおもて面に設けられた半導体チップ 25～28 とを有している。なお、半導体チップ 25～28 は、第1の実施の形態と同様である。また、半導体ユニット 20 は、このようなセラミック回路基板 21 がはんだまたは銀ろう（図示を省略）を介して放熱基板 11 上に配置される（図1を参照）。

[0049] セラミック回路基板 21 は、平面視で矩形状である。セラミック回路基板 21 は、絶縁板 22 と絶縁板 22 の裏面に形成された金属板 23（図7では図示を省略）とを有している。さらに、セラミック回路基板 21 は、絶縁板 22 のおもて面に形成された回路パターン 24f～24j をそれぞれ有している。絶縁板 22 及び金属板 23 は、第1の実施の形態の絶縁板 22 及び金

属板 23 と同様である。回路パターン 24 f ～ 24 j は、第 1 の実施の形態の回路パターン 24 a ～ 24 e と同様の材質、厚さにより構成されている。

また、回路パターン 24 f ～ 24 j は、絶縁板 22 に対して、第 1 の実施の形態の回路パターン 24 a ～ 24 e と同様に形成される。

[0050] このような構成を有するセラミック回路基板 21 として、例えば、DCB 基板、AMB 基板を用いることができる。セラミック回路基板 21 は、半導体チップ 25 ～ 28 で発生した熱を回路パターン 24 f, 24 g、絶縁板 22 及び金属板 23 を介して、放熱基板 11 側に伝導させることができる。

[0051] 回路パターン 24 f は、第 1 アーム部 A のコレクタパターンを構成する。回路パターン 24 f は、半導体チップ 25, 26 の裏面に形成されたコレクタ電極がはんだを介して接合されている。回路パターン 24 f は、略矩形状を成しており、図 7 中右下側にコンタクト領域 24 f 1 を含む部分が突出している。このような回路パターン 24 f は、半導体チップ 25, 26 がはんだ（図示を省略）等を介して配置されている。

[0052] 回路パターン 24 h は、第 1 アーム部 A の制御パターンを構成する。回路パターン 24 h は、半導体チップ 26 のゲート電極 26 a 3 とボンディングワイヤ 29 i により電氣的に接続されている。回路パターン 24 h は、ボンディングワイヤ 29 i が接続される接続領域 24 h 1 を有する。回路パターン 24 h は、図 7 において、接続領域 24 h 1 を含む部分から、絶縁板 22 の一辺（図 7 中下側）に沿って、半導体チップ 25, 26 の配列方向と垂直に延びている。

[0053] 回路パターン 24 g は、第 1 アーム部 A のエミッタパターン及び第 2 アーム部 B のコレクタパターンを構成する。回路パターン 24 g は、半導体チップ 25, 26 のエミッタ電極（出力電極）25 c, 26 c とボンディングワイヤ 29 k により接続される接続領域 24 g 3 を含む領域（配線領域）が回路パターン 24 f の図 7 中上方に延出している。また、回路パターン 24 g は、半導体チップ 27, 28 の裏面に形成されたコレクタ電極がはんだを介して接合されている。回路パターン 24 g は、略 L 字状を成しており、既述

の配線領域にコンタクト領域 24 g 1, 24 g 2 を含んでいる。回路パターン 24 g は、回路パターン 24 f の 2 辺に沿って配置される。

[0054] 回路パターン 24 i は、第 2 アーム部 B の制御パターンを構成する。回路パターン 24 i は、半導体チップ 27 のゲート電極 27 a 2 とボンディングワイヤ 29 l により接続されている。回路パターン 24 i は、接続領域 24 h 1 に対して点対称に位置する接続領域 24 i 1 を有する。回路パターン 24 i は、図 7 において、回路パターン 24 h に対して点対称を成し、絶縁板 22 の一辺（図 7 中上側）に沿って、半導体チップ 27, 28 の配列方向と垂直に延びている。

[0055] 回路パターン 24 j は、第 2 アーム部 B のエミッタパターンを構成する。回路パターン 24 j は、半導体チップ 27, 28 のエミッタ電極 27 c, 28 c とボンディングワイヤ 29 n が接続される接続領域 24 j 2 を有する。回路パターン 24 j は、回路パターン 24 g を挟んで回路パターン 24 i の反対側に配置されている。このような回路パターン 24 j は、コンタクト領域 24 j 1 が設けられている。

[0056] ボンディングワイヤ 29 i ~ 29 n は、第 1 の実施の形態のボンディングワイヤ 29 a ~ 29 h と同様の材質で構成されている。また、ボンディングワイヤ 29 i, 29 j, 29 l, 29 m の径は、ボンディングワイヤ 29 a, 29 b, 29 e, 29 f と同様の径である。ボンディングワイヤ 29 k, 29 n の径は、ボンディングワイヤ 29 c, 29 d, 29 g, 29 h と同様の径である。

[0057] ボンディングワイヤ 29 i は、半導体チップ 26 のゲート電極 26 a 3 と回路パターン 24 h の接続領域 24 h 1 とを接合することにより電氣的に接続する。ボンディングワイヤ 29 j は、半導体チップ 26 側のゲート電極 25 a 3, 25 a 4 と半導体チップ 25 側のゲート電極 26 a 1, 26 a 2 との間を接続する。具体的には、ゲート電極 25 a 3, 26 a 1 間並びにゲート電極 25 a 4, 26 a 2 間の少なくとも一方が接続される。図 7 ではボンディングワイヤ 29 j は、半導体チップ 26 側のゲート電極 25 a 3, 25

a 4 と半導体チップ 2 5 側のゲート電極 2 6 a 1, 2 6 a 2 とのうち、相互に最近接の位置にあるゲート電極 2 5 a 4 とゲート電極 2 6 a 2 とを接続する。

[0058] ボンディングワイヤ 2 9 k は、半導体チップ 2 5, 2 6 の配列方向に対して平行に、半導体チップ 2 5, 2 6 のエミッタ電極 2 5 c, 2 6 c と回路パターン 2 4 g の接続領域 2 4 g 3 とを電氣的に接続する。この際、ボンディングワイヤ 2 9 k は、半導体チップ 2 5, 2 6 のエミッタ電極 2 5 c, 2 6 c 上の複数の個所と、回路パターン 2 4 g の接続領域 2 4 g 3 とを、連続的に接合することにより接続する。

[0059] ボンディングワイヤ 2 9 l は、半導体チップ 2 7 のゲート電極 2 7 a 2 と回路パターン 2 4 i の接続領域 2 4 i 1 とを接合することにより電氣的に接続する。ボンディングワイヤ 2 9 m は、半導体チップ 2 8 側のゲート電極 2 7 a 3, 2 7 a 4 と半導体チップ 2 7 側のゲート電極 2 8 a 1, 2 8 a 2 との間を接続する。具体的には、ゲート電極 2 7 a 3, 2 8 a 1 間並びにゲート電極 2 7 a 4, 2 8 a 2 間の少なくとも一方が接続される。図 7 ではボンディングワイヤ 2 9 m は、半導体チップ 2 8 側のゲート電極 2 7 a 3, 2 7 a 4 と半導体チップ 2 7 側のゲート電極 2 8 a 1, 2 8 a 2 とのうち、相互に最近接の位置にあるゲート電極 2 7 a 4 とゲート電極 2 8 a 2 とを接続する。

[0060] ボンディングワイヤ 2 9 n は、半導体チップ 2 7, 2 8 の配列方向に対して平行に、半導体チップ 2 7, 2 8 のエミッタ電極 2 7 c, 2 8 c と回路パターン 2 4 j の接続領域 2 4 j 2 とを電氣的に接続する。この際、ボンディングワイヤ 2 9 n は、半導体チップ 2 7, 2 8 のエミッタ電極 2 7 c, 2 8 c 上の複数の個所と、回路パターン 2 4 j の接続領域 2 4 j 2 とを、連続的に接合することにより接続する。

[0061] このように半導体チップ 2 5 ~ 2 8 と回路パターン 2 4 f ~ 2 4 j とがボンディングワイヤ 2 9 i ~ 2 9 n とにより接続されて、第 1 の実施の形態と同様に、図 5 に示されるインバータ回路が構成される。半導体ユニット 2 0

は、半導体チップ25、26と回路パターン24f、24hとボンディングワイヤ29i、29jとにより第1アーム部Aが構成される。また、半導体ユニット20は、半導体チップ27、28と回路パターン24i、24g、24jとボンディングワイヤ29l、29mとにより第2アーム部Bが構成される。そして、半導体ユニット20は、C1端子（コンタクト領域24f1に対応）とE2端子（コンタクト領域24g1、24g2に対応）とE1C2端子（コンタクト領域24j1に対応）とを備えている。

[0062] そして、入力P端子であるC1端子に、外部電源の高電位端子を接続し、入力N端子であるE2端子に、外部電源の低電位端子を接続する。そして、半導体ユニット20の出力U端子であるE1C2端子に負荷（図示を省略）を接続する。これにより、半導体ユニット20は、インバータとして機能する。

[0063] このような構成を有する半導体ユニット20は、放熱基板11に配置されて、各コンタクト領域24f1、24g1、24g2、24j1にリードフレーム（図示を省略）を接合して、セラミック回路基板21上の半導体チップ25～28及びボンディングワイヤ29i～29nを第1の実施の形態と同様に封止部材で封止してもよい。

[0064] このような第2の実施の形態の半導体装置が備える半導体ユニット20でも、半導体チップ25～28は、おもて面の角部にそれぞれ設けられたゲート電極25a1～25a4、26a1～26a4、27a1～27a4、28a1～28a4が設けられている。また、半導体チップ26の半導体チップ25が配置されている側部を除く、いずれかの側部に配置された回路パターン24hと、半導体チップ27の半導体チップ28が配置されている側部を除く、いずれかの側部に配置された回路パターン24iと、を備える。この際、ボンディングワイヤ29jが半導体チップ26側のゲート電極25a4と半導体チップ25側のゲート電極26a2との間を接続する。ボンディングワイヤ29mが半導体チップ27側のゲート電極28a1と半導体チップ28側のゲート電極27a3との間を接続する。ボンディングワイヤ29

i は、回路パターン 24 h 側のゲート電極 26 a 3 と回路パターン 24 h とを接続し、ボンディングワイヤ 29 l は、回路パターン 24 i 側のゲート電極 27 a 2 と回路パターン 24 i とを接続する。

[0065] このような半導体装置が備える半導体ユニット 20 は、複数のボンディングワイヤ 29 i, 29 j 並びにボンディングワイヤ 29 l, 29 m によりゲート電圧の印加が行われる。すなわち、ボンディングワイヤ 29 i, 29 j, 29 l, 29 m は接続箇所間の長さが短くなり、アーチの高さも低くすることができる。このため、ボンディングワイヤ 29 i, 29 j, 29 l, 29 m は、外部から接触されても傾倒しにくくなる。また、ボンディングワイヤ 29 b は、半導体チップ 27, 28 側のゲート電極 25 a 4, 26 a 2 間を接続し、ボンディングワイヤ 29 j は、半導体チップ 25, 26 側のゲート電極 27 a 3, 28 a 1 間を接続する。すなわち、ボンディングワイヤ 29 j, 29 m は半導体ユニット 20 の内側に配線されている。このため、ボンディングワイヤ 29 j, 29 m は外部から接触されにくくなり、ボンディングワイヤ 29 j, 29 m の傾倒が防止される。したがって、半導体装置の電氣的不良による故障の発生を防止することができ、半導体装置の信頼性の低下を防止することができる。

[0066] なお、第 2 の実施の形態でも、ボンディングワイヤ 29 i は回路パターン 24 h と回路パターン 24 h 側のゲート電極 26 a 4 とを接続してもよく、または、2 本のボンディングワイヤ 29 i により、回路パターン 24 h とゲート電極 26 a 3, 26 a 4 とをそれぞれ接続してもよい。また、ボンディングワイヤ 29 l による回路パターン 24 i と回路パターン 24 g 側のゲート電極 27 a 1, 27 a 2 との接続についても同様に接続することができる。

[0067] また、第 2 の実施の形態の半導体ユニット 20 では、第 1 の実施の形態の半導体ユニット 20 と異なり、エミッタパターンである回路パターン 24 j は、回路パターン 24 g の側部に沿って延伸されていない。また、第 2 の実施の形態の半導体ユニット 20 では、ボンディングワイヤ 29 k がボンディ

ングワイヤ 29 j と共に半導体チップ 25, 26 の配列方向に平行に配線されている。ボンディングワイヤ 29 n がボンディングワイヤ 29 m と共に半導体チップ 27, 28 の配列方向に平行に配線されている。このため、半導体ユニット 20 を狭幅化することができ、このような半導体ユニット 20 が備えられる半導体装置の小型化を図ることができる。

[0068] [第3の実施の形態]

第3の実施の形態では、第1, 第2の実施の形態とは異なり、異なる回路パターン上の半導体チップのゲート電極間をボンディングワイヤで接続する場合について、図8を用いて説明する。図8は、第3の実施の形態の半導体装置の平面図である。

[0069] 半導体装置 10 a は、放熱基板 11 と放熱基板 11 上に配置されたセラミック回路基板 21 a, 21 b とセラミック回路基板 21 a, 21 b にそれぞれ配置された半導体チップ 31 ~ 34, 41 ~ 44 及び半導体チップ 35 ~ 38, 45 ~ 48 とを備える。

[0070] セラミック回路基板 21 a, 21 b は、平面視で矩形状である。セラミック回路基板 21 a, 21 b は、絶縁板 22 a, 22 b と絶縁板 22 a, 22 b の裏面にそれぞれ形成された金属板（図示を省略）とを有している。さらに、セラミック回路基板 21 a, 21 b は、絶縁板 22 a, 22 b のおもて面に形成された回路パターン 24 k ~ 24 m, 24 n ~ 24 p をそれぞれ有している。絶縁板 22 a, 22 b 及び金属板は、第1の実施の形態の絶縁板 22 及び金属板 23 と同様である。回路パターン 24 k ~ 24 m, 24 n ~ 24 p は、第1の実施の形態の回路パターン 24 a ~ 24 e と同様の材質、厚さにより構成されている。また、回路パターン 24 k ~ 24 m, 24 n ~ 24 p は、絶縁板 22 a, 22 b に対して、第1の実施の形態の回路パターン 24 a ~ 24 e と同様に形成される。

[0071] このような構成を有するセラミック回路基板 21 a, 21 b として、例えば、DCB 基板、AMB 基板を用いることができる。セラミック回路基板 21 a, 21 b は、半導体チップ 31 ~ 34, 41 ~ 44 及び半導体チップ 3

5～38, 45～48で発生した熱を回路パターン24k, 24n、絶縁板22a, 22b及び金属板を介して、放熱基板11側に伝導させることができる。

[0072] 回路パターン24k, 24nは、コレクタパターンを構成する。回路パターン24k, 24nは、半導体チップ31～34, 35～38の裏面に形成されたコレクタ電極がはんだを介して接合されている。また、回路パターン24k, 24nは、半導体チップ41～44, 45～48の裏面に形成されたカソード電極がはんだを介して接合されている。さらに、回路パターン24k, 24nは、図8の上方に、主電極端子が接続されるコンタクト領域24k1, 24n1が設けられている。

[0073] 回路パターン24m, 24pは、制御パターンを構成する。回路パターン24mは、半導体チップ31のゲート電極と接続されたボンディングワイヤが接続されている。回路パターン24mは、制御端子が接続されるコンタクト領域24m1が設けられている。回路パターン24pは、半導体チップ35のセンス電極と接続されたボンディングワイヤが接続されている。回路パターン24pは、センス端子が接続されるコンタクト領域24p1が設けられている。

[0074] 回路パターン24l, 24oは、エミッタパターンを構成する。回路パターン24l, 24oは、半導体チップ43, 44並びに半導体チップ47, 48の入力電極（アノード電極）と接続されたボンディングワイヤ29q1, 29q2及びボンディングワイヤ29p3, 29p4が接続される。回路パターン24l, 24oは、主電極端子が接続されるコンタクト領域24l1, 24o1が設けられている。

[0075] 半導体チップ31～38は、シリコンまたは炭化シリコンを主成分として構成されたスイッチング素子である。スイッチング素子は、例えば、IGBT、パワーMOSFETである。半導体チップ31～38がIGBTである場合には、裏面に主電極としてコレクタ電極を、おもて面に、ゲート電極及び主電極としてエミッタ電極をそれぞれ備えている。半導体チップ31～3

8がパワーMOSFETである場合には、裏面に主電極としてドレイン電極を、おもて面に、ゲート電極及び主電極としてソース電極をそれぞれ備えている。また、半導体チップ31～38は、第1の実施の形態と同様に、平面視で矩形状のおもて面の角部にそれぞれ設けられたゲート電極（符号省略）と、おもて面の辺に沿ってゲート電極をそれぞれ接続するゲートランナ（図示を省略）と、おもて面の外周に沿って設けられた耐電構造部（図示を省略）と、を含む。さらに、半導体チップ31～38は、おもて面の角部のそれぞれの内側にエミッタ電極またはドレイン電極（図示を省略）を含む。なお、図示を省略するものの、各ゲート電極の近傍にはセンス電極がそれぞれ含まれている。これらの半導体チップ31～38は、例えば、はんだにより回路パターン24k，24nに接合されている。

[0076] また、半導体チップ41～48は、シリコンまたは炭化シリコンを主成分として構成されたダイオード素子である。ダイオード素子は、例えば、SBD（Schottky Barrier Diode）、PIN（P-intrinsic-N）ダイオード等のFWDである。このような半導体チップ41～48は、裏面に主電極としてカソード電極を、おもて面に主電極としてアノード電極をそれぞれ備えている。これらの半導体チップ41～44，45～48は、例えば、はんだにより回路パターン24k，24nに接合されている。

[0077] ボンディングワイヤ29o1～29o8，29p1，29p2，29q1～29q4は、第1の実施の形態のボンディングワイヤ29a～29hと同様の材質で構成されている。なお、図8中の破線で示されるボンディングワイヤは、意図的に破線で示しているに過ぎず、実際は、ボンディングワイヤ29o2～29o4，29o6～29o8と同様の材質、径である。また、破線で示されるボンディングワイヤはボンディングワイヤ29p1，29p2にのみ符号を付している。

[0078] ボンディングワイヤ29o1は、半導体チップ31のゲート電極（左上角部）と回路パターン24mとを電氣的に接続している。ボンディングワイヤ29o2は、半導体チップ31のゲート電極（右上角部）と半導体チップ3

2のゲート電極（左上角部）とを接続する。ボンディングワイヤ2903は、回路パターン24k, 24nの間隙を跨って、半導体チップ32のゲート電極（右上角部）と半導体チップ36のゲート電極（左上角部）とを接続する。ボンディングワイヤ2904は、半導体チップ36のゲート電極（右上角部）と半導体チップ35のゲート電極（左上角部）とを接続する。

[0079] また、ボンディングワイヤ2905は、半導体チップ31のゲート電極（右下角部）と半導体チップ33のゲート電極（右上角部）とを接続する。ボンディングワイヤ2906は、半導体チップ33のゲート電極（右上角部）と半導体チップ34のゲート電極（左上角部）とを接続する。ボンディングワイヤ2907は、回路パターン24k, 24nの間隙を跨って、半導体チップ34のゲート電極（右上角部）と半導体チップ33のゲート電極（左上角部）とを接続する。ボンディングワイヤ2908は、半導体チップ38のゲート電極（右上角部）と半導体チップ37のゲート電極（左上角部）とを接続する。

[0080] したがって、回路パターン24mから入力されたゲート電圧は、ボンディングワイヤ2901から半導体チップ31に印加される。印加されたゲート電圧は、半導体チップ31から、ボンディングワイヤ2902～2904を導通して、半導体チップ32, 36, 35に印加される。また、印加されたゲート電圧は、半導体チップ31から、ボンディングワイヤ2905～2908を導通して、半導体チップ33, 34, 38, 37に印加される。

[0081] また、ボンディングワイヤ2902～2904に沿って、破線で示される、センスエミッタ配線用のボンディングワイヤ（符号を省略）が半導体チップ31, 32, 36, 35のセンス電極（図示を省略）間をそれぞれ接続している。ボンディングワイヤ2906～2908に沿って、破線で示される、センスエミッタ配線用のボンディングワイヤ（符号を省略）が半導体チップ33, 34, 38, 37のセンス電極（図示を省略）間をそれぞれ接続している。センスエミッタ配線用のボンディングワイヤ2901が半導体チップ37, 35のセンス電極（図示を省略）間を接続している。センスエミッ

タ配線用のボンディングワイヤ29o2が半導体チップ35のセンス電極（図示を省略）と回路パターン24pとを接続する。

[0082] また、ボンディングワイヤ29q1は、半導体チップ31、33のエミッタ電極と半導体チップ41、43のアノード電極と回路パターン24lとを接続している。ボンディングワイヤ29q2は、半導体チップ32、34のエミッタ電極と半導体チップ42、44のアノード電極と回路パターン24lとを接続している。また、ボンディングワイヤ29q3は、半導体チップ36、38のエミッタ電極と半導体チップ46、48のアノード電極と回路パターン24oとを接続している。ボンディングワイヤ29q4は、半導体チップ35、37のエミッタ電極と半導体チップ45、47のアノード電極と回路パターン24oとを接続している。

[0083] このような第3の実施の形態の半導体装置10aでも、半導体チップ31～34、35～38は、おもて面の角部にゲート電極がそれぞれ設けられている。半導体チップ31～34、35～38がそれぞれ配置された回路パターン24k、24nを備える。さらに、半導体チップ31の半導体チップ32、33が配置されている側部を除く、いずれかの側部に配置された回路パターン24mと、半導体チップ35の半導体チップ36、37が配置されている側部を除く、いずれかの側部に配置された回路パターン24pとを備える。

[0084] この際、回路パターン24kにおいて、ボンディングワイヤにより、第1の実施の形態と同様に、半導体チップ31側の半導体チップ32、33のゲート電極と半導体チップ32、33側の半導体チップ31のゲート電極との間を接続する。また、ボンディングワイヤにより、半導体チップ34側の半導体チップ32、33のゲート電極と半導体チップ32、33側の半導体チップ34のゲート電極との間を接続する。なお、図8では、その一例として、ボンディングワイヤ29o2、29o5、29o6により各ゲート電極を接続している。

[0085] また、回路パターン24nにおいて、ボンディングワイヤにより、第1の

実施の形態と同様に、半導体チップ36側の半導体チップ35, 38のゲート電極と半導体チップ35, 38側の半導体チップ36のゲート電極との間を接続する。また、ボンディングワイヤにより、半導体チップ37側の半導体チップ35, 38のゲート電極と半導体チップ35, 38側の半導体チップ37のゲート電極との間を接続する。なお、図8では、その一例として、ボンディングワイヤ2904, 2908により各ゲート電極を接続している。

[0086] さらに、第3の実施の形態では、異なる回路パターン24k, 24nにおいて、半導体チップ32, 34側の半導体チップ36, 38のゲート電極と、半導体チップ36, 38側の半導体チップ32, 34のゲート電極と接続する。なお、図8では、その一例として、ボンディングワイヤ2903, 2907により各ゲート電極を接続している。

[0087] したがって、第3の実施の形態でも、同一の回路パターン24k, 24n並びに異なる回路パターン24k, 24nにおける半導体チップのゲート電極間を接続するボンディングワイヤは接続箇所間の長さが短くなり、アーチの高さも低くすることができる。このため、これらのボンディングワイヤは、外部から接触されても傾倒しにくくなる。

[0088] 特に、第1～第3の実施の形態を通じ、半導体チップは、おもて面の角部にゲート電極がそれぞれ設けられているため、上記のようなボンディングワイヤによるゲート電極間の接続が可能となる。また、このような半導体チップにより、様々な配線形態を実現することができる。

[0089] 上記については単に本発明の原理を示すものである。さらに、多数の変形、変更が当業者にとって可能であり、本発明は上記に示し、説明した正確な構成及び応用例に限定されるものではなく、対応するすべての変形例及び均等物は、添付の請求項及びその均等物による本発明の範囲とみなされる。

符号の説明

[0090] 10, 10a 半導体装置

11 放熱基板

12a~12e, 29a~29h, 29i~29n, 29o1~29o8
, 29p1~29p4, 29q1~29q4 ボンディングワイヤ

20, 20a~20f 半導体ユニット

21, 21a, 21b セラミック回路基板

22, 22a, 22b 絶縁板

23 金属板

24a~24e, 24f~24j, 24k~24m, 24n~24p 回
路パターン

24a1, 24c1, 24e1, 24f1, 24g1, 24g2, 24j
1, 24k1, 24l1, 24m1, 24n1, 24o1, 24p1 コン
タクト領域

24b1, 24c2, 24d1, 24e2, 24g3, 24h1, 24i
1, 24j2 接続領域

25~28, 31~38, 41~48 半導体チップ

25a1~25a4, 26a1~26a4, 27a1~27a4, 28a
1~28a4 ゲート電極

25b, 26b, 27b, 28b ゲートランナ

25c, 26c, 27c, 28c エミッタ電極

25d, 26d, 27d, 28d 耐電構造部

A 第1アーム部

B 第2アーム部

請求の範囲

- [請求項1] 第1 おもて面の角部にそれぞれ設けられた第1 制御電極と前記第1 おもて面に設けられた第1 出力電極と第1 裏面に設けられた第1 入力電極とを備える第1 半導体チップと、
- 第2 おもて面の角部にそれぞれ設けられた第2 制御電極と前記第2 おもて面に設けられた第2 出力電極と第2 裏面に設けられた第2 入力電極とを備え、前記第1 半導体チップの側部に配置された第2 半導体チップと、
- 前記第2 半導体チップ側の第1 制御電極と前記第1 半導体チップ側の第2 制御電極との間を接続する第1 連結配線と、
- 有する半導体装置。
- [請求項2] 前記第1 連結配線は、前記第2 半導体チップ側の第1 制御電極と前記第1 半導体チップ側の第2 制御電極とのうち、相互に最近接の位置にある第1 制御電極と第2 制御電極とを接続する、
- 請求項1 に記載の半導体装置。
- [請求項3] 前記第2 半導体チップの前記第1 半導体チップが配置されている側部を除く、いずれかの側部に配置された第1 制御回路パターンと、
- 前記第1 制御回路パターン側の第2 制御電極と前記第1 制御回路パターンとを接続する第1 入出力配線と、
- をさらに有する請求項1 または2 に記載の半導体装置。
- [請求項4] 前記第1 入出力配線は、前記第1 制御回路パターンと前記第1 制御回路パターン側の第2 制御電極のいずれかを接続する、
- 請求項3 に記載の半導体装置。
- [請求項5] 前記第1 連結配線で接続された前記第1 半導体チップ及び前記第2 半導体チップと、
- 前記第1 入出力配線で前記第2 半導体チップと接続され、前記第2 半導体チップの前記第1 半導体チップの反対側に設けられた前記第1 制御回路パターンと、を備え、

前記第 1 制御回路パターンの側部に設けられ、前記第 1 半導体チップ及び前記第 2 半導体チップが配置された第 1 回路パターンをさらに備える第 1 アーム部、

を含む請求項 3 または 4 に記載の半導体装置。

[請求項 6]

前記第 1 半導体チップ及び前記第 2 半導体チップの配列方向に沿って、前記第 1 回路パターンの側部に配置された第 2 回路パターンと、

前記第 2 回路パターンに配置され、第 3 おもて面の角部にそれぞれ設けられた第 3 制御電極と前記第 3 おもて面に設けられた第 3 出力電極と第 3 裏面に設けられた第 3 入力電極とを備える第 3 半導体チップと、

前記第 2 回路パターンに配置され、第 4 おもて面の角部にそれぞれ設けられた第 4 制御電極と前記第 4 おもて面に設けられた第 4 出力電極と第 2 裏面に設けられた第 4 入力電極とを備え、前記第 3 半導体チップの側部に前記配列方向に沿って配置された第 4 半導体チップと、

前記第 4 半導体チップ側の第 3 制御電極と前記第 3 半導体チップ側の第 4 制御電極との間を接続する第 2 連結配線と、

を備える第 2 アーム部、

をさらに含む請求項 5 に記載の半導体装置。

[請求項 7]

前記第 2 連結配線は、前記第 4 半導体チップ側の第 3 制御電極と前記第 3 半導体チップ側の第 4 制御電極とのうち、相互に最近接の位置にある第 3 制御電極と第 4 制御電極とを接続する、

請求項 6 に記載の半導体装置。

[請求項 8]

前記第 2 アーム部は、

前記第 3 半導体チップの前記第 4 半導体チップが配置されている側部を除く、いずれかの側部に配置された第 2 制御回路パターンと、

前記第 2 制御回路パターン側の第 3 制御電極と前記第 2 制御回路パターンとを接続する第 2 入出力配線と、

をさらに備える請求項 7 に記載の半導体装置。

- [請求項9] 前記第1連結配線は、前記第3半導体チップ及び前記第4半導体チップ側の前記第1制御電極と前記第2制御電極とを接続し、
前記第2連結配線は、前記第1半導体チップ及び前記第2半導体チップ側の前記第3制御電極と前記第4制御電極とを接続している、
請求項8に記載の半導体装置。
- [請求項10] 前記第1アーム部は、
前記第1出力電極及び前記第2出力電極から前記第1連結配線の接続方向に対して側部方向に延伸して、前記第2回路パターンと接続する第1出力配線、
をさらに備える請求項6乃至9のいずれかに記載の半導体装置。
- [請求項11] 前記第2アーム部は、
前記第2回路パターンの前記第1回路パターンの反対側に隣接し、
前記第2回路パターンに沿って配置された第3回路パターンと、
前記第3出力電極及び前記第4出力電極から前記第2連結配線の接続方向に対して側部方向に延伸して、前記第3回路パターンと接続する第2出力配線と、
をさらに備える請求項6乃至10のいずれかに記載の半導体装置。
- [請求項12] 前記第2回路パターンは、前記第1回路パターンの側部であって、
前記第1半導体チップの前記第2半導体チップの反対側に隣接する配線領域を含み、
前記第1アーム部は、
前記第1出力電極及び前記第2出力電極から前記第1連結配線の接続方向に延伸して、前記配線領域と接続する第1出力配線、
をさらに有する請求項6乃至9のいずれかに記載の半導体装置。
- [請求項13] 前記第2アーム部は、
前記第2回路パターンの側部であり、前記第4半導体チップの前記第3半導体チップの反対側であって、前記第2回路パターンの前記配線領域の反対側に配置された第3回路パターンと、

前記第3出力電極及び前記第4出力電極から前記第2連結配線の接続方向に延伸して、前記第3回路パターンと接続する第2出力配線と

、

を含む、

請求項12に記載の半導体装置。

[請求項14] 前記第1半導体チップ、前記第2半導体チップ、前記第3半導体チップ及び前記第4半導体チップは、RC-IGBTである、

請求項6乃至13のいずれかに記載の半導体装置。

[請求項15] 前記第1半導体チップが配置された第1回路パターンと、

前記第1回路パターンに間隙を空けて設けられ、前記第2半導体チップが配置される第2回路パターンと、

を備え、

前記第1連結配線は、前記間隙を跨いで、前記第2半導体チップ側の第1制御電極と前記第1半導体チップ側の第2制御電極との間を接続する、

請求項1または2に記載の半導体装置。

[請求項16] 前記第1連結配線は、前記第2半導体チップ側の第1制御電極と前記第1半導体チップ側の第2制御電極とのうち、相互に最近接の位置にある第1制御電極と第2制御電極とを接続する、

請求項15に記載の半導体装置。

[請求項17] 前記第1半導体チップ及び前記第2半導体チップは、IGBTである、

請求項15または16に記載の半導体装置。

[請求項18] 平面視で矩形状のおもて面の角部にそれぞれ設けられたゲート電極と、

前記おもて面の辺に沿って前記ゲート電極をそれぞれ接続するゲートランナと、

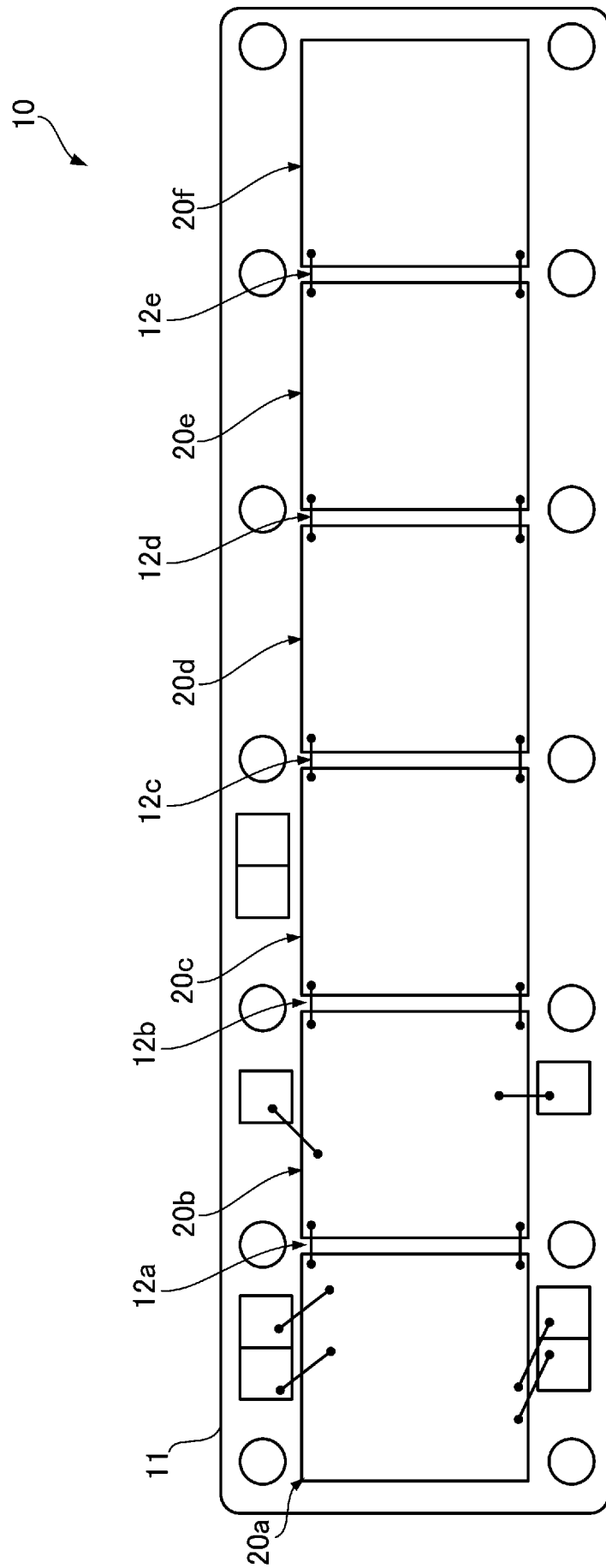
前記おもて面の外周に沿って設けられた耐電構造部と、

を含む半導体チップ。

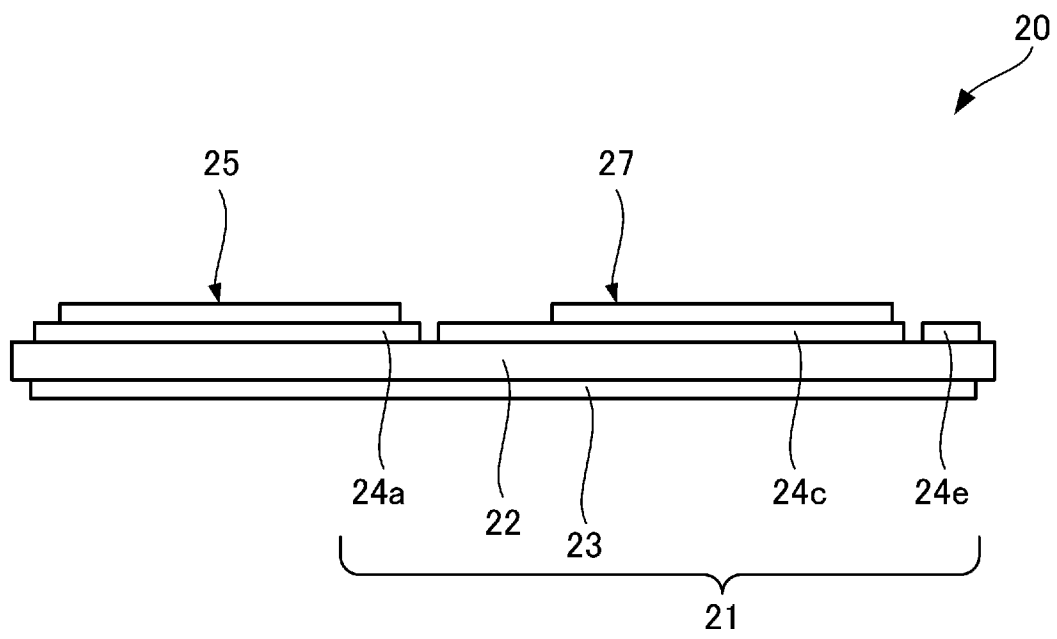
[請求項19]

前記おもて面に主電極をさらに含む、
請求項18に記載の半導体チップ。

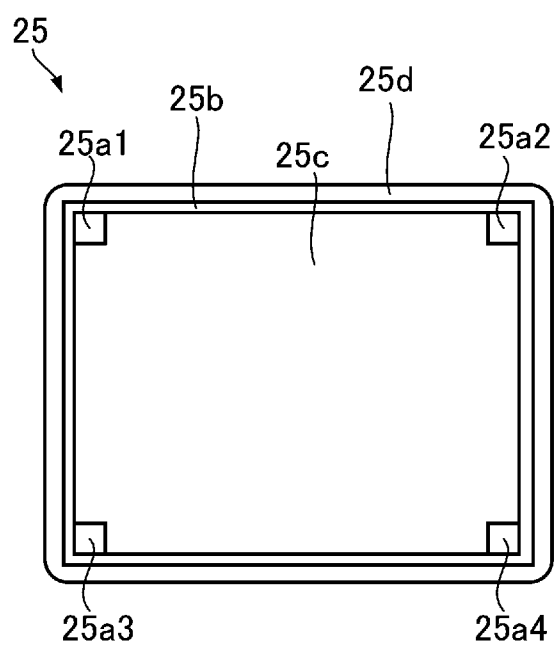
[図1]



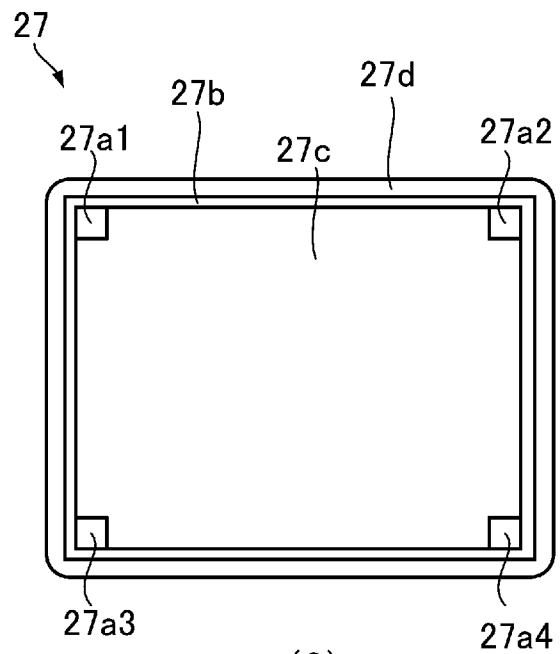
[図3]



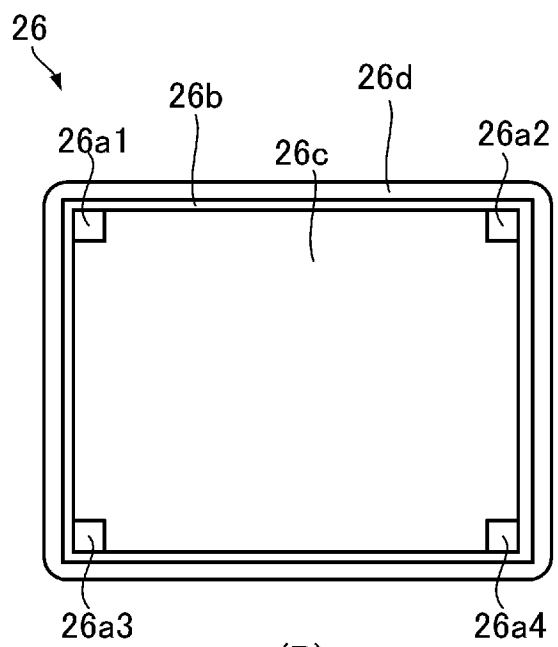
[図4]



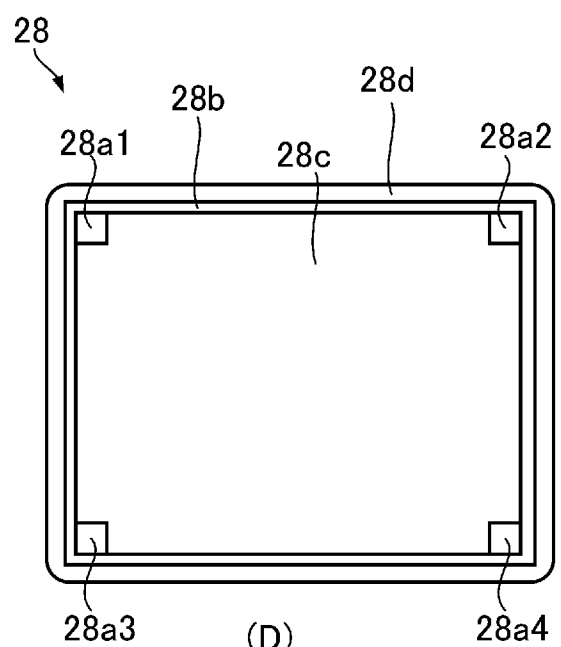
(A)



(C)

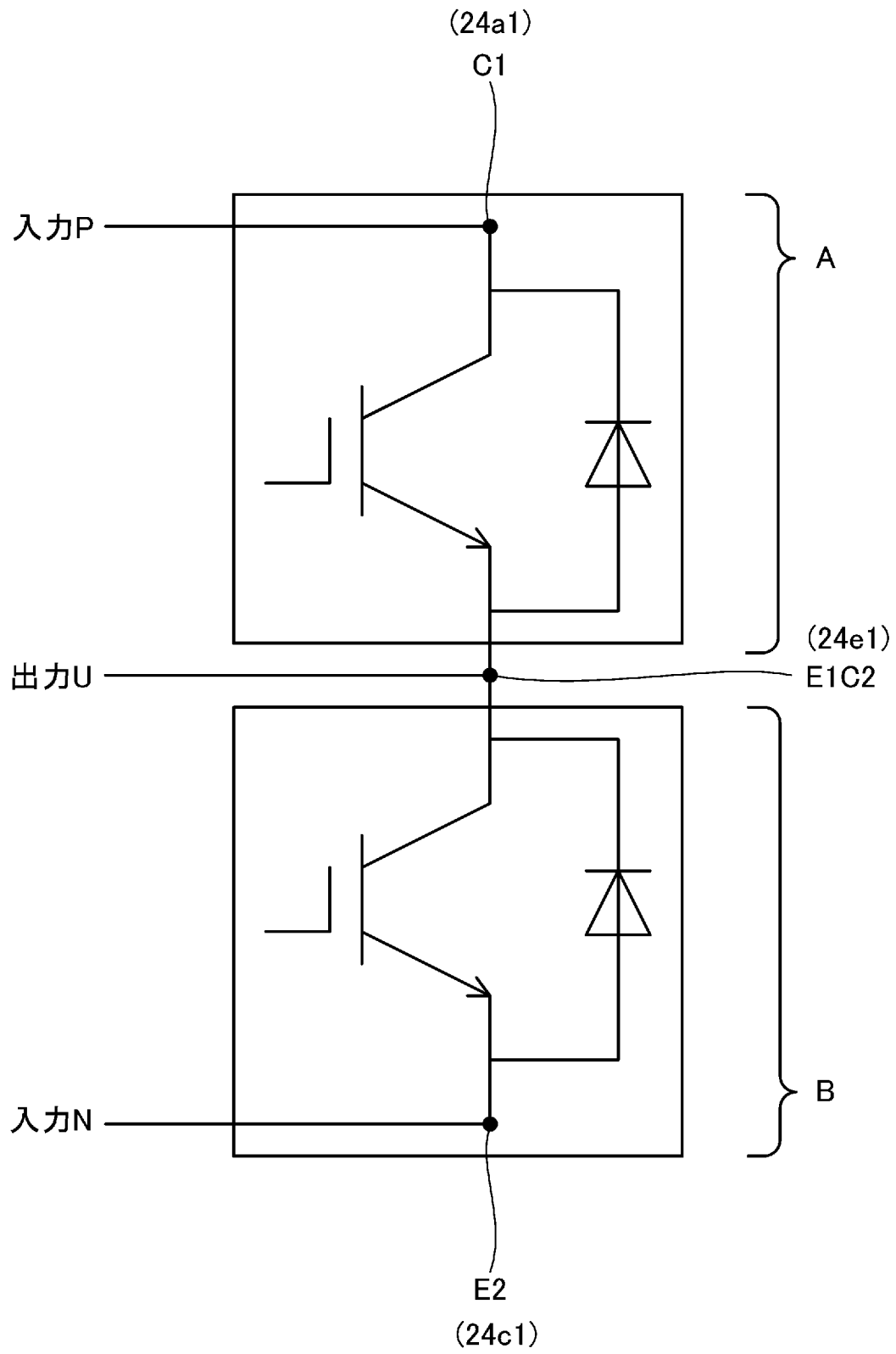


(B)

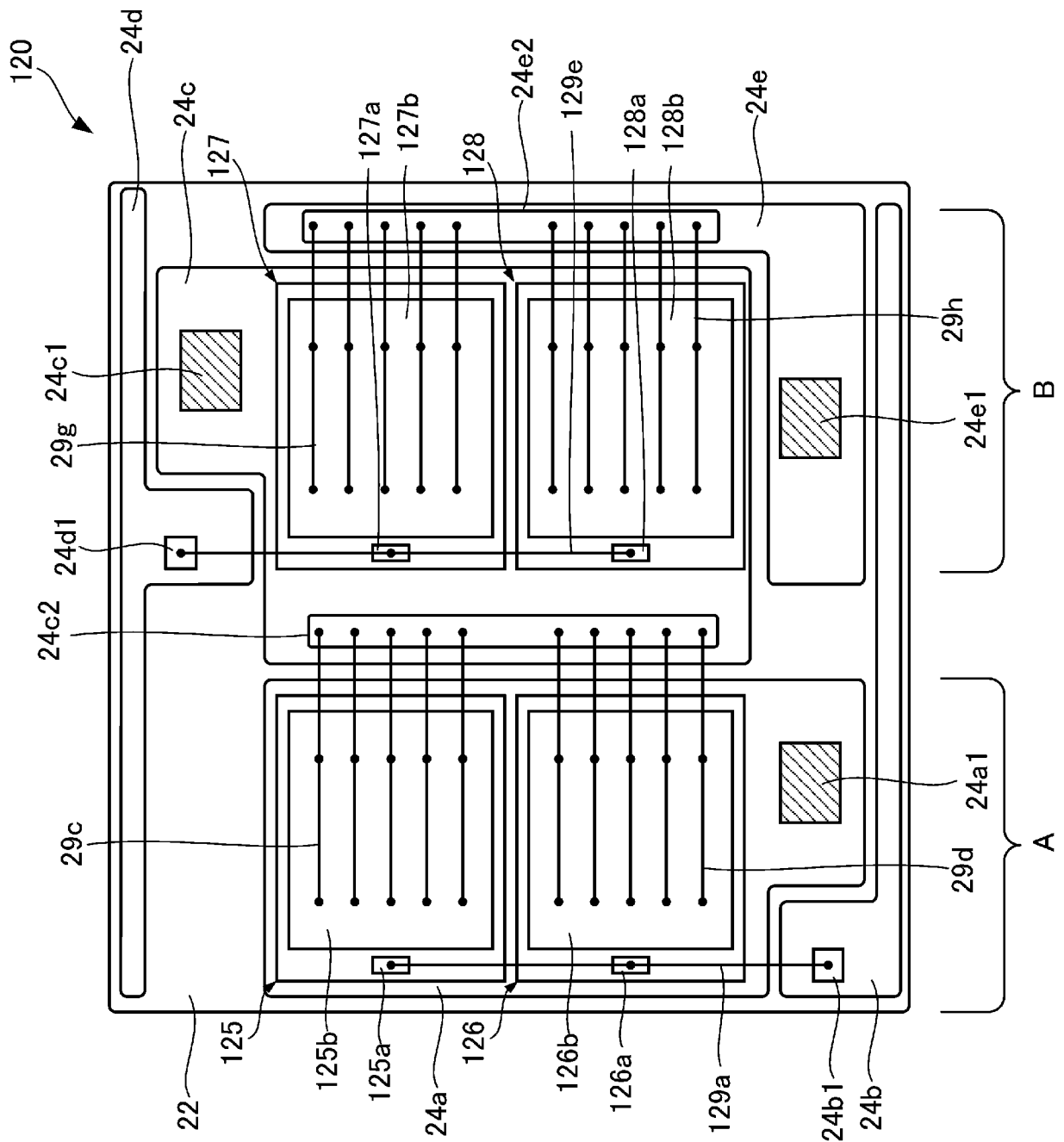


(D)

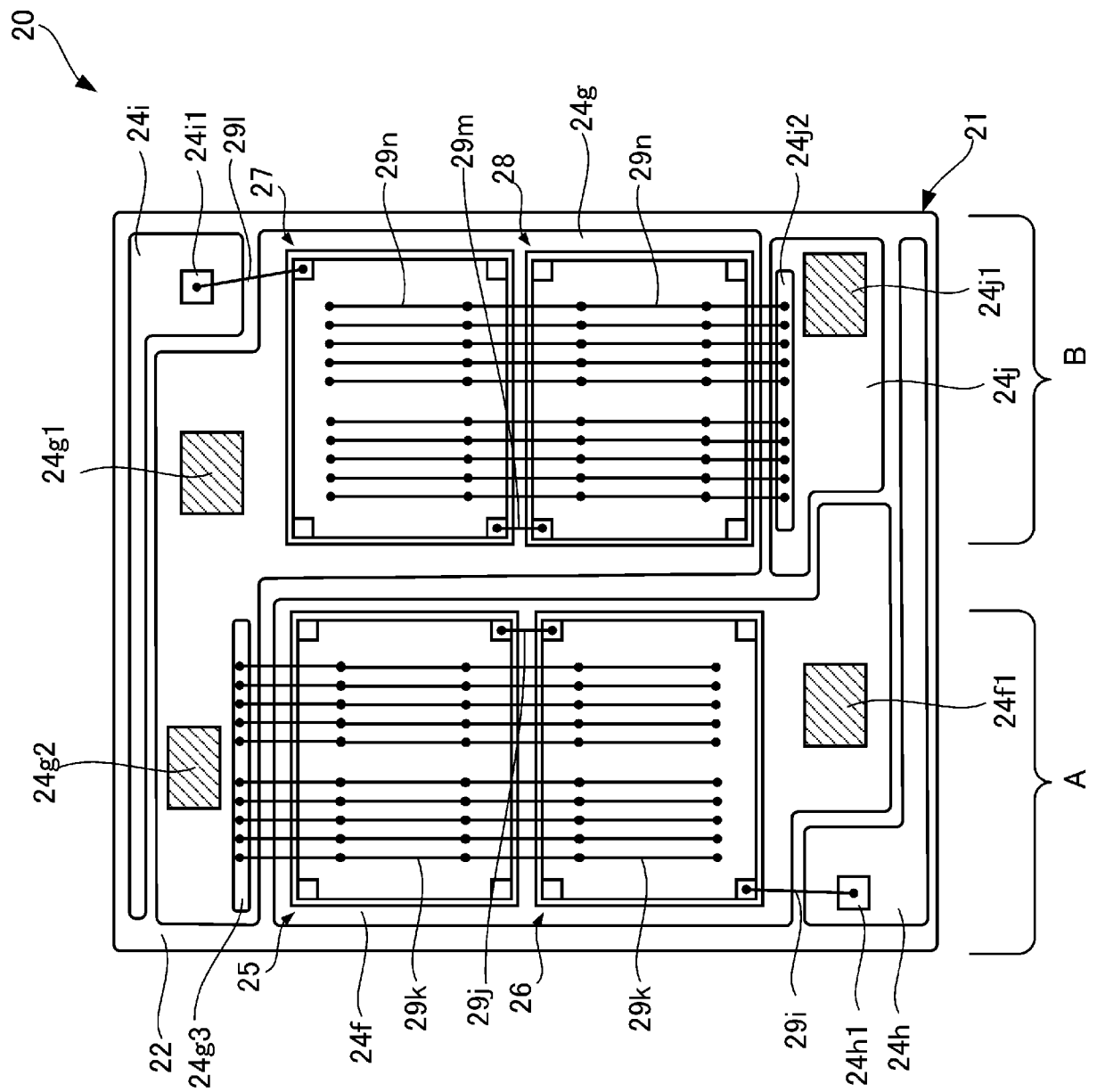
[図5]



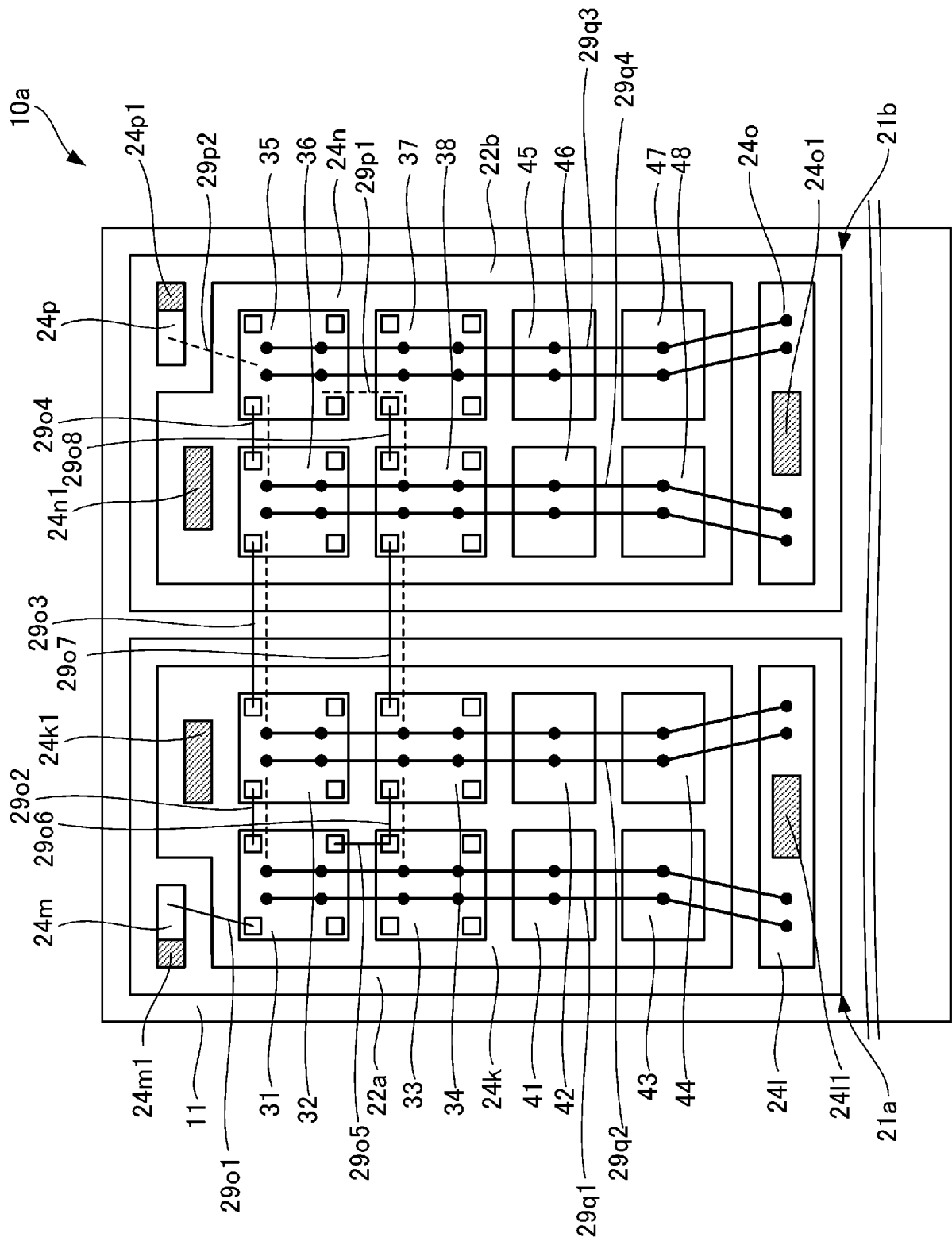
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/020532

A. CLASSIFICATION OF SUBJECT MATTER

H01L 25/07(2006.01)i; H01L 25/18(2006.01)i; H01L 21/60(2006.01)i
 FI: H01L25/04 C; H01L21/60 301A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L25/07; H01L25/18; H01L21/60

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2021
Registered utility model specifications of Japan	1996-2021
Published registered utility model applications of Japan	1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2020/059285 A1 (FUJI ELECTRIC CO., LTD.) 26 March 2020 (2020-03-26) paragraphs [0001]-[0041], fig. 1-4	1-14
A	entire text, all drawings	15-19
Y	JP 11-103051 A (NEC CORP.) 13 April 1999 (1999-04-13) paragraphs [0006]-[0044], fig. 1-4, 6, 12-14	1-14
A	entire text, all drawings	15-17
X	paragraphs [0006]-[0044], fig. 1-4, 6, 12-14	18, 19
A	WO 2017/029748 A1 (HITACHI, LTD.) 23 February 2017 (2017-02-23) entire text, all drawings	1-19



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

20 August 2021 (20.08.2021)

Date of mailing of the international search report

31 August 2021 (31.08.2021)

Name and mailing address of the ISA/

Japan Patent Office
 3-4-3, Kasumigaseki, Chiyoda-ku,
 Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2021/020532

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
WO 2020/059285 A1	26 Mar. 2020	(Family: none)	
JP 11-103051 A	13 Apr. 1999	US 6222266 B1 column 1, line 5 to column 7, line 14, fig. 3-9, 15-17	
WO 2017/029748 A1	23 Feb. 2017	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 25/07(2006.01)i; H01L 25/18(2006.01)i; H01L 21/60(2006.01)i FI: H01L25/04 C; H01L21/60 301A														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） H01L25/07; H01L25/18; H01L21/60														
最小限資料以外の資料で調査を行った分野に含まれるもの														
<table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2021年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2021年	日本国実用新案登録公報	1996 - 2021年	日本国登録実用新案公報	1994 - 2021年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2021年													
日本国実用新案登録公報	1996 - 2021年													
日本国登録実用新案公報	1994 - 2021年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
Y	WO 2020/059285 A1（富士電機株式会社）26.03.2020（2020 - 03 - 26） [0001]-[0041], 図1-4	1-14												
A	全文, 全図	15-19												
Y	JP 11-103051 A（日本電気株式会社）13.04.1999（1999 - 04 - 13） [0006]-[0044], 図1-4, 6, 12-14	1-14												
A	全文, 全図	15-17												
X	[0006]-[0044], 図1-4, 6, 12-14	18, 19												
A	WO 2017/029748 A1（株式会社日立製作所）23.02.2017（2017 - 02 - 23） 全文, 全図	1-19												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 20.08.2021	国際調査報告の発送日 31.08.2021													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 庄司 一隆 5F 1215 電話番号 03-3581-1101 内線 3516													

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2021/020532

引用文献			公表日	パテントファミリー文献	公表日
WO	2020/059285	A1	26.03.2020	(ファミリーなし)	
JP	11-103051	A	13.04.1999	US 6222266 B1	第1欄第5行-第7欄第14行, 図3-9, 15-17
WO	2017/029748	A1	23.02.2017	(ファミリーなし)	