

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7364081号
(P7364081)

(45)発行日 令和5年10月18日(2023.10.18)

(24)登録日 令和5年10月10日(2023.10.10)

(51)国際特許分類

F I

H 0 1 L 29/78 (2006.01)

H 0 1 L 29/78 6 5 7 F

H 0 1 L 29/06 (2006.01)

H 0 1 L 29/78 6 5 2 F

H 0 1 L 29/78 6 5 2 S

H 0 1 L 29/78 6 5 3 C

H 0 1 L 29/78 6 5 2 K

請求項の数 2 (全13頁) 最終頁に続く

(21)出願番号 特願2022-534090(P2022-534090)
 (86)(22)出願日 令和3年6月30日(2021.6.30)
 (86)国際出願番号 PCT/JP2021/024812
 (87)国際公開番号 WO2022/004807
 (87)国際公開日 令和4年1月6日(2022.1.6)
 審査請求日 令和4年9月14日(2022.9.14)
 (31)優先権主張番号 特願2020-115972(P2020-115972)
 (32)優先日 令和2年7月3日(2020.7.3)
 (33)優先権主張国・地域又は機関
 日本国(JP)

(73)特許権者 000004260
 株式会社デンソー
 愛知県刈谷市昭和町1丁目1番地
 (74)代理人 110001128
 弁理士法人ゆうあい特許事務所
 (72)発明者 萩野 勇志
 愛知県刈谷市昭和町1丁目1番地 株式
 会社デンソー内
 (72)発明者 合田 健太
 愛知県刈谷市昭和町1丁目1番地 株式
 会社デンソー内
 審査官 石塚 健太郎

最終頁に続く

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】

メインセル領域(R_m)およびセンスセル領域(R_s)に同じ構造の縦型の半導体スイッチング素子が形成された半導体装置であって、

前記半導体スイッチング素子は、

第1導電型のドリフト層(2)と、

前記ドリフト層上に形成された第2導電型のチャネル層(3)と、

前記チャネル層内における該チャネル層の表層部に形成され、前記ドリフト層より高不純物濃度とされた第1導電型の第1不純物領域(4)と、

前記第1不純物領域と前記ドリフト層との間における前記チャネル層を覆うゲート絶縁膜(6)と、

一方向を長手方向として複数本が並べられることでストライプ状に配置され、前記ゲート絶縁膜の表面に形成されることで、前記チャネル層に対してチャネル領域を形成するゲート電極層(8)と、

前記ドリフト層を挟んで前記チャネル層と反対側に形成され、前記ドリフト層よりも高不純物濃度とされた第1または第2導電型の第2不純物領域(1)と、

前記第1不純物領域および前記チャネル層と電気的に接続される上部電極(10)と、

前記第2不純物領域と電気的に接続された下部電極(12)と、を有して構成され、

前記センスセル領域は、センスセルとして形成される前記半導体スイッチング素子の動作領域を囲む四角形状の領域として規定され、該メインセル領域における前記一方向と同

10

20

方向の寸法を横方向寸法、該横方向寸法に対して垂直な方向の寸法を縦方向寸法として、前記縦方向寸法が前記横方向寸法以上とされており、

前記メインセル領域においてストライプ状に配置された前記ゲート電極層のピッチに対して、前記センスセル領域においてストライプ状に配置された前記ゲート電極層のピッチが長くされている、半導体装置。

【請求項 2】

前記一方向を長手方向として、前記第 1 不純物領域から前記チャンネル層を貫通して前記ドリフト層に達するトレンチ (5) が形成され、該トレンチ内に、前記ゲート絶縁膜を介して前記ゲート電極層が形成されたとされたトレンチゲート構造を有する、請求項 1 に記載の半導体装置。

10

【発明の詳細な説明】

【関連出願への相互参照】

【0001】

本出願は、2020年7月3日に出願された日本特許出願番号2020-115972号に基づくもので、ここにその記載内容が参照により組み入れられる。

【技術分野】

【0002】

本開示は、メインセル領域とセンスセル領域とに、同じ構造の縦型の半導体スイッチング素子を備え、メインセル領域に流れる電流をセンスセル領域に流れる電流に基づいて検出する半導体装置に関するものである。

20

【背景技術】

【0003】

特許文献 1 に、メインセル領域とセンスセル領域とに、同じ構造の縦型の半導体スイッチング素子を備え、メインセル領域に流れる電流をセンスセル領域に流れる電流に基づいて検出する半導体装置が開示されている。

【0004】

この半導体装置では、プレーナ型のゲート電極を有し、メインセル領域に形成されるメイン素子の間に、センスセル領域として電流検出素子を配置した構造とされ、メイン素子とセンス素子の間に高抵抗領域を備えることでこれらの間を電氣的に分離している。このような構造とすることで、キャリアの通路を整合させ、電流検出素子に流れる検出電流の精度を向上させている。

30

【先行技術文献】

【特許文献】

【0005】

【文献】特開平 10 - 261704 公報

【発明の概要】

【0006】

特許文献 1 のようなメイン素子に流れる電流を電流検出素子に流れる電流に基づいて検出する半導体装置において、実際に電流検出素子の検出精度向上を図るためには、電流検出素子のゲート電圧依存性の設計が重要になる。このため、ゲート電圧依存性の設計を行うことができる構造の半導体装置が望まれる。

40

本開示は、ゲート電圧依存性の設計を行うことができる構造の半導体装置を提供することを目的とする。

【0007】

本開示の 1 つの観点においては、メインセル領域およびセンスセル領域に同じ構造の縦型の半導体スイッチング素子が形成された半導体装置であって、半導体スイッチング素子は、第 1 導電型のドリフト層と、ドリフト層上に形成された第 2 導電型のチャンネル層と、チャンネル層内における該チャンネル層の表層部に形成され、ドリフト層より高不純物濃度とされた第 1 導電型の第 1 不純物領域と、第 1 不純物領域とドリフト層との間におけるチャンネル層を覆うゲート絶縁膜と、一方向を長手方向として複数本が並べられることでストラ

50

イブ状に配置され、ゲート絶縁膜の表面に形成されることで、チャンネル層に対してチャンネル領域を形成するゲート電極層と、ドリフト層を挟んでチャンネル層と反対側に形成され、ドリフト層よりも高不純物濃度とされた第1または第2導電型の第2不純物領域と、第1不純物領域およびチャンネル層と電氣的に接続される上部電極と、第2不純物領域と電氣的に接続された下部電極と、を有して構成されている。また、センスセル領域は、センスセルとして形成される半導体スイッチング素子の動作領域を囲む四角形状の領域として規定され、該メインセル領域における前記一方向と同方向の寸法を横方向寸法、該横方向寸法に対して垂直な方向の寸法を縦方向寸法として、縦方向寸法が横方向寸法以上とされており、メインセル領域においてストライプ状に配置されたゲート電極層のピッチに対して、センスセル領域においてストライプ状に配置されたゲート電極層のピッチが長くされている。

10

【0008】

このように、メインセル領域の縦方向寸法が横方向寸法以上となるように寸法設計を行っている。メインセル領域に流れるメイン電流は、メインセル領域に流れるメイン電流に対するセンスセル領域に流れるセンス電流の比（以下、センス比という）に基づいて検出される。このため、ゲート電圧の変化に対するセンス比の変化量が大きければ、センス比を高い感度で精度良く検出することが可能となる。したがって、帰還回路で縦型の半導体スイッチング素子を駆動する半導体装置のセンス比もしくはセンス電流を検出する回路を考えた場合において、ゲート電圧をゲートドライバ回路で制御する回路設計の自由度を向上できる。よって、ゲート電圧依存性の設計を行うことが可能となる。

20

【0009】

また、本開示のもう1つの観点においては、半導体スイッチング素子は、第1導電型のドリフト層と、ドリフト層上に形成された第2導電型のチャンネル層と、チャンネル層内における該チャンネル層の表層部に形成され、ドリフト層よりも高不純物濃度とされた第1導電型の第1不純物領域と、第1不純物領域とドリフト層との間におけるチャンネル層を覆うゲート絶縁膜と、一方向を長手方向として複数本が並べられることでストライプ状に配置され、ゲート絶縁膜の表面に形成されることで、チャンネル層に対してチャンネル領域を形成するゲート電極層と、ドリフト層を挟んでチャンネル層と反対側に形成され、ドリフト層よりも高不純物濃度とされた第1または第2導電型の第2不純物領域と、第1不純物領域およびチャンネル層と電氣的に接続される上部電極と、第2不純物領域と電氣的に接続された下部電極と、を有して構成され、センスセル領域におけるドリフト層には、該ドリフト層をメインセル領域におけるドリフト層よりも高抵抗とする抵抗成分層が形成されている。

30

【0010】

このように、センスセル領域におけるドリフト層に抵抗成分層を備えている。このような構成によれば、センスセル領域に流れるセンス電流を減少させることが可能となる。このため、センスセル領域とメインセル領域のゲート電圧依存性をほぼ一致させることが可能となる。よって、ゲート電圧依存性の設計を行うことが可能となる。

【0011】

なお、各構成要素等に付された括弧付きの参照符号は、その構成要素等と後述する実施形態に記載の具体的な構成要素等との対応関係の一例を示すものである。

40

【図面の簡単な説明】

【0012】

【図1】第1実施形態にかかる半導体装置の上面レイアウト図である。

【図2】図1のII-II断面図である。

【図3】図1のIII-III断面図である。

【図4】図1のIV-IV断面図である。

【図5】センスセル領域を説明する上面レイアウト図である。

【図6】ゲートドライバ回路による半導体装置の駆動の様子を示したブロック図である。

【図7】ゲート電圧に対するセンス比の関係を示した図である。

【図8】第1実施形態の変形例にかかる半導体装置中のセンスセル領域を説明する上面レ

50

イアウト図である。

【図 9】第 1 実施形態の変形例にかかるチャネル p 型層を分離した構造とする場合の断面図である。

【図 10】第 1 実施形態の変形例にかかるセンスセル領域を説明する上面レイアウト図である。

【図 11】第 2 実施形態にかかる半導体装置の断面図である。

【図 12】ゲート電圧に対するセンス比の関係を示した図である。

【発明を実施するための形態】

【0013】

以下、本開示の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

【0014】

(第 1 実施形態)

第 1 実施形態について説明する。本実施形態では、メインセル領域およびセンスセル領域に同じ構造の縦型の半導体スイッチング素子として、n チャネルタイプの縦型 MOSFET が備えられた半導体装置について説明する。以下、図 1 ~ 図 4 に基づいて本実施形態にかかる半導体装置の構造について説明する。

【0015】

図 1 に示すように、本実施形態にかかる半導体装置は、メインセル領域 R_m とセンスセル領域 R_s とを有して構成されている。メインセル領域 R_m は一部が切り欠かれた四角形状で構成されており、センスセル領域 R_s は、メインセル領域 R_m 内に配置され、メインセル領域 R_m に囲まれるように形成されている。なお、図 1 では、メインセル領域 R_m のうちのセンスセル領域 R_s の近傍のみを示しているが、メインセル領域 R_m は実際にはセンスセル領域 R_s よりも十分に広面積、例えば 10000 万倍の面積とされている。

【0016】

メインセル領域 R_m およびセンスセル領域 R_s には、同じ構造の n チャネルタイプの縦型 MOSFET が形成されている。

【0017】

図 2 に示すように、半導体装置は、不純物濃度が高濃度とされたシリコン等の半導体材料によって構成された n^+ 型の半導体基板 1 を用いて形成されている。例えば、半導体基板 1 は、厚みが $10 \sim 300 \mu\text{m}$ 、n 型不純物濃度が $1 \times 10^{12} \sim 1 \times 10^{18} \text{cm}^{-3}$ 程度とされている。 n^+ 型の半導体基板 1 の表面上には、 n^+ 型の半導体基板 1 よりも不純物濃度が低濃度とされた n^- 型ドリフト層 2 が形成されており、 n^- 型ドリフト層 2 の所望位置に、比較的の不純物濃度が低く設定されたチャネル p 型層 3 が形成されている。 n^- 型ドリフト層 2 は、例えば、厚みが $1 \sim 10 \mu\text{m}$ 、n 型不純物濃度が $1 \times 10^{12} \sim 1 \times 10^{18} \text{cm}^{-3}$ 程度とされている。また、チャネル p 型層 3 は、厚みが $0 \sim 2 \mu\text{m}$ 、p 型不純物濃度が $1 \times 10^{12} \sim 1 \times 10^{18} \text{cm}^{-3}$ 程度とされている。

【0018】

チャネル p 型層 3 は、 n^- 型ドリフト層 2 に対して p 型不純物をイオン注入することなどによって形成されている。本実施形態では、図 4 に示すように、チャネル p 型層 3 は、メインセル領域 R_m に形成されたメインチャネル層 3 a とセンスセル領域 R_s に形成されたセンスチャネル層 3 b とが連続的に繋がった構造とされている。

【0019】

チャネル p 型層 3 の表層部には、ソース領域を構成する領域であって、 n^- 型ドリフト層 2 よりも不純物濃度が高濃度とされた第 1 不純物領域に相当する n^+ 型不純物領域 4 が備えられている。 n^+ 型不純物領域 4 は、例えば、厚みが $0 \sim 2 \mu\text{m}$ 、n 型不純物濃度が $1 \times 10^{12} \sim 1 \times 10^{18} \text{cm}^{-3}$ 程度とされている。

【0020】

また、基板表面側から n^+ 型不純物領域 4 およびチャネル p 型層 3 を貫通して n^- 型ドリフト層 2 まで達するトレンチ 5 が形成されている。このトレンチ 5 の内壁面を覆うよう

10

20

30

40

50

にゲート絶縁膜 6 が形成されていると共に、ゲート絶縁膜 6 を介して、トレンチ 5 内にドーパント Poly - Si によって構成されたシールド電極 7 およびゲート電極層 8 が積層されて二層構造となっている。シールド電極 7 は、ソース電位に固定されることで、ゲート - ドレイン間の容量を小さくし、MOSFET の電気特性の向上を図るために形成されている。ゲート電極層 8 は、MOSFET のスイッチング動作を行うもので、ゲート電圧印加時にトレンチ 5 の側面のチャンネル p 型層 3 にチャンネルを形成する。

【 0 0 2 1 】

シールド電極 7 とゲート電極層 8 との間には絶縁膜 9 が形成されており、絶縁膜 9 によってシールド電極 7 とゲート電極層 8 とが絶縁されている。これらトレンチ 5、ゲート絶縁膜 6、シールド電極 7、ゲート電極層 8 および絶縁膜 9 によってトレンチゲート構造が構成されている。このトレンチゲート構造は、例えば図 2 の紙面垂直方向を長手方向として、図 1 の紙面上下方向、図 2 で言えば紙面左右方向に複数本が並べられることでストライプ状のレイアウトとされている。トレンチゲート構造の形成ピッチは任意であるが、例えば 1 ~ 2 μm としている。

10

【 0 0 2 2 】

なお、メインセル領域 R_m とセンスセル領域 R_s との間には、トレンチゲート構造が形成されているものの、 n^+ 型不純物領域 4 が形成されておらず、縦型 MOSFET は構成されないようになっている。

【 0 0 2 3 】

また、トレンチ 5 は、図 3 に示すように、メインセル領域 R_m とセンスセル領域 R_s とで連続的に繋がった状態となっている。そして、そのトレンチ 5 内に埋め込まれたシールド電極 7 およびゲート電極層 8 も、メインセル領域 R_m とセンスセル領域 R_s との両方に至るように連続的に繋がった状態となっている。

20

【 0 0 2 4 】

さらに、図中には示していないが、トレンチ 5 の長手方向の一方の端部において、シールド電極 7 は、ゲート電極層 8 よりもメインセル領域 R_m の外側、つまりメインセル領域 R_m のうちセンスセル領域 R_s から離れる側まで延設されている。そして、その部分がシールドライナーとしてチャンネル p 型層 3 の表面から露出させられることで後述するソース電位とされる上部電極 10 との電氣的接続が図れるようになっている。

【 0 0 2 5 】

同様に、トレンチ 5 の長手方向の他方の端部において、ゲート電極層 8 は、シールド電極 7 よりもメインセル領域 R_m の外側、つまりメインセル領域 R_m のうちセンス領域から離れる側まで延設されている。そして、その部分がゲートライナーとしてチャンネル p 型層 3 の表面から露出させられており、図示しないゲート電極との電氣的接続が図られている。

30

【 0 0 2 6 】

また、ゲート電極層 8 を覆うように酸化膜などで構成された層間絶縁膜 13 が形成され、この層間絶縁膜 13 の上にソース電極に相当する上部電極 10 や図示しないゲート電極が形成されている。上部電極 10 は、層間絶縁膜 13 が形成されていない部分、例えばコンタクトホールを通じて n^+ 型不純物領域 4 およびチャンネル p 型層 3 に電氣的に接続されている。ゲート電極も、層間絶縁膜 13 が形成されていない部分、例えばコンタクトホールを通じて、ゲートライナーを介してゲート電極層 8 に電氣的に接続されている。

40

【 0 0 2 7 】

上部電極 10 は、メインセル領域 R_m に形成されたメイン電極 10 a とセンスセル領域 R_s に形成されたセンス電極 10 b とに分かれており、これらの間が所定距離離されている。メイン電極 10 a は、メインセル領域 R_m のほぼ全域にわたって形成され、一部が切り欠かれた四角形状で構成されている。センス電極 10 b は、四角形状とされており、メイン電極 10 a に囲まれるように配置されている。センス電極 10 b のうちのメインセル領域 R_m が切り欠かれた部分と対応する一辺からは、メインセル領域 R_m の外側まで引出配線 10 c が引き出されている。

【 0 0 2 8 】

50

さらに、 n^+ 型の半導体基板 1 のうち n^- 型ドリフト層 2 とは反対側の面にドレイン電極に相当する下部電極 1 2 が形成されている。このような構成により、縦型 MOSFET の基本構造が構成されている。そして、図 2 に示すように、縦型 MOSFET が複数セル集まって形成されることで、メインセル領域 R_m やセンスセル領域 R_s が構成されている。

【0029】

以上のようにして、縦型 MOSFET を有する半導体装置が構成されている。このような半導体装置では、メインセル領域 R_m およびセンスセル領域 R_s に備えられる縦型 MOSFET のゲート電極層 8 にゲート電圧を印加すると、チャンネル p 型層 3 のうちトレンチ 5 に接している表面にチャンネルが形成される。これにより、上部電極 1 0 から注入された電子が n^+ 型不純物領域 4 からチャンネル p 型層 3 に形成されたチャンネルを通った後、 n^- 型ドリフト層 2 に到達し、上部電極 1 0 と下部電極 1 2 との間に電流を流すという動作が行われる。

10

【0030】

そして、同じセル構造の縦型 MOSFET をメインセル領域 R_m とセンスセル領域 R_s それぞれに形成し、メインセル領域 R_m とセンスセル領域 R_s に備えられた縦型 MOSFET のセル面積、換言すればセル数を所定比率に設定してある。このため、メインセル領域 R_m に流れるメイン電流を所定比率で減少させたセンス電流をセンスセル領域 R_s に流すことができる。したがって、センスセル領域 R_s に流れるセンス電流を外部に出力することで、メインセル領域 R_m に流れるセンス電流を検出できる。

【0031】

このような半導体装置において、図 1 のように上面から見て、センスセル領域 R_s のうちトレンチゲート構造の長手方向と同方向を横方向、長手方向に対して垂直な方向を縦方向として、縦方向寸法と横方向寸法の寸法関係を規定している。センスセル領域 R_s は、センスセルとして形成される縦型 MOSFET のうちの動作領域となる四角形状の部分である。つまり、センスセル領域 R_s は、トレンチゲート構造に沿ってソース領域を構成する n^+ 型不純物領域 4 が形成されることで、ゲート電極層 8 にゲート電圧が印加されたときに MOS 動作を行って電流を流す領域である。具体的には、図 5 に示すように、センスセル領域 R_s は、センス電極 1 0 b に接触させられる複数の n^+ 型不純物領域 4 を纏めて囲んだ領域として示される。

20

【0032】

そして、このセンスセル領域 R_s の縦方向寸法が横方向寸法以上となるように、換言すれば、センスセル領域 R_s の横方向寸法に対する縦方向寸法の比が 1 以上となるようにしている。より好ましくは、センスセル領域 R_s の縦方向寸法からトレンチゲート構造の幅分を除いた電流経路となる部分の寸法（以下、電流経路寸法という）が横方向寸法以上となるようにする。

30

【0033】

メインセル領域 R_m に流れるメイン電流については、センス比に基づいて検出される。具体的には、図 6 に示すように、ゲートドライバ回路 1 0 0 からメインセル領域 R_m およびセンスセル領域 R_s を備えた半導体装置 1 0 1 に対してゲート電圧を印加し、そのときのセンス比もしくはセンス電流をゲートドライバ回路 1 0 0 にフィードバックする。ゲートドライバ回路 1 0 0 には帰還回路が含まれており、その帰還回路でセンス比もしくはセンス電流を検出し、ゲートドライバ回路 1 0 0 が出力するゲート電圧を調整することで、所望のメイン電流となるように制御する。

40

【0034】

図 7 は、ゲート電圧 (V_{gs}) に対するセンス比の依存性（以下、 V_{gs} 依存性という）を示している。図中には、本実施形態のように、センスセル領域 R_s の縦方向寸法を横方向寸法以上にした場合の特性 (1) に加えて、縦方向寸法より横方向寸法を大きくした場合の特性 (2) についても示してある。

【0035】

この図に示すように、センス比に関しては、 V_{gs} 依存性を有している。しかしながら

50

、センスセル領域 R_s の縦方向寸法より横方向寸法を大きくした場合には、素子のゲート電圧に対するセンス比の変化が小さい。ゲート電圧が大きくなるほどセンス比が小さくなる特性となるものの、ほぼゲート電圧の大きさにかかわらずセンス比が一定になる。これに対して、本実施形態のように、センスセル領域 R_s の縦方向寸法を横方向寸法よりも大きくした場合には、素子のゲート電圧に対するセンス比の変化が大きく、ゲート電圧が大きくなるほどセンス比が小さくなる。また、ゲート電圧が大きくなるほどセンス比の低下率が大きくなる。一方でゲートドライバ回路 100 と併せて使用するとといった外部抵抗を持った電流センス検出方法では、センスセル自体にゲート電圧依存性をもつことで、抵抗を含めた系全体でのゲート電圧依存性を抑え、センス比を高い感度で検出することが可能となる。

10

【0036】

上述したように、ゲートドライバ回路 100 にセンス比もしくはセンス電流をフィードバックしているが、ゲート電圧を所定値としたときのセンス比をフィードバックし、ゲートドライバ回路 100 が出力するゲート電圧を調整する。このとき、ゲート電圧の変化に対するセンス比の変化量が大きければ、センス比を高い感度で精度良く検出することが可能となる。したがって、帰還回路で縦型 MOSFET を駆動する半導体装置のセンス比もしくはセンス電流を検出する回路を考えた場合において、ゲート電圧をゲートドライバ回路 100 で制御する回路設計の自由度を向上できる。よって、 V_{gs} 依存性の設計を行うことが可能となる。

【0037】

(第1実施形態の変形例)

上記第1実施形態では、センスセル領域 R_s の縦方向寸法が横方向寸法以上となるようにしたが、このような構成については様々な構造によって実現可能である。

20

【0038】

例えば、図8に示すように、センスセル領域 R_s について、メインセル領域 R_m よりもトレンチゲート構造のピッチ、換言すればゲート電極層8のピッチを長くし、所々トレンチゲート構造が無くされた構造としても良い。この場合、よりセンスセル領域 R_s のうちの電流経路寸法を横方向寸法以上とすることが容易になる。

【0039】

また、第1実施形態では、メインセル領域 R_m とセンスセル領域 R_s に形成されるチャンネルp型層3を連続して繋がっているものとしたが、図9に示すようにメインセル領域 R_m とセンスセル領域 R_s とで分離された構造としても良い。

30

【0040】

また、センスセル領域 R_s の動作領域を複数に分離し、例えば図10に示すようにトレンチゲート構造の長手方向に対して垂直方向に2つの動作領域が並べられた構造としても良い。具体的には、ストライプ状に複数のトレンチゲート構造を並べた組を複数組構成し、各組の隣り合うトレンチゲート構造同士のピッチが同じ組に配置されるトレンチゲート構造同士のピッチよりも長くなるようにする。その場合、センスセル領域 R_s 内において、隣り合う組のチャンネルp型層3が分離させるようにしても良い。このように、センスセル領域 R_s の複数の動作領域に分離し、複数の動作領域を合計したときの縦方向寸法が横方向寸法以上となっていれば良い。

40

【0041】

(第2実施形態)

第2実施形態について説明する。本実施形態は、第1実施形態に対して、異なる構造により、ゲート電圧依存性の設計を行えるようにするものであり、その他については第1実施形態と同様であるため、第1実施形態と異なる部分についてのみ説明する。

【0042】

図11に示すように、本実施形態では、センスセル領域 R_s において、トレンチゲート構造の下方にn型ドリフト層2の一部を高抵抗とした抵抗成分層2aを備えるようにしている。抵抗成分層2aは、例えばn型ドリフト層2に対してp型不純物をイオン注入

50

することによって形成される。この抵抗成分層 2 a が備えられることで、センスセル領域 R s ではメインセル領域 R m よりも n 型ドリフト層 2 の抵抗値が高くなっている。例えば、抵抗成分層 2 a は、例えば、厚みが 0 ~ 5 μm 、n 型不純物濃度が $1 \times 10^{12} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 程度とされている。

【0043】

図 2 に示したように、メインセル領域 R m とセンスセル領域 R s とは同じ構造の縦型 MOSFET が形成されたものとされるが、動作時に流れるメイン電流とセンス電流の電流経路が異なったものになる。すなわち、メインセル領域 R m とセンスセル領域 R s の形成面積を比較すると、センスセル領域 R s の形成面積はメインセル領域 R m の形成面積よりも十分に小さい。このため、センスセル領域 R s では、メインセル領域 R m よりも、領域の外側から内側へ流れ込む電流経路の割合が大きくなり、センスセル領域 R s に電流が流れ込みやすくなる。この影響で、センスセル領域 R s とメインセル領域 R m とで V_{gs} 依存性が一致しなくなる。

10

【0044】

これに対して、本実施形態のように抵抗成分層 2 a を備えれば、センスセル領域 R s に流れるセンス電流を減少させることが可能となる。このため、センスセル領域 R s とメインセル領域 R m の V_{gs} 依存性をほぼ一致させることが可能となる。具体的には、図 1 2 に示すように、センス比の V_{gs} 依存性を無くすようにでき、ゲート電圧が変化してもセンス比がほぼ一定となるように調整できる。よって、 V_{gs} 依存性の設計を行うことが可能となる。

20

【0045】

(他の実施形態)

本開示は、上記した実施形態に準拠して記述されたが、当該実施形態に限定されるものではなく、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。

【0046】

(1) 例えば、上記各実施形態では、半導体基板 1 によって高濃度の不純物領域を形成し、その上に n 型ドリフト層 2 をエピタキシャル成長させる例を示した。これは、ドリフト層を挟んでチャンネル p 型層 3 と反対側に高濃度の不純物領域を構成する場合の一例を示したに過ぎず、ドリフト層を半導体基板によって構成し、その裏面側にイオン注入等を行うことで高濃度の不純物領域を形成するようにしても良い。なお、ここでいう半導体基板 1 を含む不純物領域が第 2 不純物領域に相当する。

30

【0047】

(2) また、上記実施形態では、センスセル領域 R s のうちの 3 辺を囲むようにメインセル領域 R m を四角形状としたが、これも一例を示したに過ぎない。例えば、メインセル領域 R m を四角形状ではない形状としても良い。また、メインセル領域 R m がセンスセル領域 R s のうちの 3 辺と残りの一辺のうちの一部を囲むような構成としても良い。さらに、メインセル領域 R m によってセンスセル領域 R s を囲まない構成、例えば四角形状のメインセル領域 R m の一つの角部を切り欠いて、その部分にセンスセル領域 R s が配置される構成としても良い。

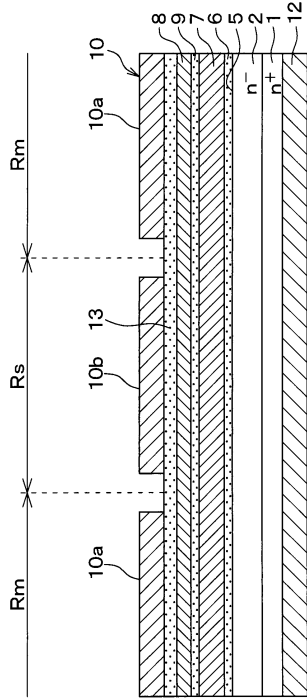
40

【0048】

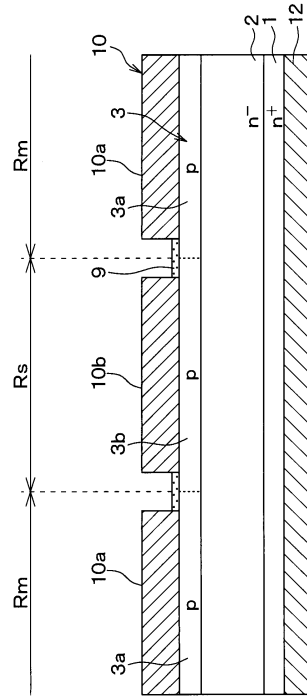
(3) また、上記実施形態では、2 層構造のトレンチゲートを有する縦型 MOSFET を例に挙げて説明したが、2 層構造である必要はなく、シングルゲート構造でも良い。また、トレンチゲート構造でなく、プレーナ型の縦型 MOSFET であっても良い。どのような構造の縦型 MOSFET であっても、チャンネル p 型層 3 の表面にゲート絶縁膜 6 を介してゲート電極層 8 が形成され、ゲート電極層 8 が一方方向を長手方向として延設されつつ、その垂直方向に複数本が並べられた構成であれば良い。勿論、ゲート電極層 8 が一方方向を長手方向として延設された部分があれば良く、例えば隣り合うゲート電極層 8 同士が両先端部において半円状に繋がった構造とされていても良い。

50

【図3】



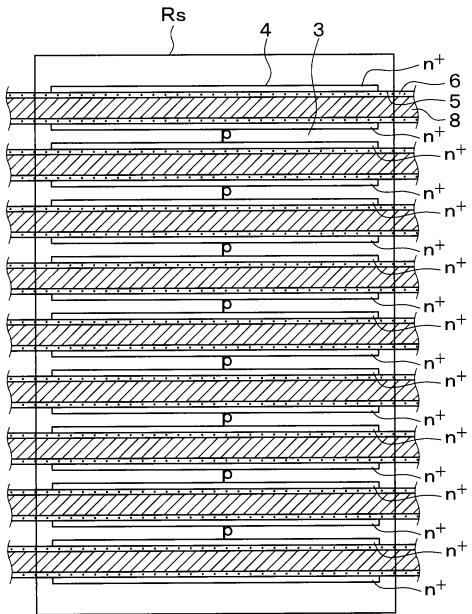
【図4】



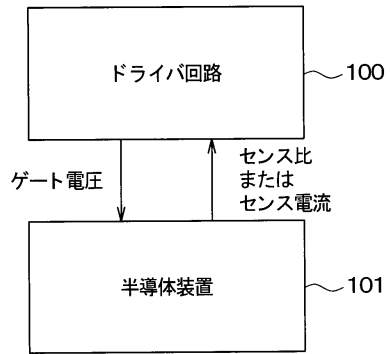
10

20

【図5】



【図6】



30

40

50

フロントページの続き

| | | | | |
|------------|--------------------------------------|-----------|-------|---------|
| (51)国際特許分類 | | F I | | |
| | | H 0 1 L | 29/78 | 6 5 2 P |
| | | H 0 1 L | 29/78 | 6 5 2 H |
| | | H 0 1 L | 29/78 | 6 5 2 M |
| (56)参考文献 | 特開 2 0 0 9 - 1 8 2 1 1 3 (J P , A) | | | |
| | 特開平 1 1 - 1 7 1 7 9 (J P , A) | | | |
| | 特開 2 0 1 7 - 1 3 9 2 9 1 (J P , A) | | | |
| | 特開 2 0 1 2 - 2 0 4 6 3 6 (J P , A) | | | |
| | 特開平 1 0 - 1 0 7 2 8 2 (J P , A) | | | |
| (58)調査した分野 | (Int.Cl., D B 名) | | | |
| | H 0 1 L | 2 9 / 7 8 | | |
| | H 0 1 L | 2 9 / 0 6 | | |